

1. 因為電路有 bug，在跑驗證程式的時候會把需要更進階檢查的地方匡列出來，有可能因為一些邏輯錯誤導致某些地方永遠進不去，像是 fsm 初始 state 不對讀不到指令之類的，如果電路正常該去的地方都有去且 test pattern 夠豐富才會到 100% 覆蓋。

CovDetail			
Line	Toggle	FSM	Condition
Category		Coverage	
Block		<div><div style="width: 81.25%;"></div></div>	81.25%
Statement		<div><div style="width: 85.71%;"></div></div>	85.71%

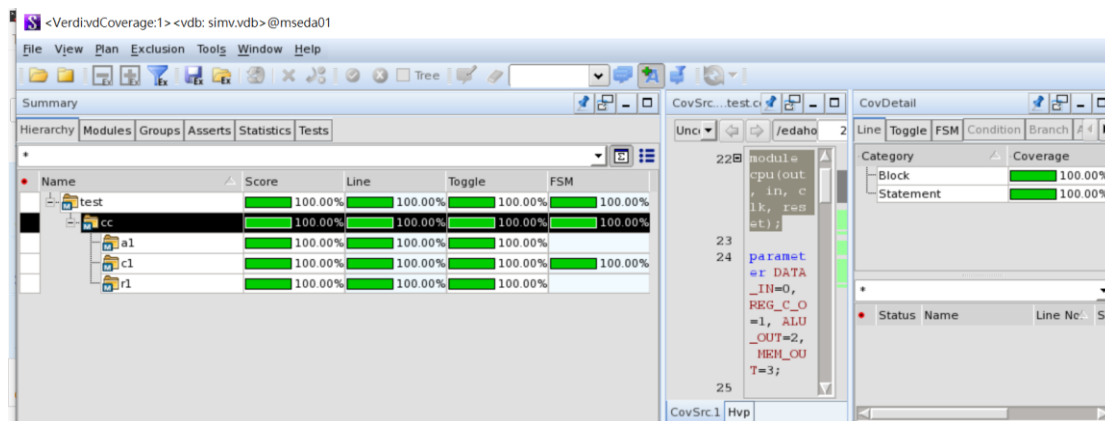
Summary					
Hierarchy					
*					
Name	Score	Line	Toggle	FSM	
test	<div><div style="width: 48.05%;"></div></div> 48.05%	<div><div style="width: 52.96%;"></div></div> 52.96%	<div><div style="width: 48.32%;"></div></div> 48.32%	<div><div style="width: 42.86%;"></div></div> 42.86%	
cc	<div><div style="width: 41.52%;"></div></div> 41.52%	<div><div style="width: 33.89%;"></div></div> 33.89%	<div><div style="width: 47.83%;"></div></div> 47.83%	<div><div style="width: 42.86%;"></div></div> 42.86%	
a1	<div><div style="width: 70.37%;"></div></div> 70.37%	<div><div style="width: 100.00%;"></div></div> 100.00%	<div><div style="width: 40.74%;"></div></div> 40.74%		
c1	<div><div style="width: 45.08%;"></div></div> 45.08%	<div><div style="width: 21.23%;"></div></div> 21.23%	<div><div style="width: 71.15%;"></div></div> 71.15%	<div><div style="width: 42.86%;"></div></div> 42.86%	
r1	<div><div style="width: 60.45%;"></div></div> 60.45%	<div><div style="width: 80.00%;"></div></div> 80.00%	<div><div style="width: 40.91%;"></div></div> 40.91%		

2. 在本題我使用了 11 個 pattern 得到覆蓋率相等的結果，我只是將 random pattern 刪除掉一些 pattern 而已，可能因為出 bug 的地方都還是一樣，就得到相等如下圖之結果。

CovDetail			
Line	Toggle	FSM	Condition
Category		Coverage	
Block		<div><div style="width: 81.25%;"></div></div>	81.25%
Statement		<div><div style="width: 85.71%;"></div></div>	85.71%
*****			
*			
Status	Name	Line No	Source

3.有 ALU 邏輯錯誤、control module 內部 FSM state 轉換錯誤、旗標設定錯誤、沒有給到值……等等，我判斷的方式就是利用 tool，第一個是有些地方是紅紅的沒有成功測到，但是理論上應該要進去，然後就發現 FSM 轉換的地方怪怪的。諸如此類可以幫助我 debug，也可能因為 cpu 電路不知道為甚麼作業常常出現，所以其實蠻熟的，看一下弄懂之後很多問題都能找的到。

4.在 debug 過程中，也稍微修了一下自己的 test case，首先我們要讓所有的情況都跑的到然後符合邏輯不會出現錯誤，再來就依序 debug 測試、更改測資，終於最後跑出 100%之成果。



5.心得：我在這份作業中學到了 tool 的使用、要如何驗證電路的正確性，不過不得不說，tool 真的跑得蠻慢的，跟之前畫 vlsi 一樣，很多時間都在等 tool 的運作。而且本來以為這份作業比較簡單可以花比較少時間，結果就發生不幸的事情：電腦直接原地掛掉。當時的我作業進度 0，想說死定了，還好有好心的同學把筆電借我，所以在半夜不睡覺之下還是結束了這份作業。在這邊我要感謝他，祝他身體健康、下線順利、能夠睡覺。