



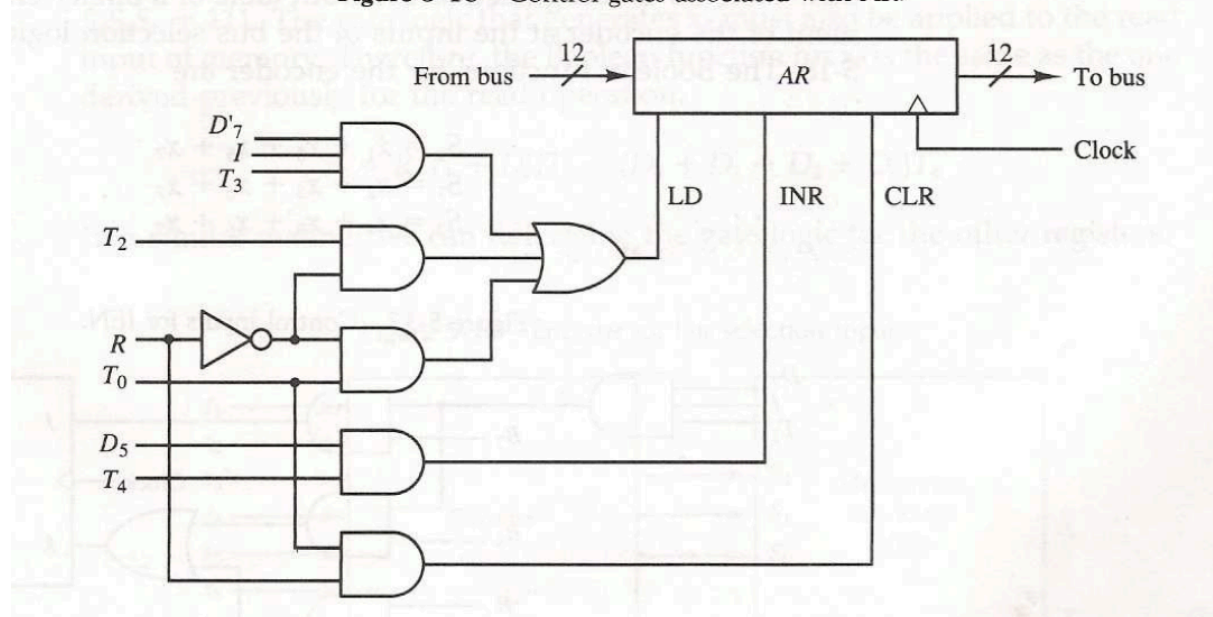
تمرین سری سوم درس معماری سیستم‌های کامپیوتری
نیمسال دوم 1397-98
دکتر کریمی

*موعده تحویل ۱۴ اردیبهشت ساعت ۱۲ خواهد بود.
*تحویل تکلیف تنها از طریق کلاس تعریف شده برای درس در quera مورد پذیرش خواهد بود.

(۱)

کنترل لاجیک رجیستر AR برای کامپیوتر پایه فصل ۵ در زیر آمده کنترل لاجیک رجیستر DR را به همین شکل طراحی کنید.

Figure 5-16 Control gates associated with AR.



(۲)

آ) توضیح دهید که چه لزومی به وجود مفهومی به نام interrupt (وقفه) وجود دارد؟
ب) آیا برنامه نویس میتواند کاری کند که به interruptها پاسخ داده نشود؟ چگونه؟
پ) توضیح دهید هرکدام از فلگ‌های IEN - FGI - FGO - R چگونه و توسط چه کسی (چه چیزی) صفر و یک میشوند؟

(۳)

به شکل نگاه کنید

هرکجا که cpu دو انتخاب دارد با نگاه کردن به یک فلگ خاص مسیر کاری خود را معلوم میکند ولی همانطور که میبینید از مستطیل fetch and decode instruction دو فلش خارج شده و اشاره نشده که طبق چه معیاری باید بین این دو فلش یکی انتخاب شود. توضیح دهید که کارکرد سیستم در این جا چگونه است و کامپیوتر کدام را انتخاب میکند(آیا ممکن است کامپیوتر دو کار را همزمان انجام دهد؟ آیا در اینجا کامپیوتر دو کار را به صورت همزمان انجام می دهد؟)

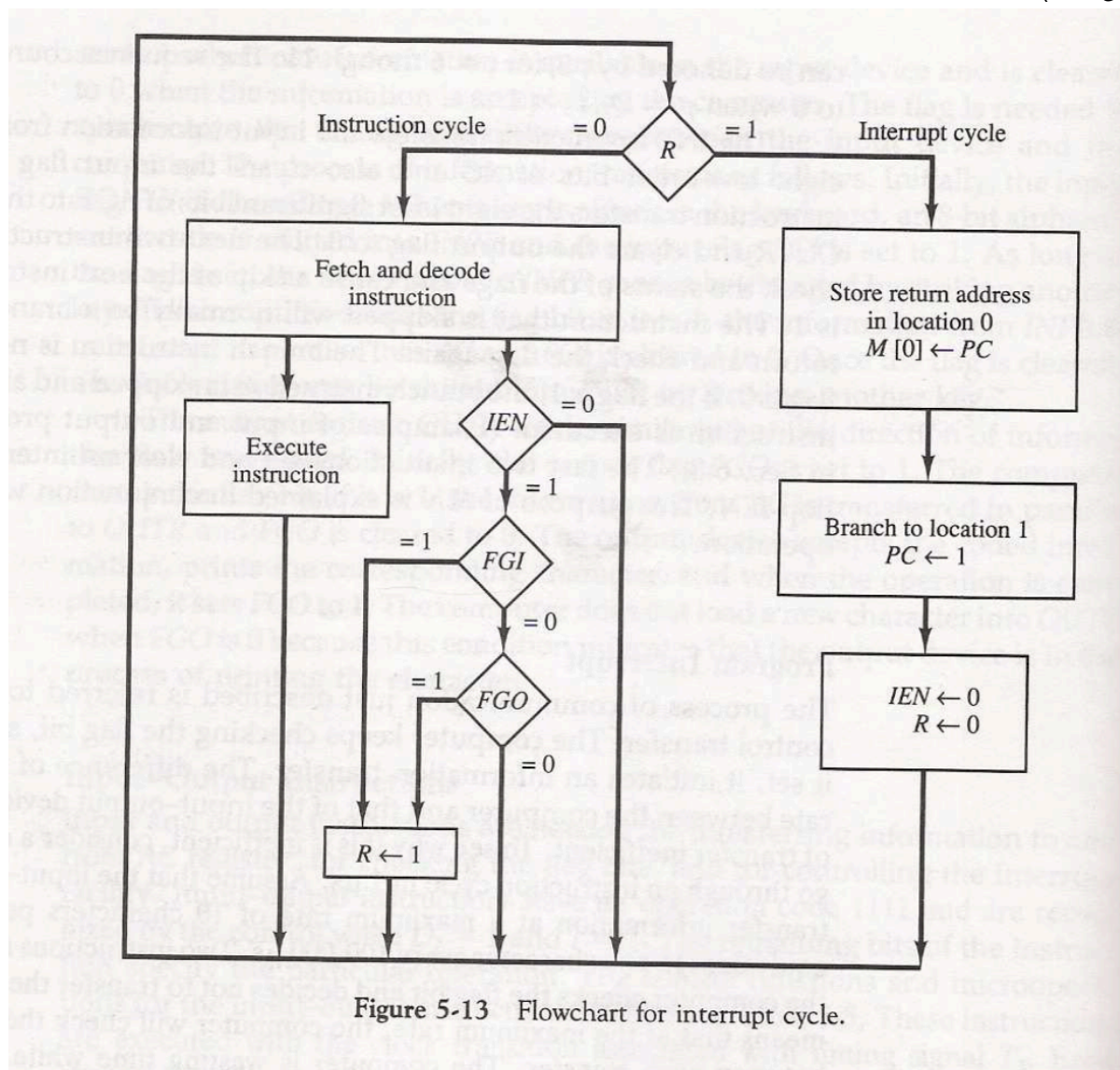


Figure 5-13 Flowchart for interrupt cycle.

(۴)

بر مبنای زبان اسمبلی توصیف شده برای کامپیوتر پایه در فصل ۶ برنامه های زیر را بنویسید:

(ا) برنامه ای که تفریق $A - B$ را انجام دهد (اعداد A و B اعدادی ۳۲ بیتی هستند)

(ب) برنامه ای که دو عدد بدون علامت ۱۶ بیتی و مثبت را در هم ضرب کند.

(پ) برنامه ای برای پیاده سازی شیفت حسابی به چپ بنویسید. در صورت سرریز فقط کافیسست که برنامه به ovf انشعاب کند.

(۵)

قسمت الف سوال ۶-۱۲ کتاب را پاسخ دهید.