

به نام خدا

طراحی کامپیوتری سیستم‌های دیجیتال
پروژه دوم – فاز اول

مرضیه باقری‌نیا

۸۱۰۱۹۷۶۸۲

سودابه محمدهاشمی

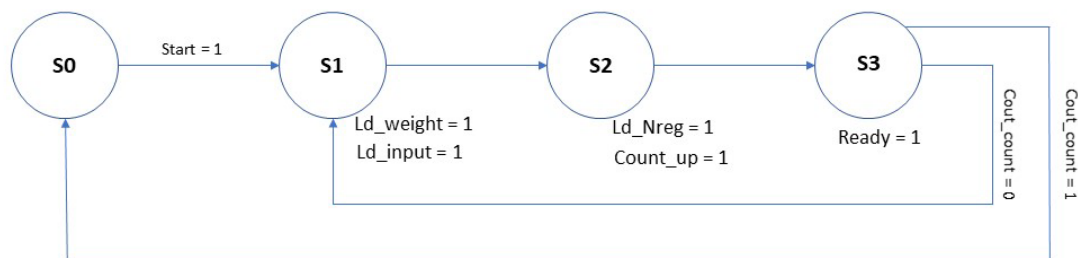
۸۱۰۱۹۷۶۸۸

پاییز ۹۹

• ماژول‌ها و زیرماژول‌های استفاده شده در طراحی (Self-Multiplier)

- **Datapath**: این ماژول برای پیاده‌سازی مسیرداده تعبیه شده است؛ در مسیر داده ۷ زیرماژول دیگر نیز وجود دارد که به ترتیب به شرح زیراند:
 - **Input_Reg**: یک رجیستر ۸ بیتی است که برای ذخیره کردن ورودی ۸ بیتی مدار تعبیه شده است.
 - **Weight_Reg**: یک رجیستر ۸ بیتی است که برای ذخیره کردن بردار وزن ۸ بیتی تعبیه شده است.
 - **Multiplier**: یک ضرب‌کننده 8×8 که با استفاده از ۱۶ ضرب‌کننده 2×2 پیاده‌سازی شده است؛ لازم به ذکر است که این ضرب‌کننده ترکیبی است.
 - **Adder**: یک جمع‌کننده است که خروجی ضرب‌کننده و مقدار قبلی رجیستر خروجی را با هم جمع می‌کند تا مقدار جدید تولید شود.
 - **Res_Reg**: یک رجیستر n بیتی است (n برحسب تعداد دفعات عملیات‌ها تعیین می‌شود) که خروجی جمع‌کننده را ذخیره می‌کند.
 - **Activation_Function**: در واقع یک یکسوکننده خروجی نهایی است که اگر خروجی مثبت بود، خود آن را نشان می‌دهد و اگر نه صفر نشان می‌دهد.
 - **Counter**: یک شمارنده n بیتی است برای آنکه عملیات MAC را به تعداد خواسته شده انجام دهد.
- **Controller**: این ماژول برای پیاده‌سازی کنترلر تعبیه شده است و در ۴ مرحله، بر اساس سیگنال‌های ورودی مانند start و خروجی cout شمارنده موجود در مسیر داده، سیگنال‌های کنترلی را تولید می‌کند.

«FSM For Self-Multiplier»



• ماژول‌ها و زیرماژول‌های استفاده شده در طراحی (Xilinx-Multiplier)

• **Datapath**: این ماژول برای پیاده‌سازی مسیرهاده تعبیه شده است؛ در مسیر داده ۷ زیرماژول دیگر نیز وجود دارد که به ترتیب به شرح زیر اند:

○ **Input_Reg**: یک رجیستر ۸ بیتی است که برای ذخیره کردن ورودی ۸ بیتی مدار تعبیه شده است.

○ **Weight_Reg**: یک رجیستر ۸ بیتی است که برای ذخیره کردن بردار وزن ۸ بیتی تعبیه شده است.

○ **Multiplier**: یک ضرب‌کننده 8×8 است که در لیست IP Core های خود Xilinx وجود داشته و ما از آن استفاده

کردیم؛ این یک ضرب‌کننده ترکیبی نبوده و با clk کار می‌کند و یک کلاک بعد از گرفتن ورودی‌هایش خروجی را تولید می‌کند؛ همچنین وقتی که نوع ورودی‌های آن را Signed تعیین کردیم، متوجه شدیم که از نوع علامت‌دار 2's Complement می‌باشد و چون طبق صورت پروژه ورودی‌های ما Sign-Magnitude هستند، تمامی ورودی‌ها را به صورت مثبت وارد ضرب‌کننده می‌کنیم و پس از محاسبه علامت خروجی را با توجه به علامت ورودی‌ها مشخص می‌کنیم.

○ **Adder**: یک جمع‌کننده است که خروجی ضرب‌کننده و مقدار قبلی رجیستر خروجی را با هم جمع می‌کند تا مقدار جدید تولید شود.

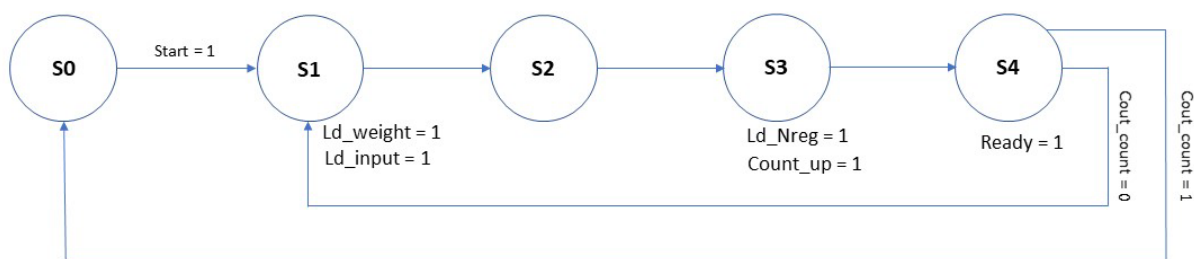
○ **Res_Reg**: یک رجیستر n بیتی است (n برحسب تعداد دفعات عملیات‌ها تعیین می‌شود) که خروجی جمع‌کننده را ذخیره می‌کند.

○ **Activation_Function**: در واقع یک یکسوکننده خروجی نهایی است که اگر خروجی مثبت بود، خود آن را نشان می‌دهد و اگر نه صفر نشان می‌دهد.

○ **Counter**: یک شمارنده n بیتی است برای آنکه عملیات MAC را به تعداد خواسته شده انجام دهد.

• **Controller**: این ماژول برای پیاده‌سازی کنترلر تعبیه شده است و در ۵ مرحله، بر اساس سیگنال‌های ورودی مانند start و خروجی cout شمارنده موجود در مسیر داده، سیگنال‌های کنترلی را تولید می‌کند.

«FSM For Xilinx-Multiplier»



• نتایج سنتز

هر دو مدار (Self-Multiplier و Xilinx-Multiplier) را در نرم افزار ISE سنتز کرده و فایل های سنتز شده در فولدر /Trunk/prj قابل مشاهده است. همچنین جدول گزارش خواسته شده در صورت پروژه به شرح زیر است:

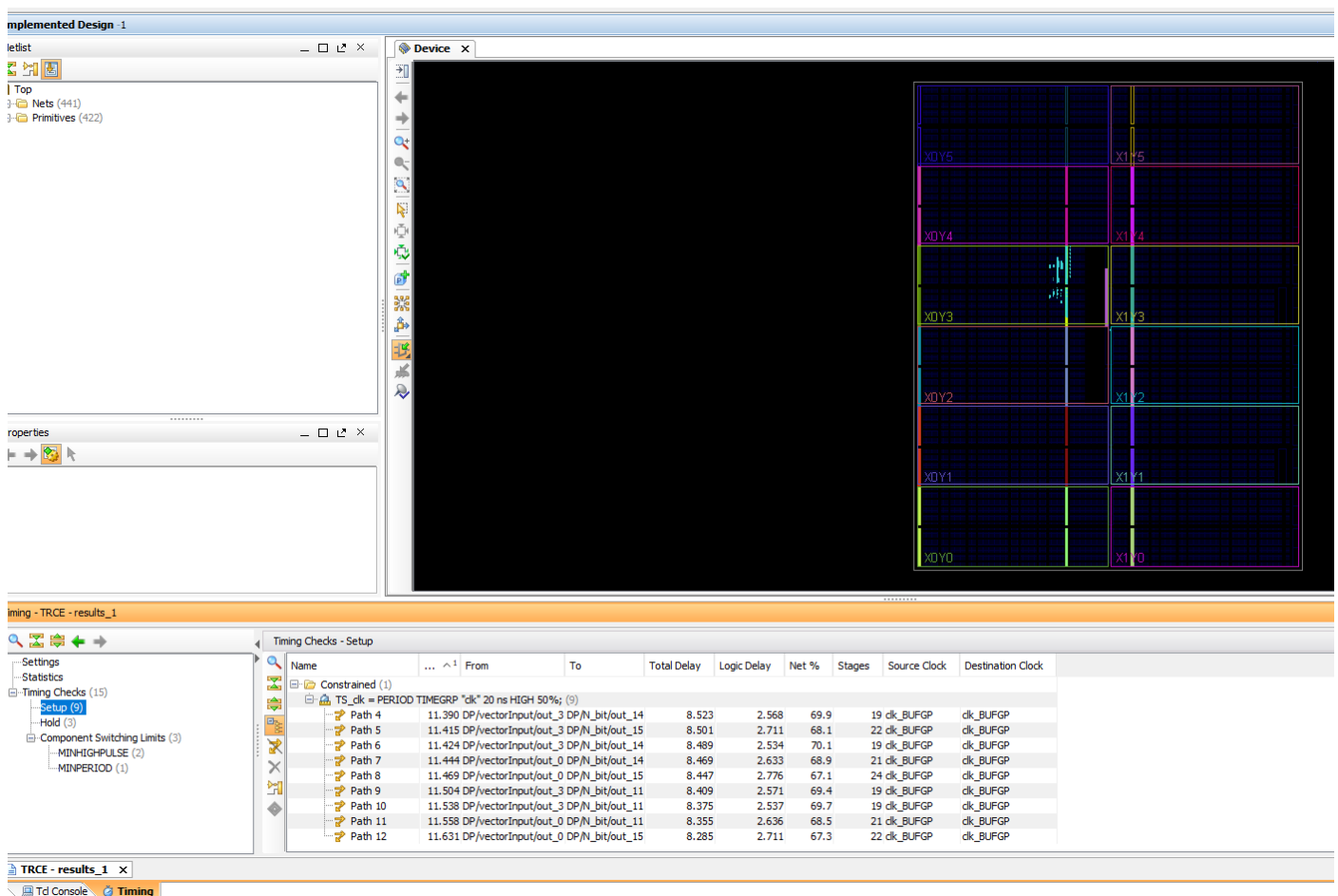
✓ تعداد LUT ها، FlipFlop ها و DSP Block ها در هر دو نوع مدار:

	Self-Multiplier	Xilinx-Multiplier
Number of Slice Registers	41	54
Number used as Flip Flops	37	54
Number used as Latches	0	0
Number used as Latch-thrus	0	0
Number used as AND/OR logics	4	0
Number of Slice LUTs	171	150
Number used as logic	171	146
Number using O6 output only	151	102
Number using O5 output only	0	0
Number using O5 and O6	20	44
Number used as ROM	0	0
Number used as Memory	0	0
Number used exclusively as route-thrus	0	4
Number with same-slice register load	-	4
Number with same-slice carry load	-	0
Number with other load	-	0
Number of occupied Slices	66	47
Number of LUT Flip Flop pairs used	189	161
Number with an unused Flip Flop	149	112
Number with an unused LUT	18	11
Number of fully used LUT-FF pairs	22	38
Number of unique control sets	3	4
Number of slice register sites lost to control set restrictions	11	10
Number of bonded IOBs	35	35
IOB Flip Flops	16	16
Number of RAMB36E1/FIFO36E1s	0	0
Number of RAMB18E1/FIFO18E1s	0	0
Number of BUFG/BUFGCTRLs	1	1
Number used as BUFGs	1	1
Number used as BUFGCTRLs	0	0
Number of IDELAYE2/IDELAYE2_FINEDELAYs	0	0
Number of ILOGICE2/ILOGICE3/ISERDESE2s	0	0
Number of ODELAYE2/ODELAYE2_FINEDELAYs	0	0

	Self-Multiplier	Xilinx Multiplier
Number of OLOGICE2/OLOGICE3/OSERDESE2s	16	16
Number used as OLOGICE2s	16	16
Number used as OLOGICE3s	0	0
Number used as OSERDESE2s	0	0
Average Fanout of Non-Clock Nets	3.65	2.76
Total	1138	1026

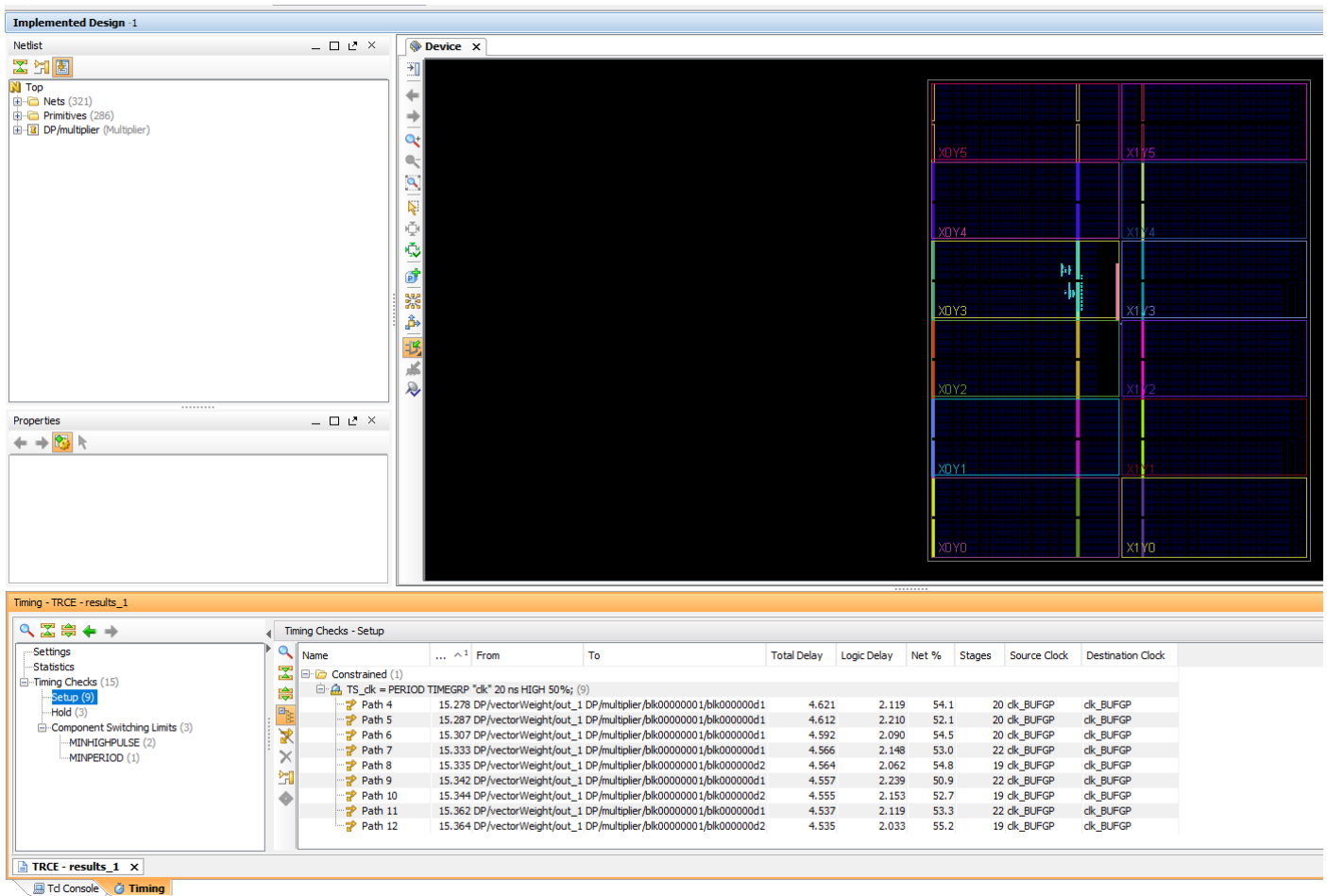
✓ Analyze Timing با استفاده از ابزار

• گزارش مربوط به Self-Multiplier.



Performance of Self-Multiplier: $\frac{1}{\text{Max_Delay (path4)}} = \frac{1}{8.523} = 0.117329 = 11.73\%$

• گزارش مربوط به Xilinx-Multiplier:



Performance of Xilinx-Multiplier: $\frac{1}{\text{Max_Delay (path4)}} = \frac{1}{4.621} = 0.2164 = 21.64\%$

• گزارش Power با استفاده از ابزار Xpower Analyzer:

• گزارش مربوط به Self-Multiplier:

Report Navigator

View

Views

Project Settings

Default Activity Rates

Summary

Confidence Level

Details

By Hierarchy

By Clock Domain

By Resource Type

Logic

Signals

Data

Control

Clock Enable

Set/Reset

IOs

Color

Source

Estimated

Default

Calculated

Device		On-Chip	Power (W)	Used	Available	Utilization (%)
Family	Virtex6	Clocks	0.002	2	--	--
Part	xc6vtx240t	Logic	0.001	174	150720	0
Package	#1156	Signals	0.001	239	--	--
Temp Grade	Commercial	IOs	0.000	36	600	6
Process	Typical	Leakage	3.422			
Speed Grade	-1	Total	3.426			

Environment		Effective TJA	Max Ambient	Junction Temp
Ambient Temp (C)	50.0	(C/W)	(C)	(C)
Use custom TJA?	No	1.4	80.2	54.8
Custom TJA (C/W)	NA			
Airflow (LFM)	250			
Heat Sink	Medium Profile			
Custom TSA (C/W)	NA			
Board Selection	Medium (10"x10")			
# of Board Layers	12 to 15			
Custom TJB (C/W)	NA			
Board Temperature (C)	NA			

Characterization	
Production	v1.3.2011-05-04

Supply	Summary	Total	Dynamic	Quiescent
Source	Voltage	Current (A)	Current (A)	Current (A)
Vccint	1.000	1.686	0.004	1.682
Vccaux	2.500	0.135	0.000	0.135
Vcco25	2.500	0.002	0.000	0.002
MGTAVcc	1.000	0.758	0.000	0.758
MGTAVtt	1.200	0.532	0.000	0.532

Thermal Properties	Effective TJA	Max Ambient	Junction Temp
	(C/W)	(C)	(C)
	1.4	80.2	54.8

Supply	Power (W)	Total	Dynamic	Quiescent
		3.426	0.004	3.422

• گزارش مربوط به Xilinx-Multiplier:

Report Navigator

View

Views

Project Settings

Default Activity Rates

Summary

Confidence Level

Details

By Hierarchy

By Clock Domain

By Resource Type

Logic

Signals

Data

Control

Clock Enable

Set/Reset

IOs

Color

Source

Estimated

Default

Calculated

Device		On-Chip	Power (W)	Used	Available	Utilization (%)
Family	Virtex6	Clocks	0.002	2	--	--
Part	xc6vtx240t	Logic	0.000	152	150720	0
Package	#1156	Signals	0.000	225	--	--
Temp Grade	Commercial	IOs	0.000	36	600	6
Process	Typical	Leakage	3.422			
Speed Grade	-1	Total	3.425			

Environment	
Ambient Temp (C)	50.0
Use custom TJA?	No
Custom TJA (C/W)	NA
Airflow (LFM)	250
Heat Sink	Medium Profile
Custom TSA (C/W)	NA
Board Selection	Medium (10"x10")
# of Board Layers	12 to 15
Custom TJB (C/W)	NA
Board Temperature (C)	NA

Thermal Properties		Effective TJA (C/W)	Max Ambient (C)	Junction Temp (C)
		1.4	80.2	54.8

Characterization	
Production	v1.3.2011-05-04

Supply	Summary	Total Current (A)	Dynamic Current (A)	Quiescent Current (A)
Source	Voltage			
Vccint	1.000	1.686	0.003	1.682
Vccaux	2.500	0.135	0.000	0.135
Vcco25	2.500	0.002	0.000	0.002
MGTAVcc	1.000	0.758	0.000	0.758
MGTAVtt	1.200	0.532	0.000	0.532

Supply		Power (W)	Total	Dynamic	Quiescent
			3.425	0.003	3.422

• تصاویر مربوط به تحلیل Power و Timing در کنار فایل پی دی اف گزارش قرار داده شده است.

• تحلیل خروجی تست

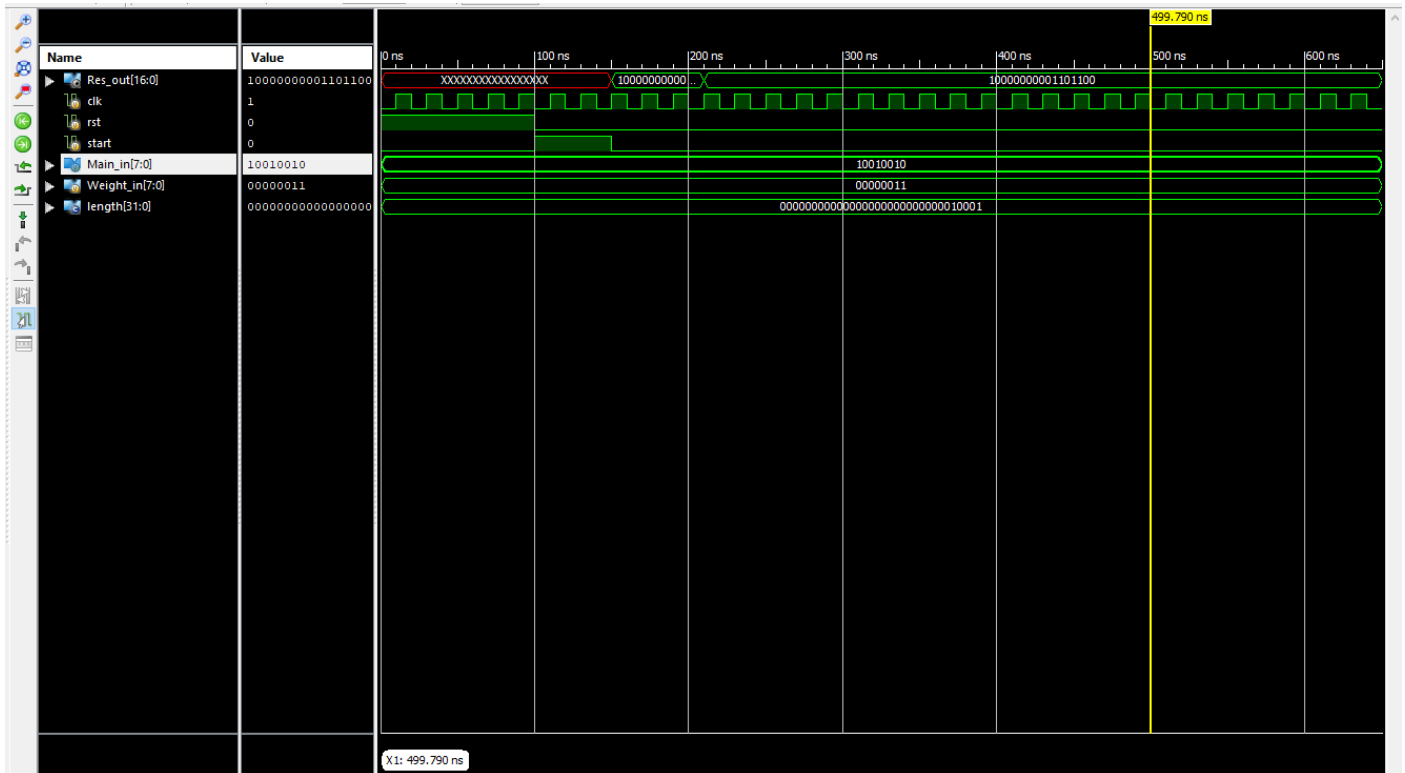
در این تست اعداد ۳- و ۱۸ را ۲ بار ($N = 2$) در هم ضرب می‌کنیم؛ نتیجه باید برابر باشد با:

$$N = 2 \rightarrow \text{Length} = 16 + \log_2(2) = 17$$

$$\text{Result} = 2 * (-3 * 18) = 2 * (-54) = -108 = 17'b10000000001101100$$

در ادامه قابل مشاهده است که در هر دو پیاده‌سازی، نتیجه مطلوب (نتیجه در خط اول سیگنال‌ها است) حاصل خواهد شد:

✓ نتیجه خروجی پیاده‌سازی Self-Multiplier:



✓ نتیجه خروجی پیاده‌سازی Xilinx-Multiplier:

