

Na DIN je připojena série klopných obvodů, které zabraňují vzniku metastabilních stavů. Po té, co je na vstup automatu IN přivedena logická 0 (start bit), FSM nastaví RE a WE na log. 1 čímž povolí funkci čítače hodinových signálů a zápis do registrů. Po té, co hodnota čítače nabyde čísla 22, komparátor vyšle na výstup log. 1, čímž čítač hodinového signálu zresetuje. Také se do prvního registru na výstupu zapíše současná hodnota DIN a poté se k čítači bitů přičte 1 (tento registr také určuje adresu pro demultiplexor). Jelikož komparátor umístěný za čítačem bitů již vyhodnocuje podmínku počtu přečtených bitů, jako nepravdu, na multiplexor je přivedena log. 0, proto pro další příchozí bity počítá hodinový čítač pouze do hodnoty 15 (vzdálenost mezi midbity). Po načtení 8 datových bitů FSM přepne WE do 0 (zabrání přepsání 1. bitu) a čítač bitů má hodnotu 8 a čeká se na stopbit. Po načtení stopbitu má čítač bitů hodnotu 9 a tím informuje FSM, že může nastavit výstup VALID na logickou 1. Po jednou hodinovém cyklu se resetují oba countery a automat přechází zpět do režimu čekání na startbit.

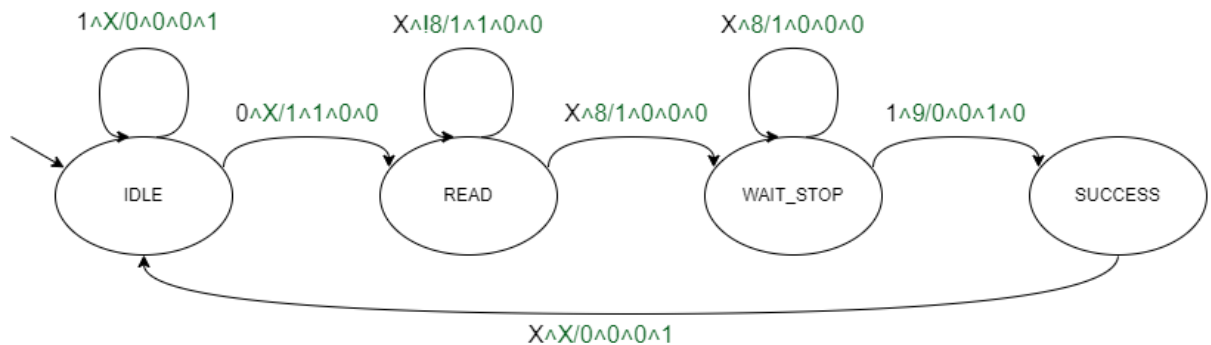
Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: IDLE, READ, WAIT_STOP, SUCCESS
- Vstupní signály: DIN, BIT_CNT
- Mealyho výstupy: RE (read enable), WE (write enable), VALID, CNT_RST

$IN \wedge BIT_CNT / RE \wedge WE \wedge SUCCESS \wedge CNT_RST$



Popis funkce

Automat ve stavu IDLE čeká na startbit (log. 0) na vstupu IN. S příchodem startbitu přechází do stavu READ, kde čeká na přečtení všech 8 bitů (čtyřbitový čítač počítá bity od 0 do 7). RE a WE jsou nastaveny na log. 1. Když čítač dosáhne hodnoty 8 (všechny datové bity přečtený), přechází do stavu WAIT_STOP, kde je zakázán zápis do registrů a čeká se na obdržení stopbitu, který čítač nastaví do čísla 9. Tím automat přechází do stavu SUCCESS, kde je VALID po dobu jednoho taktu hodin nastaven na logickou 1. Poté se vrací do stavu IDLE, při tom je resetován čítač bitů.

Snímek obrazovky ze simulací

