

**DESAIN DAN SIMULASI PERLINDUNGAN PROPERTI INTELEKTUAL
MENGUNAKAN ALGORITME FILTER DIGITAL**

***DESIGN AND SIMULATION OF INTELLECTUAL PROPERTIES
PROTECTION USING DIGITAL FILTER ALGORITHM***

TUGAS AKHIR

**Disusun sebagai syarat untuk memperoleh gelar Sarjana Teknik
pada Program Studi S1 Sistem Komputer
Universitas Telkom**

Oleh

**HANJARA CAHYA ADHYATMA
1104131113**



**FAKULTAS TEKNIK ELEKTRO
Universitas Telkom
Bandung
2017**

**DESAIN DAN SIMULASI PERLINDUNGAN PROPERTI INTELEKTUAL
MENGUNAKAN ALGORITME FILTER DIGITAL**

***DESIGN AND SIMULATION OF INTELLECTUAL PROPERTIES
PROTECTION USING DIGITAL FILTER ALGORITHM***

TUGAS AKHIR

**Disusun sebagai syarat untuk memperoleh gelar Sarjana Teknik
pada Program Studi S1 Sistem Komputer
Universitas Telkom**

Oleh

**HANJARA CAHYA ADHYATMA
1104131113**



**FAKULTAS TEKNIK ELEKTRO
Universitas Telkom
Bandung
2017**

HALAMAN PERSETUJUAN

HALAMAN PERNYATAAN ORISINALITAS

ABSTRAK

System on a Chip (SoC) adalah sebuah modul embedded system yang memiliki fungsi tertentu dalam sebuah papan chip silicon yang juga bisa disebut dengan Very Large Scale Integration (VLSI). Pemilik dari desain SoC memiliki hak cipta atas desain sistem yang telah dibuat. Fabless manufacturing merupakan cara pencetakan modul perangkat keras yang desainer Integrated Circuit (IC) adalah Outsourcing dari luar pabrik percetakan.

Fabless manufacturing dari desain IC memiliki celah pencurian desain ketika desain akan dicetak atau ketika proyek membutuhkan multiple module dengan berbagai fungsi dari berbagai desainer. Oleh karena itu setiap modul VLSI dari desainer chip ini membutuhkan bukti ownership dari perancang atau perusahaan produksi.

Dalam penelitian ini berencana membuat rancangan verifikasi ownership dengan 2 kunci khusus verifikasi yaitu Polygate sebagai kunci utama yang akan mengaktifkan kunci kedua, dan kunci kedua akan aktif yang prosesnya menggunakan algoritme filter digital.

Kata Kunci: VLSI, Intellectual Property Protection, Digital Signal Processing, Polygate Watermark.

ABSTRACT

System on a Chip (SoC) is an embedded system module Has a certain functionality in a silicon chip board that can also be called With Veri Large Scale Integration (VLSI). The owner of the SoC design has Copyright over the system design that has been created. Fabless manufacturing is How to mold a hardware module that is designer Integrated Circuit (IC) Is Outsourcing from outside the printing factory.

Fabless manufacturing from IC design has gap design theft When the design will be printed or when the project requires mutiple module With various functions from various designers. Therefore every module is VLSI From this chip designer requires proof of ownership from the designer or Production company.

In this study plans to make a verification of ownership design With 2 dedicated verification keys ie Polygate as the primary key going Activate the second key, and the second key will be active which process Using a digital filter algorithm.

Keywords: VLSI, Intellectual Property Protection, Digital Signal Processing, Poly-gate Watermark.

KATA PENGANTAR

Puji syukur terhadap Tuhan Yang Maha Esa yang telah memberikan rahmat dan hidayah Nya serta nikmat sehat dan nikmat waktu sehingga proposal ini diselesaikan. Ucapan terima kasih juga diperuntukkan untuk orang tua dan saudara-saudara saya yang telah memberikan semangat, serta teman-teman membantu dalam pengerjaan proposal ini. Ucapan terima kasih juga diperuntukkan kepada Dosen-dosen pembimbing proposal Tugas Akhir Telkom University yang memberikan masukan dan saran terhadap proposal ini.

Proposal penelitian ini bertujuan untuk mengembangkan ilmu teknologi serta keamanan dalam bidang System on a Chip (SoC) yang masih jarang dikembangkan di Indonesia.

Bandung, 1 Juli 2017

Hanjara Cahya Adhyatma

DAFTAR ISI

HALAMAN JUDUL	i
LEMBAR PENGESAHAN	ii
LEMBAR PERNYATAAN ORISINALITAS	iii
ABSTRAK	iv
ABSTRACT	v
KATA PENGANTAR	vi
DAFTAR ISI	vii
DAFTAR GAMBAR	x
DAFTAR TABEL	xi
DAFTAR SINGKATAN	xii
DAFTAR SIMBOL	xii
DAFTAR ISTILAH	xiii
DAFTAR LAMPIRAN	xiv
1 PENDAHULUAN	2

1.1	Latar Belakang	2
1.2	Rumusan Masalah	3
1.3	Tujuan	3
1.4	Batasan Masalah	4
1.5	Metodologi Penyelesaian Masalah	4
1.6	Sistematika Penulisan	4
2	TINJAUAN PUSTAKA	5
2.1	Pekerjaan Sebelumnya dan Keterkaitan	5
2.2	Perancangan dan Implementasi Algoritme DSP untuk IPP	6
3	DESAIN DAN SIMULASI	7
3.1	Studi Literatur	7
3.2	Analisis	7
3.3	Perancangan	7
3.4	Pengujian	10
3.4.1	Kerahasiaan algoritme	10
3.4.2	Tingkat Ketahanan Uji	10
3.4.3	Tingkat Penurunan Performa	10
3.4.4	Tingkat Deteksi	11
3.5	Data Pengujian	12
4	PENGUJIAN DAN ANALISIS	13
5	KESIMPULAN DAN SARAN	15

5.1	Kesimpulan	15
5.2	Saran	15
	Daftar Referensi	16
	LAMPIRAN	1
	Lampiran 1	2

DAFTAR GAMBAR

3.1	Simulation results for the network.	9
3.2	Simulation results for the network.	9
3.3	Simulation results for the network.	9
3.4	Simulation results for the network.	11
3.5	Simulation results for the network.	11

DAFTAR TABEL

3.1	Add caption	8
4.1	Add caption	13
4.2	Add caption	14

DAFTAR SINGKATAN

DAFTAR SIMBOL

DAFTAR ISTILAH

DAFTAR LAMPIRAN

BAB 1

PENDAHULUAN

1.1 Latar Belakang

Integrated Circuit (IC) merupakan modul teknologi dasar dari perangkat elektronika tertanam modern. Dengan berkembangnya teknologi IC yang mengutamakan ukuran kecil, dan performa yang tinggi serta dengan harga yang murah membuat teknologi IC semakin diminati [1].

Dengan ukuran modul yang sangat kecil dan banyaknya komponen pembangun, kerja sama antara desainer dilakukan untuk membangun sebuah modul VLSI sehingga setiap desainer dapat fokus mendesain salah satu fungsi yang terdapat dalam modul tersebut. Kerja sama dilakukan untuk mempermudah pembuatan desain VLSI yang memiliki tingkat kerumitan yang tinggi. Desainer juga dapat mempercepat waktu mendesain dengan menggunakan kode sumber yang sudah ada atau bekerja sama secara paralel membuat masing-masing modul yang nantinya akan digabung menjadi sebuah modul utama VLSI.

Setelah modul selesai dibuat maka modul siap untuk di-produksi. Dalam proses produksi modul perusahaan tempat desainer bekerja tidak perlu memiliki pabrik produksi modul sendiri, perusahaan dapat bekerja sama dengan mitra percetakan yang akan memproduksi modul buatan perusahaan modul tersebut. Cara kerja sama seperti ini disebut dengan Fabless Manufacturing [2]. Ketika akan memproduksi IC, perusahaan harus menyerahkan blueprint modul VLSI ke percetakan, namun blueprint tersebut tidak terjamin kerahasiaannya serta memungkinkan plagiarisme desain oleh oknum perusahaan atau pihak ketiga yang tertarik menggunakan desain VLSI yang telah diserahkan untuk di-produksi.

Dengan memberikan rangkaian watermark sebagai pengamanan pada blueprint VLSI siap cetak yang menandakan kepemilikan dari desainer atau perusahaan produsen modul akan melindungi dari kecurangan pihak lain yang akan mencuri desain. Sehingga kemungkinan pencurian atau plagiarisme yang menyebabkan kerugian pada perusahaan atau desainer karena desainnya dicuri atau di-plagiat berku-

rang

1.2 Rumusan Masalah

Berikut ini dijelaskan rumusan masalah yang dihadapi dalam proposal penelitian Intellectual Property Protection (IPP) menggunakan metode Digital Filter Algorithm using Logical Polymorph Gate Key Verification :

1. Dengan metode Fabless Manufacturing, desain modul yang siap diproduksi diserahkan kepada perusahaan percetakan mitra sehingga mitra dapat mengetahui desain modul dari desainer yang memungkinkan desain dapat dicuri oleh oknum percetakan atau pihak ketiga yang tertarik dengan desain tersebut.
2. Desain modul rawan terhadap plagiarisme karena desain elektronik sangat mudah ditiru, sehingga pengamanan desain harus dilakukan agar desain tidak mudah untuk dicuri atau di-plagiat.
3. Apabila pihak ketiga mencuri desain, desainer dapat mengklaim modul tersebut dengan bukti dari pengamanan watermark yang telah tertanam dalam IC menggunakan teknik pemanggilan watermark yang hanya diketahui oleh desainer yang mendesain IC tersebut.

1.3 Tujuan

Berikut merupakan tujuan pengamanan desain modul yang siap cetak sehingga aman terhadap pencurian hak cipta :

1. Merancang rangkaian pengamanan dalam sebuah chip design sebagai bukti kepemilikan desain (ownership) atau watermarking.
2. Desain chip yang telah diberi rangkaian watermark akan dianalisis perubahan performa dari desain sebelum dan sesudah watermarking serta kemungkinan watermark di-modifikasi oleh pihak lain atau reverse engineering untuk digunakan kembali oleh pengguna yang tidak sah.

3. Rangkaian ini akan ditanam di dalam chip yang pemanggilan informasi pemilik dari chip hanya diketahui oleh pemilik cipta.

1.4 Batasan Masalah

Dalam penelitian ini rancangan desain VLSI yang disisipkan watermark membatasi masalah serta pembahasan yang akan diteliti sebagai berikut :

1. Tidak membuat modul IC VLSI spesifik, namun menggunakan yang sudah ada dan menyisipkan dengan watermark.
2. Menyisipkan rangkaian dengan data watermark dan tidak membahas detail data dari pemilik cipta.
3. Watermarking yang dilakukan untuk satu chip IC dan tidak mewatermark masing-masing modul yang ter-integrasi dalam chip IC.

1.5 Metodologi Penyelesaian Masalah

1.6 Sistematika Penulisan

Sistematika penulisan laporan adalah sebagai berikut:

- Bab 1 PENDAHULUAN
- Bab 2 TINJAUAN PUSTAKA
- Bab 3 DESAIN DAN SIMULASI
- Bab 4 PENGUJIAN DAN ANALISIS
- Bab 5 KESIMPULAN DAN SARAN

BAB 2

TINJAUAN PUSTAKA

2.1 Pekerjaan Sebelumnya dan Keterkaitan

Secara garis besar teknik Intellectual Property Protection (IPP) watermarking dapat diklasifikasikan menjadi 2 kelas yaitu Dynamic Watermarking dan Static Watermarking. Dynamic Watermarking merupakan watermark yang tidak dapat terdeteksi kecuali dengan menjalankan IP yang telah di-watermark untuk mendeteksi sinyal yang dihasilkan, seperti digital signal processing (DSP), atau finite state machine (FSM) watermarking. Static Watermarking merupakan watermark yang mengacu pada properti dari sebuah desain, dan hanya bisa terdeteksi dengan cara statis yang berbeda, seperti jalur dan penempatan watermarking [7].

Salah satu pengamanan lain adalah mengonversi fail simulasi dari fail. RTL source code yang memungkinkan tidak mudah untuk di-reverse-engineering oleh pihak ketiga, sehingga model tidak dapat dirubah dan digunakan kembali dengan keperluan lain oleh pihak ketiga dan pengguna yang tidak bertanggung jawab.[8][9]

Namun cara tersebut hanya melindungi dari sisi software yang melindungi IP agar tidak di-salah-gunakan oleh pengguna pihak ketiga. Untuk pengamanan IP yang digunakan dalam sharing project dan reusable project dapat digunakan dengan pengamanan Digital Signal Processing cell yang memungkinkan integrasi dalam sistem.

Dalam penelitian kali ini akan melakukan kombinasi dari proteksi IP polimorph gate dengan algoritme filter digital. Menggunakan gabungan dari dua teknik ini akan memberikan tambahan keamanan pada proteksi IP yang kemungkinan tingkat over write watermark lebih kecil. Oleh karena itu dalam penelitian ini mengajukan sebuah gabungan metode yang sudah ada untuk meningkatkan kemampuan pengamanan dalam sebuah modul VLSI yang sudah ada. Dengan menggabungkan polygate sebagai kunci kombinasi untuk mengaktifkan modul filter digital yang akan digunakan sebagai watermark.

2.2 Perancangan dan Implementasi Algoritme DSP untuk IPP

Melakukan analisis terhadap masalah yang dikaji kemudian akan dilakukan rancangan Intellectual Property Protection (IPP) dengan algoritme Filter Digital yang dibangun meliputi rangkaian uji. Dari desain modul VLSI yang telah ada akan diuji coba kan performa sebelum diberi watermark.

Dengan memberikan rangkaian watermark sebagai pengamanan pada blueprint VLSI siap cetak yang menandakan kepemilikan dari desainer atau perusahaan produsen modul akan melindungi dari kecurangan pihak lain yang akan mencuri desain tersebut. Sehingga kemungkinan pencurian atau plagiarisme berkurang yang menyebabkan kerugian pada perusahaan atau desainer karena desain nya dicuri atau diplagiat.

Desain akan dirancang dengan kombinasi Low Pass Filter, High Pass Filter, Band Pass Filter, dan Band Reject Filter. Kombinasi ini akan ditentukan dan diaktifkan oleh polygate sebagai kunci pengaktifan kombinasi Filter digital. Setelah Filter digital aktif maka kombinasi data akan melewati kombinasi filter yang diaktifkan dari kombinasi polygate. Kemudian data hasil kombinasi proses ini akan membentuk pola khusus yang menjadi data watermark dari desainer yang mencirikan identitas desainer. Setelah diberikan watermark maka modul akan diuji coba kan kembali performa nya. Bila terjadi penurunan performa maka akan dilakukan perbaikan algoritma kemudian dilakukan diuji kembali performa nya. Hingga didapat performa yang paling baik dari beberapa uji coba yang akan dilakukan.

BAB 3

DESAIN DAN SIMULASI

3.1 Studi Literatur

3.2 Analisis

Analisis dilakukan untuk mengkaji masalah yang ada, mendefinisikan batasan dalam masalah, lalu mencari solusi dari masalah tersebut. Analisis juga meliputi performa rancangan modul yang telah diberi watermark yang diuji coba dalam board FPGA.

3.3 Perancangan

Pada tahap ini dilakukan pengkajian masalah serta pendefinisian batasan masalah. Pencarian solusi atas masalah yang muncul juga dilakukan. Tahap ini juga meliputi analisis penempatan dan penentuan jalur dalam pemasangan rangkaian uji IP Protection pada VLSI.

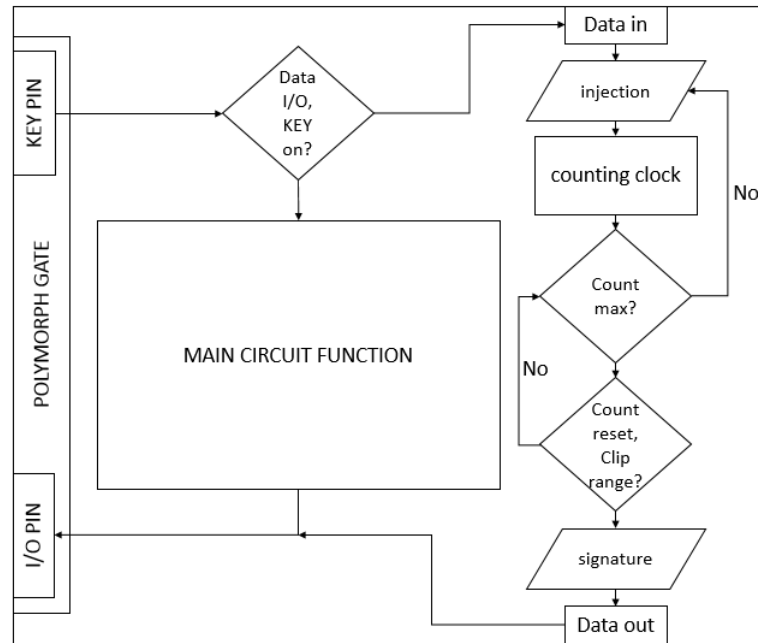
Penelitian kali ini akan melakukan simulasi desain controller HDMI menggunakan FPGA. Desain controller ini akan di-tes performanya dengan menjalankan fail multimedia. Controller akan disambung-kan ke connector HDMI lalu menampilkan hasil keluaran multimedia pada monitor atau TV. Kemudian di dalam controller HDMI ini akan disisipkan rangkaian watermark dan akan dilakukan pengecekan performanya lagi untuk mengetahui terjadinya penurunan performa karena watermark.

Dalam penelitian ini teknik watermark yang digunakan adalah menggabungkan rangkaian logical polymorph gate sebagai kunci utama untuk mengaktifkan rangkaian Digital Signal Filter yang akan diberi masukan kunci kedua untuk memanggil data watermark dalam chip.

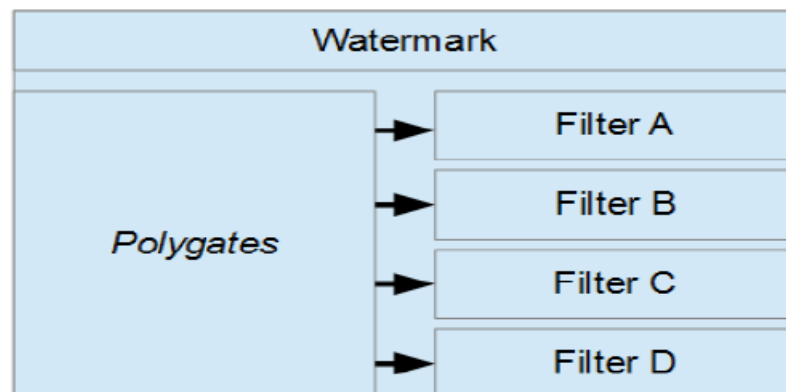
Tabel 3.1: Add caption

Alphabet	Biner
H	111
F	101
G	110
C	010
D	011
E	100
C	010
A	000
H	111
E	100
C	010
B	001
C	010
F	101
D	011
E	100
C	010
H	111
D	011

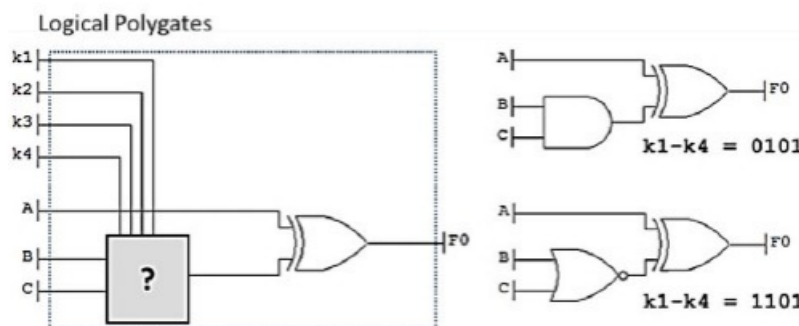
INPUT : HFGCDECAHECBCFDECHD
OUTPUT : CABE



Gambar 3.1: Simulation results for the network.



Gambar 3.2: Simulation results for the network.



Gambar 3.3: Simulation results for the network.

Setelah unique key dari Polygates di masukan (contoh: K1 - K4), maka pin input untuk algoritme DSP aktif (contoh: pin A - C) yang kemudian akan mengolah key

untuk penampilan watermark dalam chip.

Setelah polygate mengaktifkan filter yang dipilih maka data dari pin input DSP (contoh: pin A C) masuk ke dalam filter yang aktif dan akan diolah sebagai data input watermark.

3.4 Pengujian

Pada tahap ini dilakukan serangkaian uji coba untuk mengukur parameter performa rangkaian VLSI yang telah disisipkan rangkaian uji IP Protection. Petitcolas [13] mengidentifikasi beberapa hal yang menjadi bahan evaluasi untuk IP Protection :

3.4.1 Kerahasiaan algoritme

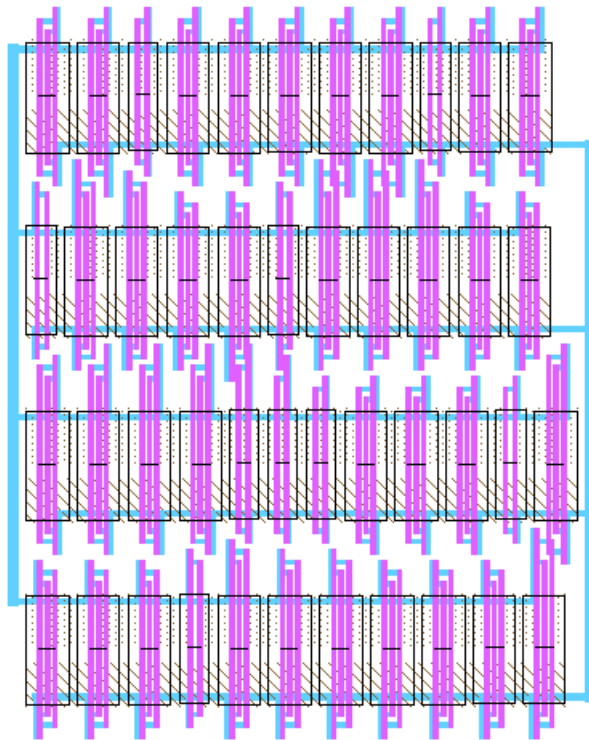
Merujuk pada aturan keamanan yang dijelaskan oleh Kerckhoffs [14] pada tahun 1883, setiap enkripsi atau teknik keamanan tidak boleh mengandalkan kerahasiaan suatu algoritme, tetapi pada kompleksitas matematis algoritme tersebut.

3.4.2 Tingkat Ketahanan Uji

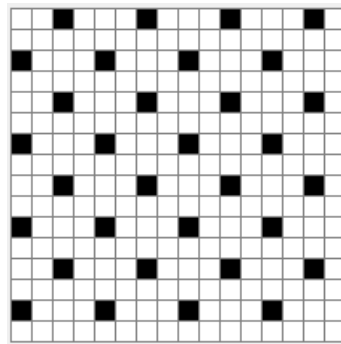
Ini adalah aspek yang sangat penting. Aspek ini berisi tentang ketahanan algoritme dari serangan dan persentase dari IP Protection tak terdeteksi. Kemungkinan detector salah mendeteksi algoritme pada rangkaian tanpa algoritme juga diperhitungkan di aspek ini.

3.4.3 Tingkat Penurunan Performa

Penurunan performa saat menyisipkan suatu metode IP Protection adalah hal yang tak dapat dihindari. Tetapi penurunan performa yang terlalu besar akan menjadi masalah. Maka dari itu, perbandingan performa antara rangkaian yang telah disisipkan IP Protection dan rangkaian tanpa IP Protection harus dilakukan.



Gambar 3.4: Simulation results for the network.



Gambar 3.5: Simulation results for the network.

3.4.4 Tingkat Deteksi

Penyisipan watermark merupakan bagian dari proses, pelacak-kan dan deteksi dalam teknik watermark IC. Pelacak-kan dan deteksi watermark pada kemungkinan penyerangan merupakan aspek yang akan dijadikan pertimbangan pada teknik watermark.

3.5 Data Pengujian

Metode yang akan digunakan merupakan simulasi pada board FPGA dengan desain modul yang sudah ada dan menyisipkan suatu rangkaian tambahan watermarking dan menguji perubahan performa modul yang telah di sisipkan watermark tersebut.

Dalam penelitian ini akan menggunakan teknik Digital Signal Processing Watermarking pada modul yang telah ada dengan kombinasi perhitungan loop biner dengan output yang akan membentuk nama dari produsen asli modul tersebut. Modul yang telah diberi watermark akan tetap dapat diuji keabsahan pemiliknya walaupun modul telah digabungkan dengan modul lain dalam sebuah proyek modul VLSI.

Kemudian setelah modul disisipkan watermark, kami akan menguji performa modul tersebut dengan mengharapkan tidak ada perubahan berarti terhadap modul yang telah diberi watermark tersebut.

BAB 4

PENGUJIAN DAN ANALISIS

Catatan

tambahkan kata-kata pengantar bab 1 disini

Tabel 4.1: Add caption

Desain	Total	Dinamic	Static
Original	10.42	00.00	10.42
original Watermark	11.47	01.05	10.42
Selisih	01.05	01.05	00.00
equivalen	9,19%	100,00%	0,00%

Tabel 4.2: Add caption

Time	in			out		
	0	1	2	0	1	2
0	1	1	1	0	0	0
1	1	0	1	0	1	0
2	1	1	0	0	0	0
3	0	1	0	0	0	1
4	0	1	1	0	1	1
5	1	0	0			
6	0	1	0			
7	0	0	0			
8	1	1	1			
9	1	0	0			
10	0	1	0			
11	0	0	1			
12	0	1	0			
13	1	0	1			
14	0	1	1			
15	1	0	0			
16	0	1	0			
17	1	1	1			
18	0	1	1			
19	0	0	0			

BAB 5

KESIMPULAN DAN SARAN

5.1 Kesimpulan

5.2 Saran

DAFTAR REFERENSI

- [1] Jeff Clark. (n.d). *Introduction to LaTeX*. 26 Januari 2010. <http://frodo.elon.edu/tutorial/tutorial/node3.html>.
- [2] R. Chapman and T. S. Durrani, IP Protection of DSP Algorithms for System on Chip Implementation, vol. 48, no. 3, pp. 854861, 2000.
- [3] Watermarking Techniques for Electronic Circuit Design, no. 1, pp. 117.
- [4] Q. Liu, W. Ji, Q. Chen, and T. Mak, IP Protection of Mesh NoCs Using Square Spiral Routing, vol. 24, no. 4, pp. 15601573, 2016.
- [5] A. Cui, C. Chang, S. Member, S. Tahar, and S. Member, A Robust FSM Watermarking Scheme for IP Protection of Sequential Circuit Design, vol. 30, no. 5, pp. 678690, 2011.
- [6] T. Nie, Performance Evaluation for IP Protection Watermarking Techniques.
- [7] J. Zhang, Y. Lin, Y. Lyu, G. Qu, and S. Member, A PUF-FSM Binding Scheme for FPGA IP Protection and Pay-Per-Device Licensing, vol. 10, no. 6, pp. 11371150, 2015.
- [8] J. Zhang, Y. Lin, Q. Wu, and W. Che, Watermarking FPGA Bitfile for Intellectual Property Protection, pp. 764771.
- [9] A. B. Kahng et al., Watermarking Techniques for Intellectual Property Protection.
- [10] V. G. Moshnyaga and H. Nita, STG-based Detection of Power Virus Inputs in FSM.

LAMPIRAN

LAMPIRAN 1