

**DESAIN DAN SIMULASI PERLINDUNGAN PROPERTI INTELEKTUAL  
MENGUNAKAN ALGORITME FILTER DIGITAL**

***DESIGN AND SIMULATION OF INTELLECTUAL PROPERTIES  
PROTECTION USING DIGITAL FILTER ALGORITHM***

**TUGAS AKHIR**

**Disusun sebagai syarat untuk memperoleh gelar Sarjana Teknik  
pada Program Studi S1 Sitemks Komputers  
Universitas Telkom**

**oleh**

**HANJARA CAHYA ADHYATMA  
1104131113**



**FAKULTAS TEKNIK ELEKTRO  
UNIVERSITAS TELKOM  
BANDUNG  
2017**

**DESAIN DAN SIMULASI PERLINDUNGAN PROPERTI INTELEKTUAL  
MENGUNAKAN ALGORITME FILTER DIGITAL**

***DESIGN AND SIMULATION OF INTELLECTUAL PROPERTIES  
PROTECTION USING DIGITAL FILTER ALGORITHM***

**TUGAS AKHIR**

**Disusun sebagai syarat untuk memperoleh gelar Sarjana Teknik  
pada Program Studi S1 Sitemks Komputers  
Universitas Telkom**

**oleh**

**HANJARA CAHYA ADHYATMA  
1104131113**



**FAKULTAS TEKNIK ELEKTRO  
UNIVERSITAS TELKOM  
BANDUNG  
2017**

## **HALAMAN PERSETUJUAN**

**Judul** : DESAIN DAN SIMULASI PERLINDUNGAN PROPERTI INTELEKTUAL MENGGUNAKAN ALGORITME FILTER DIGITAL

**Nama** : Hanjara Cahya Adhyatma

**NPM** : 1104131113

Laporan Tugas Akhir ini telah diperiksa dan disetujui.

XX September 2017

Prof. XXXX

Pembimbing Tugas Akhir

## **HALAMAN PERNYATAAN ORISINALITAS**

**Tugas Akhir ini adalah hasil karya saya sendiri,  
dan semua sumber baik yang dikutip maupun dirujuk  
telah saya nyatakan dengan benar.**

**Nama : Hanjara Cahya Adhyatma**  
**NPM : 1104131113**  
**Tanda Tangan :**

**Tanggal : XX September 2017**

## HALAMAN PENGESAHAN

Tugas Akhir ini diajukan oleh :  
Nama : Hanjara Cahya Adhyatma  
NPM : 1104131113  
Program Studi : S1 Sitemns Komputers  
Judul Tugas Akhir : DESAIN DAN SIMULASI PERLINDUNGAN  
PROPERTI INTELEKTUAL MENGGUNAKAN  
ALGORITME FILTER DIGITAL

**Telah berhasil dipertahankan di hadapan Dewan Penguji dan diterima sebagai bagian persyaratan yang diperlukan untuk memperoleh gelar Sarjana Teknik pada Program Studi S1 Sitemns Komputers, Fakultas Tekniks Elektos, Universitas Indonesia.**

## DEWAN PENGUJI

Pembimbing : Prof. XXXX ( )

Penguji : Prof. XXX ( )

Penguji : Prof. XXXX ( )

Penguji : Prof. XXXXXX ( )

**@todo**

Jangan lupa mengisi nama para penguji.

Ditetapkan di : Depok  
Tanggal : XX September 2017

## **KATA PENGANTAR**

Puji syukur terhadap Tuhan Yang Maha Esa yang telah memberikan rahmat dan hidayah Nya serta nikmat sehat dan nikmat waktu sehingga buku ini dapat diselesaikan. Ucapan terima kasih juga diperuntukkan untuk orang tua dan saudara saudara saya yang telah memberikan semangat, serta teman-teman yang telah membantu dalam pengerjaan buku ini. Ucapan terima kasih juga diperuntukan kepada Dosen-dosen pembimbing Tugas Akhir Telkom University yang memberikan masukan dan saran terhadap buku ini.

Buku penelitian ini bertujuan untuk mengembangkan ilmu teknologi serta keamanan dalam bidang System-on-Chip (SoC) yang masih jarang dikembangkan di Indonesia.

Bandung, 1 Juli 2017

Hanjara Cahya Adhyatma

## **HALAMAN PERNYATAAN PERSETUJUAN PUBLIKASI TUGAS AKHIR UNTUK KEPENTINGAN AKADEMIS**

Sebagai sivitas akademik Universitas Indonesia, saya yang bertanda tangan di bawah ini:

**Nama** : Hanjara Cahya Adhyatma  
**NPM** : 1104131113  
**Program Studi** : S1 Sitemis Komputers  
**Fakultas** : Tekniks Elektos  
**Jenis Karya** : Tugas Akhir

demikian pengembangan ilmu pengetahuan, menyetujui untuk memberikan kepada Universitas Indonesia **Hak Bebas Royalti Noneksklusif (Non-exclusive Royalty Free Right)** atas karya ilmiah saya yang berjudul:

### **DESAIN DAN SIMULASI PERLINDUNGAN PROPERTI INTELEKTUAL MENGUNAKAN ALGORITME FILTER DIGITAL**

berserta perangkat yang ada (jika diperlukan). Dengan Hak Bebas Royalti Noneksklusif ini Universitas Indonesia berhak menyimpan, mengalihmedia/formatkan, mengelola dalam bentuk pangkalan data (database), merawat, dan memublikasikan tugas akhir saya selama tetap mencantumkan nama saya sebagai penulis/pencipta dan sebagai pemilik Hak Cipta.

Demikian pernyataan ini saya buat dengan sebenarnya.

Dibuat di : Depok  
Pada tanggal : XX September 2017  
Yang menyatakan

(Hanjara Cahya Adhyatma)

## ABSTRAK

System on a Chip (SoC) adalah sebuah modul embedded system yang memiliki fungsi tertentu dalam sebuah papan chip silicon yang juga bisa disebut dengan Very Large Scale Integration (VLSI). Pemilik dari desain SoC memiliki hak cipta atas desain sistem yang telah dibuat. Fabless manufacturing merupakan cara pencetakan modul perangkat keras yang desainer Integrated Circuit (IC) adalah Outsourcing dari luar pabrik percetakan.

Fabless manufacturing dari desain IC memiliki celah pencurian desain ketika desain akan dicetak atau ketika proyek membutuhkan multiple module dengan berbagai fungsi dari berbagai desainer. Oleh karena itu setiap modul VLSI dari desainer chip ini membutuhkan bukti ownership dari perancang atau perusahaan produksi.

Dalam penelitian ini berencana membuat rancangan verifikasi ownership dengan 2 kunci khusus verifikasi yaitu Polygate sebagai kunci utama yang akan mengaktifkan kunci kedua, dan kunci kedua akan aktif yang prosesnya menggunakan algoritme filter digital.

**Kata Kunci:** VLSI, Intellectual Property Protection, Digital Signal Processing, Polygate Watermark.



## ABSTRACT

System on a Chip (SoC) is an embedded system module Has a certain functionality in a silicon chip board that can also be called With Veri Large Scale Integration (VLSI). The owner of the SoC design has Copyright over the system design that has been created. Fabless manufacturing is How to mold a hardware module that is designer Integrated Circuit (IC) Is Outsourcing from outside the printing factory.

Fabless manufacturing from IC design has gap design theft When the design will be printed or when the project requires mutiple module With various functions from various designers. Therefore every module is VLSI From this chip designer requires proof of ownership from the designer or Production company.

In this study plans to make a verification of ownership design With 2 dedicated verification keys ie Polygate as the primary key going Activate the second key, and the second key will be active which process Using a digital filter algorithm.

**Keywords:** VLSI, Intellectual Property Protection, Digital Signal Processing, Polygate Watermark.

## DAFTAR ISI

<b>HALAMAN JUDUL</b>	<b>i</b>
<b>LEMBAR PERSETUJUAN</b>	<b>ii</b>
<b>LEMBAR PERNYATAAN ORISINALITAS</b>	<b>iii</b>
<b>LEMBAR PENGESAHAN</b>	<b>iv</b>
<b>KATA PENGANTAR</b>	<b>v</b>
<b>LEMBAR PERSETUJUAN PUBLIKASI ILMIAH</b>	<b>vi</b>
<b>ABSTRAK</b>	<b>vii</b>
<b>Daftar Isi</b>	<b>ix</b>
<b>Daftar Gambar</b>	<b>xi</b>
<b>Daftar Tabel</b>	<b>xii</b>
<b>1 PENDAHULUAN</b>	<b>1</b>
1.1 Latar Belakang . . . . .	1
1.2 Permasalahan . . . . .	2
1.2.1 Rumusan Masalah . . . . .	2
1.2.2 Batasan Permasalahan . . . . .	2
1.3 Tujuan . . . . .	3
1.4 Metodologi Penelitian . . . . .	3
1.5 Sistematika Penulisan . . . . .	3
<b>2 TINJAUAN PUSTAKA</b>	<b>5</b>
2.1 Large Scale Integration . . . . .	5
2.2 Arus Pengembangan LSI . . . . .	5
2.3 Kemungkinan Serangan Desain LSI . . . . .	5
2.4 Mengatasi Serangan terhadap Desain LSI . . . . .	5
2.5 Cara yang Diajukan Penulis . . . . .	6

	x
<b>3 DESAIN DAN SIMULASI</b>	<b>7</b>
3.1 Desain . . . . .	7
3.2 Simulasi . . . . .	9
<b>4 PENGUJIAN DAN ANALISIS</b>	<b>10</b>
4.1 Pengujian . . . . .	10
4.1.1 Pengujian 1 . . . . .	10
4.1.2 Pengujian 2 . . . . .	10
4.2 Analisis . . . . .	10
4.2.1 Analisis 1 . . . . .	11
4.2.2 Analisis 2 . . . . .	11
<b>5 KESIMPULAN DAN SARAN</b>	<b>12</b>
5.1 Kesimpulan . . . . .	12
5.2 Saran . . . . .	12
<b>Daftar Referensi</b>	<b>13</b>
<b>LAMPIRAN</b>	<b>1</b>
<b>Lampiran 1</b>	<b>2</b>

## DAFTAR GAMBAR

3.1	Arsitektur watermark . . . . .	7
3.2	Aktifasi . . . . .	8
3.3	Arsitektur watermark off . . . . .	8
3.4	Arsitektur watermark on . . . . .	9

## DAFTAR TABEL

1	Add caption . . . . .	2
---	-----------------------	---

# **BAB 1**

## **PENDAHULUAN**

Membuat desain IC membutuhkan sumber daya yang sangat banyak, serta prosedur dan ketelitian yang tinggi. Oleh karena itu dalam prosesnya dibutuhkan pengamanan agar desain tidak mudah dicuri yang akan menimbulkan kerugian bagi produsen IC tersebut.

### **1.1 Latar Belakang**

Integrated Circuit (IC) merupakan modul teknologi dasar dari perangkat elektronika tertanam modern. Dengan berkembangnya teknologi IC yang mengutamakan ukuran kecil, dan performa yang tinggi serta dengan harga yang murah membuat teknologi IC semakin diminati [1].

Dengan ukuran modul yang sangat kecil dan banyaknya komponen pembangun, kerja sama antara desainer dilakukan untuk membangun sebuah modul VLSI sehingga setiap desainer dapat fokus mendesain salah satu fungsi yang terdapat dalam modul tersebut. Kerja sama dilakukan untuk mempermudah pembuatan desain VLSI yang memiliki tingkat kerumitan yang tinggi. Desainer juga dapat mempercepat waktu mendesain dengan menggunakan kode sumber yang sudah ada atau bekerja sama secara paralel membuat masing-masing modul yang nantinya akan digabung menjadi sebuah modul utama VLSI.

Setelah modul selesai dibuat maka modul siap untuk di-produksi. Dalam proses produksi modul perusahaan tempat desainer bekerja tidak perlu memiliki pabrik produksi modul sendiri, perusahaan dapat bekerja sama dengan mitra percetakan yang akan memproduksi modul buatan perusahaan modul tersebut. Cara kerja sama seperti ini disebut dengan Fabless Manufacturing [2]. Ketika akan memproduksi IC, perusahaan harus menyerahkan blueprint modul VLSI ke percetakan, namun blueprint tersebut tidak terjamin kerahasiaannya serta memungkinkan plagiarisme desain oleh oknum perusahaan atau pihak ketiga yang tertarik menggunakan desain VLSI yang telah diserahkan untuk di-produksi.

Dengan memberikan rangkaian watermark sebagai pengamanan pada blueprint VLSI siap cetak yang menandakan kepemilikan dari desainer atau perusahaan produsen modul akan melindungi dari kecurangan pihak lain yang akan mencuri desain. Sehingga kemungkinan pencurian atau plagiarisme yang menyebabkan ke-

rugian pada perusahaan atau desainer karena desain nya dicuri atau di-plagiat berkurang

## **1.2 Permasalahan**

Pada bagian ini akan dijelaskan mengenai definisi permasalahan yang Hanjara Cahya Adhyatma hadapi dan ingin diselesaikan serta asumsi dan batasan yang digunakan dalam menyelesaikannya. Berikut ini dijelaskan rumusan masalah yang dihadapi dalam penelitian Intellectual Property Protection (IPP) menggunakan metode Digital Filter Algorithm :

### **1.2.1 Rumusan Masalah**

Berikut ini dijelaskan rumusan masalah yang dihadapi dalam penelitian Intellectual Property Protection (IPP) menggunakan metode Digital Filter Algorithm :

1. Dengan metode Fabless Manufacturing, desain modul yang siap diproduksi diserahkan kepada perusahaan percetakan mitra sehingga mitra dapat mengetahui desain modul dari desainer yang memungkinkan desain dapat dicuri oleh oknum percetakan atau pihak ketiga yang tertarik dengan desain tersebut.
2. Desain modul rawan terhadap plagiarisme karena desain elektronik sangat mudah ditiru, sehingga pengamanan desain harus dilakukan agar desain tidak mudah untuk dicuri atau di-plagiat.
3. Apabila pihak ketiga mencuri desain, desainer dapat mengklaim modul tersebut dengan bukti dari pengamanan watermark yang telah tertanam dalam IC menggunakan teknik pemanggilan watermark yang hanya diketahui oleh desainer yang mendesain IC tersebut.

### **1.2.2 Batasan Permasalahan**

Dalam penelitian ini rancangan desain VLSI yang disisipkan watermark membatasi masalah serta pembahasan yang akan diteliti sebagai berikut :

1. Tidak membuat modul IC VLSI spesifik, namun menggunakan yang sudah ada dan menyisipkan dengan watermark.
2. Menyisipkan rangkaian dengan data watermark dan tidak membahas detail data dari pemilik cipta.

3. Watermarking yang dilakukan untuk satu chip IC dan tidak mewatermark masing-masing modul yang ter-integrasi dalam chip IC.

### 1.3 Tujuan

Berikut merupakan tujuan pengamanan desain modul yang siap cetak sehingga aman terhadap pencurian hak cipta :

1. Merancang rangkaian pengamanan dalam sebuah chip design sebagai bukti kepemilikan desain (ownership) atau watermarking.
2. Desain chip yang telah diberi rangkaian watermark akan dianalisis perubahan performa dari desain sebelum dan sesudah watermarking serta kemungkinan watermark di-modifikasi oleh pihak lain atau reverse engineering untuk digunakan kembali oleh pengguna yang tidak sah.
3. Rangkaian ini akan ditanam di dalam chip yang pemanggilan informasi pemilik dari chip hanya diketahui oleh pemilik cipta.

### 1.4 Metodologi Penelitian

Metode penelitian yang digunakan adalah perancangan dan prototyping dan percobaan untuk membuktikan hipotesis yang ada.

### 1.5 Sistematika Penulisan

Sistematika penulisan laporan adalah sebagai berikut:

- Bab 1 PENDAHULUAN  
Berisi tentang uraian latar belakang, rumusan serta batasan masalah dan gambaran umum tentang penelitian sebelumnya yang sudah ada.
- Bab 2 TINJAUAN PUSTAKA  
Menjelaskan penjelasan singkat tentang LSI dan proses pembuatannya serta kemungkinan serangan dan cara mengatasinya. Cara mengatasi dari penelitian sebelumnya yang sudah ada dan cara yang diajukan oleh penulis.
- Bab 3 DESAIN DAN SIMULASI  
Penjelasan detail tentang desain yang di ajukan penulis untuk mengatasi pembajakan desain serta simulasi hasil dari perancangan desain yang diajukan.



- **Bab 4 PENGUJIAN DAN ANALISIS**

Hasil pengujian terhadap desain yang diajukan penulis serta analisis terhadap desain yang diajukan.

- **Bab 7 KESIMPULAN DAN SARAN**

Kesimpulan yang didapat dari hasil pengujian desain yang diajukan dan saran untuk pengembangan riset dimasa mendatang.

## BAB 2

### TINJAUAN PUSTAKA

Membuat desain sebuah perangkat ic membutuhkan proses yang panjang dan sumberdaya manusia yang banyak, serta tingkat ketelitian yang tinggi. Oleh karenanya di butuhkan biaya yang tidak kecil dan waktu yang cukup lama hanya untuk membuat sebuah desain IC. Dengan kerumitan yang tinggi serta waktu yang lama dalam setiap prosesnya kadang pihak yang tak bertanggung jawab melakukan kecurangna dengan mecuri desain untuk memotong waktu dan biaya yang di butuhkan untuk produksi. sehingga menjadi masalah dalam dunia permanufakturan ic.

#### 2.1 Large Scale Integration

*Large Scale Integration* atau disingkat LSI merupakan teknologi desain IC dengan kepadatan gate sekitar xx gate. pada awalnya blablabal...

#### 2.2 Arus Pengembangan LSI

**@todo**

isi perkembangan LSI sesua renesas web

#### 2.3 Kemungkinan Serangan Desain LSI

**@todo**

dari paper dan buku jelasin gimana kemungkinan serangan

#### 2.4 Mengatasi Serangan terhadap Desain LSI

**@todo**

jelasin dari buku dan paper gimana cara mengatasinya

## 2.5 Cara yang Diajukan Penulis

### @todo

Jelasin yg gue kerjain, terus kasih kelebihanannya, agak mikir sih, but its simple may be

## BAB 3

### DESAIN DAN SIMULASI

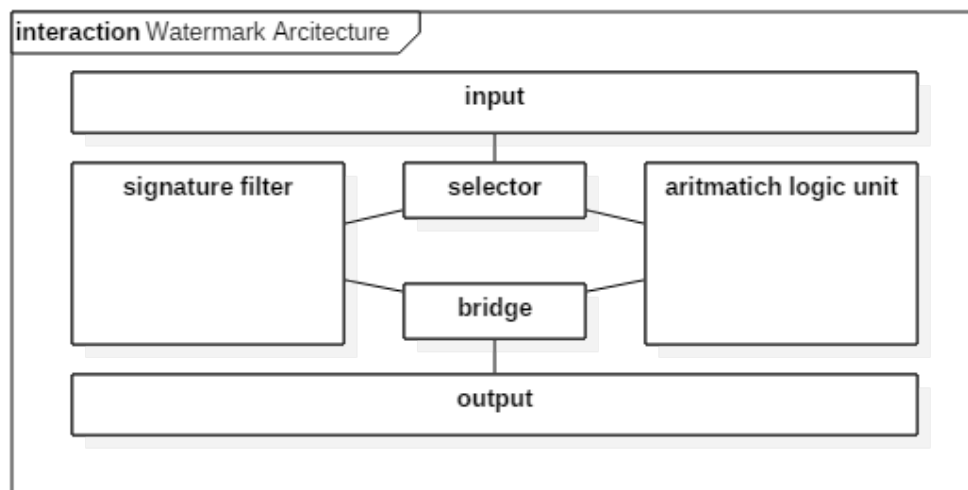
**@todo**

tambahkan kata-kata pengantar bab 1 disini

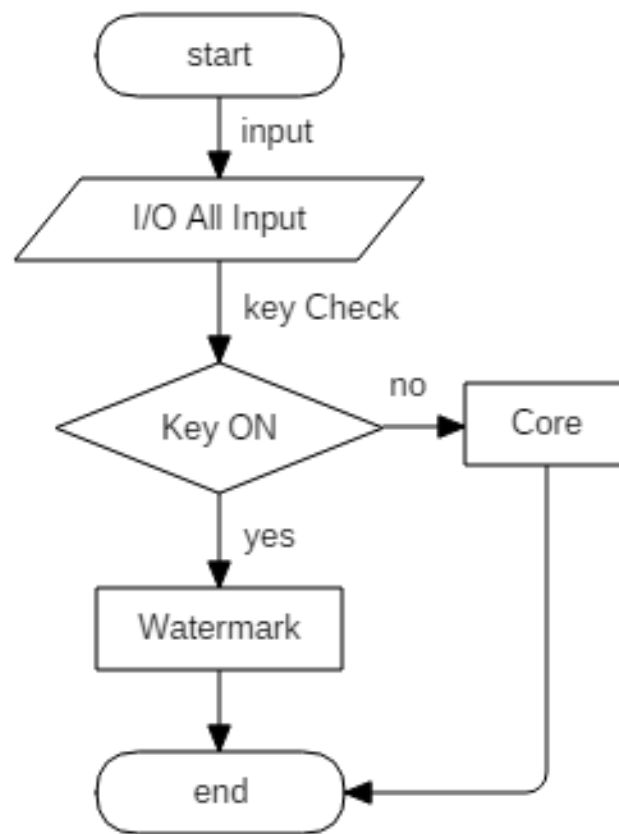
### 3.1 Desain

**@todo**

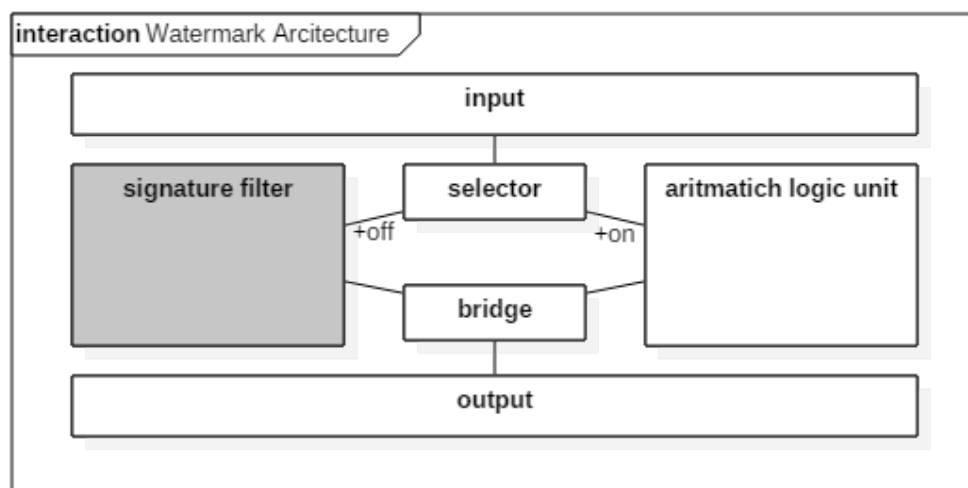
jelasin desainmu di sini secara detail



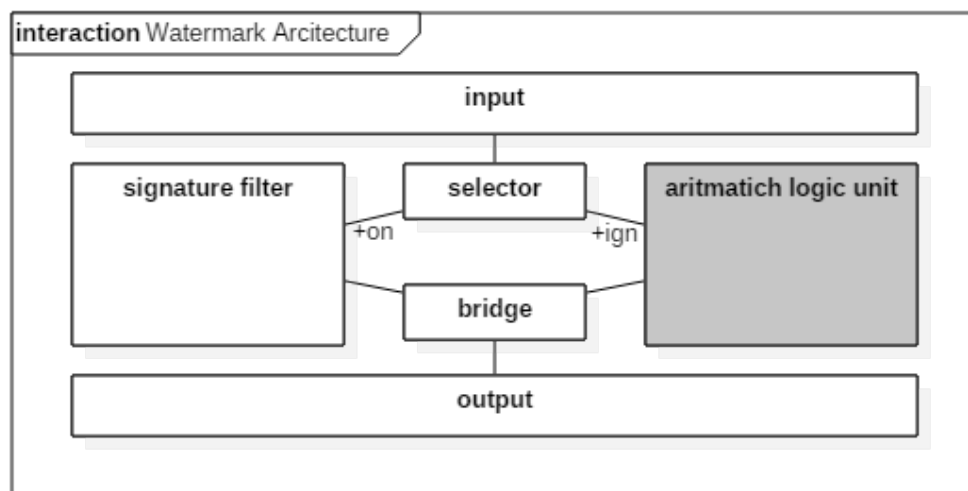
**Gambar 3.1:** Arsitektur watermark



**Gambar 3.2:** Aktifasi



**Gambar 3.3:** Arsitektur watermark off



**Gambar 3.4:** Arsitektur watermark on

## 3.2 Simulasi

**@todo**

jelasin dan tampilin simulasi apa aja yang bakal gw lakuin disini

## BAB 4

### PENGUJIAN DAN ANALISIS

**@todo**

tambahkan kata-kata pengantar bab 4 disini

#### 4.1 Pengujian

**@todo**

Tampilkan macam macam hasil pengujian yang telah di lakukan

##### 4.1.1 Pengujian 1

**@todo**

tambahin kata kata

##### 4.1.2 Pengujian 2

**@todo**

tambahin kata kata

#### 4.2 Analisis

**@todo**

Tampilkan macam macam hasil analisis dari setiap pengujian

#### 4.2.1 Analisis 1

**@todo**

tambahin kata kata

#### 4.2.2 Analisis 2

**@todo**

tambahin kata kata



## **BAB 5**

### **KESIMPULAN DAN SARAN**

**@todo**

Tambahkan kesimpulan dan saran terkait dengan pekerjaan yang dilakukan.

#### **5.1 Kesimpulan**

**@todo**

tambahin kata kata

#### **5.2 Saran**

**@todo**

tambahin kata kata

## DAFTAR REFERENSI

- [1] Jeff Clark. (n.d). *Introduction to LaTeX*. 26 Januari 2010. <http://frodo.elon.edu/tutorial/tutorial/node3.html>.

# LAMPIRAN

## LAMPIRAN 1

**Tabel 1:** Add caption

Keterangan Type			
n	LITER	METER	
<b>A</b>	10	0,01	0,0215
<b>B</b>	100	0,1	0,0464
<b>C</b>	1.000	1	0,1000
<b>D</b>	10.000	10	0,2154
<b>E</b>	100.000	100	0,4642
<b>F</b>	1.000.000	1K	1,0000
<b>G</b>	10.000.000	10K	2,1544
<b>H</b>	100.000.000	100K	4,6416
<b>I</b>	1.000.000.000	1M	10,0000
<b>J</b>	10.000.000.000	10M	21,5443
<b>K</b>	100.000.000.000	100M	46,4159
<b>L</b>	1.000.000.000.000	1B	100,0000
<b>M</b>	10.000.000.000.000	10B	215,4435
<b>N</b>	100.000.000.000.000	100B	464,1589