

# Лабораторная работа №2

## «Функциональная схемотехника»

---

Выполнили: Артур Куприянов, Екатерина Машина

Преподаватель: Тищук Б.Ю.

Санкт-Петербург, 2021

## Задание

---

- Разработайте и опишите на Verilog HDL схему, вычисляющую значение функции в соответствии с заданными ограничениями согласно варианту задания.
- Определите область допустимых значений функции.
- Разработайте тестовое окружение для разработанной схемы. Тестовое окружение должно проверять работу схемы не менее, чем на 10 различных тестовых векторах.
- Проведите моделирование работы схемы и определите время вычисления результата. Схема должна тактироваться от сигнала с частотой 100 МГц.

## Вариант

---

- `y = a^3 + sqrt(b)`
- 2 сумматора и 1 умножитель

## Область допустимых значений и область представления данных

---

### Область представления

- `a, b` - положительные 8 битные числа в двоичной системе счисления
- `y` - положительное 24 битное число в двоичной системе счисления

### Область допустимых значений

- $0 \leq a, b \leq FF$
- $0 \leq y \leq FD030F$

## Описание работы алгоритма

---

1. Вычисление куба числа `a`
2. Квадратного корня из числа `b`
3. Вычисление суммы результатов пунктов 1 и 2

## Описание модуля на языке Verilog HDL

---

- [function.v](#)
- [cube.v](#)
- [mult.v](#)
- [root.v](#)

# Тестовое окружение

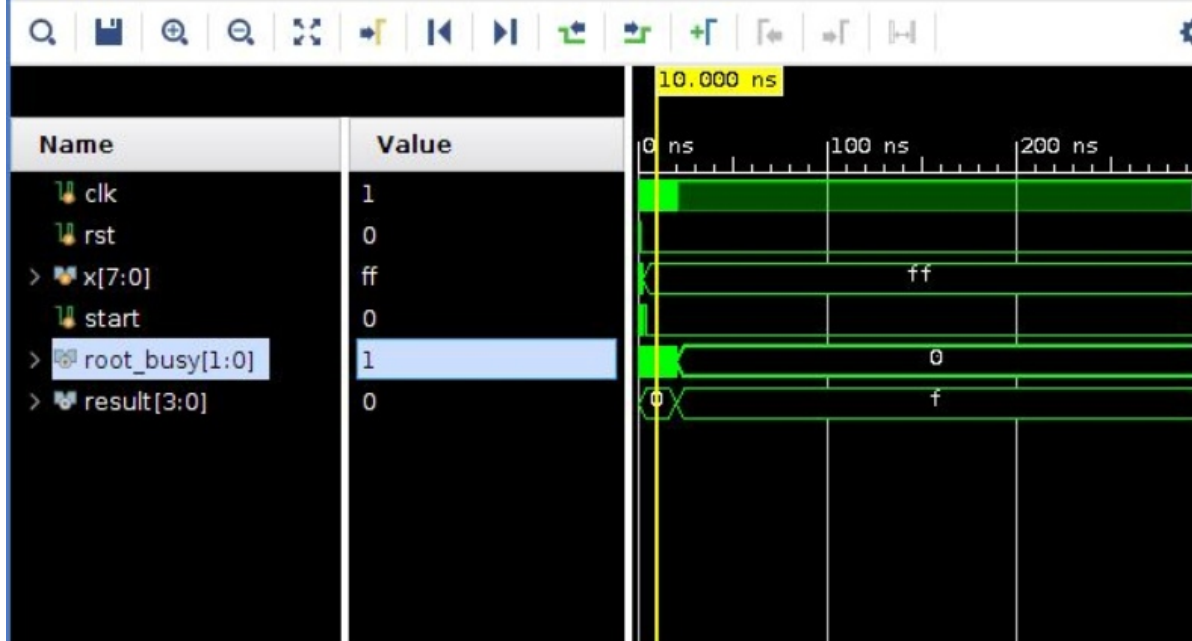
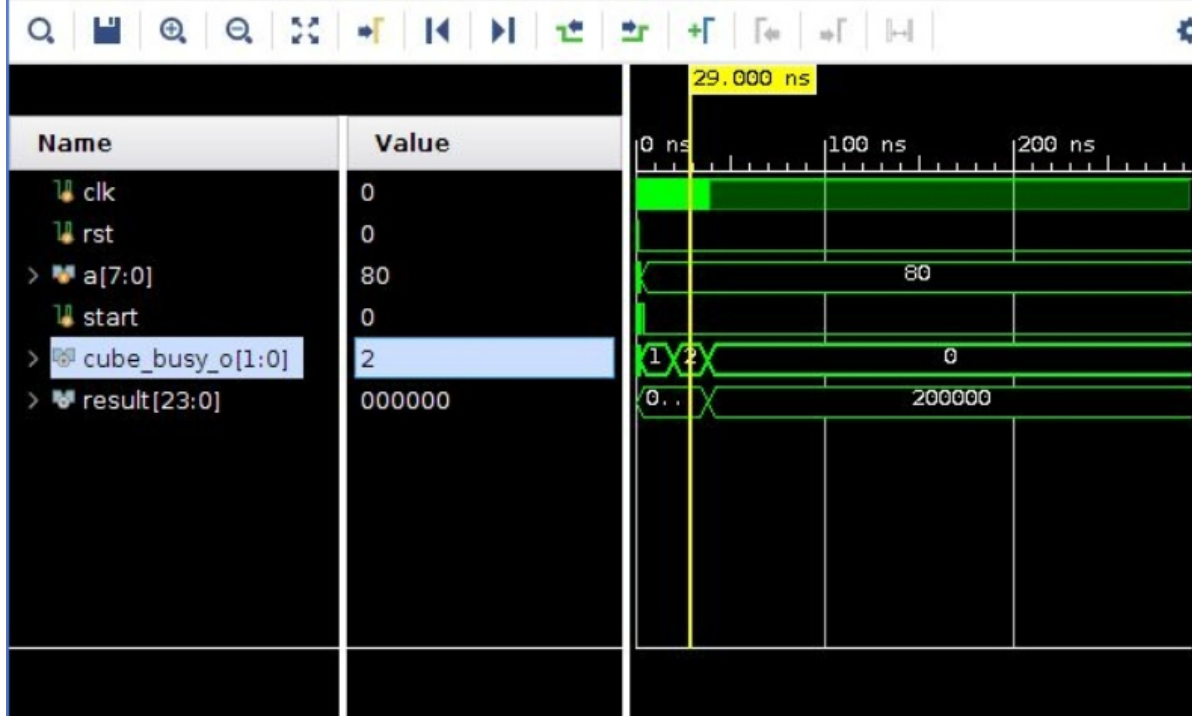
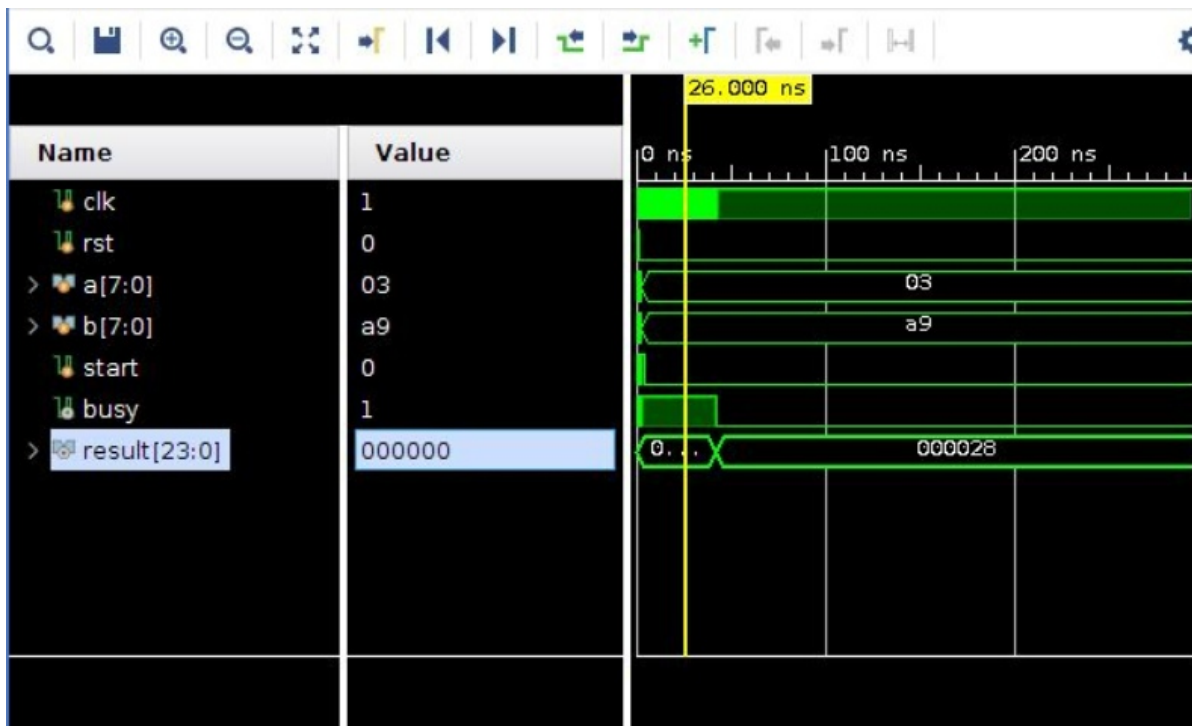
---

- [main\\_function.v](#)
- [cube\\_tb.v](#)
- [root\\_tb.v](#)

## Временная диаграмма

---

Ниже представлены временные диаграммы для первого и второго тестов. Из первой диаграммы видно, что на вычисление одного значения (при тактовой частоте 100 МГц) уходит 1240 нс.



# Потребление ресурсов на FPGA

Замеры потребления ресурсов FPGA были сделаны в симуляторе Vivaldo HDL.

## Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

**Total On-Chip Power:** 0.218 W

**Design Power Budget:** Not Specified

**Power Budget Margin:** N/A

**Junction Temperature:** 26.0°C

Thermal Margin: 59.0°C (12.8 W)

Effective  $\theta_{JA}$ : 4.6°C/W

Power supplied to off-chip devices: 0 W

Confidence level: [Low](#)

**On-Chip Power**

Dynamic: 0.134 W (61%)

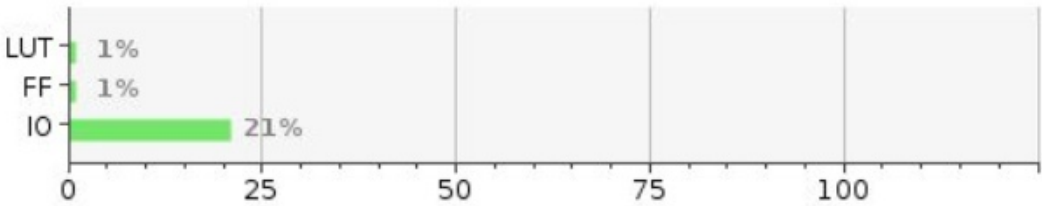
Device Static: 0.084 W (39%)

Signals: 0.054 W (40%)

Logic: 0.008 W (6%)

I/O: 0.072 W (54%)

| Resource | Utilization | Available | Utilization % |
|----------|-------------|-----------|---------------|
| LUT      | 51          | 63400     | 0.08          |
| FF       | 55          | 126800    | 0.04          |
| IO       | 44          | 210       | 20.95         |



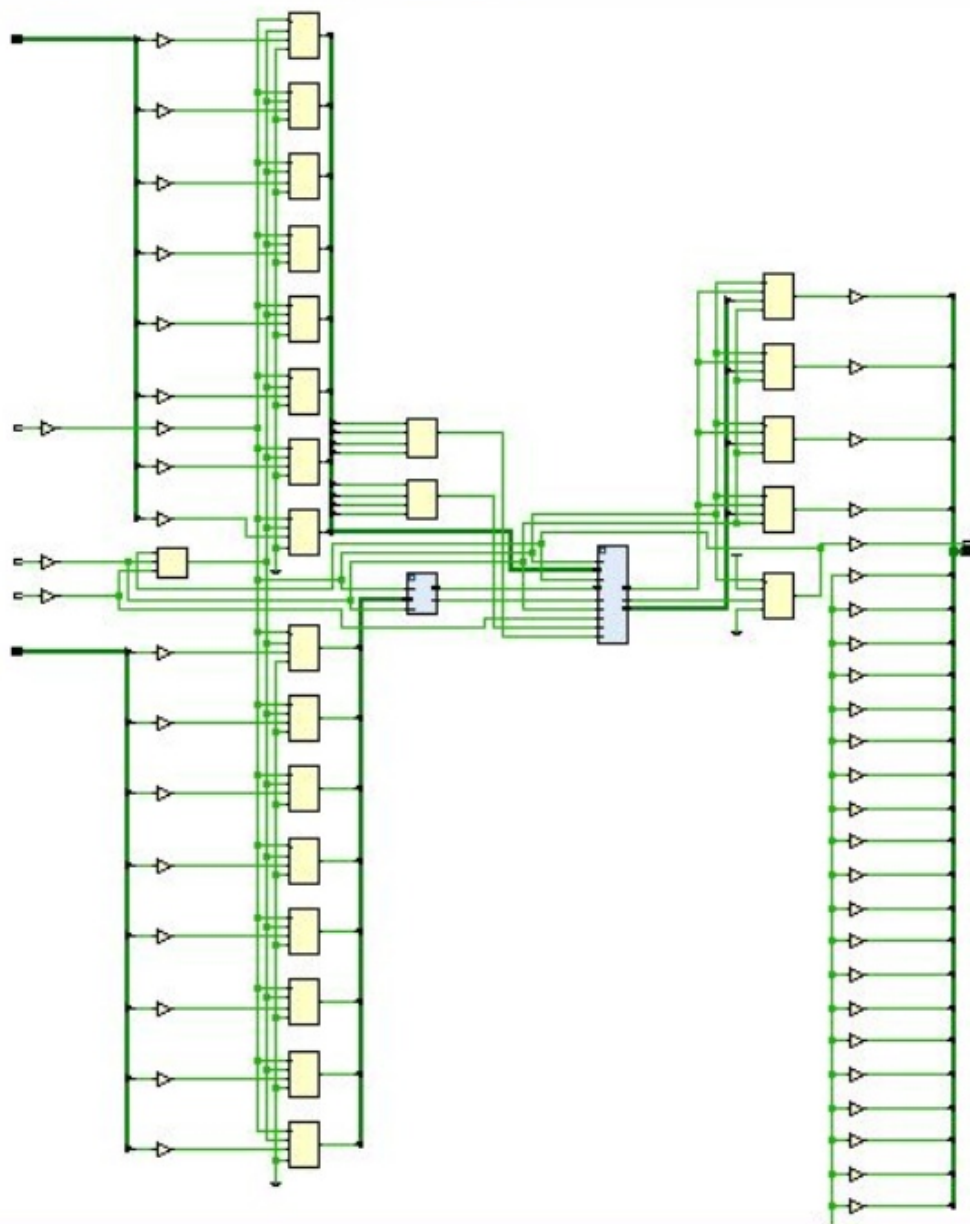
## Схема устройства



71 Cells

44 I/O Ports

98 Nets



## Вывод

В ходе выполнения работы была создана последовательная схема ускорителя математических вычислений.