

Лабораторная работа 1

Вариант 2

Логический базис	БОО
NAND	Полный четырехразрядный компаратор

Цели работы

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
2. Получить навыки описания схем базовых операционных элементов (БОО) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.

Выполнение

Схема компаратора в логическом базисе NAND

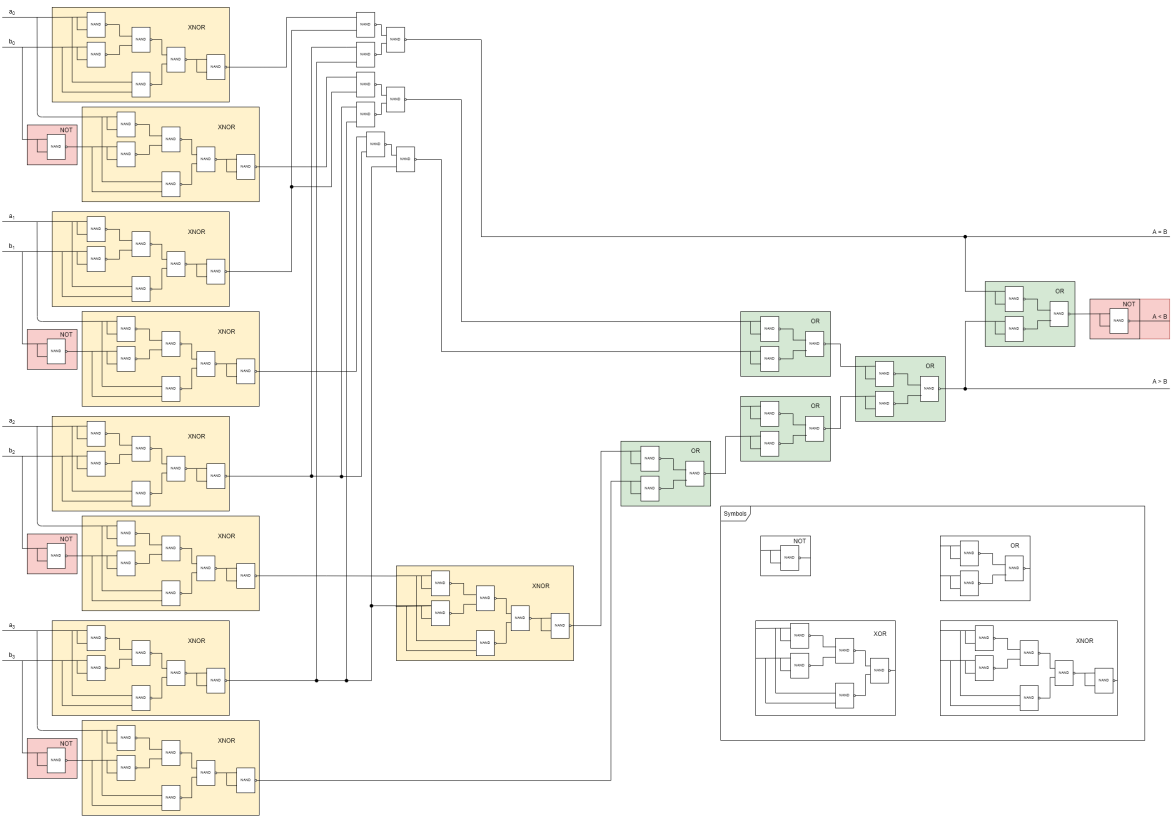
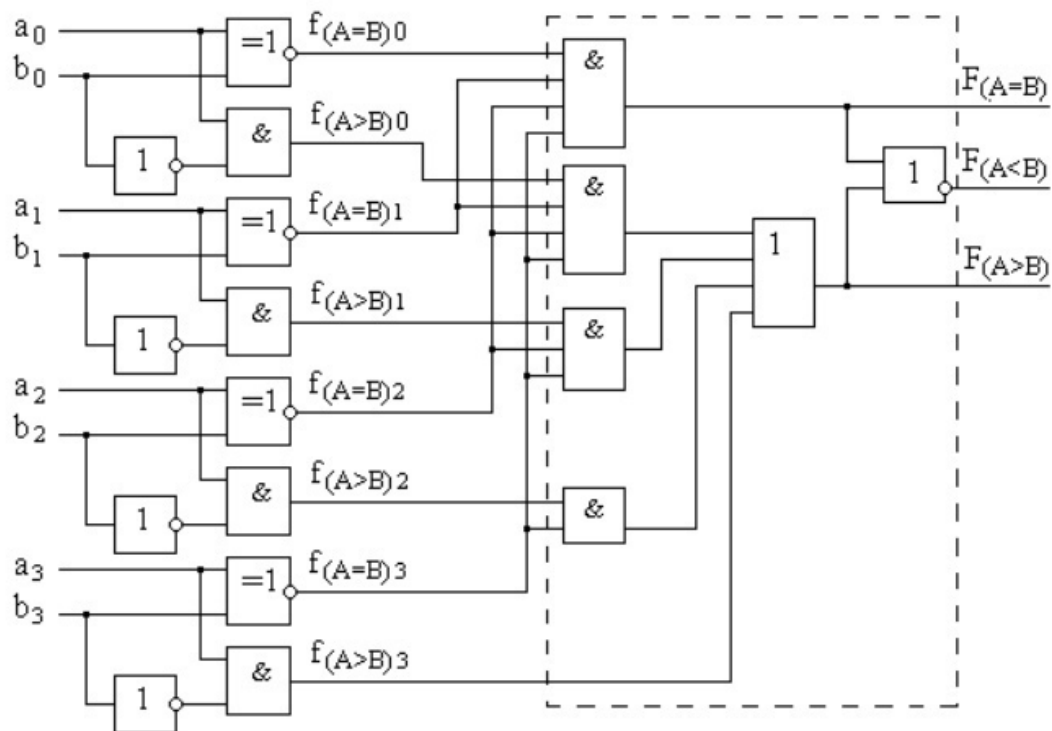
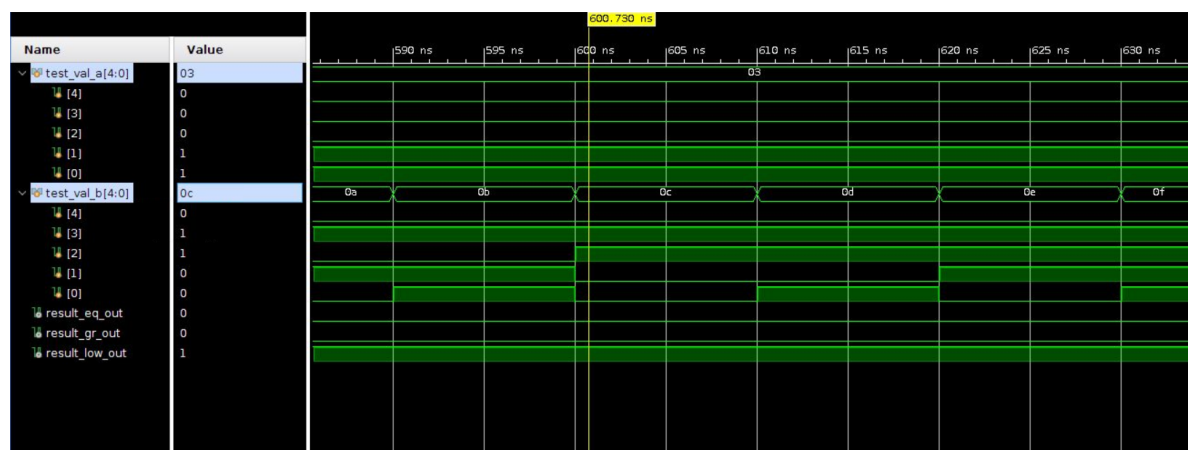


Схема компаратора



Временная диаграмма



Пример прохождения тестов

```
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=0,b_1=0,b_2=0,b_3=0,a=00000,b=00000,result_gr=0,result_eq=1,result_low=0
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=1,b_1=0,b_2=0,b_3=0,a=00000,b=00001,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=0,b_1=1,b_2=0,b_3=0,a=00000,b=00010,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=1,b_1=1,b_2=0,b_3=0,a=00000,b=00011,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=0,b_1=0,b_2=1,b_3=0,a=00000,b=00100,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=1,b_1=0,b_2=1,b_3=0,a=00000,b=00101,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=0,b_1=1,b_2=1,b_3=0,a=00000,b=00110,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=1,b_1=1,b_2=1,b_3=0,a=00000,b=00111,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=0,b_1=0,b_2=0,b_3=1,a=00000,b=01000,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=1,b_1=0,b_2=0,b_3=1,a=00000,b=01001,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=0,b_1=1,b_2=0,b_3=1,a=00000,b=01010,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=1,b_1=1,b_2=0,b_3=1,a=00000,b=01011,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=0,b_1=0,b_2=1,b_3=1,a=00000,b=01100,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=1,b_1=0,b_2=1,b_3=1,a=00000,b=01101,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=0,b_1=1,b_2=1,b_3=1,a=00000,b=01110,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=0,a_2=0,a_3=0,b_0=1,b_1=1,b_2=1,b_3=1,a=00000,b=01111,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=0,b_1=0,b_2=0,b_3=0,a=00001,b=00000,result_gr=1,result_eq=0,result_low=0
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=1,b_1=0,b_2=0,b_3=0,a=00001,b=00001,result_gr=0,result_eq=1,result_low=0
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=0,b_1=1,b_2=0,b_3=0,a=00001,b=00010,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=1,b_1=1,b_2=0,b_3=0,a=00001,b=00011,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=0,b_1=0,b_2=1,b_3=0,a=00001,b=00100,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=1,b_1=0,b_2=1,b_3=0,a=00001,b=00101,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=0,b_1=1,b_2=1,b_3=0,a=00001,b=00110,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=1,b_1=1,b_2=1,b_3=0,a=00001,b=00111,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=0,b_1=0,b_2=0,b_3=1,a=00001,b=01000,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=1,b_1=0,b_2=0,b_3=1,a=00001,b=01001,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=0,b_1=1,b_2=0,b_3=1,a=00001,b=01010,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=1,b_1=1,b_2=0,b_3=1,a=00001,b=01011,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=0,b_1=0,b_2=1,b_3=1,a=00001,b=01100,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=1,b_1=0,b_2=1,b_3=1,a=00001,b=01101,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=0,b_1=1,b_2=1,b_3=1,a=00001,b=01110,result_gr=0,result_eq=0,result_low=1
output a_0=1,a_1=0,a_2=0,a_3=0,b_0=1,b_1=1,b_2=1,b_3=1,a=00001,b=01111,result_gr=0,result_eq=0,result_low=1
output a_0=0,a_1=1,a_2=0,a_3=0,b_0=0,b_1=0,b_2=0,b_3=0,a=00010,b=00000,result_gr=1,result_eq=0,result_low=0
```

Ресурсы fpga

Q

Summary

Settings

Summary (1.168 W, Margin: 92%)

Power Supply

Utilization Details

Hierarchical (1.073 W)

Signals (0.045 W)

Data (0.045 W)

Logic (0.02 W)

I/O (1.008 W)

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 1.168 W

Design Power Budget: Not Specified

Power Budget Margin: N/A

Junction Temperature: 30.3°C

Thermal Margin: 54.7°C (11.9 W)

Effective θ_{JA} : 4.6°C/W

Power supplied to off-chip devices: 0 W

Confidence level: Low

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power

Dynamic: 1.073 W (92%)

8%

Signals: 0.045 W (4%)

Logic: 0.020 W (2%)

I/O: 1.008 W (94%)

Device Static: 0.095 W (8%)

Log Reports Design Runs Utilization x

Summary

Resource	Utilization	Available	Utilization %
LUT	3	63400	0.00
IO	11	210	5.24

A horizontal bar chart showing the utilization percentage of LUT and IO resources. The x-axis is labeled 'Utilization (%)' and ranges from 0 to 100. The y-axis lists the resources. LUT utilization is 1% (represented by a green bar) and IO utilization is 5% (represented by a green bar).

Resource	Utilization (%)
LUT	1%
IO	5%

Вывод

В результате выполнения данной лабораторной работы нами был реализован четырехразрядный сумматор, а также изучены основы синтаксиса языка Verilog.

Также в результате выполнения данной работы мы сделали вывод, что реализация схемы в базисе NAND не всегда оптимальна.