

# Лабораторная работа №3

## «Функциональная схемотехника»

---

Выполнили: Артур Куприянов, Екатерина Машина

Преподаватель: Тищук Б.Ю.

Санкт-Петербург, 2021

## Задание

---

Получить навыки разработки цифровых устройств на базе программируемых логических интегральных схем (ПЛИС).

## Вариант

---

- $y = a^3 + \sqrt{b}$

## Область допустимых значений и область представления данных

---

### Область представления

- $a, b$  - положительные 8 битные числа в двоичной системе счисления
- $y$  - положительное 24 битное число в двоичной системе счисления

### Область допустимых значений

- $0 \leq a, b \leq FF$
- $0 \leq y \leq FD030F$

## Описание работы алгоритма

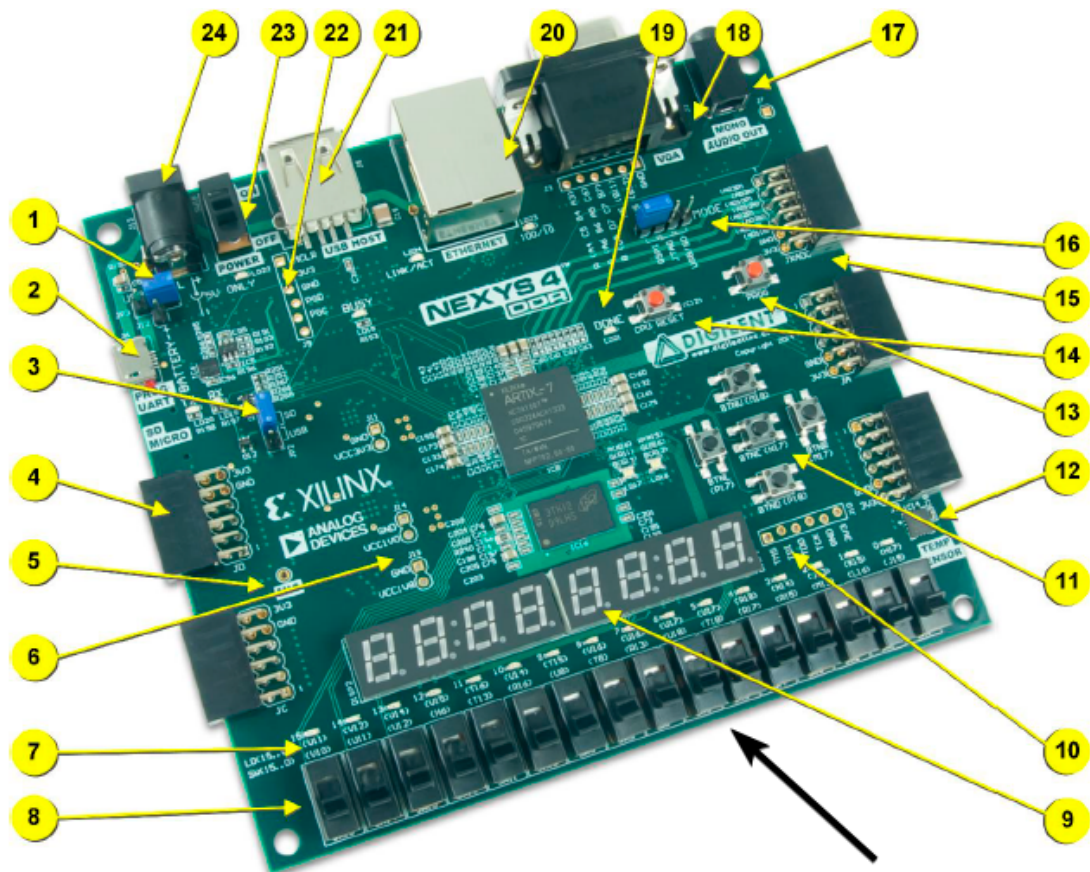
---

1. Вычисление куба числа  $a$
2. Квадратного корня из числа  $b$
3. Вычисление суммы результатов пунктов 1 и 2

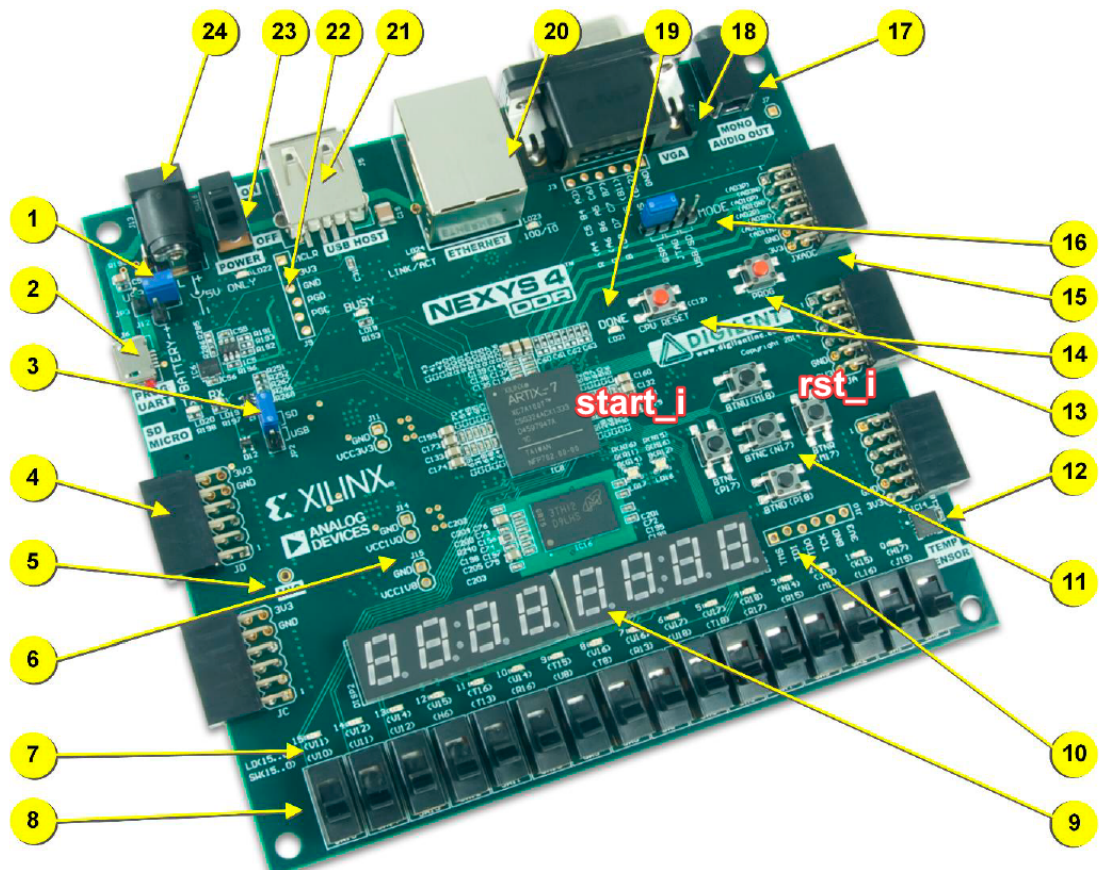
## Руководство пользователя

---

1. Ввести входные данные для  $a$  (первые 8) и  $b$  (следующие 8)



2. При необходимости нажать на кнопку reset для сброса состояния
3. Нажать кнопку start



4. Посмотреть результат работы в LED-лампочках (7)

## Описание модуля на языке Verilog HDL

- [function.v](#)
- [cube.v](#)
- [mult.v](#)
- [root.v](#)

## Тестовое окружение

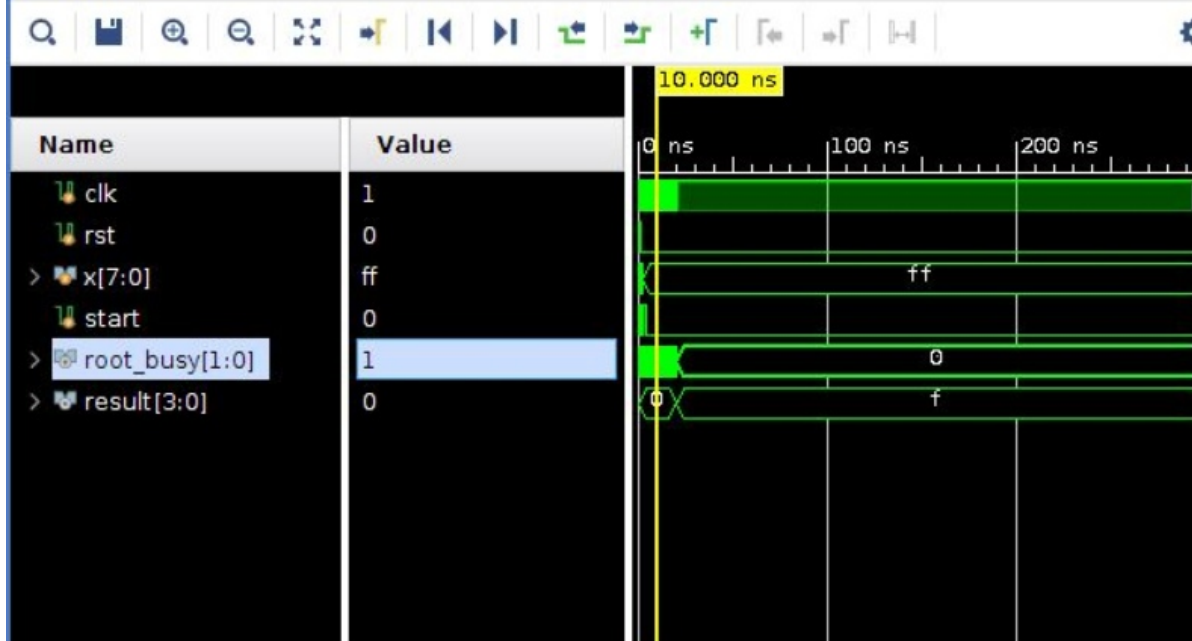
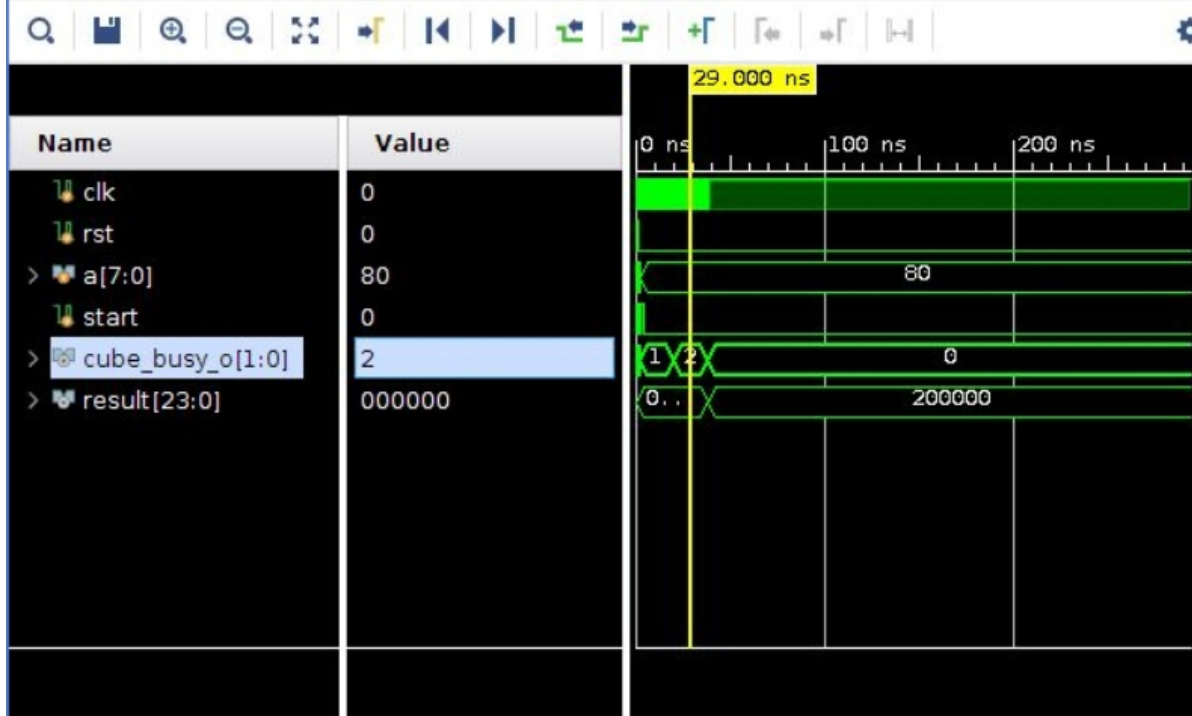
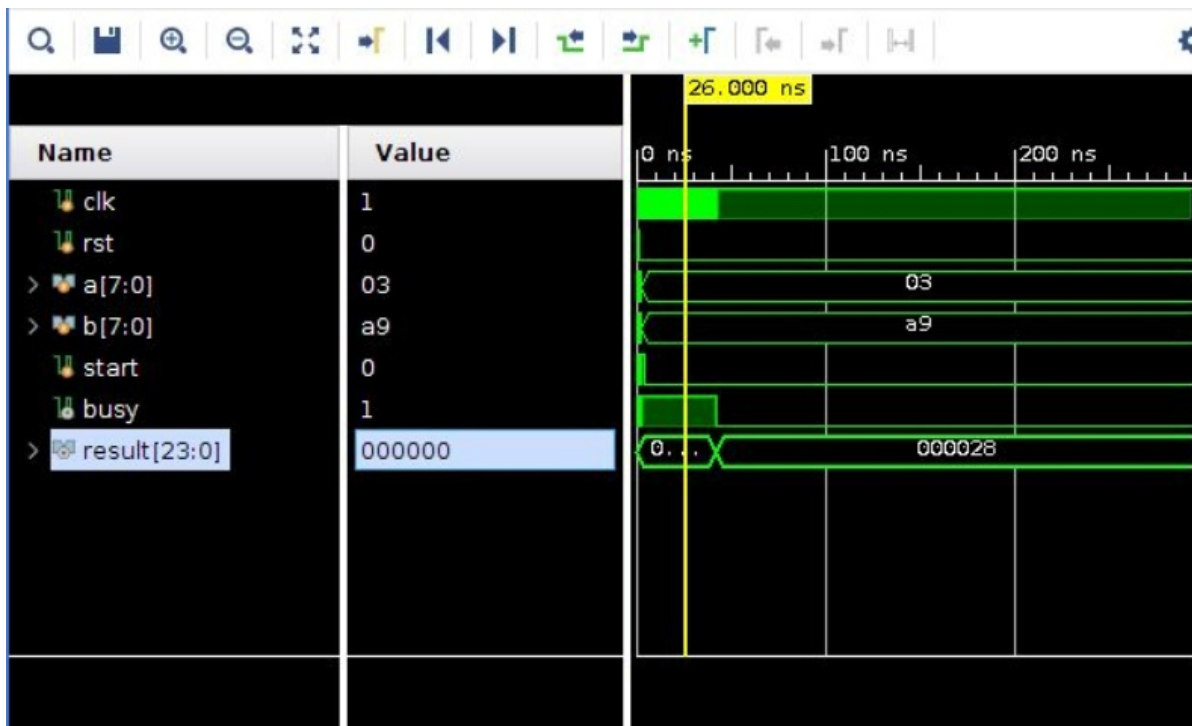
---

- [main\\_function.v](#)
- [cube\\_tb.v](#)
- [root\\_tb.v](#)

## Временная диаграмма

---

Ниже представлены временные диаграммы для первого и второго тестов. Из первой диаграммы видно, что на вычисление одного значения (при тактовой частоте 100 МГц) уходит 1240 нс.

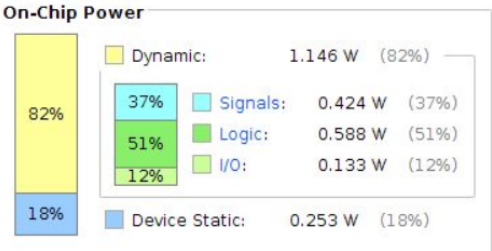


# Потребление ресурсов на FPGA

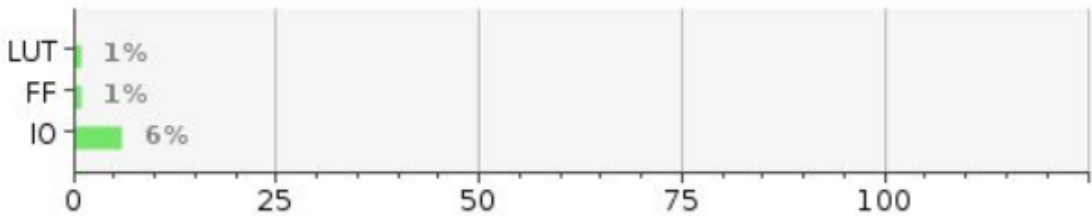
Замеры потребления ресурсов FPGA были сделаны в симуляторе Vivaldo HDL.

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

**Total On-Chip Power:** 1.399 W  
**Design Power Budget:** Not Specified  
**Power Budget Margin:** N/A  
**Junction Temperature:** 27.0°C  
Thermal Margin: 58.0°C (40.0 W)  
Effective  $\theta_{JA}$ : 1.4°C/W



Resource	Utilization	Available	Utilization %
LUT	159	303600	0.05
FF	172	607200	0.03
IO	36	600	6.00



# Схема устройства

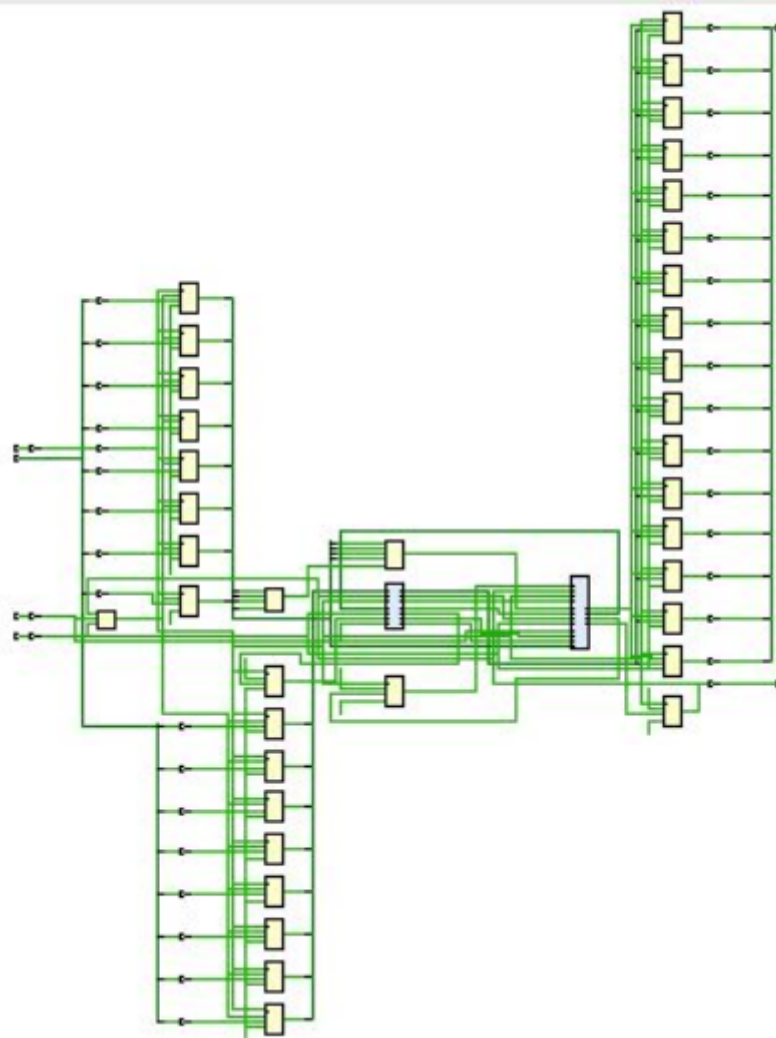




77 Cells

36 I/O Ports

125 Nets



## Вывод

В ходе выполнения работы была создана последовательная схема ускорителя математических вычислений для ПЛИС.