

디지털논리회로실험

[Midterm Review]

박 태 준
로봇공학과



주 제

- Structural Verilog
 - Primitives, number representation, data types, arrays
 - Concatenating vectors
- RTL Verilog
 - Continuous assignments
 - Operators and arithmetic
- Behavioral Verilog
 - initial and always blocks, event trigger (sensitivity) lists, synchronous/asynchronous reset
 - Blocking vs. non-blocking assignments
 - Combinational vs. sequential Verilog
 - Control statements

체크리스트

- Verilog 코드와 회로 간의 상호 변환할 수 있는지?
 - Verilog 코드에서 회로로의 변환
 - 회로가 주어졌을 때 Verilog 코드(3가지 스타일) 작성
- 불완전한 Verilog 코드가 주어졌을 때, 빈 곳을 채워서 코드를 완성할 수 있는지?
- 주어진 조건에 맞는 Verilog 코드를 작성할 수 있는지?
 - 이를 위해 다음 예제 코드들의 동작 이해가 필요함
 - Adders in 3 styles
 - MAC, multiplexer, latch, comparator, DFF, encoder, 7-segment display modules
 - FSM은 제외함