

# 디지털논리로실험

[ 공지사항 ]

박 태 준

로봇공학과



# 일 정

주차	실험 및 강의 계획		
1	Verilog Lecture #1		
2	Verilog Lecture #2	FPGA Board & Quartus2 Introduction	
3	Verilog Lecture #3	Quartus2 Simulation, Lab 0 (Practice) Lab 1 : Switches, Lights, Multiplexers	
4	Verilog Lecture #4	Lab 2 : Characters and Displays	Report (Lab 1)
5	추석연휴		
6		Lab 3 : Numbers and Displays	Report (Lab 2)
7		Lab 4 : Adders	Report (Lab 3)
8	중간 시험		
9		Lab 5 : Latches, Flip-Flops, Registers	Report (Lab 4)
10		Lab 6 : Counters	Report (Lab 5)
11		Lab 7 : Clocks and Timers	Report (Lab 6)
12	(11/22)	황해 산업벨트 제조혁신 포럼 참석	
13	(11/29)	Lab 8 : Adders, Subtractors, Multipliers	Report (Lab 7)
14	대면 평가 (12/06)	Term Project 수행 #1	Report (Lab 8)
15		Term Project 수행 #2	
16	(12/20)	Term Project 발표	Report (Project)

# 대면 평가

- **장소** : 제5공학관 520호 (박태준 교수 연구실)
- **일시** : 12월 6일 (수) 3:00pm ~
  - 1인당 15분씩 평가
  - 평가순서

순번	1	2	3	4	5	6	7
시간	15:00	15:15	15:30	15:45	16:00	16:15	16:30
이름	신혜영	조민수	유동하	김준범	유승혁	정희종	최정훈

순번	8	9	10	11	12	13	14
시간	16:45	17:00	17:15	17:30	17:45	18:00	18:15
이름	박현우	유남기	송용준	황병준	정현철	임지수	이동환

- **범위** : Lab 1 ~ 8

# Term Project

- 팀 편성
  - 3인 1팀을 원칙으로 하나, 1~2인 팀도 허용함
  - **11/29 (수) 6:00pm**까지 팀 편성 완료
- 실험장비
  - 실험조교 허락 하에 실험실 내에서 사용
- 최종발표 : **12/20 (수) 3:00pm ~**
  - 최종보고서, 발표자료 및 Verilog Code를 **당일 오전 9시까지** 조교에게 이메일 제출
  - 팀당 **30분 발표 및 시연**, 15분 질의 응답으로 진행
  - 실제 동작을 장비를 활용해 시연해야 함

# Term Project

- 과제 구성

- 필수 과제 : (11/29) 공개 예정

- 평가 기준

- 팀간 상대평가이며, 팀원간 모두 같은 점수 부여

- 평가 지표

- 과제별 세부 목표 달성도 50%
- 발표 20%
- 창의성 15%
- 보고서 15%