

# ICLab Final Project Checklist:

## Checklist

\*請依照這份 checklist 確定該繳交的檔案是否交齊，並且在 Fin 填寫自己這個階段是否有完成。在 Comment 中寫上需要請助教特別注意的事，ex 沒完成，但做到什麼地步...

Design Stage	Description	Fin	Comment
		(y/n)?	如果有需要請在 comment 描述自己的狀態、結果
Software (/SW)	Your program (*.exe, *.m...)	y	1.檔案請放在/SW 資料夾內 2.與硬體對應的軟體實作 3.使用 ICcontest 者可忽略這部分
	Test pattern	y	測試資料，檔案請放在/SW/TP 內
RTL (/RTL)	Source file <Verilog file (*.v) >	y	1.檔案請放在/RTL/hdl 內 2.你所寫的電路檔、不會用來合成的 model... 所有.v 檔案
	Simulation file <testbench (*.v) ncverilog.log, mist.txt>	y	1.檔案請放在/RTL/sim 內 2.請在 misc.txt 描述哪些檔案需要加入模擬(或是自己寫好 filelist)，並且解釋 testbench 如何模擬你的功能
	Spyglass report <spyglass.rep>	y	檔案請放在/RTL 內
Synthesis (/SYN)	DC < netlist (*.v), synthesis scripts(*.tcl), synthesis log(*.log), reports(*.rep), misc.txt>	y	1.netlist 檔案請放在/SYN/netlist 內 2.其餘檔案請放在/SYN 內 2.請記得附上 timing, power, area 的 report 3. 請在 misc.txt 中描述設定 constrain 的原因以及合成的策略
P&R (/APR)	Innovus <netlist (*.v), delay (*.sdf) P&R log (*.log), reports (*.rep), DRC&LVS results (*.rep)>	y	1.netlist 檔案請放在/APR/netlist 內 2.其餘檔案請放在/APR 內 3.請記得附上 timing, area 的 report 4. 請在 misc.txt 中描述設定 constrain 的原因以及 P&R 的策略 PS: Area 的資訊位於 log file 中
	Post-Simulation < testbench (*.v) ncverilog.log>	y	1.檔案請放在/APR/posim 內
	Power Analysis <pt_power.rep, scripts(*.tcl)>	y	1.檔案請放在/APR/PT 內 Ex:因為有 corner 沒有過所以不能跑 power analysis
pdf document. (/)	1.放入這份 Gxx_Checklist.pdf, Gxx_finalproject.pdf, 2.簡述如何使用你的 SW 驗證	y	

	3.請附上你們 project 資料夾的路徑，並公開權限讓助教可以抓到檔案		
--	---------------------------------------	--	--

## Software Usage

我們使用 Python 同時作為(1) Behavior model、(2) 產生測資、(3) Quantization Error 分析的工具。比較需要注意的是 Filter 中的四個維度基本上都是用相似的手法作驗證，因此我們的 Python 只提供一個維度的運算、一個維度的測資產生與一個維度的誤差分析。將 SW 資料夾內的 Kalman\_filter.py 執行即執行一維 Kalman filter 的 Behavior model，最後可得到一維的測資與一維 Quantization Error 分析結果。若需要四個維度的測資，在 Python 內將 file 的儲存名稱修改成 testbench 各維度對應的測資名稱即可。

## Project path

主資料夾位置: /home/u108/u108061272/ICLAB/final\_project/

## Filetree

hdl/: 放置 RTL 檔案

fourD\_kalman\_filter.v: 最後完成電路的 top module

\*.v 其餘的 module...

spyglass.rpt: Spyglass 之報告

sim/: 放置模擬需要的檔案與結果

kalman\_filter\_test.v: 主要模擬的 testbench

kalman\_filter\_fsdb: pre-sim 模擬波形檔

Kalman\_filter.py: Python 檔案

run\_rtl.sh: 執行模擬所需之 script

sim.f: 模擬所需之 filelist

vcs.log: pre-sim 模擬結果

sim/data/: 放置模擬所需之 Test pattern

syn/: 放置合成相關資料

\*.tcl 合成使用之 script

da.log: 合成記錄檔

syn/report/: 放置合成結果報告

syn/netlist/: 放置電路 netlist 與 delay file

ref\_script/: 放置 APR 使用之 script

innovus/run/: 放置 P&R 的結果與紀錄檔(\*\*\*\*\*P&R Area 的資訊位於 log file 中\*\*\*\*\*)

innovus.log14 : P&R (含 Area, DRC, Antenna, Connectivity Verification)的過程紀錄

lec.log: LEC 的過程紀錄

fourD\_kalman\_filter.rpt : P&R 報告

fourD\_kalman\_filter.antenna.rpt : Antenna Verification 報告

fourD\_kalman\_filter.conn.rpt : Connectivity Verification 報告

fourD\_kalman\_filter.geom.rpt : DRC 報告

innovus/timingReports/: 放置 P&R 的 Timing Report

fourD\_kalman\_filter\_postRoute.summary : P&R Timing 報告

fourD\_kalman\_filter\_postRoute\_hold.summary : P&R Timing 報告 (hold)

primetime/: 放置 power analysis 的結果，共 pre\_sim/pre\_layout/post\_sim 三種。

post\_sim/: 放置 post-simulation 所需之檔案與結果

kalman\_filter\_test.v: 主要模擬的 testbench

post\_sim.fsdb: post-sim 模擬波形檔

run\_post.sh: 執行模擬所需之 script

post\_sim.f: 模擬所需之 filelist

post\_vcs.log: Post-sim 模擬結果

post\_sim/data/: 放置模擬所需之 Test pattern