



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΜ&ΜΥ

Προηγμένα Θέματα
Αρχιτεκτονικής Υπολογιστών

1^η Άσκηση
Ακ. έτος 2011-2012

Γρηγόρης Λύρας Α.Μ.: 03109687

22 Απριλίου 2012

i: Εισαγωγή

Σκοπός της άσκησης αυτής ήταν η χρήση και εξοικείωση με το λογισμικό Simics της Wind River, σε συνδυασμό με τη μελέτη της επίδρασης διαφόρων παραμέτρων των μνημών L1 και L2 cache στην απόδοση συγκεκριμένων benchmarks.

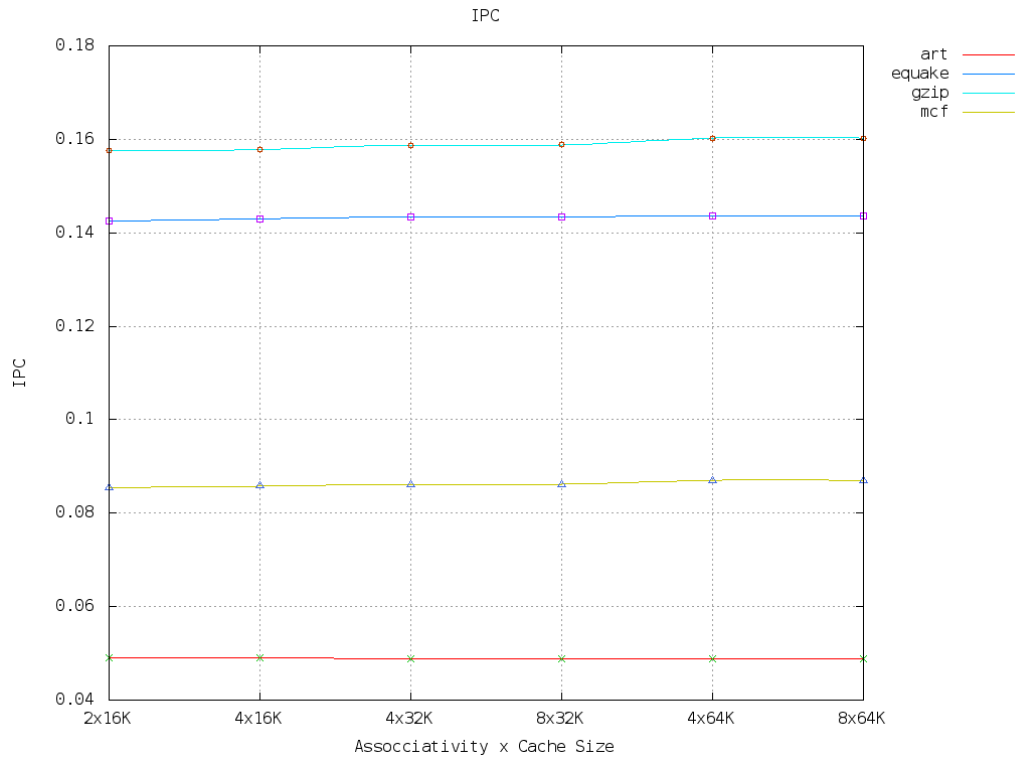
Πιο συγκεκριμένα, χρησιμοποιήσαμε ένα εικονικό μηχάνημα που έτρεχε Fedora 5 εξετάσαμε τις μεταβολές στην επίδοση art, gzip, equake και mcf, χρησιμοποιώντας ως μετρική απόδοσης το IPC (Instructions Per Cycle) και Miss Rate.

ii: L1 cache, constant line size

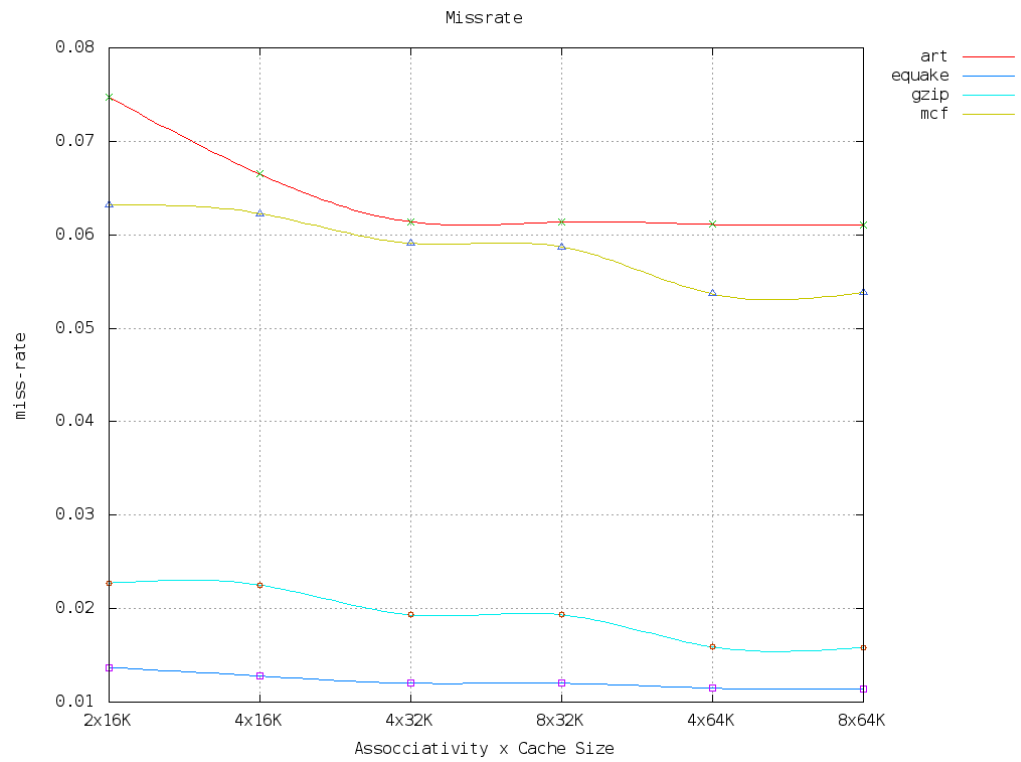
Στο τμήμα αυτό χρησιμοποιήσαμε διαφορετικές L1 cache κρατώντας σταθερό το cache line size και τροποποιώντας το μέγεθος της cache και το associativity όπως φαίνεται στον παρακάτω πίνακα. Ακόμη κρατήσαμε σταθερή την L2 cache με χαρακτηριστικά: μέγεθος 1MB, line size 128B και associativity 8. Όλες οι cache που χρησιμοποιήσαμε ακολουθούν πολιτική αντικατάστασης LRU (least recently used).

Size	line size	lines	associativity
16K	64	256	2
16K	64	256	4
32K	64	512	4
32K	64	512	8
64K	64	1024	4
64K	64	1024	8

Στα παρακάτω διαγράμματα παρατηρούμε πως αυξάνοντας το μέγεθος της cache το IPC αυξάνει ελαφρώς. Ακόμη παρατηρούμε πως το benchmark art έχει πολύ μικρό IPC πράγμα που δηλώνει πως δε χαρακτηρίζεται από τοπικότητα αναφορών και έτσι δεν αξιοποιεί το μέγεθος της cache. Ωστόσο το miss-rate πέφτει πολύ περισσότερο όσο το μέγεθος της L1 cache αυξάνει για κάθε benchmark.



Σχήμα 1: IPC: L1 cache line size 64



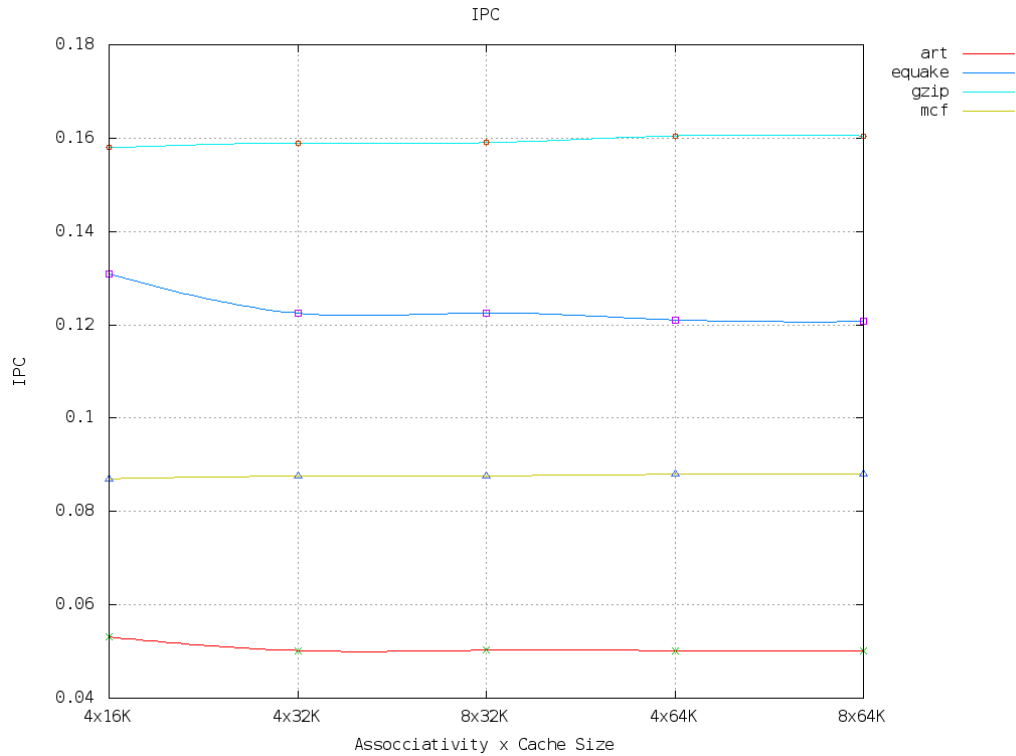
Σχήμα 2: miss-rate: L1 cache line size 64

iii: L1 cache, variable line size

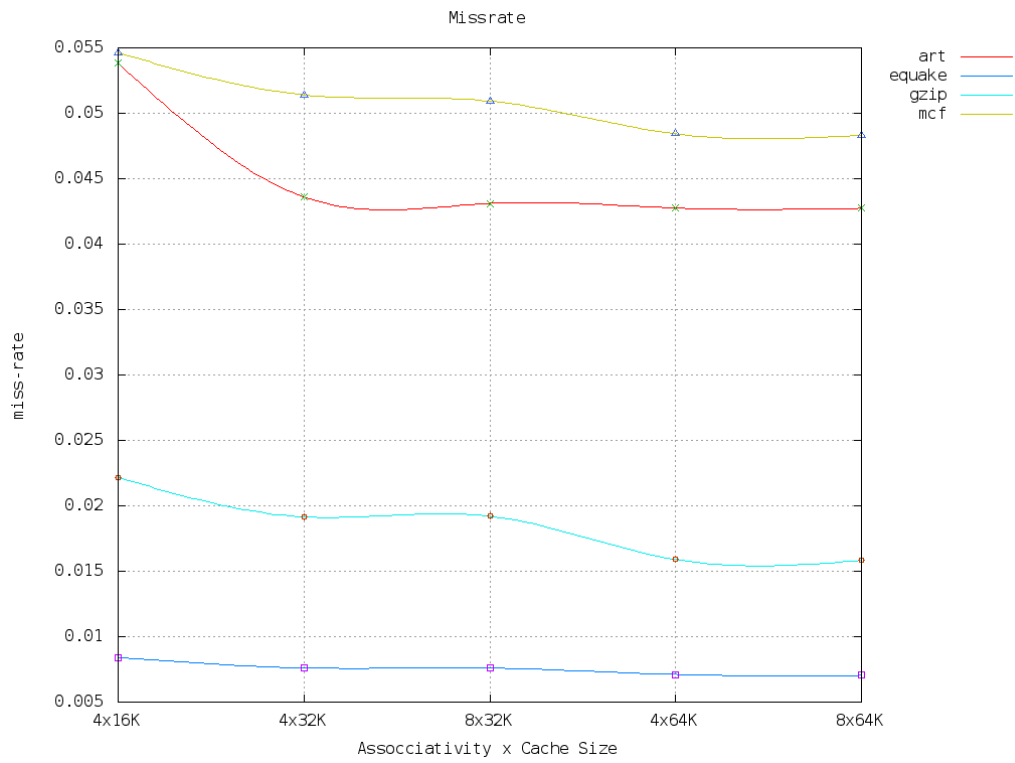
Στο τμήμα αυτό χρησιμοποιήσαμε διαφορετικές L1 cache μεταβάλλοντας αυτή τη φορά το το cache line size και το μέγεθος της cache και το associativity όπως φαίνεται στον παρακάτω πίνακα. Ακόμη κρατήσαμε σταθερή την L2 cache με χαρακτηριστικά: μέγεθος 1MB, line size 128B και associativity 8. Όλες οι cache που χρησιμοποιήσαμε ακολουθούν πολιτική αντικατάστασης LRU (least recently used).

Size	line size	lines	associativity
16K	32	512	4
16K	128	128	4
32K	32	1024	4
32K	128	256	4
32K	32	1024	8
32K	128	256	8
64K	32	2048	4
64K	128	512	4
64K	32	2048	8
64K	128	512	8

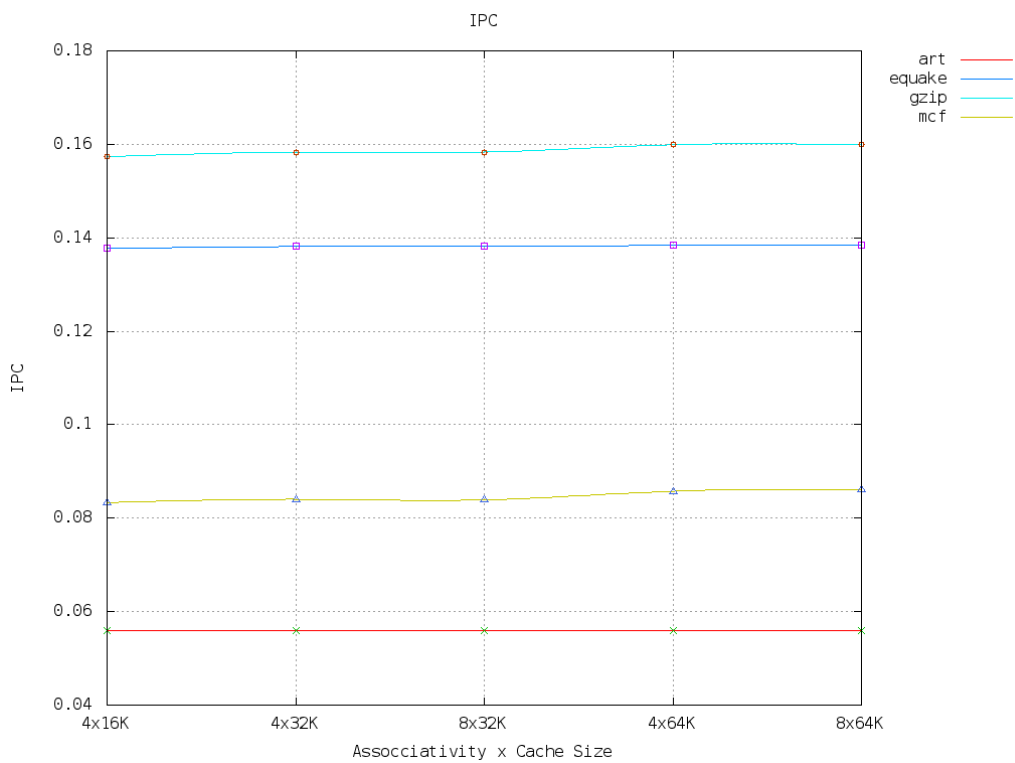
Τα αποτελέσματα που ακολουθούν είναι ξεχωριστά ανά cache line size ώστε να ξεχωρίζει η επίδραση της κάθε μετρικής σε αυτά. Παρατηρήσαμε πως το μέγεθος της cache είναι αυτό που παίζει το σημαντικότερο ρόλο στην επίδοση των benchmarks, ενώ αξιοσημείωτο είναι το γεγονός πως το art δεν δείχνει να επηρεάζεται από το μέγεθος της L1 cache, πράγμα που σημαίνει πως η υπόθεση που κάναμε παραπάνω για την κακή αξιοποίηση της τοπικότητας φαίνεται σωστή.



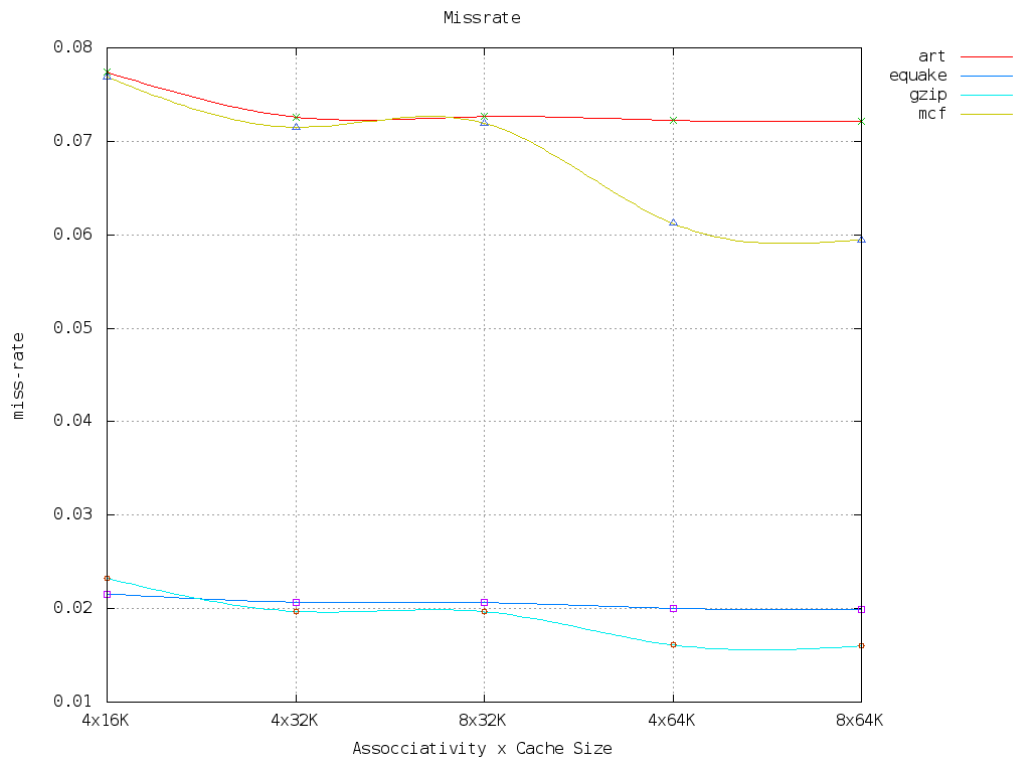
Σχήμα 3: IPC: L1 cache line size 32



Σχήμα 4: miss-rate: L1 cache line size 32



Σχήμα 5: IPC: L1 cache line size 128



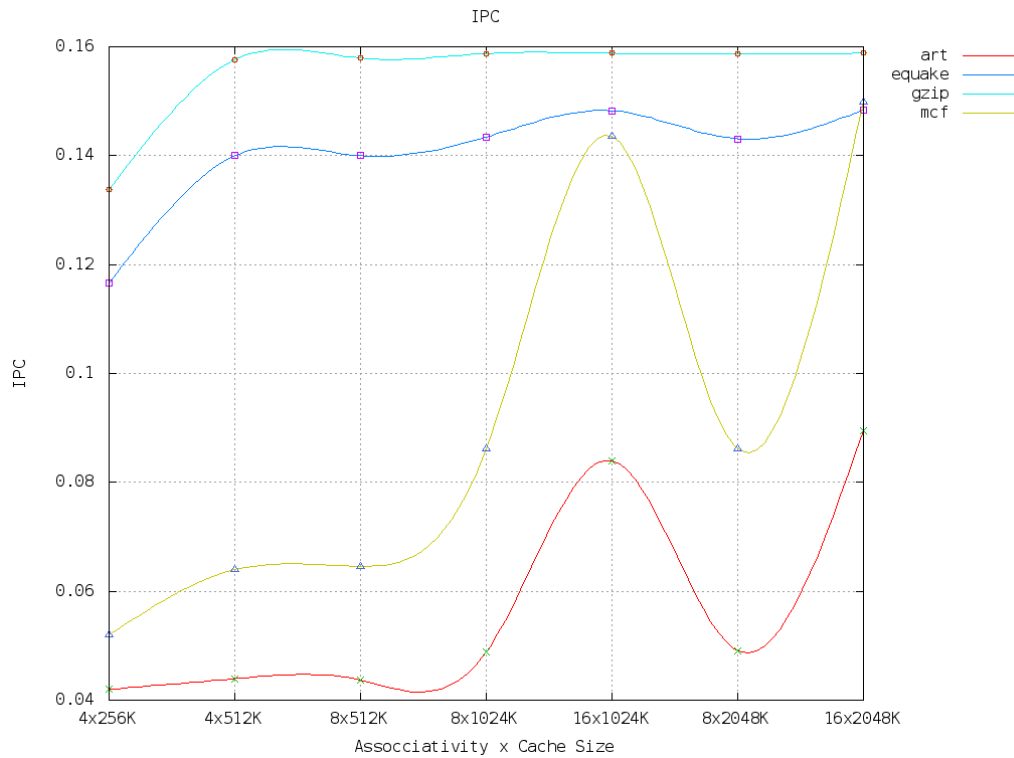
Σχήμα 6: miss-rate: L1 cache line size 128

iv: L2 cache, constant line size

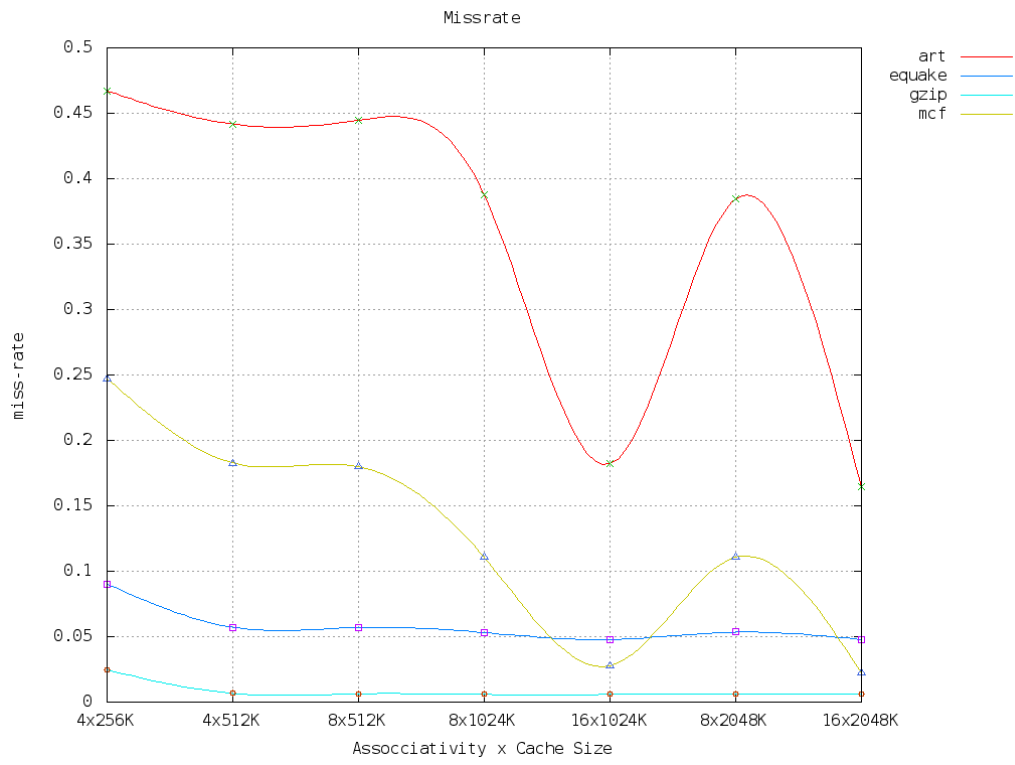
Στο τμήμα αυτό της άσκησης μελετήσαμε την επίδραση της μεταβολής του μεγέθους και του associativity της L2 cache στην εκτέλεση των benchmarks. Τα χαρακτηριστικά που θέσαμε για την L2 φαίνονται στον ακόλουθο πίνακα. Ακόμη η L1 cache είχε μέγεθος 32K και cache line size 64B.

Size	line size	lines	associativity
256K	128	2048	4
512K	128	4096	4
512K	128	4096	8
1024K	128	8192	8
1024K	128	8192	16
2048K	128	16384	8
2048K	128	16384	16

Καθώς μεταβάλλουμε το μέγεθος της L2 cache διαπιστώσαμε σημαντική βελτίωση στο IPC και πτώση στο miss-rate κατά μία τάξη μεγέθους. Επίσης εδώ φαίνεται να έχει σημασία και το μέγεθος του cache-line όπως δείχνουν τα αποτελέσματα ειδικά στις δύο τελευταίες εκτελέσεις των benchmarks.



Σχήμα 7: IPC: L2 cache line size 128



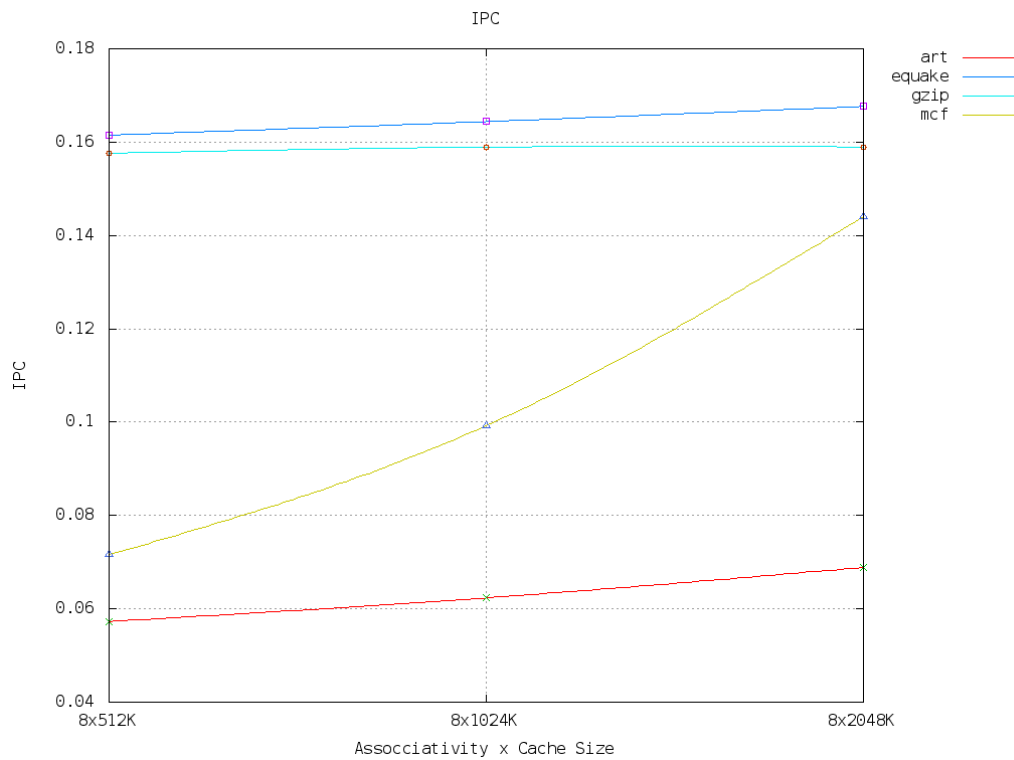
Σχήμα 8: miss-rate: L2 cache line size 128

v: L2 cache, variable line size

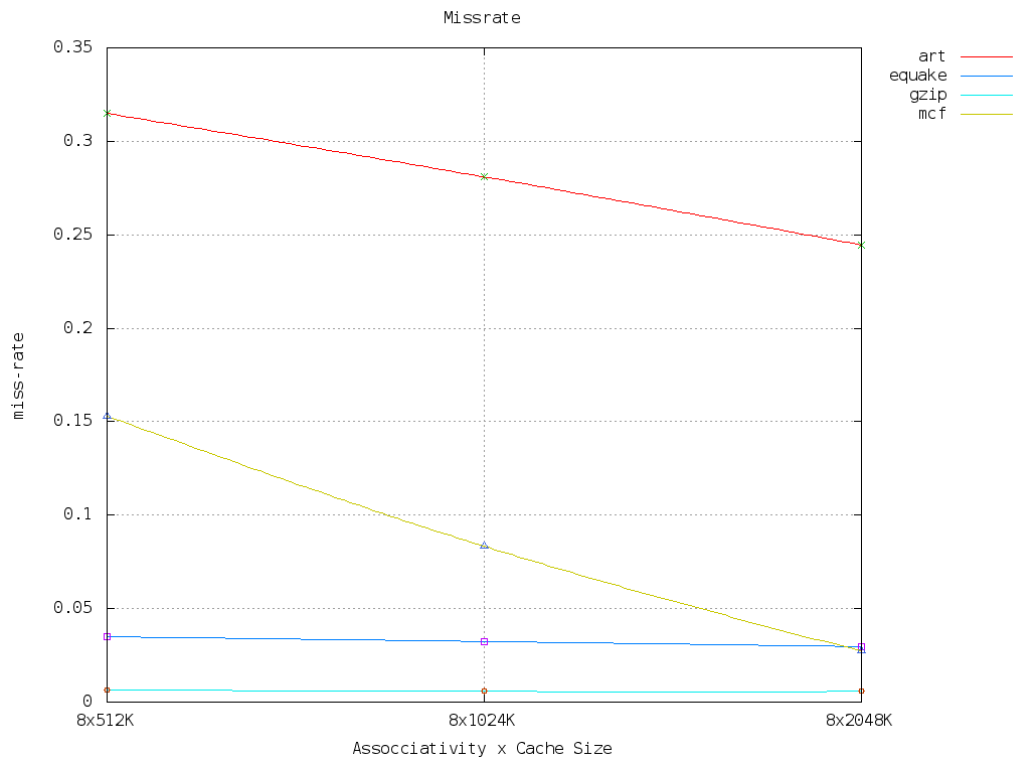
Τέλος μεταβάλλουμε το μέγεθος του cache-line και το μέγεθος της L2 cache σύμφωνα με τον παρακάτω πίνακα κρατώντας τα χαρακτηριστικά της L1 όπως ίδια με τις προηγούμενες εκτελέσεις.

Size	line size	lines	associativity
512K	64	8192	8
512K	256	2048	8
1024K	64	16384	8
1024K	256	4096	8
2048K	64	32768	8
2048K	256	8192	8

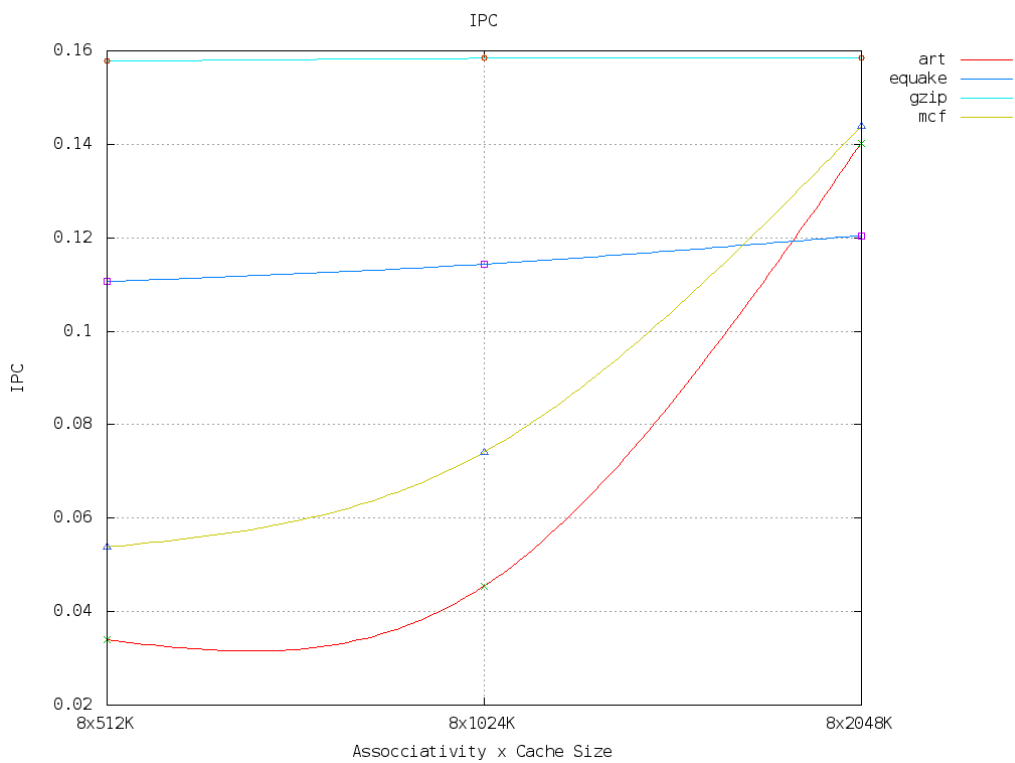
Τα αποτελέσματα ακολουθούν χωρισμένα ανά μέγεθος cache-line. Παρατηρούμε πως το IPC βελτιώνεται κατά πολύ όσο μεγαλώνει τόσο το μέγεθος της cache όσο και του cache-line. Τα equake και gzip δείχνουν να μην επηρεάζονται από τις αλλαγές στην L2 cache πράγμα που δηλώνει πως έχουν μικρό αριθμό προσβάσεων στην L2.



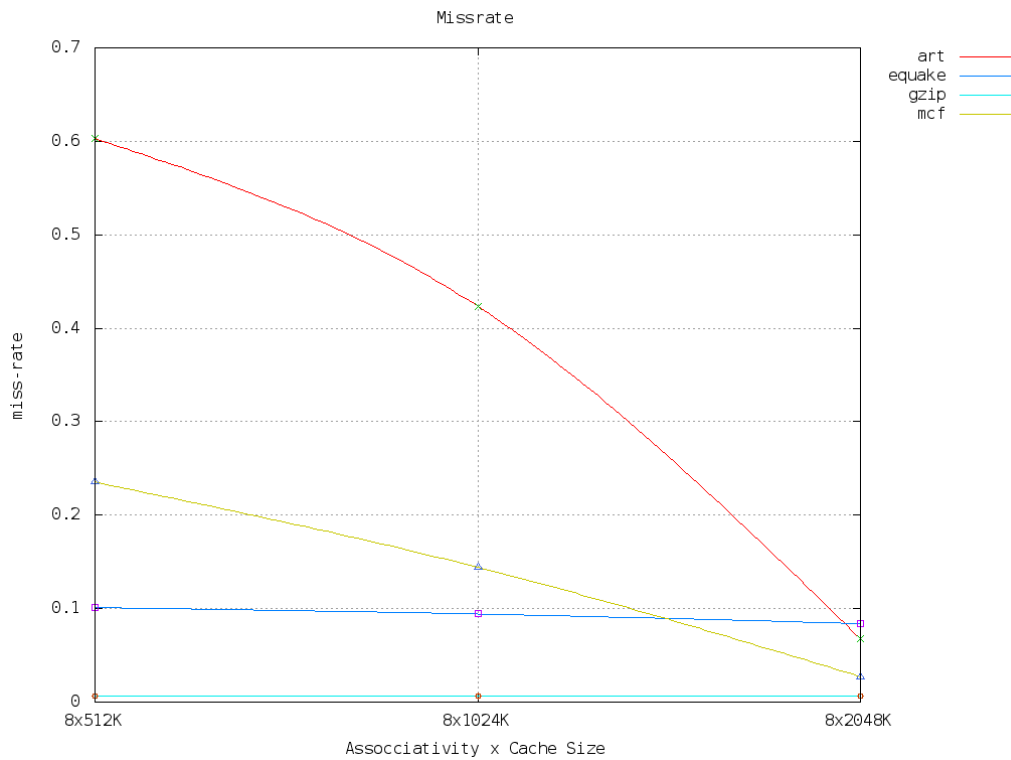
Σχήμα 9: IPC: L2 cache line size 64



Σχήμα 10: miss-rate: L2 cache line size 64



Σχήμα 11: IPC: L2 cache line size 256



Σχήμα 12: miss-rate: L2 cache line size 256

vi: Συμπεράσματα

Κυριότερο χαρακτηριστικό που επηρέασε την απόδοση της εκάστοτε cache ήταν το μέγεθος της. Το associativity δεν έδειξε να επηρεάζει σχεδόν καθόλου ενώ το μέγεθος του cache-line συνεισφέρει αλλά σε λιγότερο βαθμό εν γένει. Επιπρόσθετα η ιεραρχία της cache δεν αποτελεί πάντα στην απόδοση των προγραμμάτων που γράφει κάποιος. Είναι δυνατό η ίδια ιεραρχία μνήμης να συμπεριφέρεται πολύ χειρότερα από κάποια φαινομενικά καλύτερη της σε ειδικές περιπτώσεις.