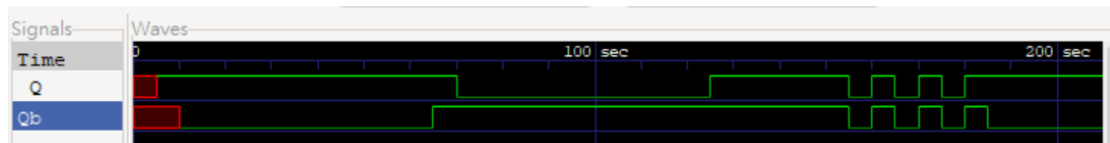
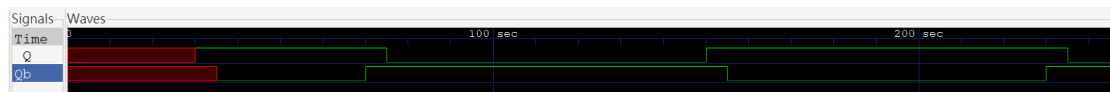


1.



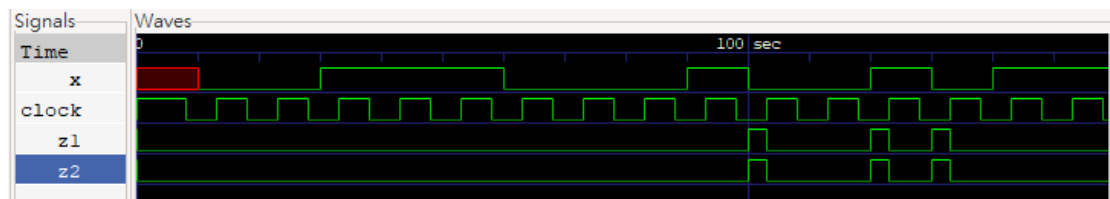
Q 在一開始需要經過一次 gate 就會穩定，而 Qb 需要經過兩次，所以兩者的 gate delay 不同；在兩者輸入都為 0 是會變成 indeterminate 的狀態，若後續輸入皆為 1，就會每隔一個 gatedelay 的時間反覆跳動，經電路圖推導的結果與波形圖相符，故波形圖正確。

2.

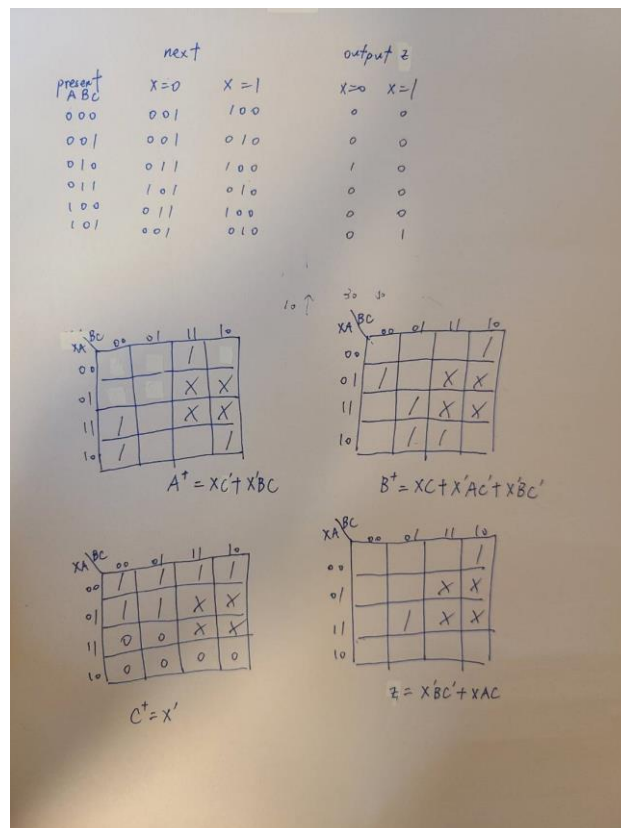


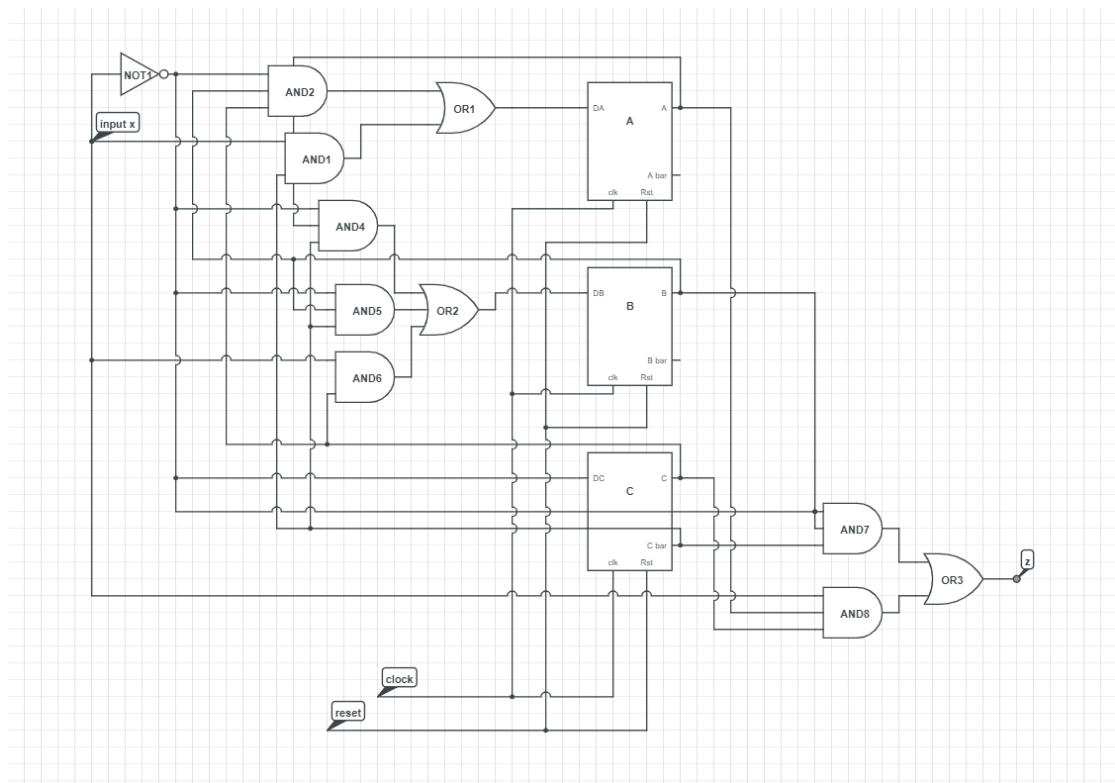
在第 20、60、100...(ns)時才會有 posedge clk，也就是說在這些時間時才會把暫存於 G2、G3 的值送入 latch 中，而不論在 setup 或是 latch 時需要穩定的次數都不一樣，所以 Q 和 Qb 並不會同時改變，經電路圖推導的結果與波形圖相符，故波形圖正確。

3.



用 state table 將狀態畫成 k-map 並推導其 boolean equation





Testbench 設計：在一開始先把兩個模組都 reset，clock 設為 1，之後 clock 每 5ns 換一次，x 每 10ns 輸入一次，輸入順序依照題目 sequence recognizer 的順序，使其以

S0→S1→S1→S2→S4→S4→S3→S5→S1→S2→S3→S5→S2→S3→S2 的順序移動，預期在第 100、120、140ns 時 output 會是 1，而其餘時候 output 會是 0，而兩者的電路圖之模擬波形都符合預期，故波形正確。

4.

在做最後的 testbench 時卡了很久，因為我當初在 t=0 時把 clock 設為 0 發現 structural modeling 會在前面出現 delay，但其餘波形都跟 state_diagram 的方式做出來一樣，也確定 structure 的 code 沒有寫錯，都有使用 non-blocking assignment，後來將 clock 改成 1 時就發現沒有 delay 了。