

問題4 次の高速化技法に関する各設問に答えよ。

＜設問1＞ メモリアクセスの高速化技法に関する記述中の□□□□に入れるべき適切な字句を解答群から選べ。

メインメモリを複数のバンクに分け、連続するアドレスの内容を並列アクセスすることによって、アクセスの高速化を図る技法を□□(1)□□という。



図1 □□(1)□□の例

□□(1)□□のほかに、キャッシュメモリを使用してメインメモリへのアクセスの高速化を図る技術がある。キャッシュメモリに使用されているメモリは□□(2)□□から構成されているもので、メインメモリよりも高速アクセスが可能である。一方、メインメモリに使用されている□□(3)□□は□□(2)□□に比べて、低速なので、キャッシュメモリを用いることでメインメモリの平均アクセス時間の高速化を図る。CPUは読み出そうとするデータがキャッシュメモリに存在すればキャッシュメモリから呼び出し、存在しない場合はメインメモリから呼び出す。データがキャッシュメモリにない確率をNFP (Not Found Probability) と呼ぶ。メインメモリへのアクセス時間が40ナノ秒、キャッシュメモリへのアクセス時間が5ナノ秒、NFPが0.1である場合の平均アクセス時間は□□(4)□□ナノ秒となる。

(1) ～ (3) の解答群

- |             |              |           |
|-------------|--------------|-----------|
| ア. マルチプロセッサ | イ. メモリインタリーブ | ウ. ライトスルー |
| エ. ライトバック   | オ. DRAM      | カ. SRAM   |
| キ. SD       | ク. USB       |           |

(4) の解答群

- |        |         |         |         |
|--------|---------|---------|---------|
| ア. 8.5 | イ. 10.5 | ウ. 20.5 | エ. 36.5 |
|--------|---------|---------|---------|

＜設問 2＞ 次の CPU の高速化技法に関する記述中の [ ] に入れるべき適切な字句を解答群から選べ。

CPUはメインメモリに記憶されたプログラムから命令を取出し，実行する。この一連動作を表1のような6ステージに分割する。

表 1 命令動作の分割

ステージ	処理内容
①	命令の取出し
②	命令の解読
③	アドレス部の取出し
④	実効アドレスの計算
⑤	データの取出し
⑥	演算の実行

命令を逐次制御方式で実行する場合は，1 命令ずつ各ステージを実行した後に次の命令を実行するので，演算装置と制御装置が並行動作できないなどの無駄が生じる。

そこで，各ステージを並行して実行することによって，CPUの高速化を図る技法が [ (5) ] 方式である。

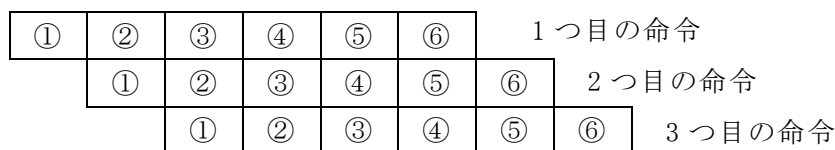


図 2 [ (5) ] 方式の例

[ (5) ] 方式では分岐命令があると，後続の命令のステージの先読みが無駄になることがあるので分岐命令が頻繁にあると効率が上がらない。また，命令ごとの実行時間に大きな差があっても，高速化の効果は上がらない。そこで，命令の種類を減らし，できるだけ単純化して各命令の実行時間の差を少なくした [ (6) ] 方式を採用することによって，高速化の効率を向上させている。

各ステージの動作が2ナノ秒で，分岐命令を含まない5個の命令を [ (5) ] 方式で処理したとき，すべての命令が終了するために必要な最小時間は [ (7) ] ナノ秒である。

#### (5) ， (6) の解答群

- |           |        |          |
|-----------|--------|----------|
| ア．デュプレックス | イ．タンデム | ウ．パイプライン |
| エ．CISC    | オ．RISC | カ．SCSI   |

#### (7) の解答群

- |      |      |      |      |
|------|------|------|------|
| ア．12 | イ．20 | ウ．32 | エ．60 |
|------|------|------|------|