

問題 4 次のCPUアーキテクチャに関する各設問に答えよ。

＜設問 1＞ 次の命令実行手順に関する記述中の  に入れるべき適切な字句を解答群から選べ。

プログラムの実行は、主記憶装置から一つの命令を取り出すところから始まる。この命令取出しの操作を **(1)** と呼び、取り出された命令は命令レジスタと呼ばれるレジスタに入る（F ステージ）。

次に命令レジスタに入った命令は (2) により解読され、演算装置やメモリの制御信号を生成する。解釈と同時に演算に必要なデータが取り出される(Dステージ)。

更に演算装置がDステージで指定された演算を実行するか、あるいはメモリの読み書きを行う（Eステージ）。

最後に命令の実行結果の値が主記憶装置に格納される (Wステージ)。

F ステージを (3) サイクル、D ステージから W ステージを (4) サイクルと呼ぶ。

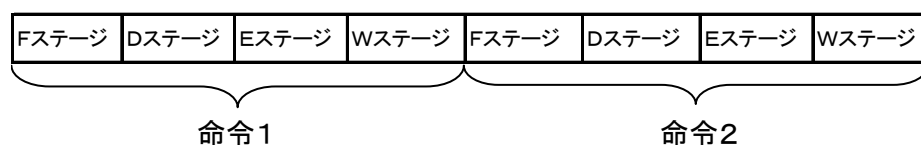


図1 命令実行のイメージ

(1), (2) の解答群

- ア. コントロール  
ウ. ディスパッチャ  
オ. 命令フェッチ  
イ. スーパーバイザ  
エ. 命令デコーダ  
カ. ラウンドロビン

(3), (4) の解答群

- ア. エグゼキューション  
 ウ. スーパーバイザ  
 オ. フェッチ  
 イ. コントロール  
 エ. ターンアラウンド  
 カ. レスポンス

＜設問 2＞ 次のパイプライン制御に関する記述中の   に入れるべき適切な字句を解答群から選べ。

パイプライン制御とは、全体の作業を多数の工程に分割し、各工程を並列に処理することで、単位時間あたりの処理量( (5) )を向上させることができる。コンピュータの処理もパイプライン化することで効率を高めることができる(図2)。

命令 1	Fステージ	Dステージ	Eステージ	Wステージ		
命令 2		Fステージ	Dステージ	Eステージ	Wステージ	
命令 3			Fステージ	Dステージ	Eステージ	Wステージ

図 2 パイプライン方式で命令を並列化処理

ただし、パイプライン制御の実行中に分岐命令が現れると、処理の順序が乱れて効率が低下する。この処理の乱れを (6) と呼ぶ。また、図 3 のように、複数のパイプラインを使って複数命令を並列処理することにより高速化を図ることができる (7) と呼ばれる方式もある。

命令 1	Fステージ	Dステージ	Eステージ	Wステージ		
命令 2	Fステージ	Dステージ	Eステージ	Wステージ		
命令 3		Fステージ	Dステージ	Eステージ	Wステージ	
命令 4		Fステージ	Dステージ	Eステージ	Wステージ	
命令 5			Fステージ	Dステージ	Eステージ	Wステージ
命令 6			Fステージ	Dステージ	Eステージ	Wステージ

図 3 ステージの並列処理

(5) ～ (7) の解答群

ア. スーパスカラ

ウ. スプーリング

オ. ターンアラウンド

イ. スーパーパイプライン

エ. スループット

カ. パイプラインハザード