

問題 4 次のCPU内の命令実行に関する記述中の に入れるべき適切な字句または数値を解答群から選べ。

CPU は、主記憶装置に格納されている命令を読み出して解読し、他の装置に指示を出す制御装置と、データに対する論理演算や算術演算を行う演算装置からなる。演算命令を行うときの、命令の読み出しから実行終了までの流れを図1に示す。

中央処理装置 (CPU)

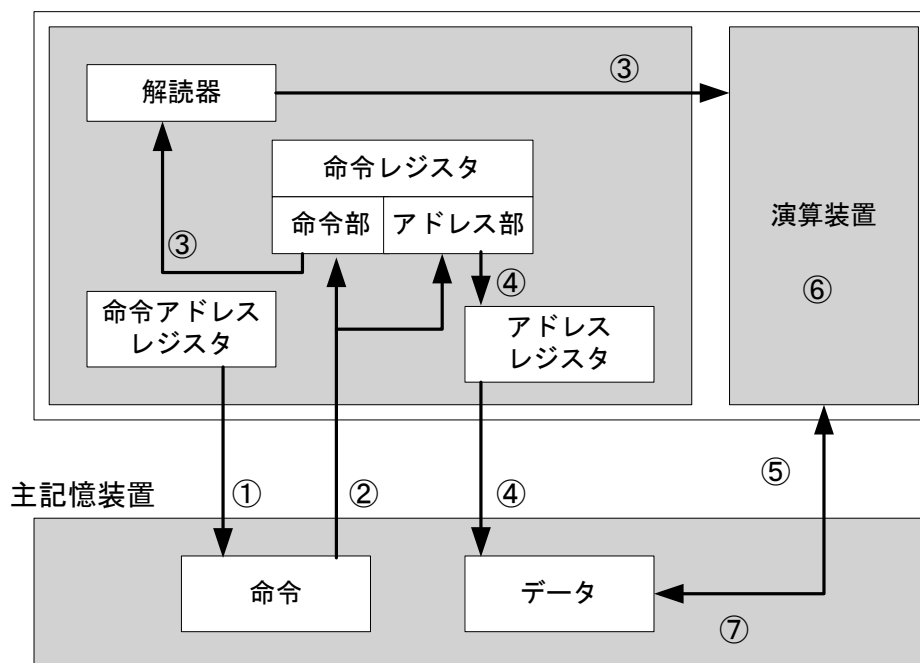


図 1 命令実行の流れ

- ① 命令アドレスレジスタ ((1) と呼ぶ) には、これから実行する命令が格納されている、主記憶装置の番地が格納されている。
- ② 命令アドレスレジスタで示された番地の命令が、命令レジスタに取り出される。このとき、命令アドレスレジスタは、次の命令の番地を指すように、 (2) が加えられる (ステージ 1)。
- ③ 命令レジスタの命令部は解読器 ((3) と呼ぶ) により解読され、演算装置に指示が出される (ステージ 2)。
- ④ 命令レジスタのアドレス部はアドレスレジスタに送られる。アドレスレジスタは、実行に必要なデータが格納されている番地や、実行結果を格納する主記憶装置の番地を計算する (ステージ 3)。
- ⑤ 演算の対象となる番地のデータが、演算装置に送られる (ステージ 4)。
- ⑥ 演算装置で計算が実行される (ステージ 5)。
- ⑦ 計算結果が、主記憶装置に格納される (ステージ 6)。

逐次制御方式は、上記のステージ 1 からステージ 6 の一連の動作を、一命令ごとに

順番に繰り返し、実行する方式である。

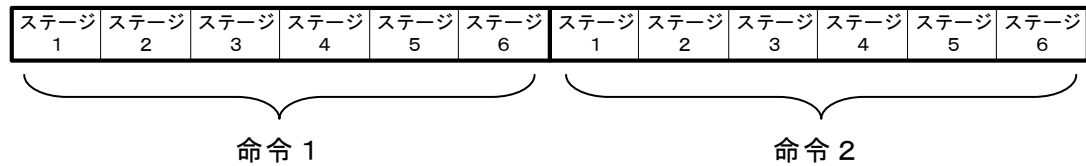


図 2 逐次制御方式

一方、パイプライン制御方式は、図 3 に示すように、次の命令の処理を 1 ステージずつずらして、複数の命令を並行して実行することにより、処理の高速化を図る方式である。



図 3 パイプライン制御方式

ただし、パイプライン制御の実行中に **(4)** が現れると、処理の順序が乱れて効率が低下する。この処理の乱れを **(5)** と呼ぶ。**(4)** に対処するためには、実行される確率の高い方を取り出すなどの **(6)** という技術が使われている。

(1) , (3) の解答群

- | | |
|--------------|---------------|
| ア. アキュムレータ | イ. インデックスレジスタ |
| ウ. プログラムカウンタ | エ. ベースレジスタ |
| オ. 命令デコーダ | カ. 動的アドレス変換機構 |

(2) の解答群

- | | |
|------------|-----------|
| ア. 1 | イ. 2 |
| ウ. アドレス部の値 | エ. 命令語の長さ |

(4) の解答群

- | | |
|----------|-----------|
| ア. 資源の遊び | イ. スタート命令 |
| ウ. 分岐命令 | エ. 演算命令 |

(5) , (6) の解答群

- | | |
|---------------|---------------|
| ア. スーパスカラ | イ. パイプラインハザード |
| ウ. スーパーパイプライン | エ. 分岐予測 |
| オ. メモリインタリーブ | カ. 外部割込み |