次の問1から問7までの7問については、この中から5問を選択し、答案用紙の選択欄の(選)をマークして解答してください。

なお,6問以上選択した場合には、はじめの5問について採点します。

問1 論理演算と加算器に関する次の記述を読んで、設問1~4に答えよ。

真を1, 偽を0として, 主要な論理演算の真理値表を, 表1に示す。

表 1 主要な論理演算の真理値表

A	В	A AND B	A OR B	A XOR B	A NAND B	A NOR B
0	0	0	0	0	1	1
0	1	0	1	1	1	0
1	0	0	1	1	1	0
1	1	1	1	0	0	0

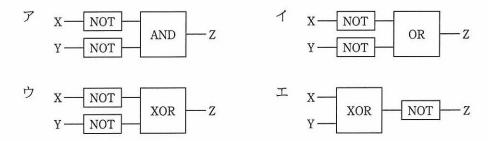
A	NOT A
0	1
1	0

設問 7	l <i>1</i>	AND,	OR,	XOR,	NOT (の各論理	里演算を行	うう	論理[可路	を用	いて	, NA	ND) と	
	NO	Rの論	理演	算を行	う論理回	可路を作	三成した。	次の	記述	中の] ic	入	れる	,
	正し	ンい答?	えを,	解答群	の中か	ら選べ。	ここで,	Х,	Y は	1 t	ごット	へのス	力,	Z V	は 1	
	ビッ	ットのと	出力と	する。												

(1) NAND の論理回路は a である。

(2) NOR の論理回路は b である。

a, bに関する解答群



設問 2 各 1 ビットの入力 X, Y を加算して,その結果を各 1 ビットの Z と桁上がり C に出力する "半加算器"の真理値表を表 2 に,論理回路を図 1 に示す。図 1 中の に入れる正しい答えを,解答群の中から選べ。

表 2 半加算器の真理値表

		n	
X	Y	С	Z
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

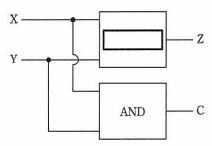


図1 半加算器の論理回路

解答群

ア AND

イ NAND ウ NOR エ OR

オ XOR

設問3 各 1 ビットの入力 X, Y と、下位桁からの 1 ビットの桁上がり C_{in} を加算して、 その結果を各 1 ビットの Z と桁上がりの C に出力する "全加算器"の真理値表 を表 3 に、論理回路を図 2 に示す。図 2 中の に入れる正しい答えを, 解答群の中から選べ。

$$\begin{array}{ccc} & & X \\ & & Y \\ \\ + & & C_{in} \\ \hline & C & Z \end{array}$$

表3 全加算器の真理値表

X	Y	С	Z	
0	0	0	0	
0	1	0	1	
1	0	0	1	
1	1	1	0	
0	0	0	1	\rightarrow \beta
0	1	1	0	
1	0	1	0	
1	1	1	1	
	0 0 1 1 0 0	X Y 0 0 0 1 1 0 1 1 0 0 0 1	X Y C 0 0 0 0 1 0 1 0 0 1 1 1 0 0 0 0 1 1	X Y C Z 0 0 0 0 0 1 0 1 1 0 0 1 1 1 1 0 0 0 0 1 0 1 1 0

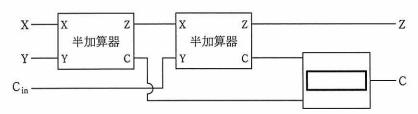


図2 全加算器の論理回路

解答群

ア AND

イ NAND

ウ NOR

エ OR

設問 4 2 の補数表現による 4 ビットの符号付き 2 進整数を加算する加算器を図 3 に示す。加算器は,2 進整数 $A_4A_3A_2A_1$ と $B_4B_3B_2B_1$ を加算して,結果 $S_4S_3S_2S_1$ を出力する。添字は桁の位置を示しており,値が大きいほど上位の桁を表す。

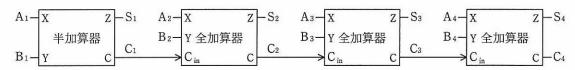
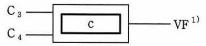


図3 加算器の論理回路

最上位ビットの加算において、 A_4 、 B_4 、 C_3 の値が表 3 の全加算器の真理値表のそれぞれ X、Y、 C_{in} の値の β 部分の組合せになるとき、桁あふれが生じる。これを検出するための論理回路を図 4 に、 $S_1 \sim S_4$ が全て 0 となる場合を検出する論理回路を図 5 に示す。図 4 中と図 5 中の に入れる正しい答えを、解答群の中から選べ。



注1) 桁あふれが生じたとき VF の値は 1, それ以外のとき VF の値は 0

図 4 桁あふれ検出の論理回路

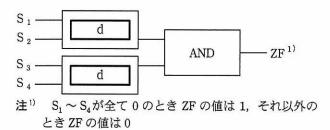


図5 ゼロ検出の論理回路

c, dに関する解答群

ア AND

イ NAND ゥ NOR エ OR

オ XOR