

問題4 次の高速化に関する各設問に答えよ。

＜設問1＞ 次のCPUの高速化技法に関する記述中の□□□□に入れるべき適切な字句を解答群から選べ。

CPUは主記憶装置に記憶されたプログラムから命令を一つずつ取り出し、実行する。命令を逐次制御方式で実行する場合は、1命令実行した後に次の命令を実行するので、演算装置や制御装置が動作しない時間が生じる。そのため、1命令を複数ステージに分割し、複数の命令を1ステージずつずらしながら並行して実行することで、処理を高速化する□□(1)方式がある。図は、1命令を6ステージに分割した例である。

- ① 命令の取出し
- ② 命令の解読
- ③ アドレス部の取出し
- ④ 実効アドレスの計算
- ⑤ データの取出し
- ⑥ 演算の実行

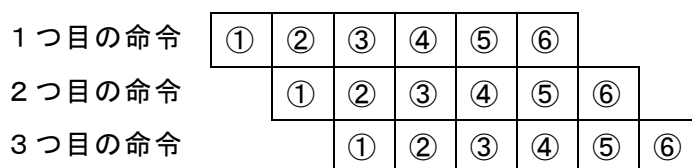


図 1 ステージずつずらして実行

□□(1)方式は、命令ごとの実行時間に大きな差があると高速化の効果は上がらない。そのため、命令の種類を減らし、できるだけ単純化して各命令の実行時間を均等にした□□(2)と呼ばれる命令セットアーキテクチャを採用している。しかし、分岐命令があると、後続の命令のステージの先読みが無駄になることや、前後の命令で同一データを使用する場合は、前の実行結果が格納されるまで次の計算ができないなど、処理の順序が乱れて効率が上がらない□□(3)という現象が発生する。

上図各ステージの動作が10ナノ秒で、分岐命令を含まない3個の命令を処理した場合、逐次制御方式では□□(4)ナノ秒かかるが、□□(1)方式では□□(5)ナノ秒で実行できる。

(1) ～ (3) の解答群

- |           |           |               |
|-----------|-----------|---------------|
| ア. CISC   | イ. RISC   | ウ. VLIW       |
| エ. スーパスカラ | オ. パイプライン | カ. パイプラインハザード |

(4), (5) の解答群

- |       |       |        |        |        |
|-------|-------|--------|--------|--------|
| ア. 60 | イ. 80 | ウ. 120 | エ. 180 | オ. 240 |
|-------|-------|--------|--------|--------|

＜設問 2＞ 次のメモリアクセスの高速化に関する記述中の  に入れるべき適切な字句を解答群から選べ。

メモリアクセスの高速化には (6) やキャッシュメモリを使用する方法ある。

(6) は、主記憶装置をいくつかの (7) に分け、連続するアドレスの内容を並列アクセスすることによって、データの読み書きの高速化が可能になる。

また、CPUの内部動作速度と主記憶装置のアクセス時間の大きな隔たりを埋め合わせるためにキャッシュメモリを使用する方法がある。CPUが主記憶装置からデータを取り出す場合、まずキャッシュメモリに必要なデータが存在するかを確認し、存在しなければ主記憶装置から取り出す。この時キャッシュメモリに必要なデータが存在する確率を(8)という。キャッシュメモリへのアクセス時間を10ナノ秒、主記憶装置へのアクセス時間が80ナノ秒、(8)が0.9である場合を考える。キャッシュメモリを使用する場合の平均アクセス時間は(9)ナノ秒となり、使用しない場合に比べて(10)ナノ秒短縮できる。

(6) ~ (8) の解答群

- ア. LIFO                      イ. NFP                      ウ. セグメント  
エ. バンク（区画）        オ. ヒット率              カ. メモリインタリーブ

(9), (10) の解答群

- ア. 10                  イ. 17                  ウ. 63                  エ. 72                  オ. 80