

問題 4 次のCPU の高速化技法に関する記述中の に入れるべき適切な字句を解答群から選べ。

CPU の性能は、主に動作周波数（クロック周波数）とバス幅で表される。

動作周波数は、コンピュータの動作の基準となる信号（クロックパルス）が 1 秒間に生成される回数の中で、Hz（ヘルツ）で表す。例えば、1 秒間に 10 回のクロックを刻むとすると 10Hz になる。バスとは、CPU やキャッシュメモリ、メインメモリなどで互いにデータのやりとりをするための信号路である。 (1) 高速にデータを送受信できるが、限界があるため、高速化の様々な方法が考えられた。

命令の実行が次の 6 つのステージで行われるとすると、逐次制御方式で実行する場合は、一つずつ命令を実行するので、演算装置や制御装置が動作しない時間が生じる。

- ① 命令の取り出し（命令フェッチ）
- ② 命令の解読（デコード）
- ③ オペランドのアドレス計算
- ④ オペランドの取り出し（オペランドフェッチ）
- ⑤ 命令の実行
- ⑥ 演算結果の格納

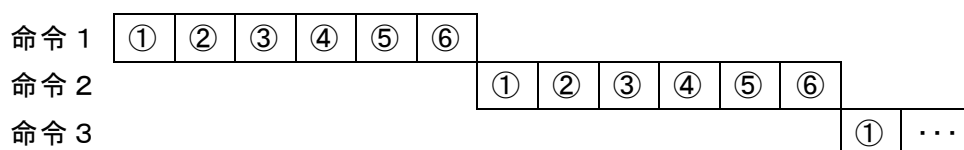


図 1 逐次制御方式の実行イメージ

CPU はメインメモリに記憶されたプログラムから命令を取り出し実行するので、命令の終了を待たずに次の命令の読出しを行う (2) 方式など、並行処理を行うことにより単位時間当たりの処理命令数を増やしている。

さらに、複数の命令を 1 ステージずつずらしながら同時に実行することで、処理を高速化する (3) 方式がある。

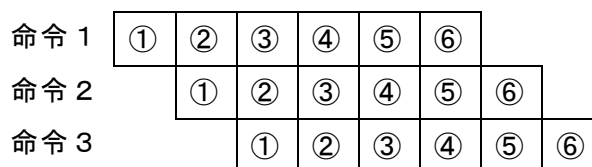


図 2 1 ステージずつずらして実行

例えば、逐次制御方式で 2 命令を実行するために必要な時間があれば、 (3) 方式では、最大で (4) 命令の実行が完了する。ただし、各ステージの所要時間は全て同じとする。

しかし、(3)方式が効果的に機能するためには、個々のステージの実行時間を均等にし、さらに各ステージの独立性が保たれている必要がある。そのため、制御命令の数を減らし、加減算などの単純な処理の組み合わせによって回路を単純化して各命令の実行時間を均等にしている。この命令セットアーキテクチャを(5)と呼ぶ。また、前後の命令で同一データを使用する場合、前の実行結果が格納されるまで次の計算ができないことや、分岐命令の発生で実行途中の命令が中断されたとき、後続の命令のステージの先読みが無駄になるなど、処理の順序が乱れて効率が上がらない。この処理の乱れを(6)と呼ぶ。

さらに高速化を図る方法として、(3)方式の命令の各ステージをさらに細かく分割して処理する(7)や図3のように命令を処理する回路を複数用意することで、複数の命令を並行処理する(8)と呼ばれる方法もある。

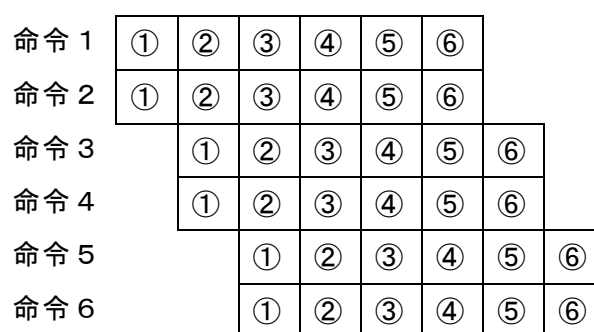


図3 ステージの並列処理

(1) の解答群

- ア. バス幅が狭く、クロック周波数が大きいほど
- イ. バス幅が狭く、クロック周波数が小さいほど
- ウ. バス幅が広く、クロック周波数が大きいほど
- エ. バス幅が広く、クロック周波数が小さいほど

(2) , (5) の解答群

- ア. CISC
- イ. RISC
- ウ. スループット
- エ. 先行制御
- オ. ターンアラウンド
- カ. マルチプロセッサ

(3) , (6) の解答群

- ア. インタラクティブ
- イ. スプーリング
- ウ. パイプライン
- エ. パイプラインハザード
- オ. フラグメンテーション
- カ. メモリインターリーブ

(4) の解答群

- ア. 5
- イ. 6
- ウ. 7
- エ. 8

(7) , (8) の解答群

ア. ガーベジ

ウ. スーパスカラ

オ. スラッシング

イ. コンパクション

エ. スーパパイプライン

カ. レスポンス