

問題 4 次の高速化に関する各設問に答えよ。

＜設問 1＞ 次のメモリアクセスの高速化に関する記述中の に入れるべき適切な字句を解答群から選べ。

メモリは、大きく分けると揮発性の RAM と不揮発性の ROM に分けられる。

RAM には、主にキャッシュメモリに使用される (1) とメインメモリ（主記憶装置）に使用される (2) がある。 (1) は (2) に比べると高速なので、CPU が読み出そうとするデータがキャッシュメモリに存在すればキャッシュメモリから、存在しなければメインメモリから呼び出すことで、メインメモリの平均アクセス時間の高速化を図ることができる。

データがキャッシュメモリにある確率をヒット率と呼ぶ。メインメモリへのアクセス時間が 70 n 秒、キャッシュメモリへのアクセス時間が 10 n 秒、ヒット率が 0.9 である場合の平均アクセス時間は (3) n 秒となる。

また、メインメモリを複数のバンク（区画）に分け、連続するアドレスの内容を並列アクセスすることによって、アクセスの高速化を図る (4) もある。

(1) , (2) , (4) の解答群

- | | | |
|-----------|---------------|-----------|
| ア. DRAM | イ. SRAM | ウ. ライトスルー |
| エ. ライトバック | オ. メモリインターリーブ | |

(3) の解答群

- | | | | |
|------|-------|-------|-------|
| ア. 8 | イ. 16 | ウ. 64 | エ. 72 |
|------|-------|-------|-------|

＜設問 2＞ 次の CPU の高速化技法に関する記述中の に入れるべき適切な字句を解答群から選べ。

CPU はメインメモリに記憶されたプログラムから命令を取出し、実行する。例えば、この一連の動作を 6 ステージに分割した場合を考える。

- ① 命令の取出し
- ② 命令の解読
- ③ アドレス部の取出し
- ④ 実効アドレスの計算
- ⑤ データの取出し
- ⑥ 演算の実行

命令を逐次制御方式で実行する場合は、1 命令ずつ各ステージを実行した後に次の命令を実行するので、演算装置や制御装置が動作しない時間が生じる。そのため、複数の命令を 1 ステージずつずらしながら同時に実行することで、処理を高速化する

(5) 方式がある。

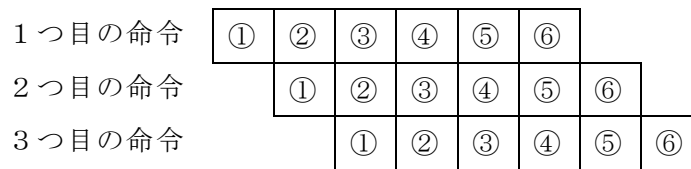


図 1 ステージずつずらして実行

(5) 方式は、命令ごとの実行時間に大きな差があると高速化の効果は上がらない。そのため、命令セットアーキテクチャとして、命令の種類を減らし、できるだけ単純化して各命令の実行時間を均等にした (6) 方式を採用している。しかし、分岐命令があると、後続の命令のステージの先読みが無駄になることや、前後の命令で同一データを使用するため、前の実行結果が格納されるまで次の計算ができないなど、(7) という乱れが発生すると効率が上がらない。

なお、各ステージの動作が $10n$ 秒で、分岐命令を含まない 5 個の命令を処理した場合、逐次制御方式では $300n$ 秒かかるが、(5) 方式では (8) n 秒となり高速化される。

(5) ～ (7) の解答群

- | | | |
|-----------|---------------|-----------|
| ア. CISC | イ. RISC | ウ. スーパスカラ |
| エ. パイプライン | オ. パイプラインハザード | |

(8) の解答群

- | | | | |
|-------|-------|--------|--------|
| ア. 50 | イ. 80 | ウ. 100 | エ. 150 |
|-------|-------|--------|--------|