

問題 4 次のプロセッサの高速化技法に関する記述中の に入れるべき適切な字句を解答群から選べ。

CPU の性能は、主に動作周波数(クロック周波数)に影響される。

動作周波数とは、コンピュータの動作の基準となる信号(クロックパルス)が 1 秒間に生成される回数のことであり、Hz(ヘルツ)で表す。例えば、ある CPU の動作周波数が 2GHz である場合、1 秒間に 2,000,000,000 回の信号を生成していることを示している。また、1 命令の実行に要するクロック数を、CPI(Cycles Per Instruction)と呼ぶ。例えば、ある CPU の動作周波数が 1GHz で平均 CPI 値が 5 の場合、1 秒間に約 (1) $\times 10^8$ 命令を実行できる。しかし、動作周波数の向上には限界があるため、様々な高速化の方法が考えられた。

命令の処理が次の 6 つのステージで行われるとする。

- ① 命令の取り出し (命令フェッチ)
- ② 命令の解読 (デコード)
- ③ オペランドのアドレス計算
- ④ オペランドの取り出し (オペランドフェッチ)
- ⑤ 命令の実行
- ⑥ 演算結果の格納

逐次制御方式の場合は、各ステージを順番に実行するので、演算装置や制御装置が動作しない時間が生じる。

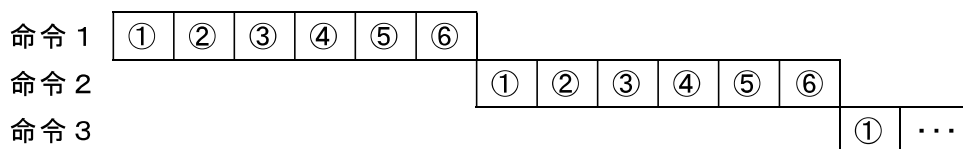


図 1 逐次制御方式の実行イメージ

そこで、装置の空いている時間を減らすため、図 2 のように並行して行う (2) がある。これには、1 ステージずつずらしながら処理する (3) 方式がある。

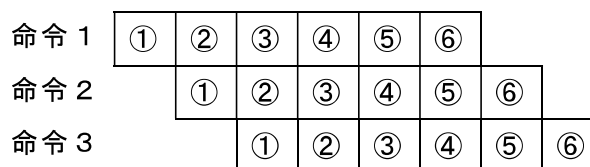


図 2 1 ステージずつずらして実行

しかし、 (3) 方式が効果的に機能するためには、個々のステージの実行時間が均等であり、さらに各命令の独立性が保たれている必要がある。そのため、命令の

種類を減らし、回路を単純化して各命令の実行時間を均等に行っている。この命令セットアーキテクチャを (4) と呼ぶ。なお、前後の命令で同一データを使用する場合、前の実行結果が格納されるまで次の計算ができないことや、分岐命令により、後続命令のステージの先読みが無駄になるなど、処理の順序が乱れて効率が上がらないことがある。この処理の乱れを (5) と呼ぶ。

また、1つの命令で1つのデータを処理する SISD(Single Instruction Single Data) と呼ばれる CPU アーキテクチャがあるが、この方式では、CPU と主記憶装置との間のデータ転送能力によって処理速度に限界がある。そのため、1つの命令で複数のデータを処理する (6) 、複数命令を同期を取りながら、並列処理して複数のデータを扱うことができる (7) 、1つのデータに対して複数の命令で異なる操作を並列処理する (8) が考えられている。

(1) の解答群

ア. 1 イ. 2 ウ. 5 エ. 10

(2) の解答群

ア. インタラクティブ イ. オーバーレイ
ウ. 先行制御 エ. 同時制御

(3) ～ (5) の解答群

ア. CISC イ. RISC
ウ. パイプライン エ. パイプラインハザード
オ. メモリインタリーブ カ. メモリコンパクション

(6) ～ (8) の解答群

ア. LFU(Least Frequently Used)
イ. MIMD(Multiple Instruction stream, Multiple Data stream)
ウ. MISD(Multiple Instruction stream, Single Data stream)
エ. SIMD(Single Instruction Multiple Data)
オ. VLIW(Very Long Instruction Word)