

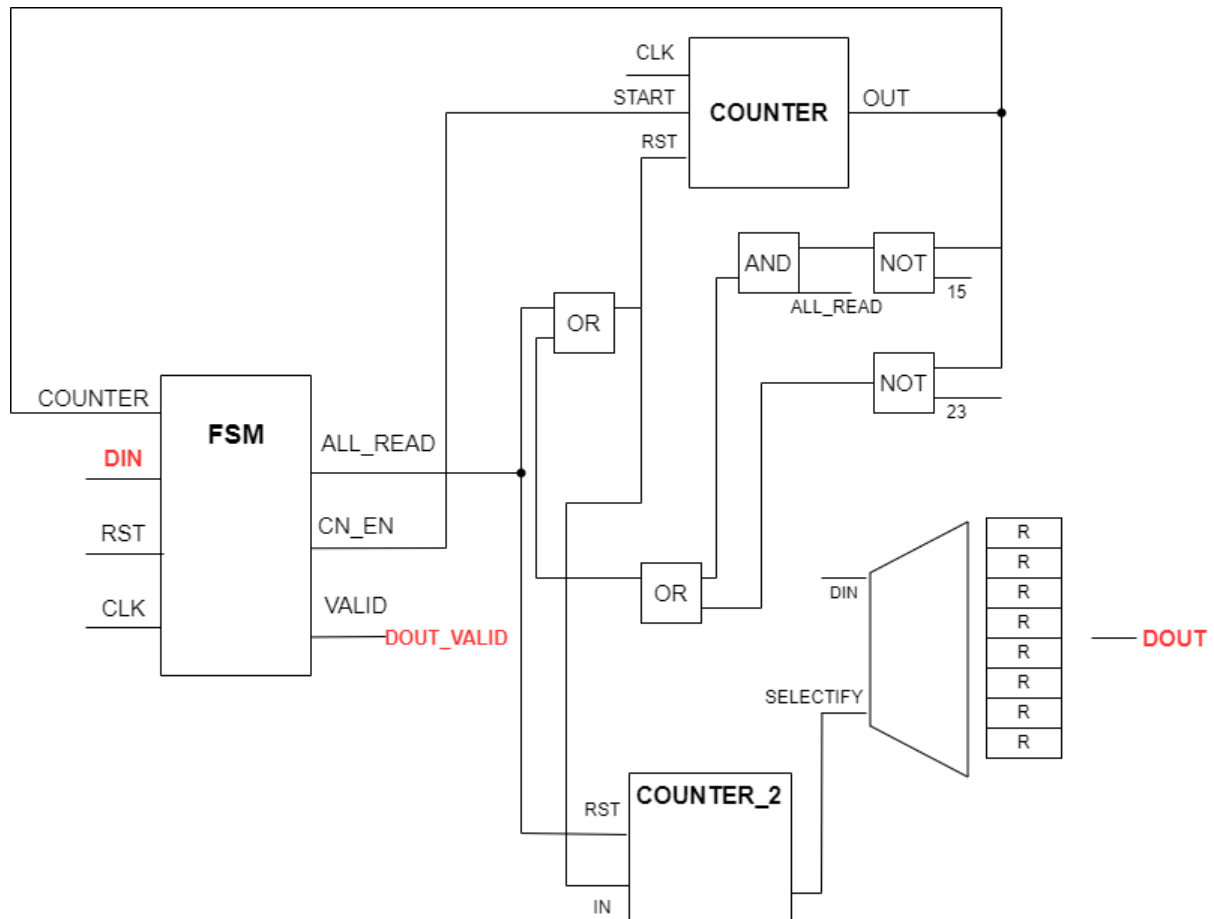
Príloha: Výstupná správa

Meno: Matúš Snopek

Login: xsnope04

1. Architektúra navrhnutého obvodu (na úrovni RTL)

Schéma obvodu:



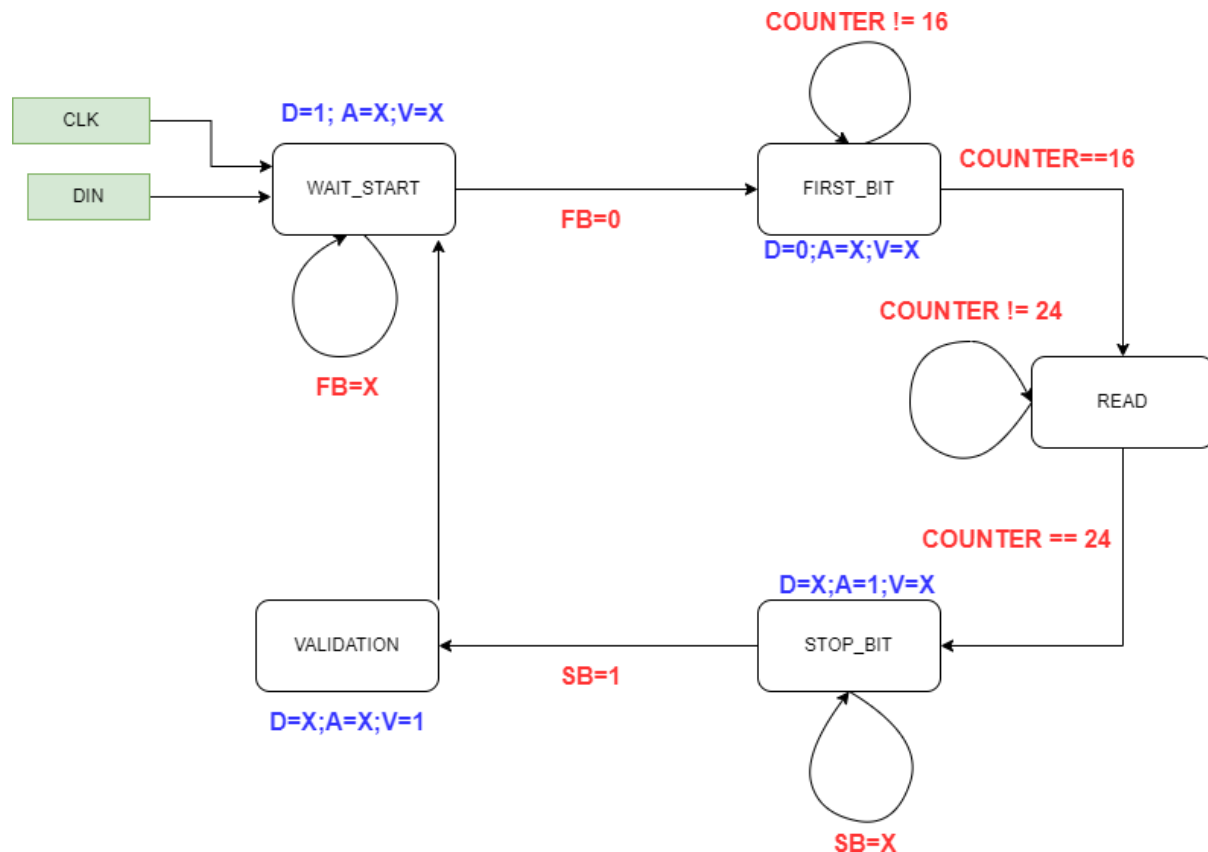
Popis funkcie:

- Po dostaní first bitu sa zapne COUNTER.
- COUNTER sa nuluje v polovici first bitu, potom sa začnú vypisovať bity.
- Po 16 CLK sa vypíše nový bit a COUNTER sa znovu vynuluje.
- COUNTER_1 nám počíta počet bytov a resetuje sa nám v prípade, keď sú všetky bity prečítané.
- Na výstupe sa nám vypíšu bity z registrov.

2. Návrh automatu (Finite State Machine)

Legenda:

- **Stavy:** WAIT_START, FIRST_BIT, READ, STOP_BIT, VALIDATION
- **Vstupné signály:** FB, SB, COUNTER
- **Moorove výstupy:** DATA, ALL_READ, VALID



Popis automatu:

- Najprv čakáme vo WAIT_START kým nám nepríde START BIT(FB).
- Potom sa presunieme do FIRST_BIT, kde čakáme kým sa nám nenačíta FIRST BIT.
- Po zaznamenaní FIRST BITU sa presunieme do READ, kde čítame všetky ostatné bity.
- Po prečítaní všetkých bitov sa presunieme do STOP_BIT a tu čakáme na STOP BIT.
- Po dostaní STOP BITU sa presunieme do VALIDATION, kde sa skontrolujú prebraté dáta a vrátíme sa znovu na WAIT_START.

3. Snímka obrazovky simulácie

