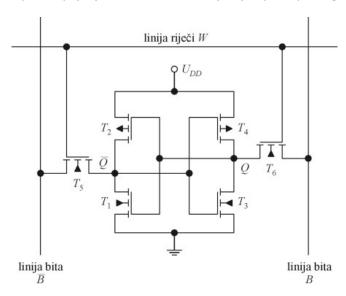
1. Dužine kanala svih tranzistora u statičkoj RAM ćeliji na slici su $L = 0.2 \, \mu m$, širine kanala tranzistora T_1 i T_3 su $W_{1,3} = 0.3 \, \mu m$, tranzistora T_2 i T_4 su $W_{2,4} = 0.5 \, \mu m$, a tranzistora T_5 i T_6 su $W_{5,6} = 0.4 \, \mu m$. Parametri tranzistora su: $K_n' = 250 \, \mu A/V^2$, $K_p' = -70 \, \mu A/V^2$, $U_{GSOn} = -U_{GSOp} = 0.45 \, V$, $U_{DSzasn} = 0.35 \, V$, $U_{DSzasp} = -0.55 \, V$, $\lambda_n \approx 0$ i $\lambda_p \approx 0$, a napon napajanja $U_{DD} = 1.8 \, V$. Uz pretpostavku da je u ćeliju zapisana 1, te da su kapaciteti obje linije bita jednaki $C_B = 400 \, \text{fF}$ odrediti razliku napona koje će se uspostaviti između linija bita u kroz vrijeme čitanja od $\Delta t = 350 \, \text{ps}$. Pretpostaviti da su prije čitanja oba voda bita prednabijena na napon napajanja U_{DD} . Zanemariti utjecaj napona podloge na napon praga.



- $a. \Delta u = 141 \text{ mV}$
- **b**. $\Delta u = 129 \text{ mV}$
- c. $\Delta u = 115 \text{ mV}$
- **C** d. $\Delta u = 87,6 \text{ mV}$
- **C** e. $\Delta u = 98,5 \text{ mV}$

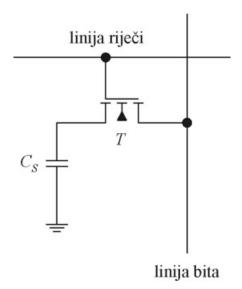
krenemo od toga da je upisana 1 pa tranzistori T4 i T1 vode, tako imamo na $\overline{Q}=0$ i Q=1, odredimo $u_{\overline{Q}}$ po jednadžbi izvedenoj u skripti u primjeri 7.1., tada sa tim $u_{\overline{Q}}$ odredimo I_{D1} , nadalje sa tom se I_{D1} izbija $C_{\overline{Q}}$ isto prema izrazu iz primjera 7.1, samo sam ja

$$K_n' \frac{W_5}{L_5} \left(U_{DD} - u_{\overline{Q}} - U_{GSOn}^0 - \frac{U_{DStatin}}{2} \right) U_{DStatin} = K_n' \frac{W_1}{L_1} \left(U_{DD} - U_{GSOn} - \frac{u_{\overline{Q}}}{2} \right) u_{\overline{Q}} = \frac{u_{\overline{Q}}}{2} u_{\overline{Q}} + \frac{u_{\overline{Q}}}{2} u_{\overline{Q}} = \frac{u_{\overline{Q}}}{2} u_{\overline{Q}} + \frac{u_{\overline{Q}}}{2}$$

$$u_{\widetilde{Q}} = \frac{O_{W15} \left(U_{DD} - U_{GS0n}^0 \right) + U_{DStasn} - \sqrt{U_{UDStasn}^2 \left(1 + O_{W15} \right) + O_{W15}^2 \left(U_{DD} - U_{GS0n}^0 \right)^2}}{O_{W15}} \; .$$

$$I_{D1} = K_n' \frac{W_1}{L_1} \left(U_{DD} - U_{GS0n} - \frac{u_{\overline{Q}}}{2} \right) u_{\overline{Q}} \quad \Delta t = \frac{C_B \Delta u}{I_{D1}}$$

2 • Pri čitanju sadržaja dinamičkog RAM-a na slici linija bita prednabija se na napon $U_{DD}/2 = 0.9$ V. Koliki mora biti kapacitet C_S da se pri čitanju logičke 0 napon na liniji bita promijeni za $\Delta U_B(0) = -100$ mV, ako je kapacitet linije bita $C_B = 350$ fF? Kolika je uz takav kapacitet C_S promjena napona $\Delta U_B(1)$ na liniji bita pri čitanju logičke 1, ako je pri upisu logičke 1 napon praga nMOS tranzistora $U_{GSO} = 0.65$ V?



a.
$$C_S = 35,4 \text{ fF}, \Delta U_B(1) = 15,6 \text{ mV}$$

b.
$$C_S = 46.7 \text{ fF}, \Delta U_B(1) = 37.6 \text{ mV}$$

c.
$$C_S = 43.8 \text{ fF}, \Delta U_B(1) = 27.8 \text{ mV}$$

d.
$$C_S = 62,2 \text{ fF}, \Delta U_B(1) = 33,5 \text{ mV}$$

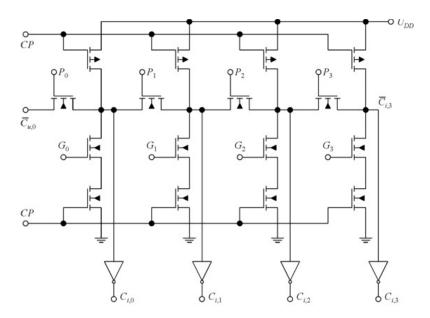
e.
$$C_S = 54.5 \text{ fF}, \Delta U_B(1) = 42.3 \text{ mV}$$

skripta malo ispod primjera 7.1., malo izvrtiti jednadžbe i gotovo....

$$C_{\mathcal{S}}\,U_{\mathcal{CS}} + C_{\mathcal{B}}\,\frac{U_{\mathcal{DD}}}{2} = \left(C_{\mathcal{B}} + C_{\mathcal{S}}\right) \left(\frac{U_{\mathcal{DD}}}{2} + \Delta U_{\mathcal{B}}\right), \quad \Delta U_{\mathcal{B}} = \frac{C_{\mathcal{S}}}{C_{\mathcal{B}} + C_{\mathcal{S}}} \left(U_{\mathcal{CS}} - \frac{U_{\mathcal{DD}}}{2}\right).$$

$$\Delta U_{\scriptscriptstyle B}\left(0\right) = -\frac{C_{\scriptscriptstyle S}}{C_{\scriptscriptstyle B}+C_{\scriptscriptstyle S}}\frac{U_{\scriptscriptstyle DD}}{2}\;. \qquad \Delta U_{\scriptscriptstyle B}\left(1\right) = \frac{C_{\scriptscriptstyle S}}{C_{\scriptscriptstyle B}+C_{\scriptscriptstyle S}}\left(\frac{U_{\scriptscriptstyle DD}}{2}-U_{\scriptscriptstyle GS0n}\right),$$

3. U analizi kašnjenja sklop za generiranje izlaznog prijenosa Manchester 4-bitnog zbrajala lančanog prijenosa sa slike može se nadomjestiti RC lancem, pri čemu se vrijeme kašnjenja može računati primjenom Elmorove vremenske konstante. Uz minimalne tranzistore nadomjesni otpori i kapaciteti RC lanca su međusobno jednaki i iznose R=4 k Ω i C=3,5 fF. Kašnjenje lanca može se smanjiti ako se tranzistori idući od izlaza prema ulazu izvedu s postupno širim kanalima. Koliko je vrijeme kašnjenja lanca ako je faktor povećanja širine kanala tranzistora k=1,6?



- a. $t_d = 87,3 \text{ ps}$
- b. $t_d = 108 \text{ ps}$
- c. $t_d = 66,7 \text{ ps}$
- d. $t_d = 121 \text{ ps}$
- e. $t_d = 43.9 \text{ ps}$

skripta primjer 8.2.

ulazni prijenos
$$C_1$$
 C_2 C_3 C_4 C_4 izlazni prijenos

$$t_d = 0.69 \left[R_1 C_1 + \left(R_1 + R_2 \right) C_2 + \left(R_1 + R_2 + R_3 \right) C_3 + \left(R_1 + R_2 + R_3 + R_4 \right) C_4 \right].$$

$$t_{d} = 0,69\,\tau_{DN} = 0,69\sum_{i=1}^{N}C_{i}\sum_{j=1}^{i}R_{j}\;, \qquad t_{d} = 0,69\Big[R_{1}\,C_{1} + \left(R_{1} + R_{2}\right)C_{2} + \left(R_{1} + R_{2} + R_{3}\right)C_{3} + \left(R_{1} + R_{2} + R_{3} + R_{4}\right)C_{4}\Big]\;. \label{eq:td}$$

$$t_d = 0,69\,R\,C\left(1+2\,k+3\,k^2+4\,k^3\right)/k^3\,.$$