

FV sklopovlja

- računalni alati za automatizaciju oblikovanja elektroničkih sustava - automatizacija sinteze i simulacija ponašanja rada sklopovnja

SINTEZA SKLOPOVLJA

- **sinteza visokog nivoa** - iz opisa arh. sustava u višim prog. jez. -> opis na razini RTL (register transfer level)
- **logička sinteza** - iz RTL opisa u HDL-u -> opis na razini logičkih vrata
- **postavljanje i usmjeravanje** - iz opisa liste povezanih komponenata -> fiz. raspored
- VHDL i Verilog - HDL jezici, podskup sintakse za opsi sklopovlja zove im se RTL
- najčešće tehnologije FPGA (fizički bitsream) i ASIC (fizički mask set)
- simulacija rada sklopovlja - nužna, ali ne mogu se naći sve pogreške zbog broja mogućnosti koje treba provjeriti
- **FV**: komplementarno sa simulacijom, manji prostor pretraživanje nego kod programa
- koriste se sve 4 metode FV
 - provjera ekvivalentnosti - FV sklopovlja u užem smislu
 - na razini logičkih vrata (netlist) i RTL, u teoriji RTL -> netlist alati daju ekvival.
 - algoritmi zasnovani na BDD i SAT solverima i ATPG (Autom. Test Pattern Gen.)
 - ATPG provjerava sve moguće ulaze
 - provjera modela - nadopuna simulaciji
 - zasnivana na vrem. log CTL ili LTL, moguće ograničena, opet BDD i SAT
 - RTL se prevede u netlist pa se onda radi FSM provjera
 - automatizirano dokazivanje teorema - za aritmetičke sklopove
 - dokaz da je form. log. posljedica implementacije
 - programski jezik **ACL2**
 - provjera tvrdnje - stanje sklopa, pre i post uvjeti
 - trenutne - provjeri je li ==, konkurentne - slične vremenskoj logici, assert
- **PROVJERA MODELA U SUSTAVU VIS**
- RTL opis u **Verilogu** se prevodi u međufORMAT **BLIF_MV**, izlaz passed ili failed
- pretp: opis je dan kao hijerarhija modula od kojih je prvi glavni
- naredbe u VIS-u - slajdovi 25. - 27.
- **Verilog**
 - jezik za opis sklopovlja, zasnovan na C
 - modularan - hijerarhija modula, više puta instanciranje istog
 - povezivanje podmodula u nadređenom
 - tipovi: bitnovi, enumi, integer, real, vektori bitova i polja, 4-valentna logika (1,0, x-d.c., z)
 - vrste varijabli:
 - **reg** - spremanje vrijednosti
 - **wire** - žice koje povezuju sustav, ne mogu biti na lijevoj strani izraza, k.r. assign
 - opis modula
 - **deklarativan** (jednostavno u netlistu) - strukturni
 - izrađen od log. vrata i drugih modula
 - ulazi, izlazi, instance vrata, kašnjenja

- **proceduralan** (teže) - ponašajni - blokovi initial i always
 - i kombinacijska i sekvencijska logika, sličan C-u
- **kombinacija**
- kašnjenje:
 - **#** - n vrem. jed
 - **wait** - čekanje do razine (npr. wait(f==0))
 - **@** - čekanje promjene (npr. @(var) w=4)
- izrazi - assign, proceduralno initial/always
 - dodjele: blokirajuće =, neblokirajuće <=
- operatori - kao u C-u, konkatencija: {a, b[3:0], c}, replikacija: {4{b}} = {b,b,b,b}
- nedeterminizam - fja. \$ND, npr. d = \$ND(0,1) - podržava ga i VIS
- FSM: Mealy (izlaz <= stanje + ulaz), Moore (izlaz <= stanje)