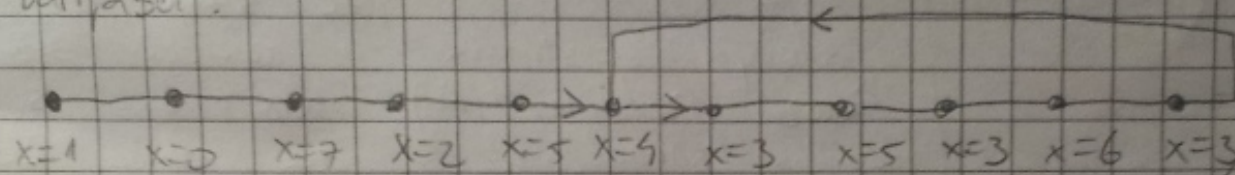


d) atomic
`atomic { locker--; locker++; }`

e) na slici je prikazan ekspanzivni asinkroni produkt s unjednostakom varijabli.



Odradi (T/N):
 $\square p, p \equiv (x > 0)$
 $\diamond p, p \equiv (x == 9)$
 $\diamond \square p, p \equiv (x \geq 3)$
 $\square \diamond p, p \equiv (x == 3)$

a) and, or, xor, nand

b) $F = (x_1 + x_2)(x_1 + x_3)(x_2 + x_3)(x_1 + x_2)$

a) $x_1, x_2, 3$ bez km.

b) x_3, x_1, x_2 bez km.

c) x_3, x_1, x_2 sa km

8) uporedi shematski
 korenu ako vanjsle a.
 Napiši oba faktora, a
 zatim max pojednostavljeni
 rezultat. $F(a,b,c) = a'b'c + ab'c + abc + abc$

7) Zadan je sljedeći round model:

in $x=3$

active prototype A() {

do

$:: x == 3 \rightarrow x = 2;$

$:: x == 2 \rightarrow x = 3;$

od; }

active prototype B() {

L1: do

$:: x == 3 \rightarrow L2: \text{stop};$

od;

}

a) pravi se
 assert i proces
 došlo u završno
 stanje. c) napiši proces
 u eventualno dob. zi u
 završno stanje

- a) nacrtajte pripadne konačne distalne automete za A i B
 b) nadopunite pravi 10 znova jednu od mogućih sekvenci exp. produkta: (P_i, x_i)
 $(A, 2), (A, 3) \dots$
 c) Da li je moguć slučaj u kojem se proces B nikad ne završi? Navesti primer

- 1) a) Definiraj teorem dedukcije
b) Kako bi se dokazala logička posljedica upotrebom SAT - rješavača?

2) Dio Verilog koda glasi:

```
always @ (posedge clk) begin  
    a = 5;  
    b = 2;  
    b <= a;  
    v = 0;  
end
```

Koja vrijednost je pridružena varijabli v neposredno po izvođenju zadnje naredbe? Objasni zašto

3) Izrazi CTL formule

a) $AF\ p$

b) $EG\ p$

pomoću operatora AU .

- 1) Za zadani model u jeziku Verilog, potrebno je nacrtati odgovarajući konačni automat (FSM). Pripremi na vrsta FSM-a (navesti vrijednosti ulaznih i izlaznih signala).

```
module switch (clk, c_in, c_out)
```

```
input clk, c_in;
```

```
output c_out;
```

```
reg a, b;
```

```
wire rand;
```

```
assign rand = $RAND(21);
```

```
assign c_out = c_in & a;
```

```
initial begin
```

```
a = 0;
```

```
b = 0;
```

```
end
```

```
always @ (posedge clk) begin
```

```
if (a != b && c_in == 1) begin
```

```
a = b;
```

```
b = rand;
```

```
else if (c_in == 1) begin
```

```
a = b;
```

```
b = a;
```

```
end
```

```
end
```

```
endmodule
```

- 13) U stroje diana s au. brojem stanja poznato je relacije dostupnosti

$$r \subseteq S \times S: \forall s \in S \exists t \in S / (s, t) \in r$$

gdje su $\{s\}$ izvorna, a $\{t\}$ dostupna stanja u jednom koraku.

Neka je definirana r -je

$$r(A) = \{t \in S \mid \exists s \in (A \cap R)\}$$

koja za skup poč stanja A vraća stanja dostupna u jednom koraku $\{t\}$.

Broje izvornih $r(A)$ operacijama s ROBDD-ovima (smisliti), te za svaku ROBDD operaciju navesti odgovarajući ite operaci.

- 15) Napiši pseudokod algoritma za građenje CTL formule uchw. logike $E(p \vee q)$

tučben na izračun-uju BDD-a. Algoritam

ponavlja step state u kopiju vrijedi p

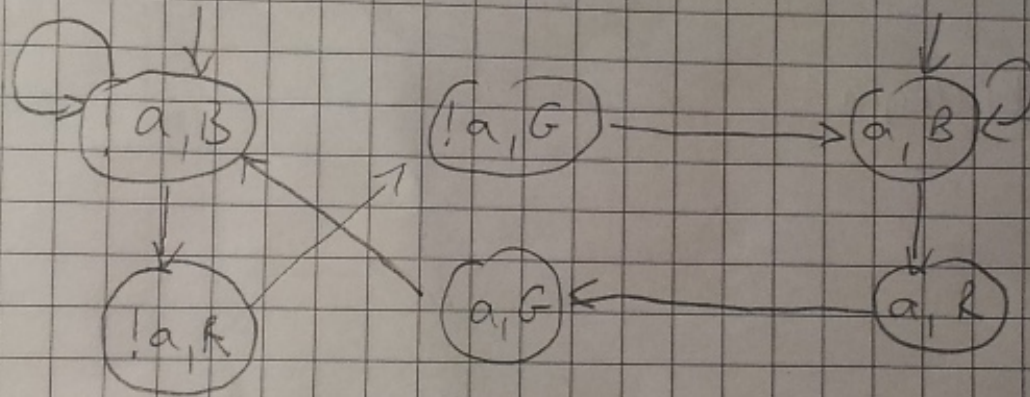
i step state u kopiju vrijedi q. Završava

odgovarajućim ROBDD-om i vraća ROBDD

skup stanja za koje vrijedi $E(p \vee q)$

5) Za zadani kriptni strukturi potrebno je napisati odgovarajući NuSMV kod i odrediti istinitost CTL specifikacija promatrajući iz dva početna stanja (može uvesti za oba)

- CTL SPEC $AG AF (1a \wedge st = G)$
- CTL SPEC $(a \wedge EG (st = R))$



6) Detaljno opišite funkcioniranje svake od navedenih pravila naredbi.

a) `ntype:`

`ntype = {RDY, DATA, ACK, REP}`

b) `chan`

`chan b2a = [2] of {bit, byte, bit, bit}`

c) `timeout:`

`do`

`:: ch1? ACK;`

`:: ch2? BWR;`

`:: timeout -> goto end-TRAP;`

`od`

III

pseudokod za `it(f, g, h)`

uz uporabu promjenjive `i` i `log`.

obavezno napisati taj sustav tern.

cases

II) Slučajnost izračunavanja `it` se

bez uporabe i. l. za `log` nije

s 2 operandima.