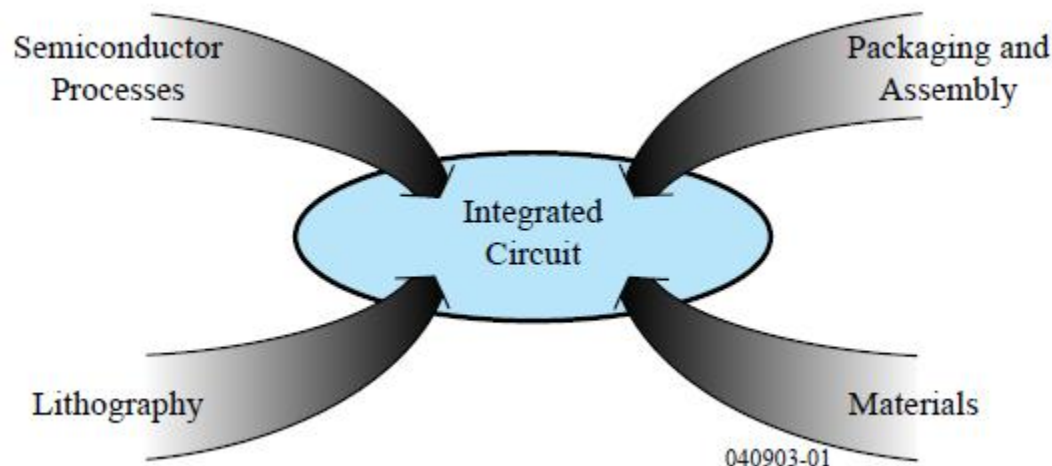


Napredni postupci u projektiranju analognih integriranih sklopova

Pregled tehnologija i integriranih
komponenata

Tehnologija za proizvodnju integriranih sklopova

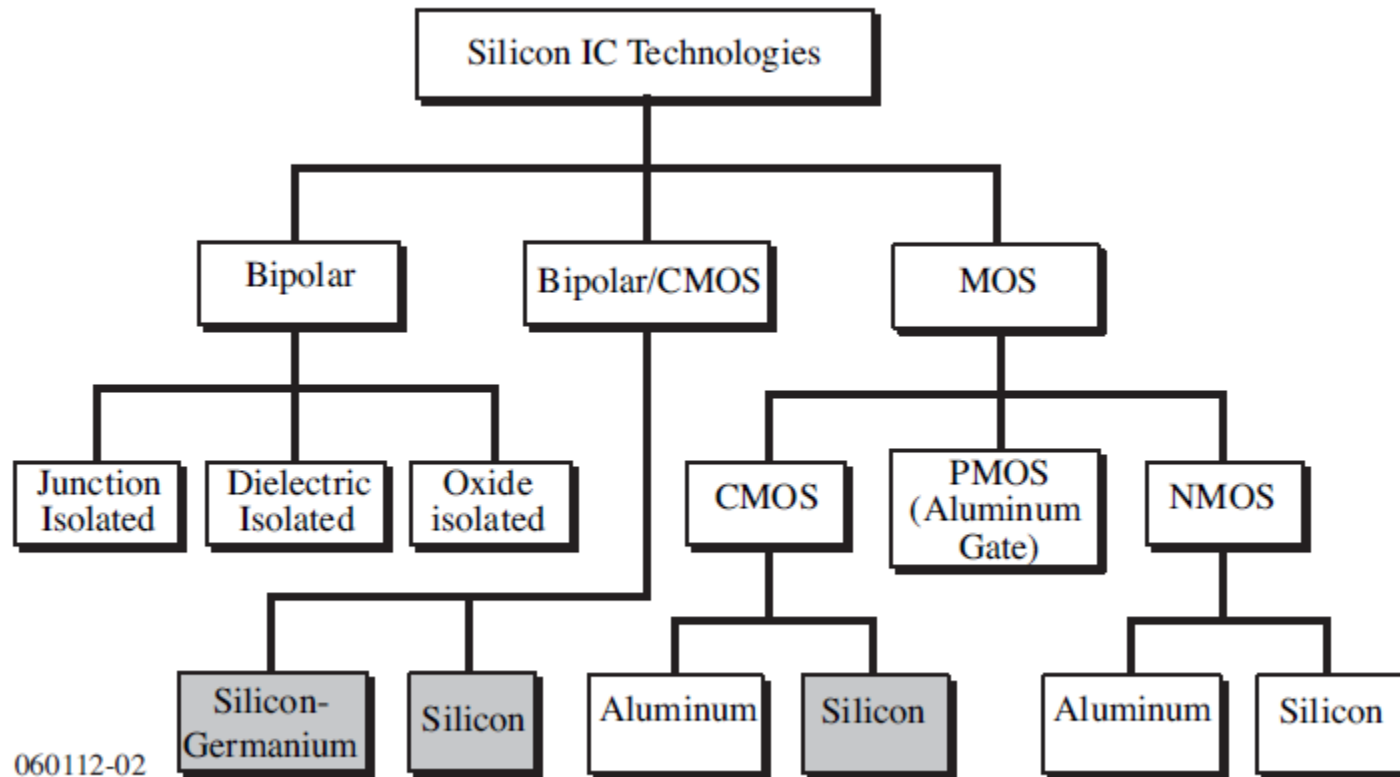
Primjena znanstvenih spoznaja za izradu skupa međusobno povezanih elektroničkih elemenata izvedenih u istoj podlozi



Utjecaj tehnologije na projektiranje analognih sklopova

- Karakteristike analognih IC
 - Kontinuirani u amplitudi signala
 - Diskretni ili kontinuirani u vremenu
 - Obrada signala primarno ovisi o omjeru vrijednosti ili vremenskih konstanti
 - U omjerima su obično vodljivosti, otpori ili kapaciteti
 - Vremenske konstante su produkti otpora i kapaciteta
 - Dinamički opseg je određen najmanjim i najvećim signalima
- Utjecaj tehnologije
 - Točnost obrade signala ovisi o točnosti omjera vrijednosti elemenata
 - Dinamički opseg ovisi o linearnosti elemenata u sklopu te o šumu
 - Iznos vrijednosti elemenata ograničen je površinom koju zauzimaju
 - Tehnologija unosi otporne, kapacitivne i induktivne parazite koji rezultiraju odstupanjem od željenih karakteristika sklopa
 - Na analogni sklop utječu ostali sklopovi izvedeni u istoj podlozi (često se kombiniraju analogni i digitalni)

Klasifikacija tehnologija



Primjene tehnologija

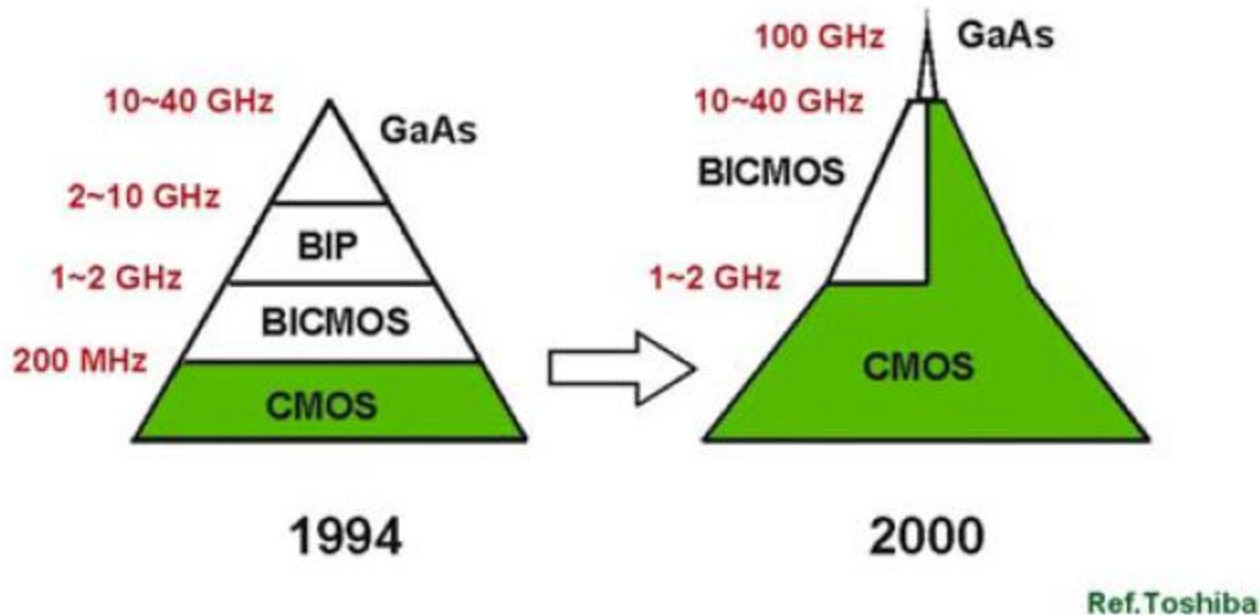
Year	Lmin μm	Bits/chip Gb/chip	Trans/chip millions/chip	Clock MHz	Wiring
1995	0.35	0.064	4	300	4 - 5
1998	0.25	0.256	7	450	5
2001	0.18	1	13	600	5 - 6
2004	0.13	4	25	800	6
2007	0.09	16	50	1000	6 - 7
2010	0.065	64	90	1100	7 - 8

2003

Semiconductor Industry Association

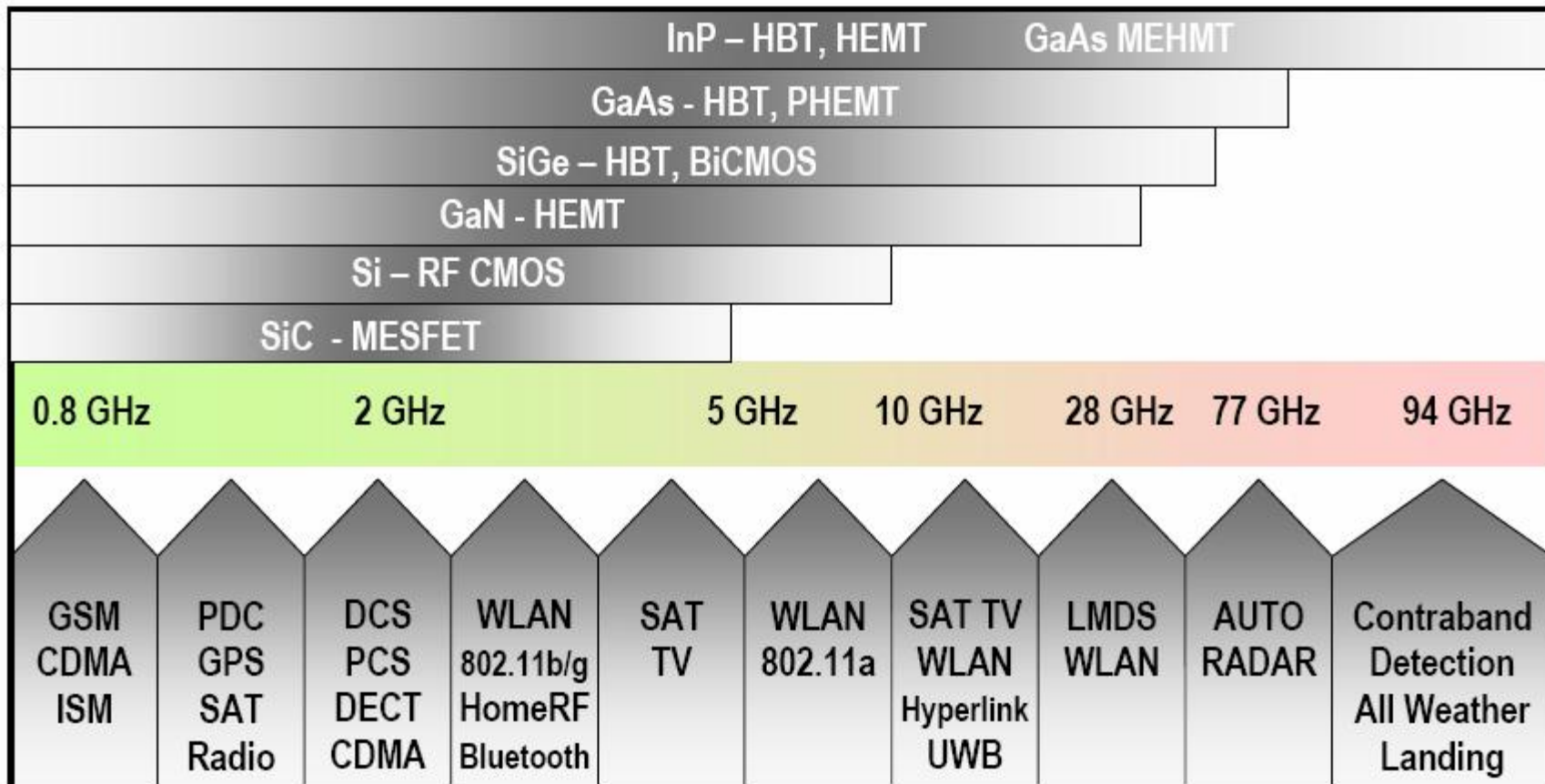
- Skaliranjem broj tranzistora na čipu se približno udvostručuje svakih 18 mjeseci
- Skaliranje je motivirano poboljšanjem digitalnih sklopova (veća gustoća memorija, kompleksniji mikroprocesori)
- Analogne primjene kasne 2~3 tehnološka čvora
- Broj slojeva metalizacije raste što omogućava integraciju više tipova pasivnih komponenata

Primjene tehnologija



- CMOS je u početku bio rezerviran samo za digitalne sklopove
- Skaliranjem raste brzina CMOS tranzistora (f_T i f_{max}) te se pojačanje može postići na višim frekvencijama
- Danas se CMOS koristi u brzim RF komunikacijskim sklopovima

Primjene tehnologija - komunikacije



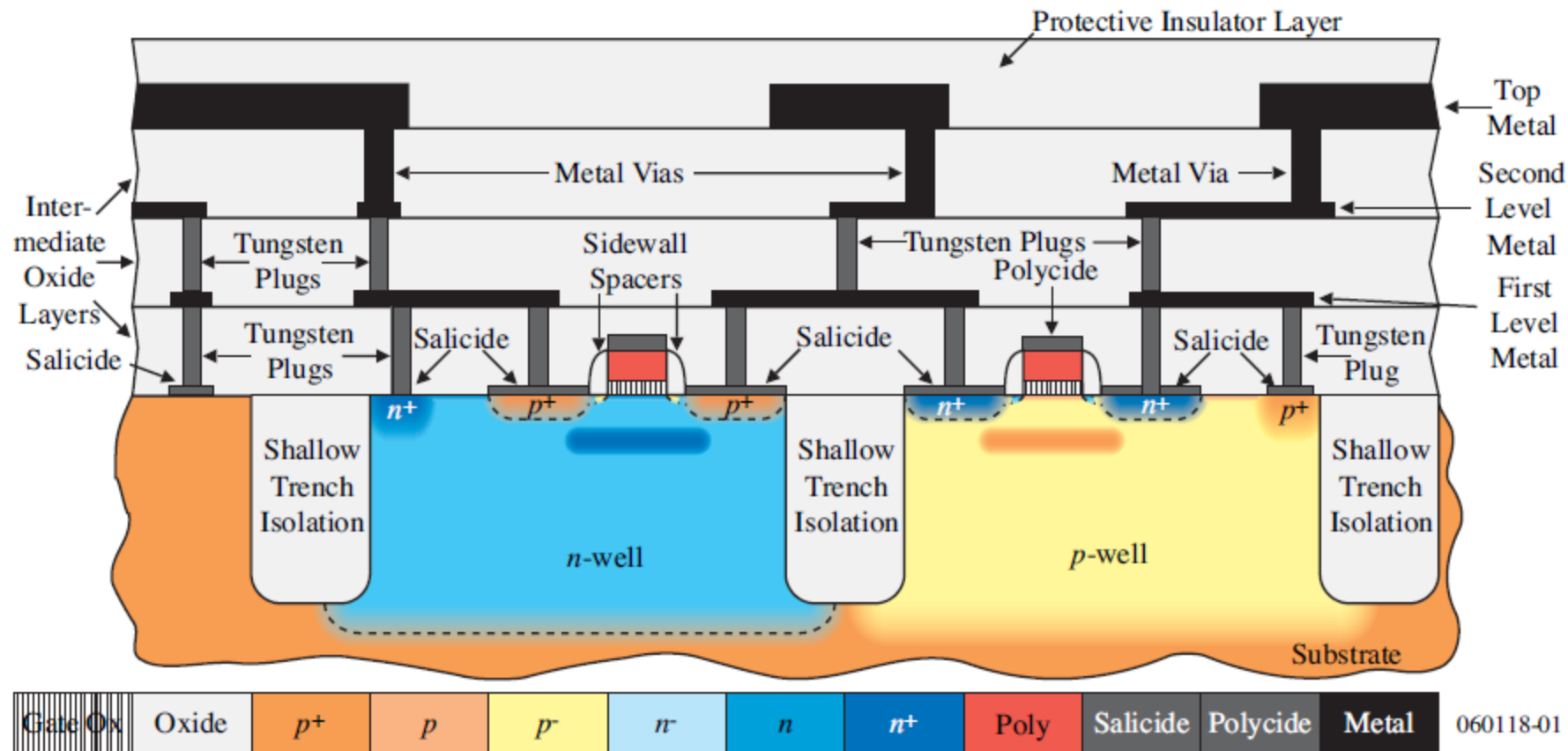
Zašto CMOS ?

Usporedba BJT i MOSFET tehnologije iz perspektive analogne elektronike

Predmet usporedbe	BJT	MOSFET
Frekv. jediničnog pojačanja (fT)	100 GHz	50 GHz (0.25 μm)
Šum (termički je približno jednak)	Manji 1/f šum	Veći 1/f šum
DC raspon rada	9 dekada eksponencijalne ovisnosti IC o UBE	2-3 dekade ovisnosti ID o UGS
Strmina	Veća 10x	Manja 10x
Izlazni dinamički otpor	Malo veći	Manji za kratki kanal
Izrada sklopke	Loša	Dobra
Kondenzatori	Naponski ovisni	Više mogućnosti
Razvoj tehnologije	Polagan	Brz

- Skoro sve stavke su na strani BJT, ali iz perspektive digitalne elektronike sličan omjer bi bio na strani CMOS-a
- Kako su potrebe tehnologije miješanog signala koje se koriste u masovnoj proizvodnji određene potrebama za digitalnim sklopovima, CMOS tehnologija se javlja kao očiti izbor

CMOS tehnologija



CMOS – SEM presjek

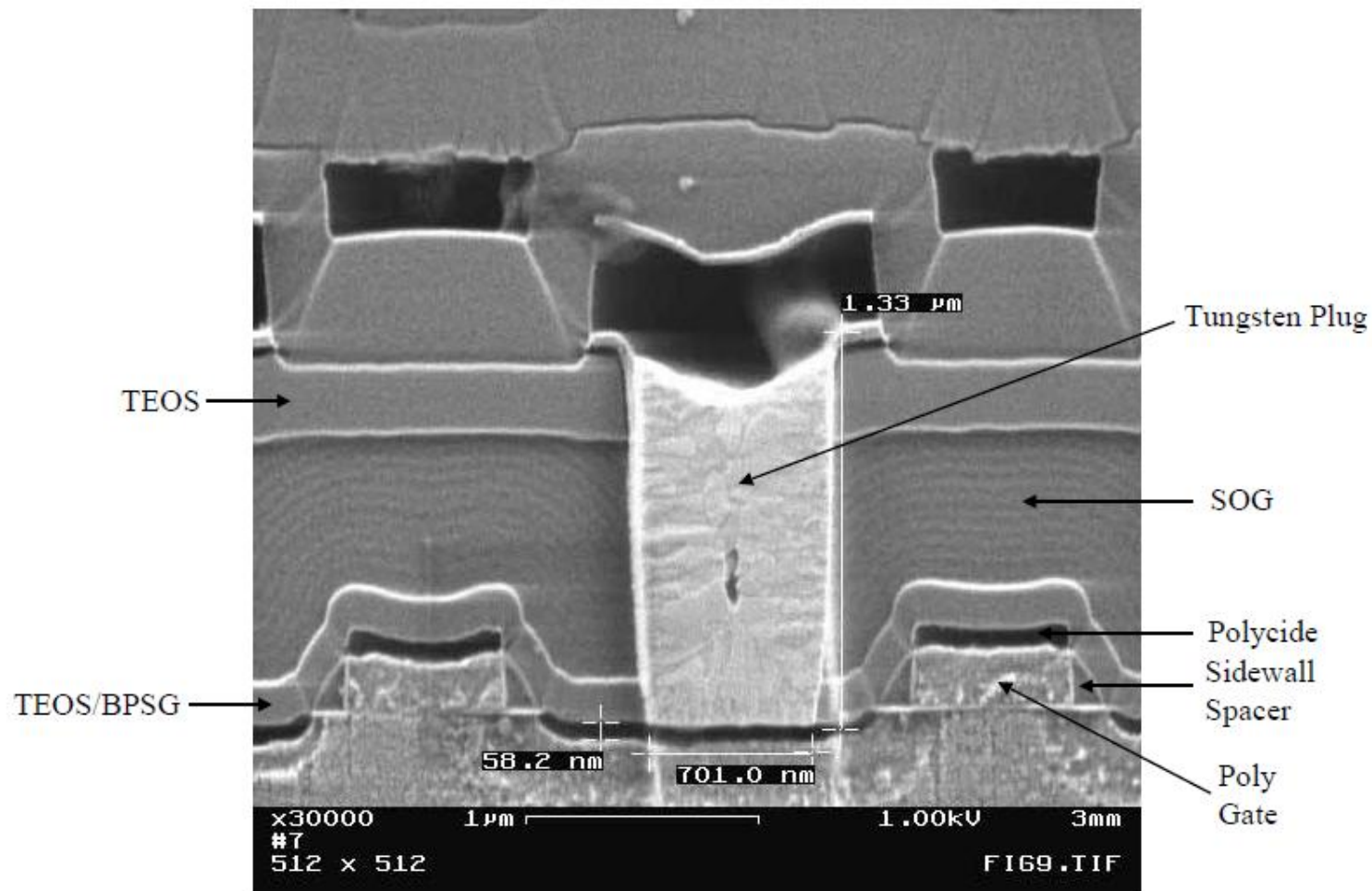


Fig. 2.8-20

CMOS – SEM presjek, metalizacija

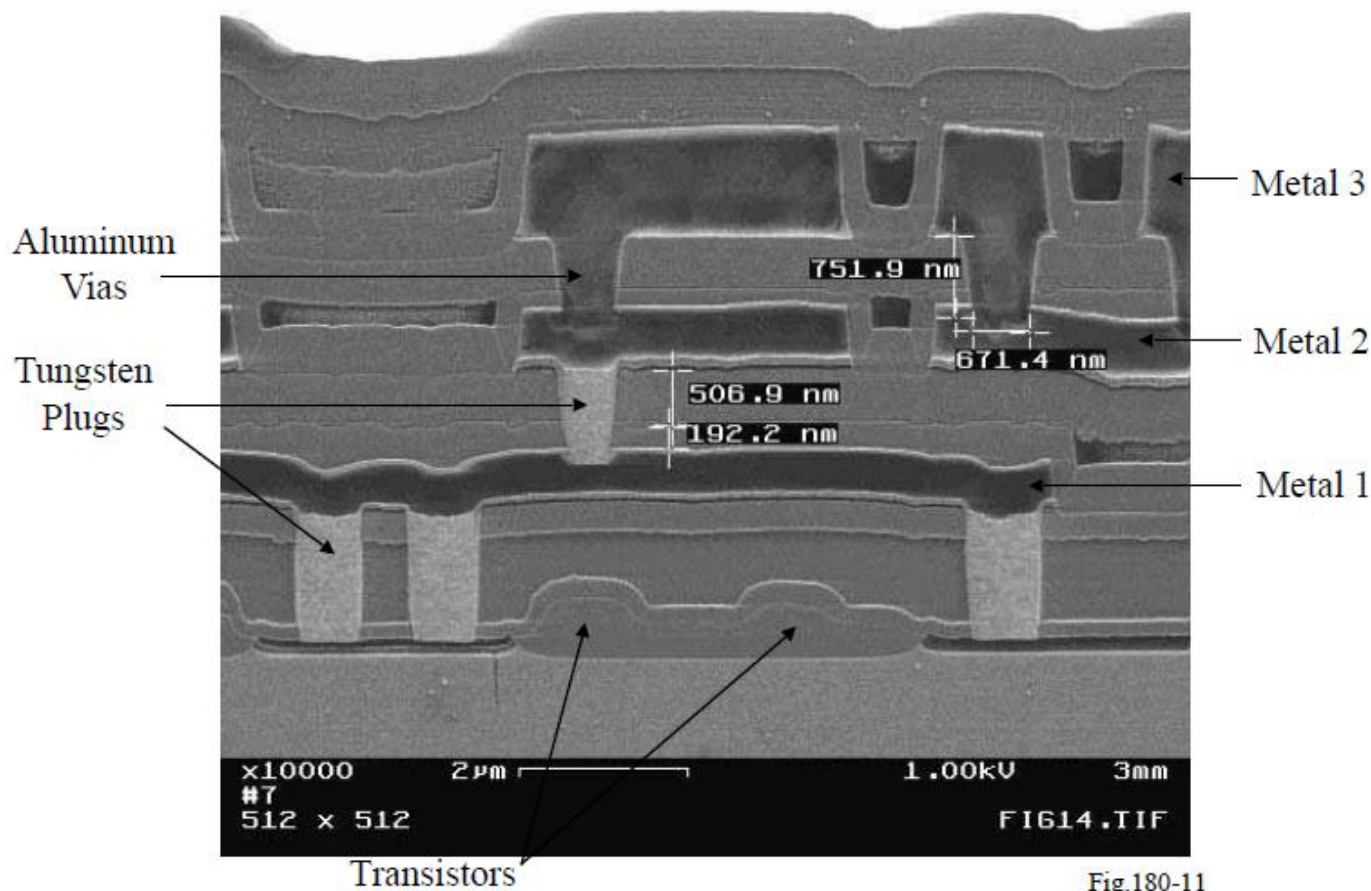


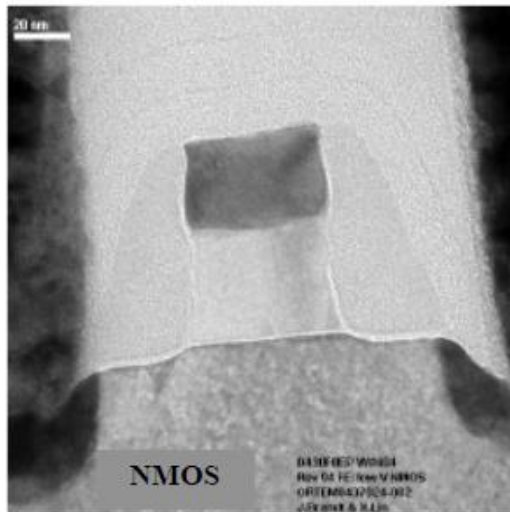
Fig.180-11

CMOS – primjer sub-mikrometarske tehnologije

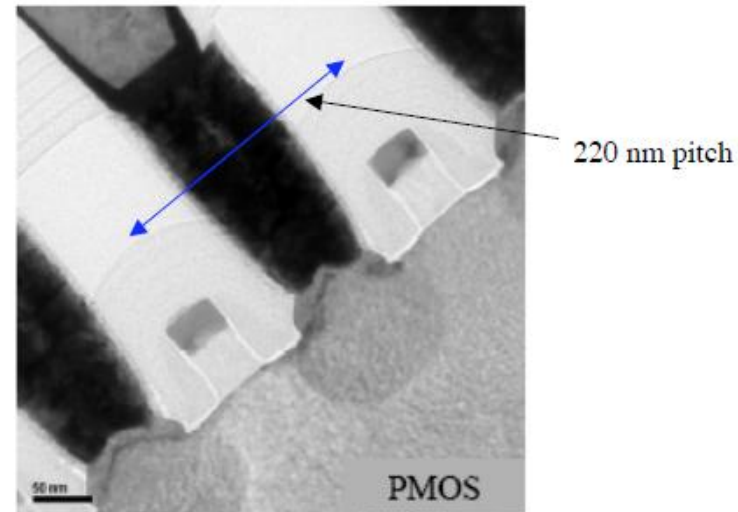
65 Nanometer CMOS Technology

TEM cross-section of a 35 nm NMOS and PMOS transistors.[†]

NMOS:



PMOS:



These transistors utilize enhanced channel strains to increase drive capability and to reduce off currents.

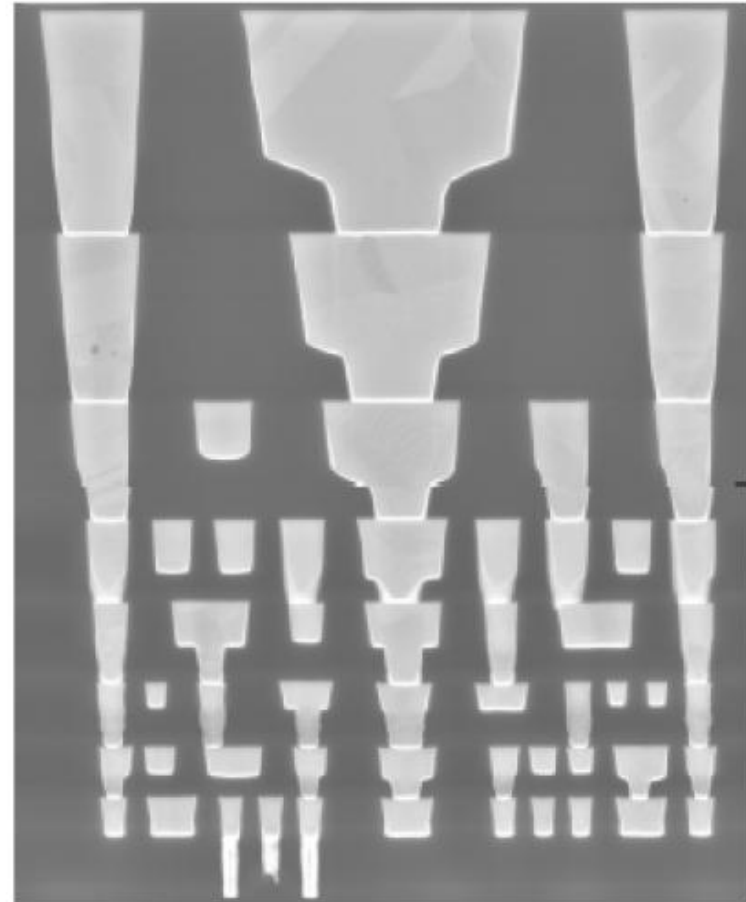
[†] P. Bai, et. Al., "A 65nm Lobic Technology Featuring 35nm Gate Lengths, Enhanced Channel Strain, 8 Cu Interconnect Layers, Low-k ILD and 0.57 μm^2 SRAM Cell, *IEEE Inter. Electron Device Meeting*, Dec. 12-15, 2005.
CMOS Analog Circuit Design

CMOS – primjer sub-mikrometarske tehnologije

UDSM Metal and Interconnects

Physical aspects:

Layer	Pitch (nm)	Thickness (nm)	Aspect Ratio
Isolation	220	230	-
Polysilicon	220	90	-
Contacted Gate Pitch	220	-	-
Metal 1	210	170	1.6
Metal 2	210	190	1.8
Metal 3	220	200	1.8
Metal 4	280	250	1.8
Metal 5	330	300	1.8
Metal 6	480	430	1.8
Metal 7	720	650	1.8
Metal 8	1080	975	1.8



Prednosti sub-mikrometarskih tehnologija

Aspekt digitalnih sklopova:

- Popravljen omjer I_{on}/I_{off}
- Smanjen kapacitet upravljačke elektrode
- Mogućnost većih radnih struja
- Smanjena gustoća prospojnih linija
- Smanjenje disipacije snage

Aspekt analognih sklopova:

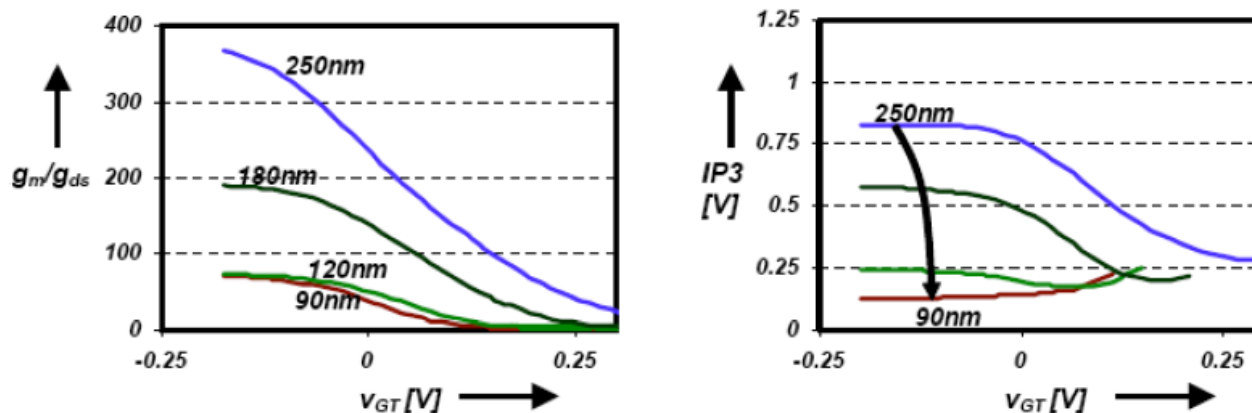
- Više slojeva metalizacije
- Veći f_T
- Veća gustoća kapaciteta
- Smanjen kapacitet pn-spojeva po g_m

Mane sub-mikrometarskih tehnologija

Aspekt analognih sklopova:

- Smanjen napon napajanja, manji hod napona
- Struje curenja upravljačke elektrode
- Smanjen faktor pojačanja za mali signal (μ)
- Izraženije nelinearnosti (IIP3)
- Šum i usklađenost karakteristika

Intrinsic gain and IP3 as a function of the gate overdrive for decreasing V_{DS} :[†]



[†] Anne-Johan Annema, et. Al., "Analog Circuits in Ultra-Deep-Submicron CMOS," *IEEE J. of Solid-State Circuits*, Vol. 40, No. 1, Jan. 2005, pp. 132-143.

Problem struje curenja upravljačke elektrode

Struja curenja se javlja zbog tuneliranja elektrona kroz tanki oksidni sloj upravljačke elektrode

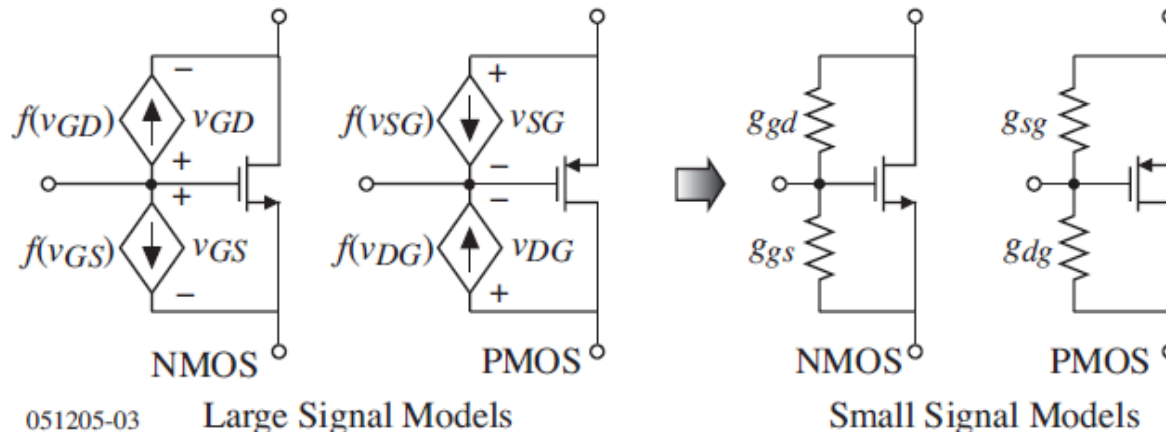
Struja upravljačke elektrode ovisi o:

1.) Naponu uprav.elektroda-uvod (i naponu odvod-uprav.elektroda)

$$i_{GS} = K_1 v_{GS} \exp(K_2 v_{GS}) \quad \text{and} \quad i_{GD} = K_3 v_{GD} \exp(K_4 v_{GD})$$

2.) Površini upravljačke elektrode – curenje NMOS $\sim 6\text{nA}/\mu\text{m}^2$, PMOS $\sim 3\text{nA}/\mu\text{m}^2$

Struja ima nelinearnu ovisnost o naponima. Mogući model je:



Tehnike eliminacije bazne struje poznate iz bipolarne tehnologije je teško primjeniti na MOSFET

Problem struje curenja upravljačke elektrode

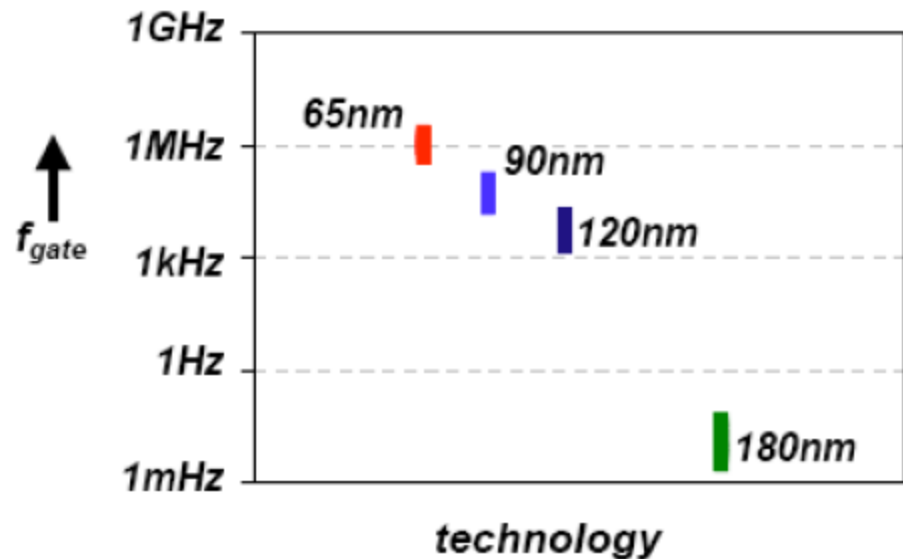
Struja curenja upravljačke elektrode i f_{gate}

Struja curenja upravljačke elektrode predstavlja se vodljivošću g_{gate} koja je paralelno spojena C_{gate} . Kako oba elementa imaju istu ovisnost o površini, rezultiraju s frekvencijom f_{gate} . C_{gate} i g_{gate} su međusobno neovisni i slabo ovise o v_{DS}

$$f_{gate} = \frac{g_{gate}}{2\pi C_{gate}} \approx \begin{cases} 1.5 \cdot 10^{16} v_{GS}^2 e^{tox(v_{GS}-13.6)} & \text{(NMOS)} \\ 0.5 \cdot 10^{16} v_{GS}^2 e^{tox(v_{GS}-13.6)} & \text{(PMOS)} \end{cases}$$

Gdje je t_{ox} u nm i v_{GS} u V.

Za frekvencije iznad f_{gate} , MOSFET je kapacitivan, a ispod f_{gate} je otporan (struja curenja)



© P.E. Allen - 2006

Sub-mikrometarske tehnologije - sažetak

- Poboljšanje strmine i frekvencijskih karakteristika
- Smanjen napon napajanja
- Smanjeni paraziti
- Struje curenja upravljačke elektrode predstavlja izazov za analogne primjene ekstremno skaliranih tehnologija

NMOS tranzistor – princip rada

- Formiranje kanala – obogaćeni MOSFET

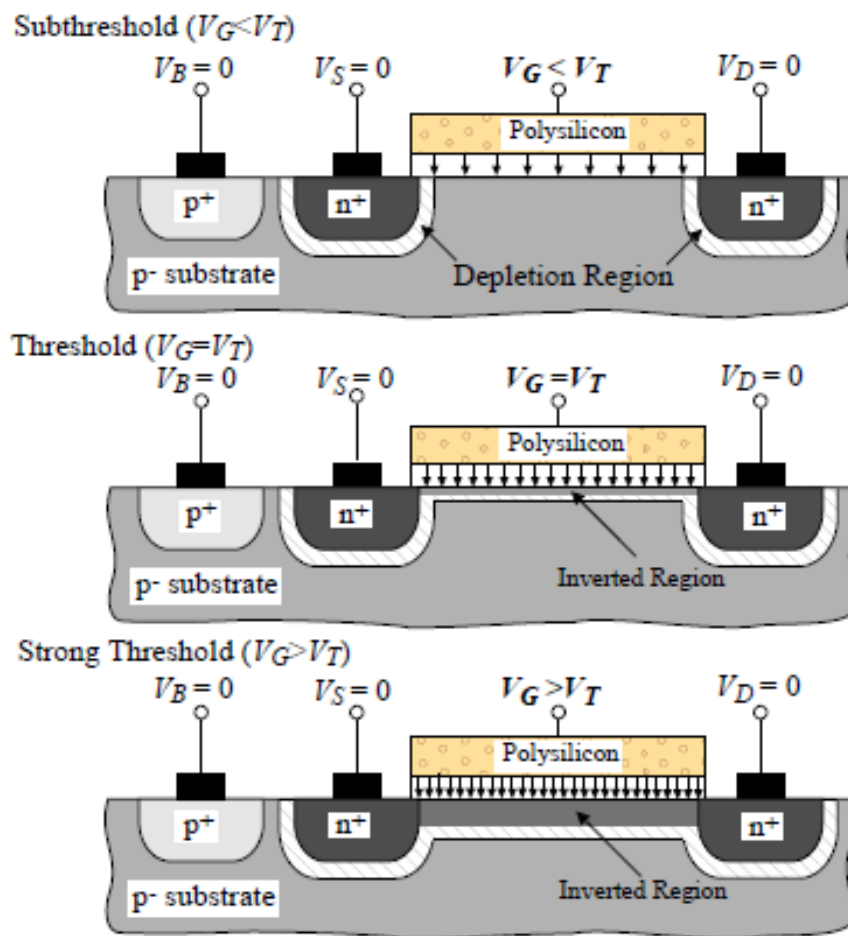
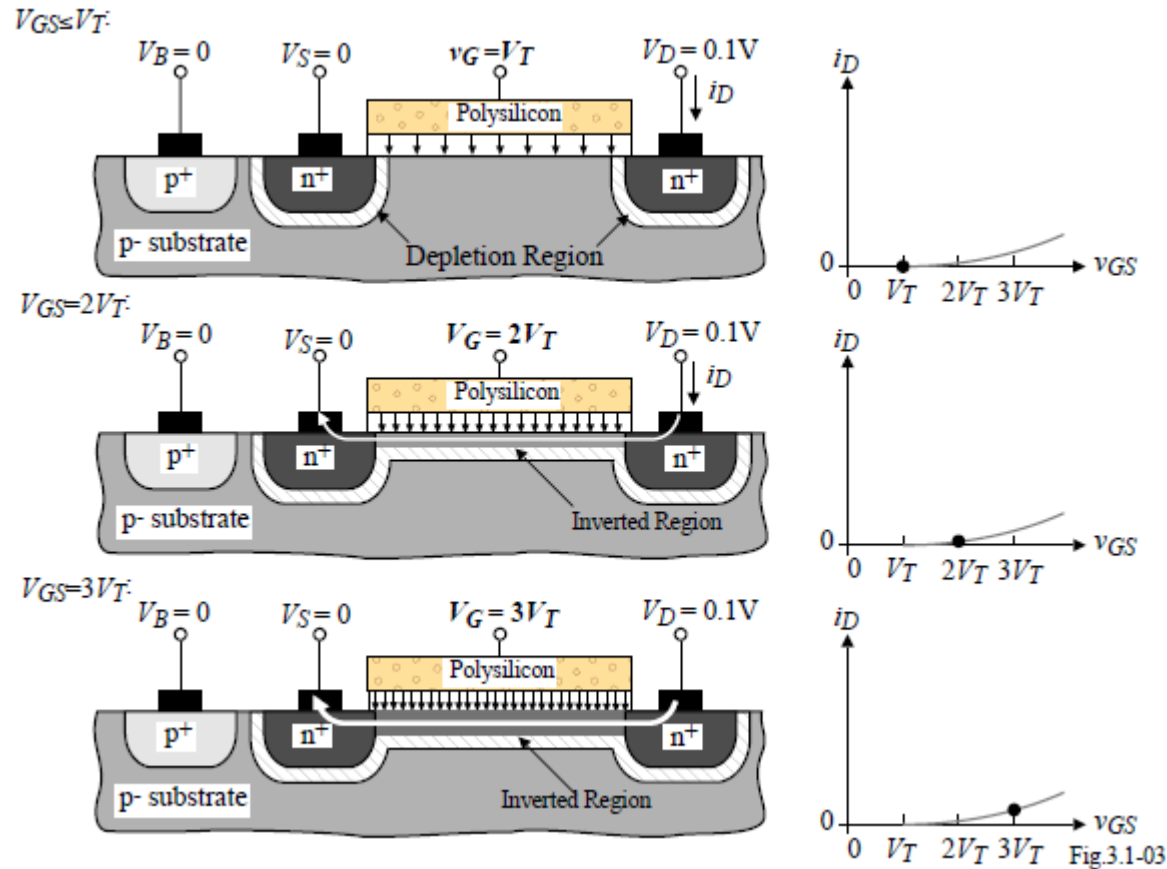


Fig.3.1-02

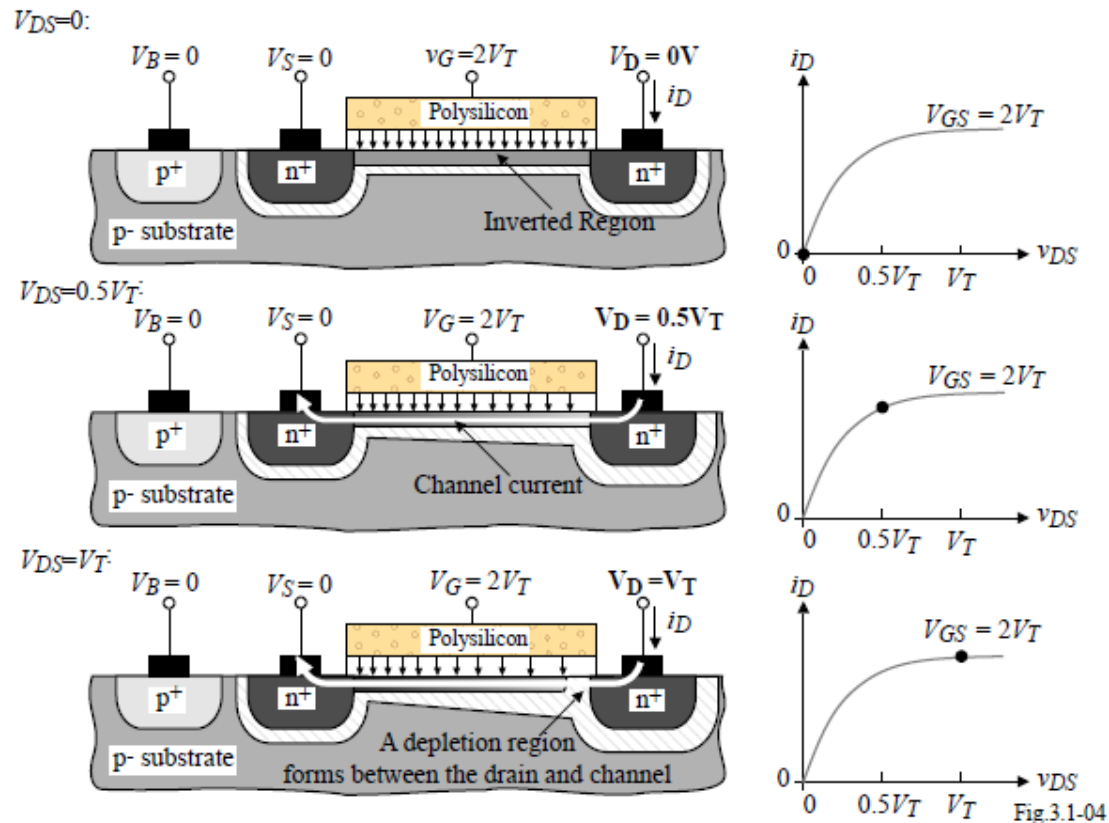
NMOS tranzistor – princip rada

- Prijenosna karakteristika uz mali U_{DS}
- Porastom U_{GS} formira se kanal i postaje obogaćeniji – struja raste



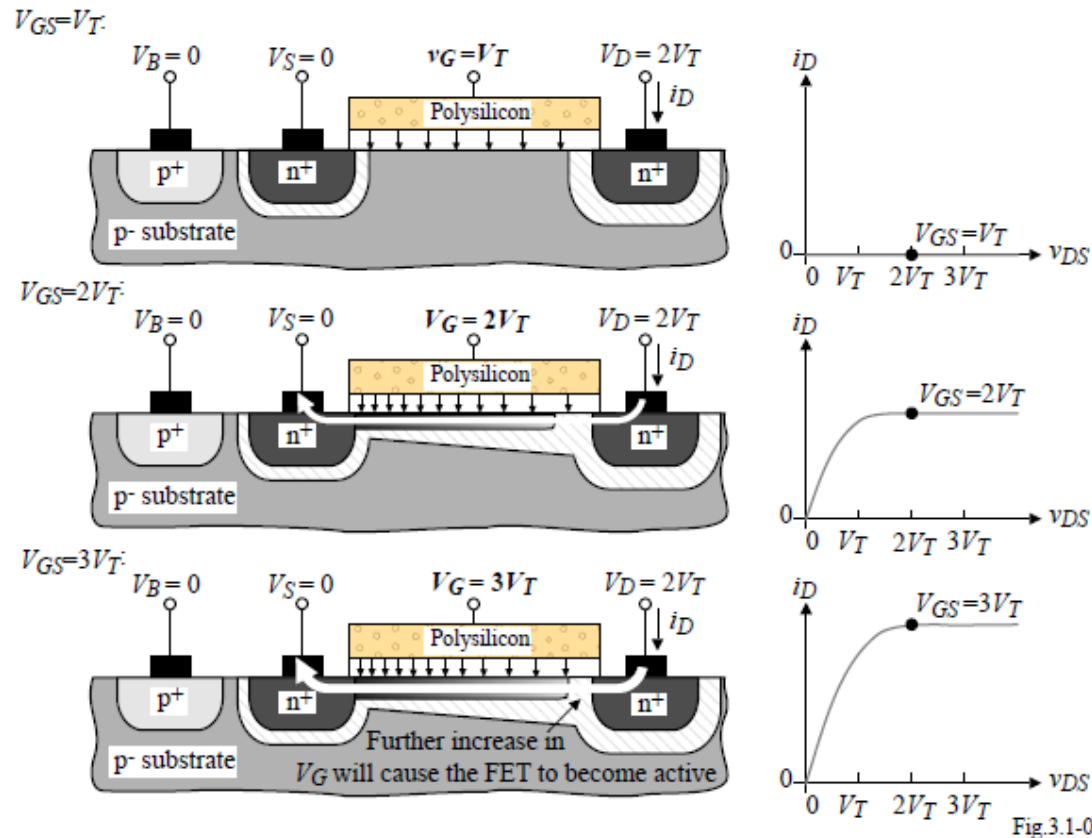
NMOS tranzistor – princip rada

- Izlazne karakteristike uz konstantni U_{GS}
- Porastom U_{DS} struja I_D raste, kanal se sužava na strani odvoda – radna točka se pomiče kroz triodno područje
- Uz $U_{DS}=U_{GS}-U_{GS0}$ kanal se prekida na strani odvoda – radna točka u zasićenju



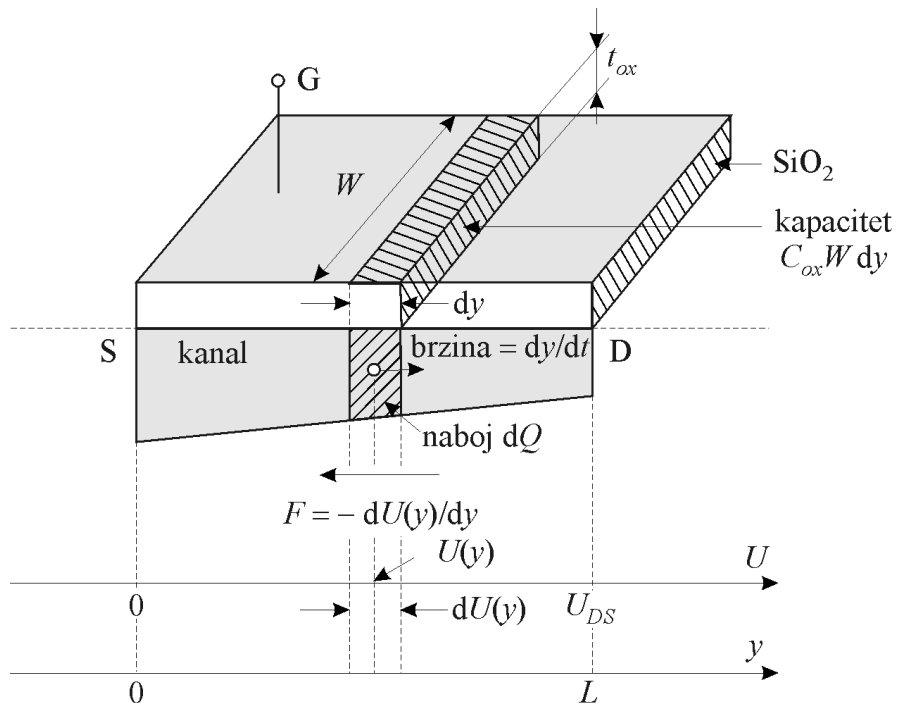
NMOS tranzistor – princip rada

- Izlazne karakteristike uz konstantni U_{DS}
- Uz $U_{GS} = U_{GS0}$ formira se kanal, radna točka ulazi u područje zasićenja
- Za manje vrijednosti U_{GS} vrijedi $U_{DS} > U_{GS} - U_{GS0}$ i tranzistor je u zasićenju
- Kako U_{GS} raste postiže se $U_{DS} < U_{GS} - U_{GS0}$ i tranzistor ulazi u triodno područje



NMOS tranzistor – strujno-naponska karakteristika

$$U_{GS} > U_{GS0}, U_{DS} < U_{GS} - U_{GS0}$$



Kapacitet oksida po jedinici površine:

$$C_{ox} = \epsilon_{ox}/t_{ox}$$

Naboj elektrona:

$$dQ = -C_{ox}(dy \cdot W)[U_{GS} - U_{GS0} - U(y)]$$

Driftna struja:

$$I_{Fn} = \frac{dQ}{dt} = \frac{dQ}{dy} \frac{dy}{dt} = \frac{dQ}{dy} v_{dn}(y)$$

$$v_{dn}(y) = -\mu_n F(y) = \mu_n dU(y)/dy$$

$$I_{Fn} = -\mu_n C_{ox} W [U_{GS} - U_{GS0} - U(y)] \frac{dU(y)}{dy}$$

Struja odvoda: $I_D = -I_{Fn}$

NMOS tranzistor – strujno-naponska karakteristika

Diferencijalna jednačina:

$$I_D dy = \mu_n C_{ox} W [U_{GS} - U_{GS0} - U(y)] dU(y)$$

Integriranjem po kanalu: od $y = 0$ do $y = L$; od $U(0) = 0$ do $U(L) = U_{DS}$

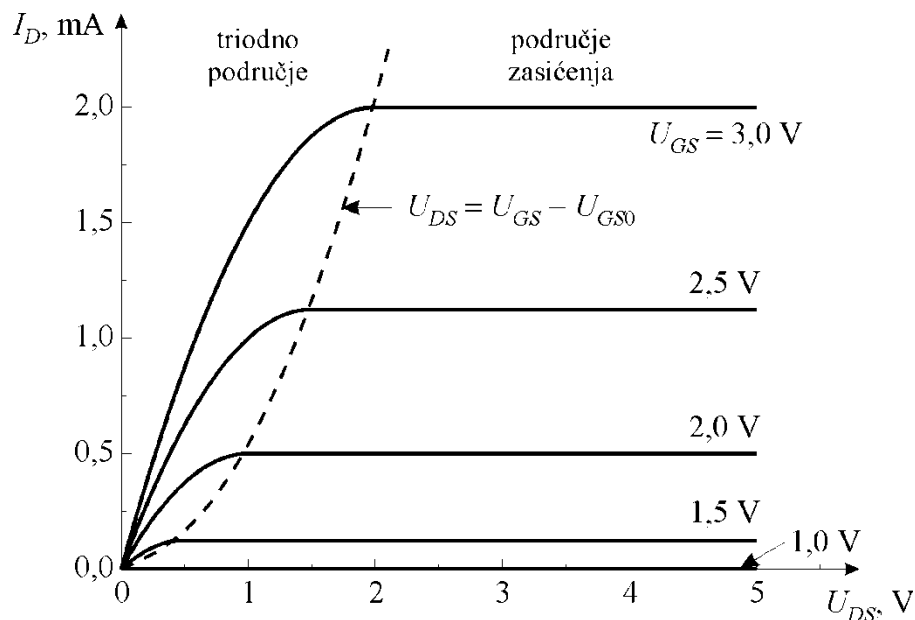
$$I_D = K \left[(U_{GS} - U_{GS0}) U_{DS} - \frac{U_{DS}^2}{2} \right] \rightarrow \text{struja } I_D \text{ u triodnom području}$$

$$K = \mu_n C_{ox} \frac{W}{L} \rightarrow \text{strujni koeficijent}$$

Za $U_{DS} = U_{DSS} = U_{GS} - U_{GS0}$

$$I_D = I_{DS} = \frac{K}{2} (U_{GS} - U_{GS0})^2 \rightarrow \text{struja } I_D \text{ u području zasićenja}$$

NMOS tranzistor – izlazna karakteristika



obogaćeni tip $\rightarrow U_{GS0} = 1\text{ V}$

triодно područje

$$\text{za } 0 \leq U_{DS} \leq U_{GS} - U_{GS0}$$

$$I_D = K \left[(U_{GS} - U_{GS0})U_{DS} - \frac{U_{DS}^2}{2} \right]$$

područje zasićenja

$$\text{za } U_{DS} \geq U_{GS} - U_{GS0}$$

$$I_D = I_{DS} = \frac{K}{2} (U_{GS} - U_{GS0})^2$$

linearno područje za mali U_{DS}

$$I_D \approx K(U_{GS} - U_{GS0})U_{DS}$$

područje zapiranja za $U_{GS} < U_{GS0}$

$$I_D = 0$$

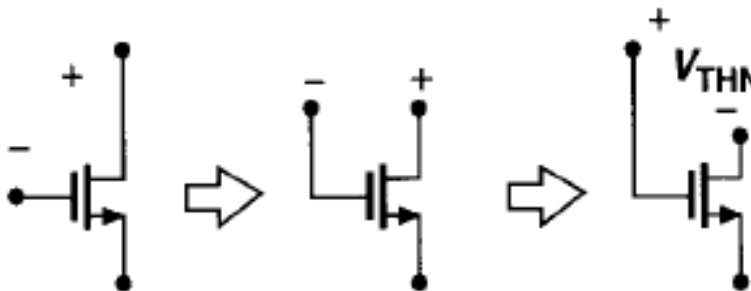
Triodno područje i zasićenje

NMOS

Kanal se prekida ako je
 $U_{GD} < U_{GS0n}$
zasićenje

Zasićenje

Na granici triodnog

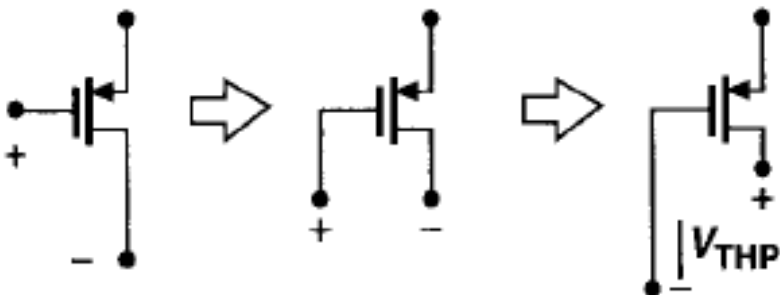


PMOS

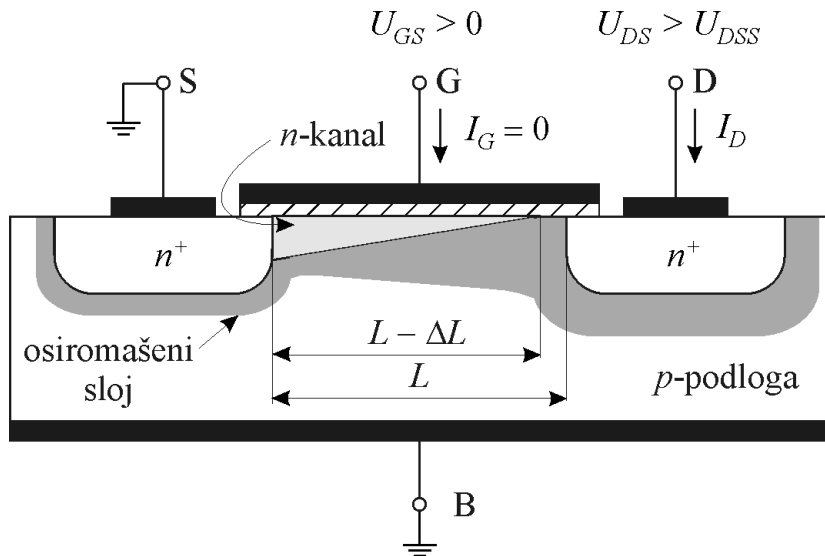
Kanal se prekida ako je
 $U_{DG} < |U_{GS0p}|$
zasićenje

Zasićenje

Na granici triodnog



Modulacija duljine kanala



Točka dodira pomiče se prema uvodu

Kanal se skraćuje

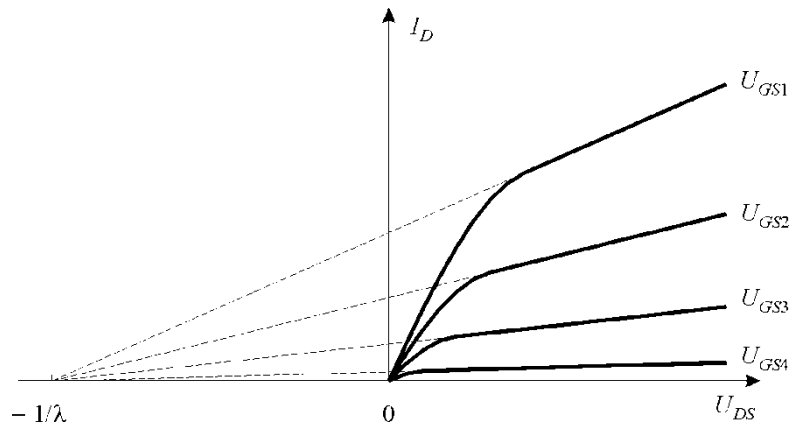
U kanalu elektroni se ubrzavaju

naponom $U_{DS} = U_{DSS} = U_{GS} - U_{GS0}$

U području zasićenja struja I_D raste s naponom U_{DS}

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L - \Delta L} (U_{GS} - U_{GS0})^2 = I_{DS} \frac{1}{1 - (\Delta L / L)}$$

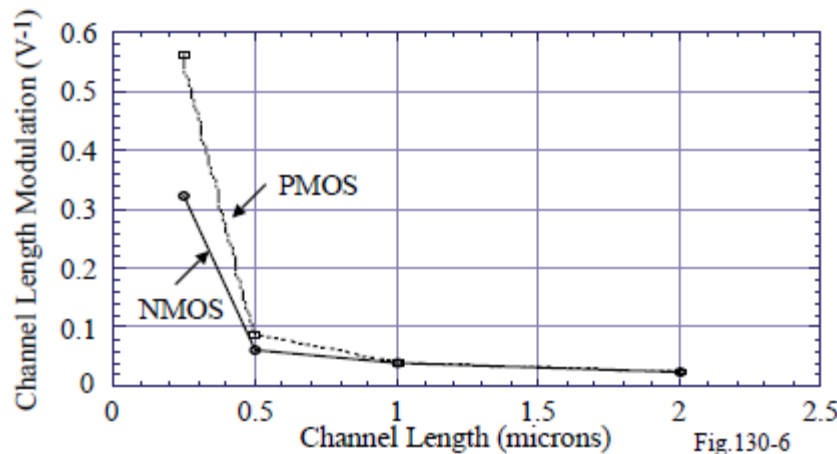
Model za struju u zasićenju



$$i_D = \frac{K}{2} (u_{GS} - U_{GS0})^2 (1 + \lambda u_{DS})$$

$$g_d = \frac{di_D}{du_{DS}} = \lambda \frac{K}{2} (U_{GS} - U_{GS0})^2$$

$$r_d = \frac{1}{g_d} = \frac{1 + \lambda U_{DS}}{\lambda I_D} \approx \frac{1}{\lambda I_D}$$



Primjer 0.25 μm CMOS

- λ ovisi o duljini kanala
- kod projektiranja analognih sklopova najčešće se ne koristi minimalna duljina kanala kako bi se dobilo veće pojačanje i bolja usklađenost karakteristika

Strmina i intrinzično pojačanje

Strmina:

$$g_m = K(U_{GS} - U_{GS0}) = \sqrt{2KI_D} = \frac{2I_D}{(U_{GS} - U_{GS0})}$$

$$\frac{W}{L} = konst. \Rightarrow g_m \sim \sqrt{I_D} \quad \text{slučaj kod mjerenja}$$

$$(U_{GS} - U_{GS0}) = konst. \Rightarrow g_m \sim I_D \quad \text{slučaj kod projektiranja}$$

Izlazni dinamički otpor:

$$r_d \approx \frac{1}{\lambda I_D}$$

Naponsko pojačanje:

$$\mu = g_m \cdot r_d = \sqrt{2KI_D} \cdot \frac{1}{\lambda I_D} = \frac{1}{\lambda} \cdot \sqrt{\frac{2K}{I_D}}$$

$$\lambda \sim \frac{1}{L}, \quad K \sim \frac{W}{L} \Rightarrow \mu \sim L \cdot \sqrt{\frac{1}{I_D} \cdot \frac{W}{L}} = \sqrt{\frac{W \cdot L}{I_D}}$$

- Pojačanje možemo povećati povećanjem W i L te smanjenjem struje
 - Pri tome raste kapacitet upravljačke elektrode – loše za brzinu

Omjer strmine i struje – MOS vs BJT

MOS:

$$g_m = \frac{2I_D}{(U_{GS} - U_{GS0})} \Rightarrow \frac{g_m}{I_D} = \frac{2}{(U_{GS} - U_{GS0})}$$

Tipično: $(U_{GS} - U_{GS0}) = 0.2 \text{ V} \Rightarrow \frac{g_m}{I_D} = \frac{2}{0.2 \text{ V}} = 10 \text{ V}^{-1}$

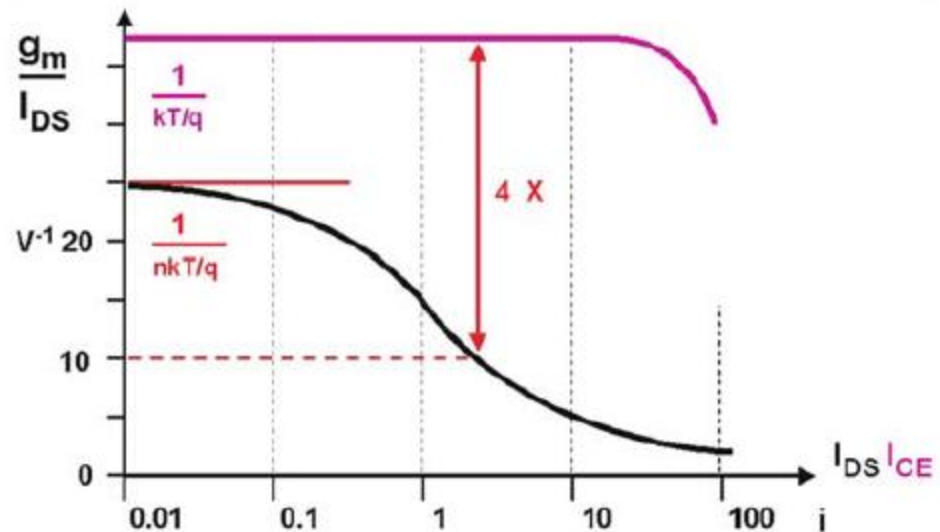
Odabirom prenapona $U_{GS} - U_{GS0}$ fiksiran je omjer g_m/I_D

BJT:

$$g_m = \frac{I_C}{U_T} \Rightarrow \frac{g_m}{I_C} = \frac{1}{U_T} = \frac{1}{0.025 \text{ V}} = 40 \text{ V}^{-1}$$

4x veću strminu dobijemo s BJT uz istu utrošenu struju !!

Comparison MOST - Bipolar : g_m/I_{DS} ratio



Frekvencija jediničnog strujnog pojačanja - f_T

$$f_T = \frac{g_m}{2\pi C_{GS}} \sim \frac{U_{GS} - U_{GS0}}{L^2}$$

	High gain	High speed
$V_{GS} - V_T$	Low (0.2 V)	High (0.5 V)
L	High	Low

- f_T daje mjeru do kojih frekvencija možemo dobiti pojačanje
- Kod projektiranja sklopova velike brzine rada koristi se minimalna duljina kanala i veći prenaponi $U_{GS} - U_{GS0}$
- Skaliranjem se f_T povećava
- Brzina i pojačanje imaju suprotne zahtjeve
- Osnovni kompromis u projektiranju analognih integriranih sklopova

Efekt podloge

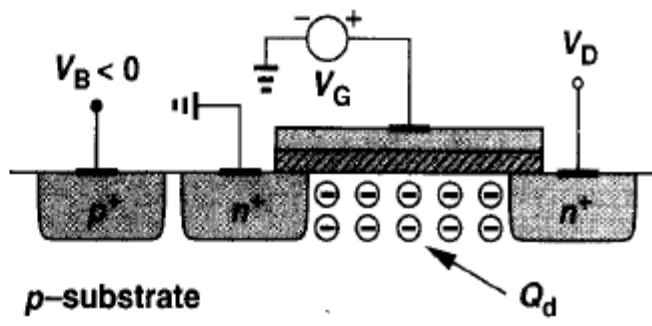
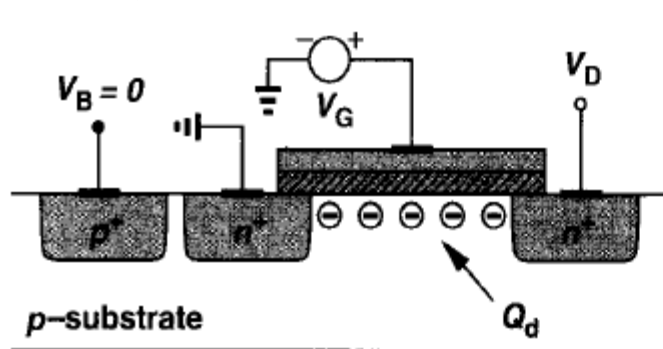
$$U_{GS0} = U_{FB} - 2\phi_B - \frac{Q_d}{C_{OX}} - \frac{Q_{SS}}{C_{OX}}$$

U_{FB} – napon ravnih energija (razlika rada izlaza upr.elektrode i podloge)

$2\phi_B$ – napon promjene površinskog potencijala (konc. u kanalu jednaka konc. podloge)

Q_d – naboj osiromašenog područja

Q_{SS} – naboj površinskih stanja



Ako se podloga spoji na niži potencijal od uvida, šupljine odlaze prema kontaktu podloge
Širi se osiromašeno područje ispod kanala, raste Q_d

Potrebno je dovesti više poz.naboja na upravljačku elektrodu kako bi se formirao kanal

Efekt podloge

$$\Delta U_{GS0} = \frac{\Delta Q_d}{C_{OX}} = \frac{\sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot N_{SUB}} \left(\sqrt{|U_{BS}| + |2\phi_B|} - \sqrt{|2\phi_B|} \right)}{C_{OX}} = \gamma \cdot \left(\sqrt{|U_{BS}| + |2\phi_B|} - \sqrt{|2\phi_B|} \right)$$

$$U_{GS0} = U_{GS00} + \gamma \cdot \left(\sqrt{|U_{BS}| + |2\phi_B|} - \sqrt{|2\phi_B|} \right)$$

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot N_{SUB}}}{C_{OX}}$$

Koeficijent efekta podloge

- Napon praga raste
- Podloga djeluje kao donja upravljačka elektroda
- Podloga mora biti spojena na niži potencijal od uvoda za NMOS odnosno na pozitivniji u slučaju PMOS-a
- Spoj uvod-podloga mora biti reverzno polariziran
- Eng. Body-effect, Backgate effect

Model za struju ispod napona praga

Za slabu inverziju

Elektroni u podlozi na strani uvoda:

$$n_p(0) = n_{p0} \exp\left(\frac{\phi_S}{U_T}\right)$$

Elektroni u podlozi na strani odvoda:

$$n_p(L) = n_{p0} \exp\left(\frac{\phi_S - U_{DS}}{U_T}\right)$$

Teče difuzijska struja:

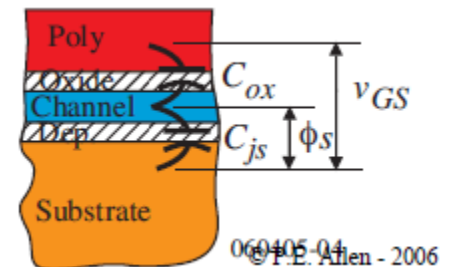
$$i_D = q S D_n \frac{n_p(0) - n_p(L)}{L} = \frac{W}{L} X D_n n_{p0} \exp\left(\frac{\phi_S}{U_T}\right) \left[1 - \exp\left(\frac{-U_{DS}}{U_T}\right) \right]$$

X je debljina sloja kroz koji teče struja

U slaboj inverziji promjenu površinskog potencijala $\Delta\phi_S$ kontrolira promjena napona ΔU_{GS} preko naponskog djelila koji se sastoji od kapaciteta C_{ox} i C_{js}

$$\frac{d\phi_S}{dU_{GS}} = \frac{C_{ox}}{C_{ox} + C_{js}} = \frac{1}{n}$$

$$\phi_S = \frac{U_{GS}}{n} + k_1 = \frac{U_{GS} - U_T}{n} + k_2 \quad k_2 = \frac{U_T}{n} + k_1$$



Model za struju ispod napona praga

Dobiva se za struju:

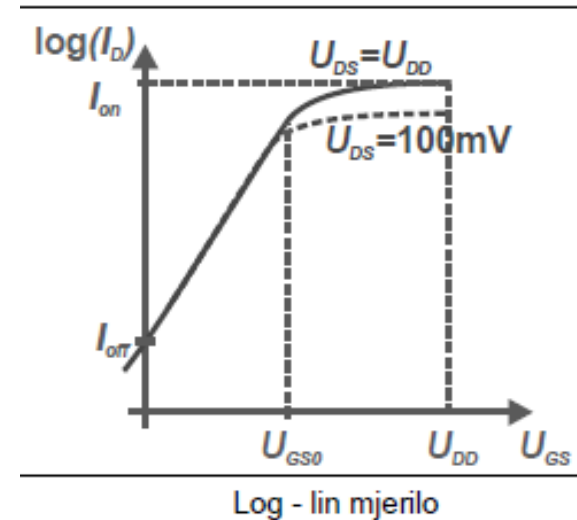
$$i_D = \frac{W}{L} X D_n n_{p0} \exp\left(\frac{k_2}{U_T}\right) \exp\left(\frac{U_{GS} - U_T}{nU_T}\right) \left[1 - \exp\left(\frac{-U_{DS}}{U_T}\right)\right]$$

Uz definiranje:

$$I_t = X D_n n_{p0} \exp\left(\frac{k_2}{U_T}\right)$$

Dobijemo:

$$i_D = \frac{W}{L} I_t \exp\left(\frac{U_{GS} - U_T}{nU_T}\right) \left[1 - \exp\left(\frac{-U_{DS}}{U_T}\right)\right]$$



Uz $U_{DS} > 3U_T$ drugi član u uglatoj zagradi je zanemariv \rightarrow struja u zasićenju

Mali napon U_{DS} je potreban da postavi tranzistor u zasićenje – ta činjenica je pogodna za dizajn sklopova s niskim naponom napajanja

Slaba inverzija - strmina

Dobiva se za strminu:

$$g_m = \frac{\partial i_D}{\partial u_{GS}} = \frac{I_D}{nU_T} \Rightarrow \frac{g_m}{I_D} = \frac{1}{nU_T}$$

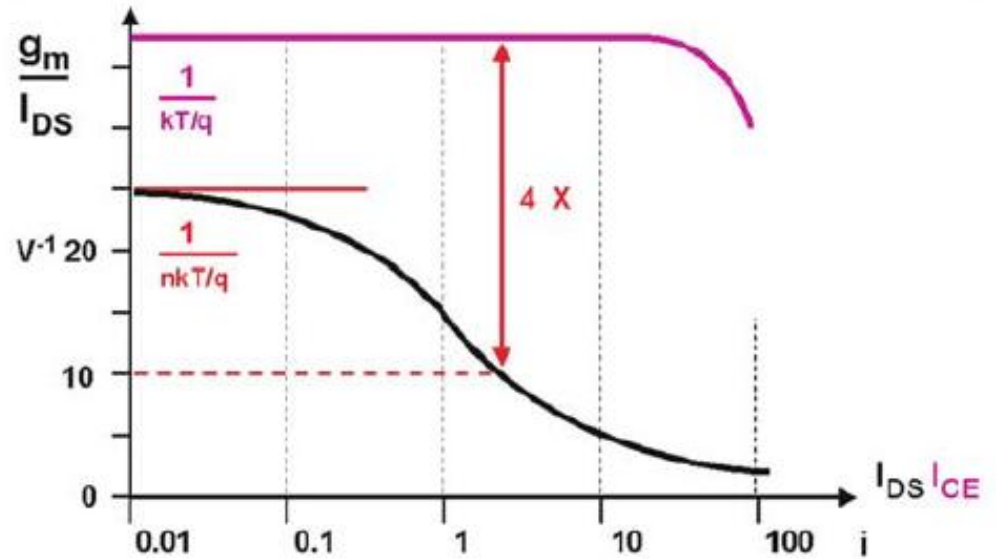
Za BJT:

$$g_m = \frac{I_C}{U_T} \Rightarrow \frac{g_m}{I_C} = \frac{1}{U_T}$$

Tipične vrijednosti za $n=1.5 \sim 3$

→ BJT bolji

Comparison MOST - Bipolar : g_m/I_{DS} ratio



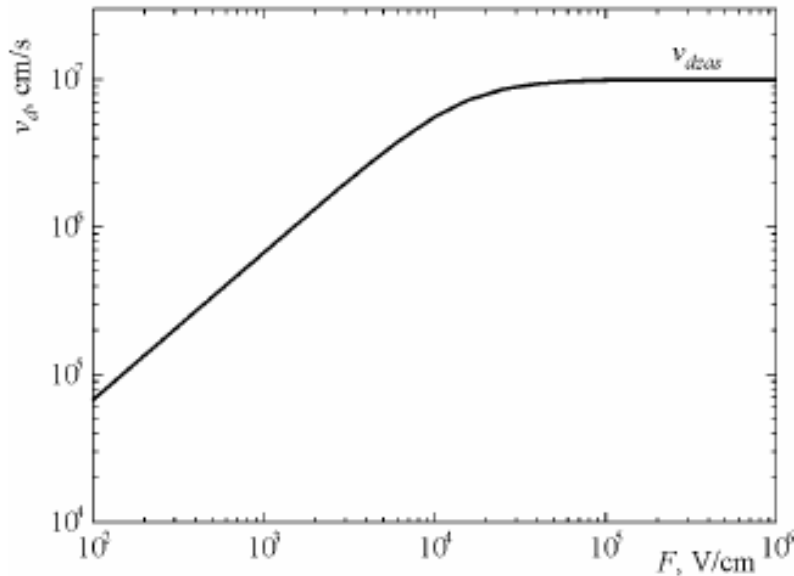
Willy Sansen 10.65 0186

Za slabu inverziju struja i i g_m ovise eksponencijalno o U_{GS} , atraktivno za velika pojačanja i manju potrošnju jer je g_m/I_D manji

Međutim, tranzistori moraju biti veliki i struja je jako mala, pa je brzina jako limitirana (veliki kapaciteti)

Efekti kratkog kanala – zasićenje brzine nosilaca

Ovisnost brzine nosilaca o polju



$$v_d = \begin{cases} \frac{\mu_{eff} F}{1 + \frac{F}{F_c}} & \text{za } F < F_c \\ v_s & \text{za } F > F_c \end{cases}$$

Za rubni slučaj :

$$v_s = \frac{\mu_{eff} F}{1 + \frac{F}{F_c}} \quad (1)$$

Uz priključen napon U_{DSs} nosioci postižu brzinu zasićenja v_s :

$$i_D = C_{ox} \frac{W}{L} \left(U_{GS} - U_{GS0} - \frac{U_{DS}}{2} \right) U_{DS} \frac{\mu_{eff}}{1 + \frac{U_{DS}}{F_c L}} \quad (2)$$

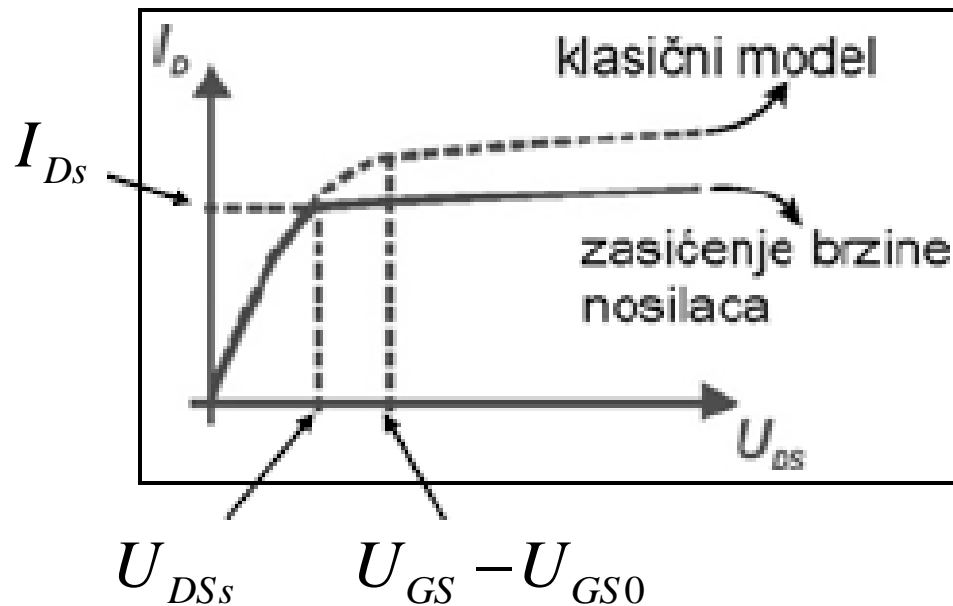
$$i_D = C_{ox} W (U_{GS} - U_{GS0} - U_{DSs}) v_s \quad (3)$$

Zasićenje brzine nosilaca – izlazna karakteristika

Zbog kontinuiranosti struje (2)=(3) i korištenjem (1) dobiva se:

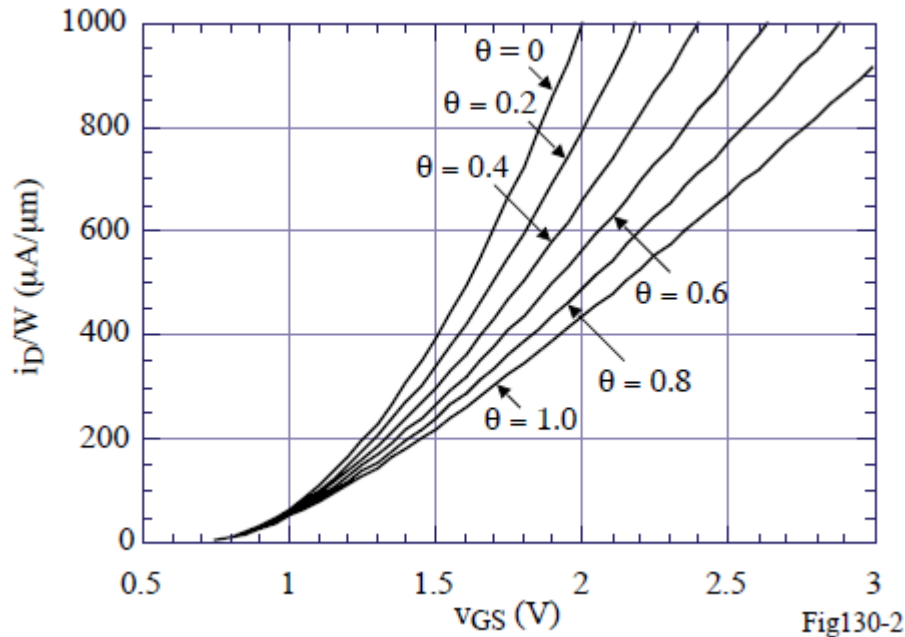
$$U_{DSs} = \frac{(U_{GS} - U_{GS0})F_C L}{U_{GS} - U_{GS0} + F_C L}$$

$$I_{Ds} = C_{ox} W v_s \frac{(U_{GS} - U_{GS0})^2}{U_{GS} - U_{GS0} + F_C L}$$



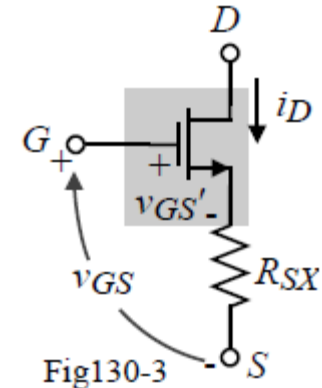
Zbog zasićenja brzine nosilaca struja je manja i tranzistor ulazi u zasićenje za napone $U_{DS} < U_{GS} - U_{GS0}$

Zasićenje brzine nosilaca – prijenosna karakteristika



$$\Theta = \frac{1}{F_C L}$$

- Zasićenje brzine nosilaca postaje izraženije za kraći kanal
- Prijenosna karakteristika postaje linearnija
- Strmina se smanjuje
- Kao da imamo uvodsku degeneraciju



MOSFET-kapaciteti

Sastoji se od:

- Kapaciteta osiromašenih područja – C_{BS} i C_{BD}
 - Ovisi o površini uvoda i odvoda, obično se u modelima uzimaju planarna i bočna komponenta
- Kapaciteta pločastih kondenzatora – $C_1 \sim C_4$
 - Ovisi o području rada tranzistora
 - C_2 i C_4 imaju poznatu ovisnost MOS kapaciteta
 - C_1 (C_{GS}) i C_3 (C_{GD}) zbog preklapanja upravljačke elektrode i uvoda te odvoda $\rightarrow C_{GD}$ Miller-ov kapacitet !
- C_5 (C_{GB}) kapacitet između upravljačke elektrode i podloge

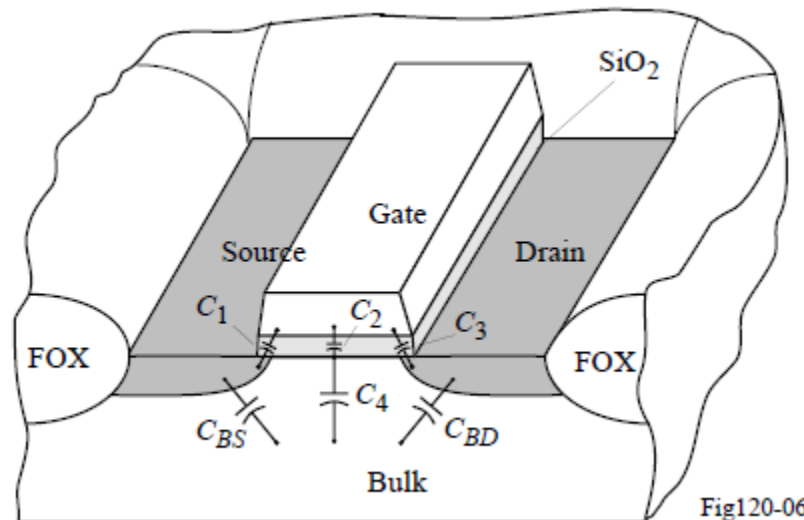


Fig120-06

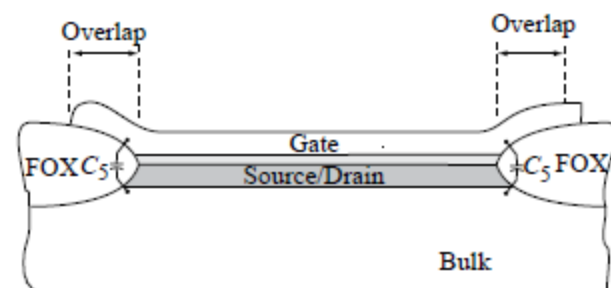


Fig120-10

MOSFET- kapaciteti

Illustration of C_{GD} , C_{GS} and C_{GB}

Comments on the variation of C_{BG} in the cutoff region:

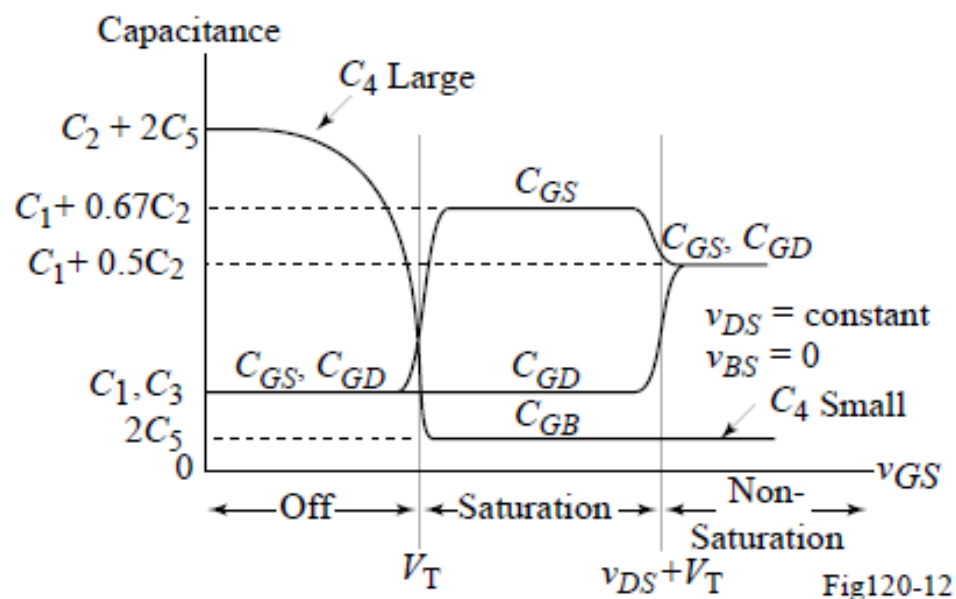
$$C_{BG} = \frac{1}{\frac{1}{C_2} + \frac{1}{C_4}} + 2C_5$$

1.) For $v_{GS} \approx 0$, $C_{GB} \approx C_2 + 2C_5$

(C_4 is large because of the thin inversion layer in weak inversion where V_{GS} is slightly less than V_T)

2.) For $0 < v_{GS} \leq V_T$, $C_{GB} \approx 2C_5$

(C_4 is small because of the thicker inversion layer in strong inversion)



Modeli tranzistora u simulatorima sklopova

Zahtijevi:

Model za veliki signal – nelinearni modeli

Poželjno je da su zasnovani na fizici rada

Skalabilni

Stabilni i konvergentni

Modularni

Brzo izvođenje na računalu

		Time Dependence	
		Time Independent	Time Dependent
Linearity	Linear	Small-signal, midband R_{in} , A_v , R_{out} (.TF)	Small-signal frequency response-poles and zeros (.AC)
	Nonlinear	DC operating point $i_D = f(v_D, v_G, v_S, v_B)$ (.OP)	Large-signal transient response - Slew rate (.TRAN)

Modeli bipolarnog tranzistora

Ebers-Moll 1

Nelinearni DC model

Ebers-Moll 2

Uključuje nelinearne efekte nakrcanog naboja te serijske otpore

Ebers-Moll 3

Uključuje efekte višeg reda

- Modulacija širine baze
- Ovisnost τ_F i β o struji kolektora
- Bolji opis distribuiranog kapaciteta baza-kolektor
- Poboljšani opis temperaturnih ovisnosti

Gummel-Poon (SPICE Gummel-Poon – SGP)

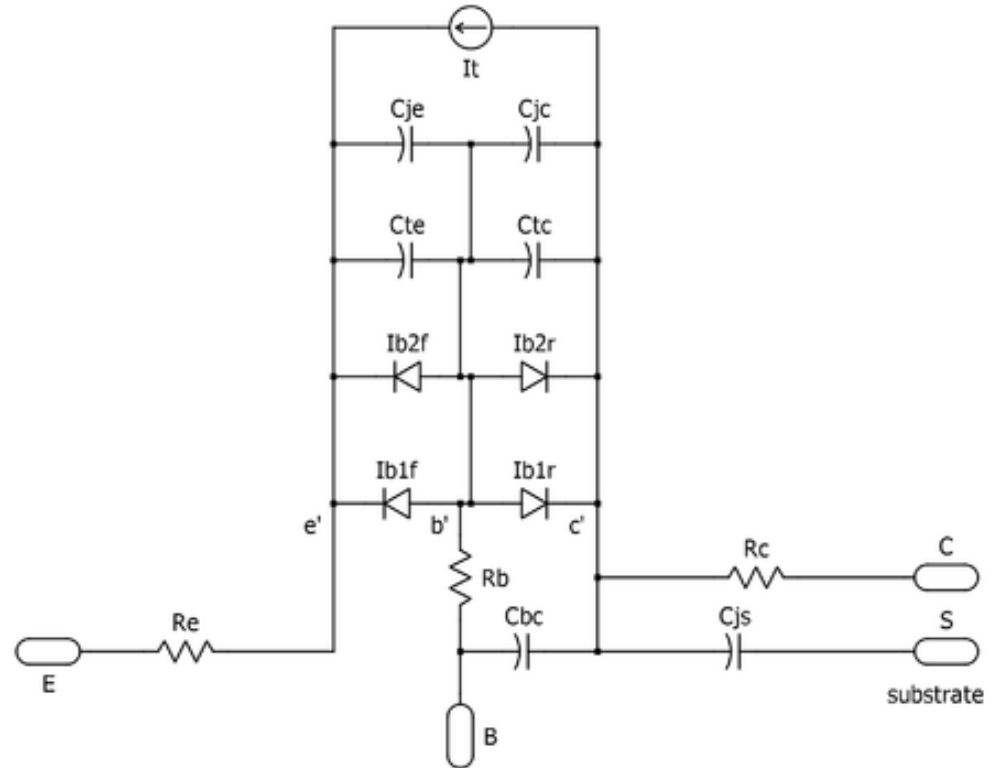
- Po kompleksnosti sličan EM 3 modelu
- Poboljšani DC model u odnosu na EM3
- “Fizikalniji” i prema tome nešto točniji i potpuniji

SPICE Gummel-Poon

Model za veliki signal

Vrijedi za sva područja rada

~ 40 parametara modela



Transportni Gummel-Poon model

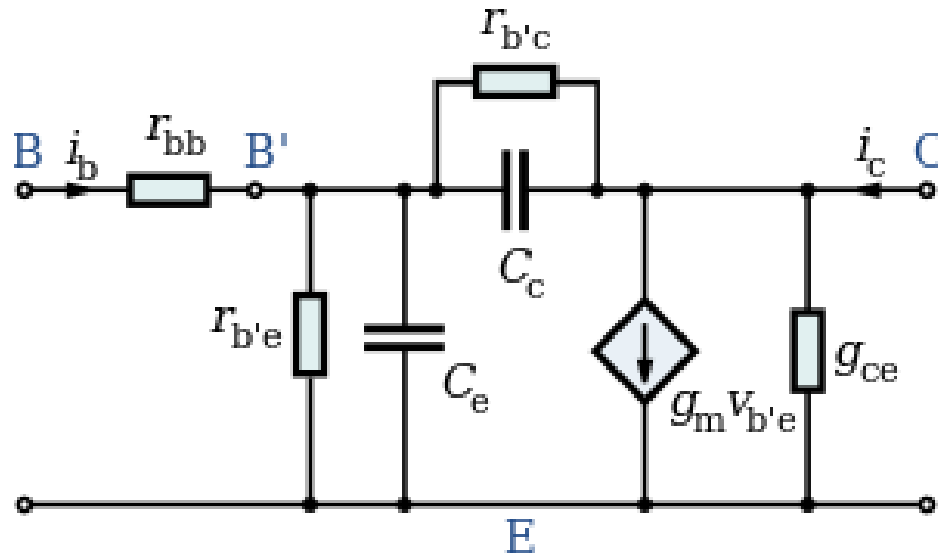
Model za mali signal

Linearizirani SGP model

Za određenu radnu točku lineariziraju se ulazne i izlazne karakteristike tranzistora te se nadomještaju dinamičkim otporima

C_c – kapacitet osiromašenog područja kolektor-baza

C_e – paralelna kombinacija difuzijskog kapaciteta i kapaciteta osiromašenog područja spoja emiter-baza



Napredni modeli bipolarnog tranzistora

- Za sklopove koji rade na visokim frekvencijama i visokim gustoćama kolektorske struje SGP model nije dovoljno točan
- Najbrži bipolarni SiGe bipolarni tranzistori imaju f_T i f_{max} između 300 i 400 GHz
- Npr. Primjena u radarskim sustavima u automobilima najnovije generacije

VBIC (Vertical Bipolar Intercompany Model) – unaprjeđenje SPICE Gummel-Poon (SGP) model

- Poboljšan model za Early-ev efekt
- Model za kvazi-zasićenje
- Model za parazitni supstratni tranzistor
- Model parazitnog kapaciteta od izolacijskog oksida
- Model za lavinsku multiplikaciju
- Poboljšan temperaturni model
- Bazna struja je odvojeno modelirana od kolektorske struje
- Elektrotermički model (samozagrijavanje)
- Kontinuirani modeli

HiCUM (High CUMrent Model), TU Dresden, Univ. San Diego

MEXTRAM, TU Delft

Parametri modela

Model	Broj parametara modela
SPICE Gummel-Poon	~ 40
VBIC	~ 100
HiCUM	~ 115
MEXTRAM	~ 80

- Veći broj parametara znači veći broj jednažbi i duže izvođenje simulacija
- Treba odabrati model koji će “obaviti posao”
- Ovisi o sklopu odnosno primjeni
- Za RF sklopove i brze digitalne sklopove potrebni su točniji modeli

Modeli CMOS tranzistora u simulatorima sklopova

- Prva generacija – analitički modeli temeljeni na fizici rada s uključene sve geometrijske ovisnosti
- Druga generacija – jednadžbe modela su matematički prilagođene izvođenju simulacija na računalu. Korištenje empirijskih relacija i ekstrakcije parametara.
- Treća generacija – povratak jednostavnijem modelu s manjim brojem parametara koji su bazirani na fizici rada umjesto empirijskim relacijama. Korištenje boljih algoritama i specijaliziranih pomoćnih funkcija (eng. smoothing functions)
- Usporedba karakteristika modela (prema Cheng-u i Hu-u, *MOSFET Modeling & BSIM3 Users Guide*)

Model	Minimum L (μm)	Minimum Tox (nm)	Model Continuity	iD Accuracy in Strong Inversion	iD Accuracy in Subthreshold	Small signal parameter	Scalability
MOS1	5	50	Poor	Poor	Not Modeled	Poor	Poor
MOS2	2	25	Poor	Poor	Poor	Poor	Fair
MOS3	1	20	Poor	Fair	Poor	Poor	Poor
BSIM1	0.8	15	Fair	Good	Fair	Poor	Fair
BSIM2	0.35	7.5	Fair	Good	Good	Fair	Fair
BSIM3v2	0.25	5	Fair	Good	Good	Good	Good
BSIM3v3	0.15	4	Good	Good	Good	Good	Good

Prva generacija modela MOSFET-a

- Level1 (MOS1)
 - Osnovni kvadratni model baziran na aproksimaciji gradiranim kanalom i kvadratnim zakonom za struju u zasićenju.
 - Dobar za ručnu analizu
 - Potrebna su poboljšanja za submikrometarske tehnologije (must incorporate the square law to linear shift)
- Level 2 (MOS2)
 - Prvi pokušaj uključivanja efekata malih geometrija
 - Uključenje osiromašenog naboja između kanala i tijela rezultira poznatim $3/2$ eksponentom
 - Sadrži jednostavni model za napone ispod napona praga koji nije u kontinuitetu s modelom za jaku inverziju
 - Model je postao jako kompleksan i postao je temelj za razvoj novih tehnika modeliranja
- Level 3 (MOS3)
 - Razvijen kako bi prevladao nedostatke Level 2 modela. Koristi polu-empirijski pristup
 - Uključuje DIBL i smanjenje pokretljivosti o lateralnom polju
 - Sličan modelu Level 2, ali puno efikasniji
 - Implementacija segmentiranih modela (eng. Model binning) – ovisno o dimenzijama tranzistora koristi se zasebni set parametara modela (loše je izvedeno)

Druga generacija modela MOSFET-a

- BSIM (eng. Berkeley Short-Channel IGFET Model)
 - Naglasak na matematičkom opisu za simulaciju sklopova
 - Efekti kratkog kanala su pretežno empirijski i modeliranje se uglavnom ovisi o sposobnosti ekstrakcije parametara
 - Uveden precizniji model za struju ispod napona praga s dobrim prijelazom između područja
 - Loš model vodljivosti kanala
- HSPICE Level 28 (MOS3)
 - Baziran na BSIM-u, ali je znatno izmijenjen
 - Prikladniji za projektiranje analognih sklopova
 - Koristi segmentirane modele
 - Parametri modela gotovo potpuno empirijski
 - Korisnik mora koristiti HSPICE program
 - Model u vlasništvu (eng. proprietary)
- BSIM 2
 - Baziran na BSIM-u
 - Uzima u obzir neke 2D efekte
 - Znatno su promijenjeni modeli za pokretljivost i za struju odvoda u odnosu na BSIM model
 - Novi model za područje ispod napona praga
 - Model izlazne vodljivosti čini model pogodnim za projektiranje analognih sklopova
 - Točniji model za struju odvoda, bolja konvergencija
 - Postaje kompleksan s velikim brojem parametara

Treća generacija modela MOSFET-a

- BSIM 3
 - Model je postigao stabilnost i široko se koristi u industriji za sub-mikrometarske (eng. Deep-submicron) tehnologije
 - Željena jednostavnost nije ostvarena
 - Kompleksan model ~200 parametara
- MOS Model 9
 - Razvio Philips
 - Puno je korišten u industriji
 - Jednadžbe modela su čiste i jednostavne – trebao bi biti efikasan
- Ostali modeli
 - EKV (Enz-Krummenacher-Vittoz) – novi pristup, prikladan za potrebe projektiranja analognih sklopova

Novije generacije

- BSIM 4 (Berkeley), MOS Model 11 (Philips)
 - Razvijeni za ekstremno skalirane tranzistore (duljina kanala ispod 100 nm)
 - Za potrebe digitalnih, analognih i RF sklopova

Kondenzatori u CMOS tehnologiji

- **Koriste se za:**
 - Blokade napona napajanja
 - Izmjeničnu vezu između pojačala
 - Uspostavljanje povratne veze u operacijskim pojačalima
 - Kompenzacija operacijskih pojačala
 - Kao element za uzorkovanje kod sample&hold sklopova
 - Varaktori u LC titrajnim krugovima naponski upravljanih oscilatora
- U CMOS tehnologiji postoji više opcija kako izvesti kondenzatore

Karakteristike kondenzatora

- Disipacija odnosno faktor kvalitete – Q

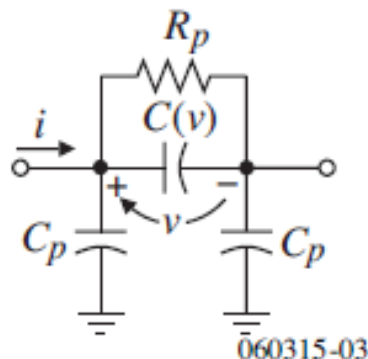
$$Q = \omega C R_p = \frac{\omega C}{R_s}$$

Gdje je R_p paralelni ekvivalentni otpor, a R_s električki serijski otpor (ESR) kondenzatora

- Parazitni kapaciteti od svakog izvoda kondenzatora prema masi
- Gustoća kapaciteta
- Apsolutna i relativna točnost kapaciteta
- C_{max}/C_{min} – odnos maksimalnog i minimalnog iznosa kapaciteta kada se kondenzator koristi kao varaktor
- Ovisnost promjenjivog kapaciteta o kontrolnom naponu
- Linearnost $q=C \cdot v$

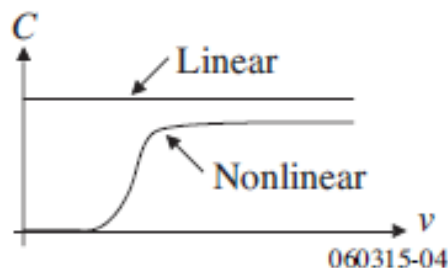
Model kondenzatora

Capacitor Models



One of the parasitic capacitors is the top plate and the other is associated with the bottom plate.

1.) Large signal



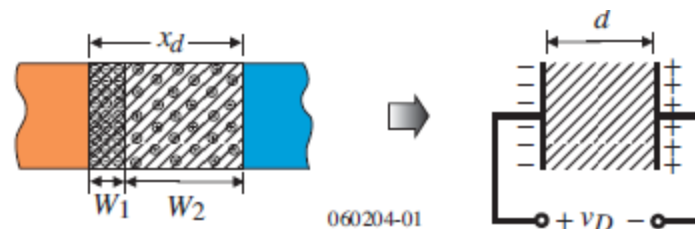
2.) Small signal

$$q = Cv \rightarrow i = C(dv/dt)$$

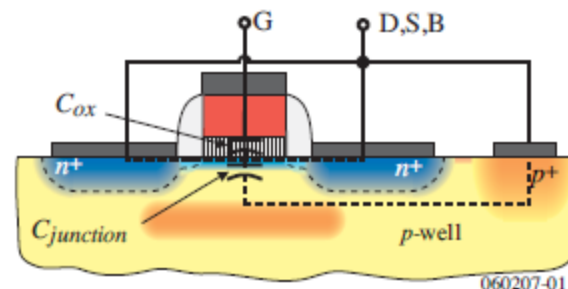
Kondenzatori u CMOS tehnologiji

Kapaciteti osiromašenih područja *pn*-spoja

Kapacitet ovisi o naponu – koristi se u varaktorima, bitno za RF sklopove

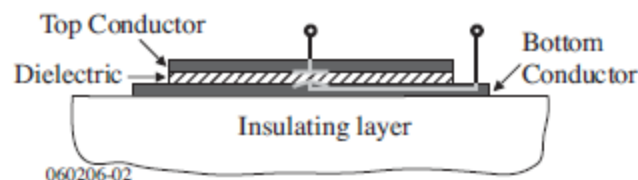


Kapaciteti upravljačke elektrode MOSFET-a



Vodič-dielektrik-vodič

Linearni kondenzatori – koriste se u pojačalima, filtrima, sklopovima za uzorkovanje signala



© P.E. Allen - 2006

Varaktori – *pn*-spoj

PN JUNCTION CAPACITORS

PN Junction Capacitors in a Well

Generally made by diffusion into the well.

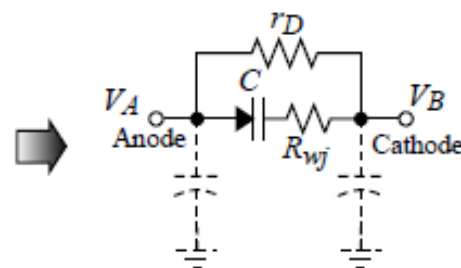
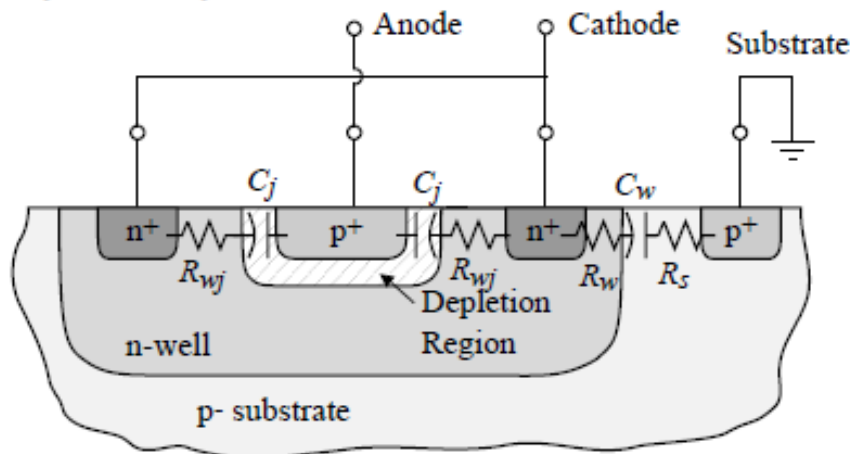


Fig. 2.5-011

Layout:

Minimize the distance between the *p*⁺ and *n*⁺ diffusions.

Da bi se smanjili serijski otpori i povećao Q

$$C_j = \frac{C_{j0}}{\left(1 + \frac{U_D}{U_K}\right)^m}$$

$m=0.5$ za skokoviti *pn*-spoj

C_{j0} – kapacitet uz $U_D=0$

U_K – kontaktni potencijal

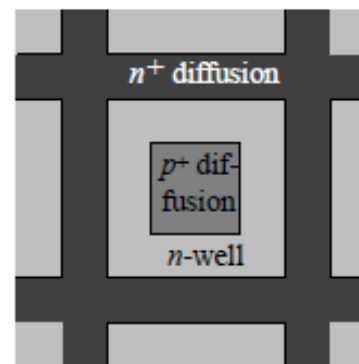
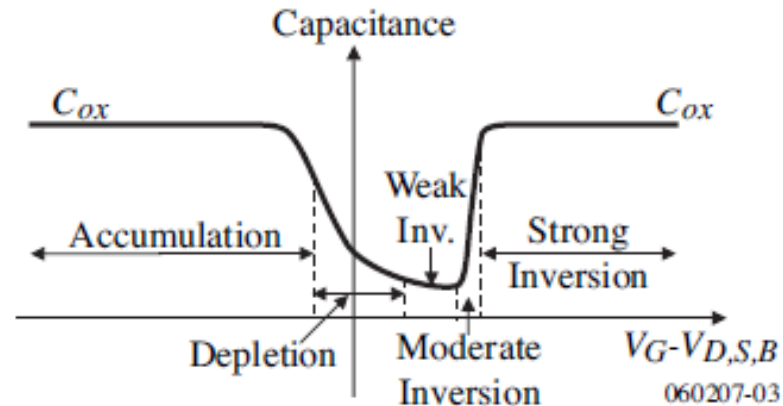
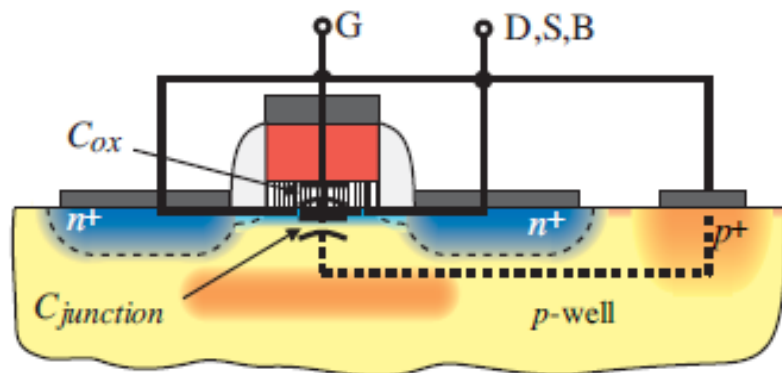


Fig. 2.5-1A
© P.E. Allen - 2006

Varaktori – MOS

MOSFET sa D=S=B



Conditions:

- $D = S = B$
- Operates from accumulation to inversion
- Nonmonotonic → Nije dobro za varaktor
- Nonlinear

$$C_{gate} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_j}}$$

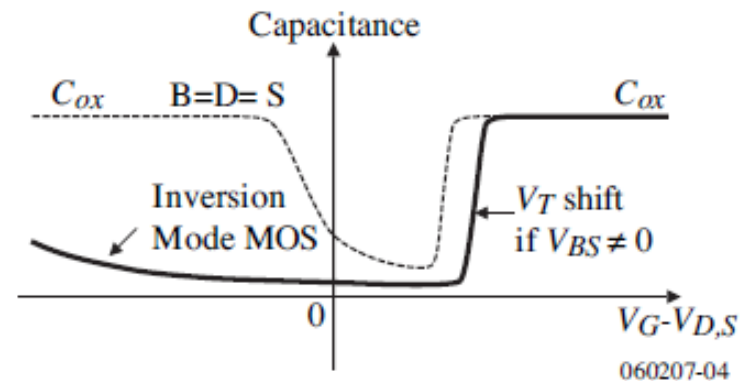
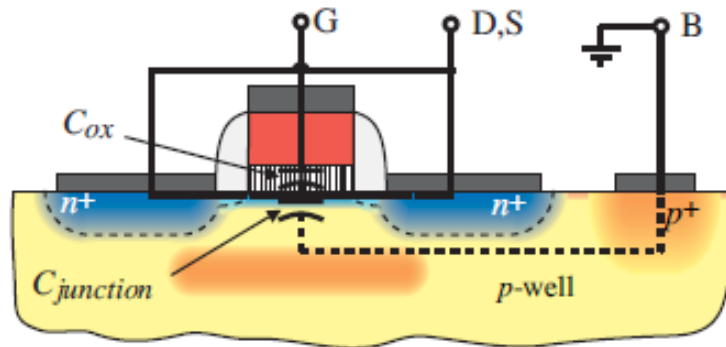
C_{ox} – kapacitet upravljačke elektrode

C_j – kapacitet osiromašenog područja ispod kanala

Varaktori – MOS

MOSFET sa $D=S$, $V_{BS} \neq 0$

MOSFET Gate Capacitor as a function of V_{GS} with Bulk Fixed (Inversion Mode)



Conditions:

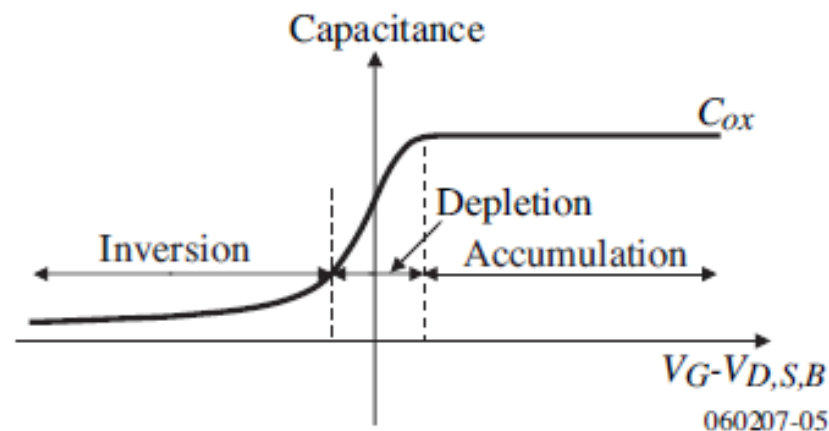
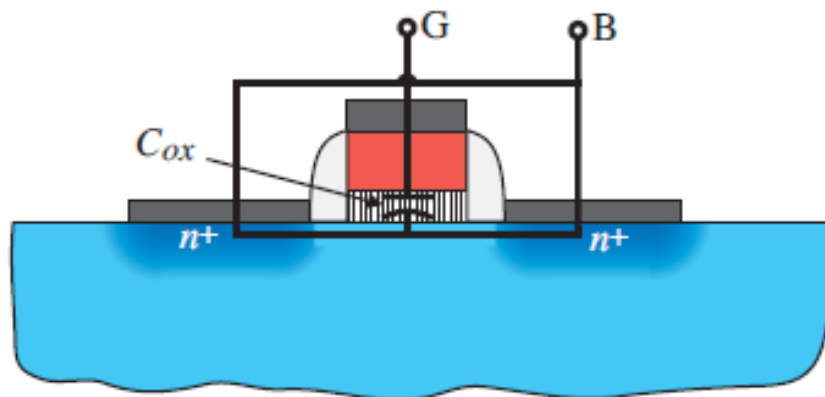
- $D = S$, $B = V_{SS}$
- Accumulation region removed by connecting bulk to V_{DD}
- Nonlinear
- Channel resistance:

$$R_{on} = \frac{L}{12K_P'(V_{BG} - |V_T|)}$$

- LDD transistors will give lower Q because of the increased series resistance

Varaktori – MOS

Accumulation Mode NMOS Gate Capacitor



Conditions:

- Remove p^+ drain and source and put n^+ bulk contacts instead.
- Implements a variable capacitor with a larger transition region between the maximum and minimum values.
- Reasonably linear capacitor for values of $V_{GB} > 0$,

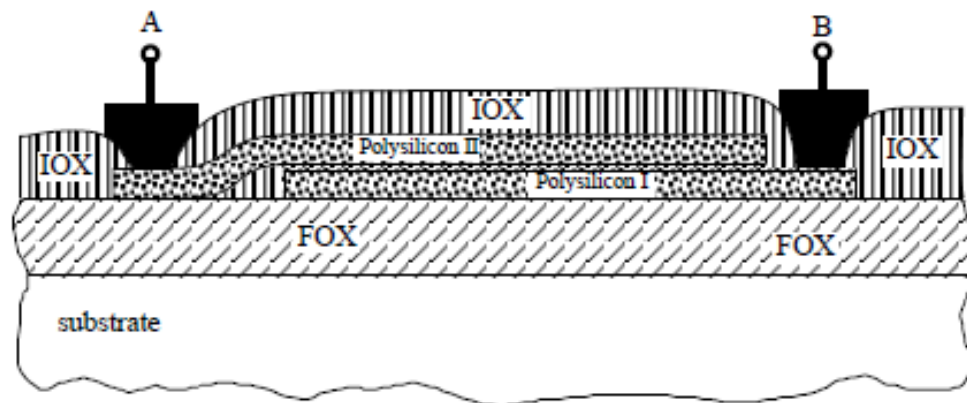
Kondenzatori – poly-poly

CONDUCTOR-INSULATOR-CONDUCTOR CAPACITORS

Polysilicon-Oxide-Polysilicon (Poly-Poly) Capacitors

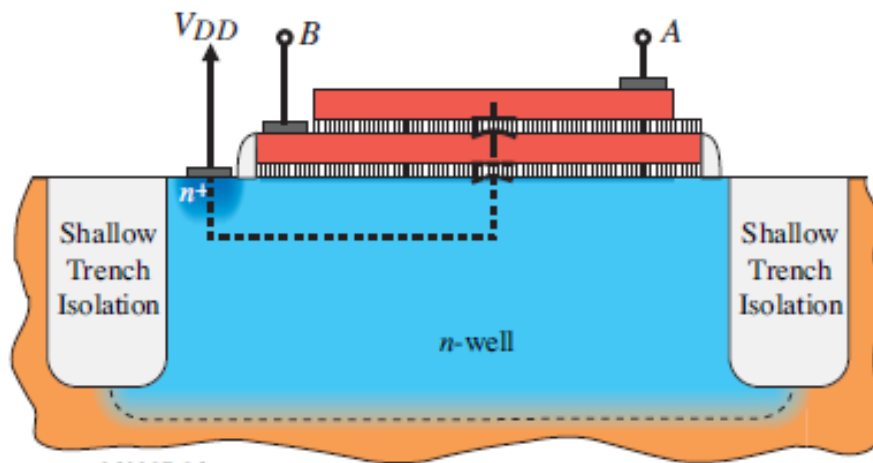
LOCOS Technology:

A very linear capacitor with minimum bottom plate parasitic.



DSM Technology:

A very linear capacitor with larger bottom plate parasitic.

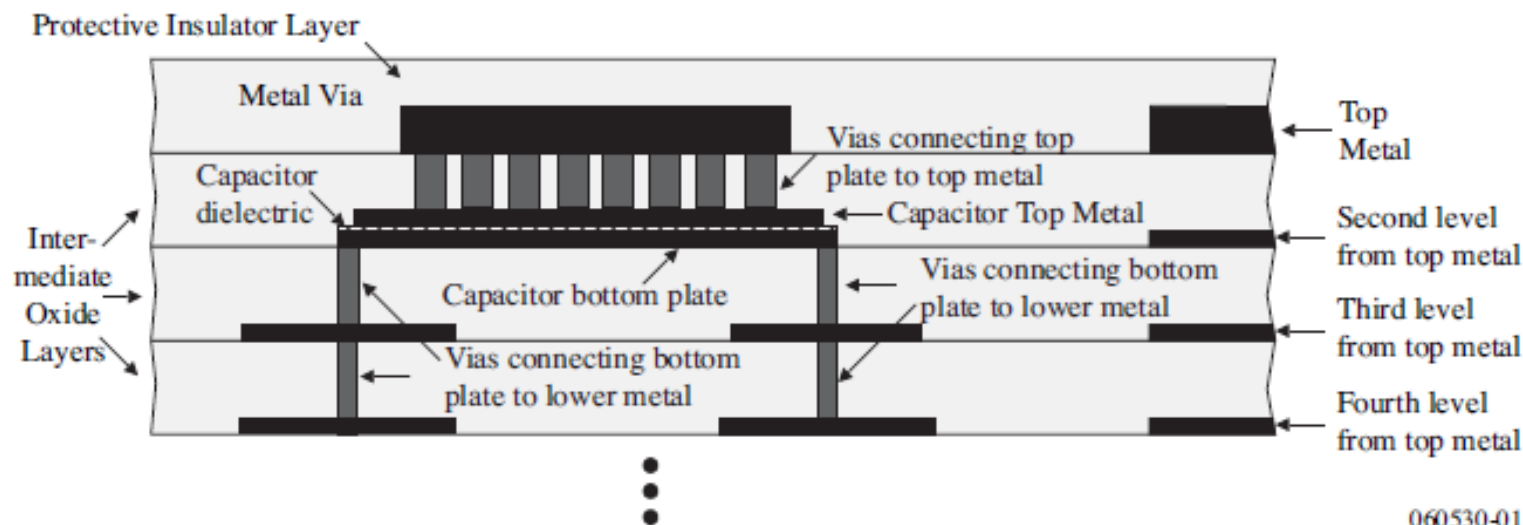


060207-06

Kondenzatori – metal-izolator-metal (MIM)

Metal-Insulator-Metal (MiM) Capacitors

In some processes, there is a thin dielectric between a metal layer and a special metal layer called “capacitor top metal”. Typically the capacitance is around $1\text{fF}/\mu\text{m}^2$ and is at the level below top metal.

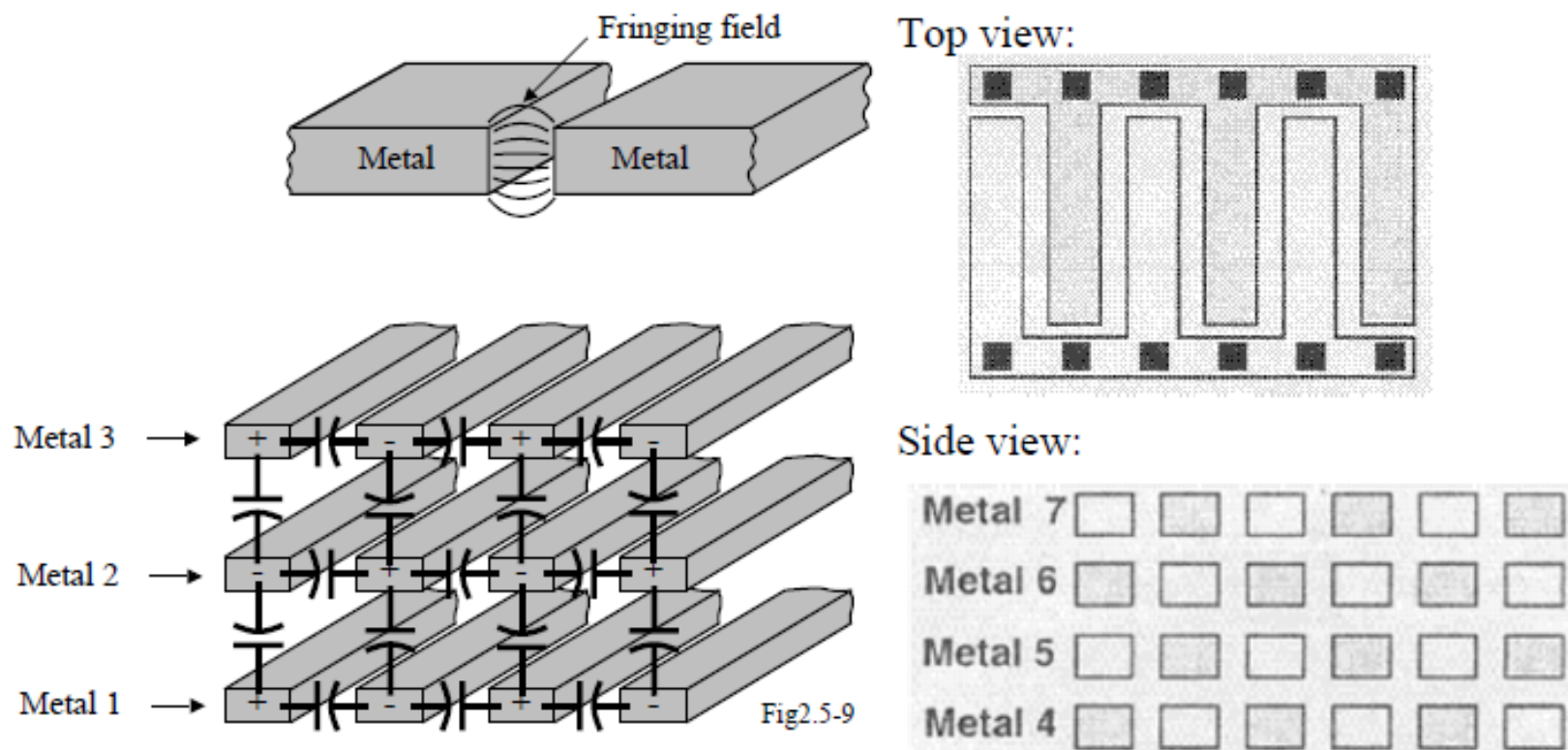


Good matching is possible with low parasitics.

Kondenzatori – MIM (nastavak)

Metal-Insulator-Metal Capacitors – Lateral and Vertical Flux

Capacitance between conductors on the same level and use lateral flux.



These capacitors are sometimes called fractal capacitors because the fractal patterns are structures that enclose a finite area with a near-infinite perimeter.

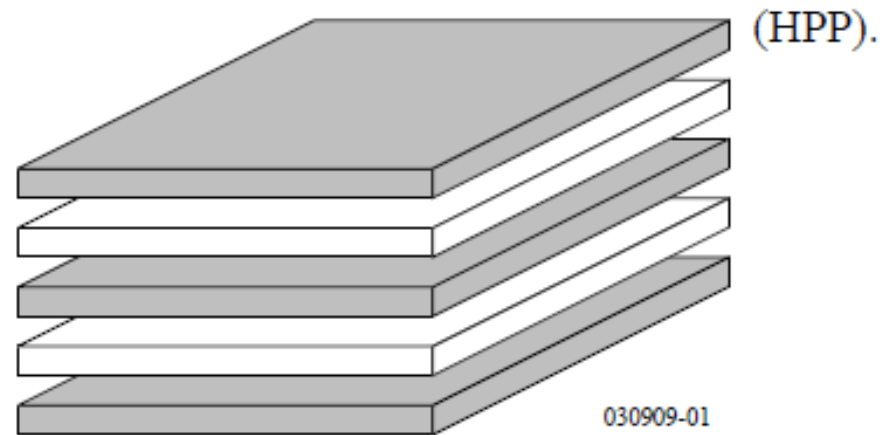
The capacitor/area can be increased by a factor of 10 over vertical flux capacitors.

Kondenzatori – MIM (nastavak)

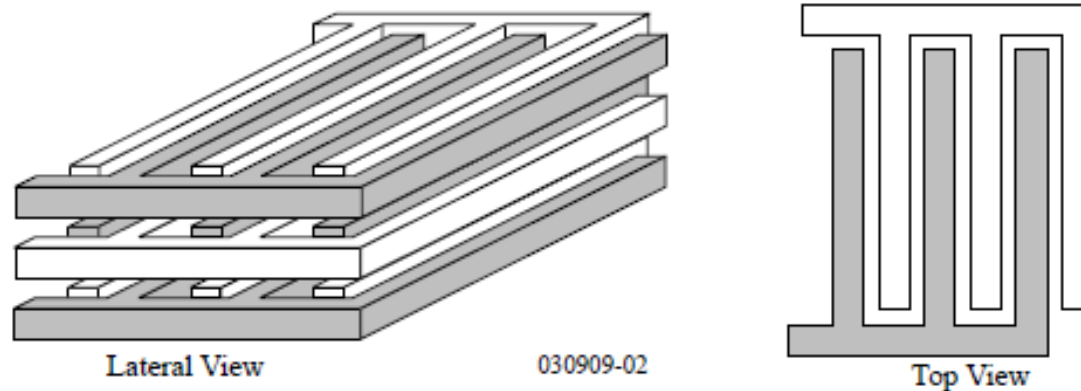
More Detail on Horizontal Metal Capacitors[†]

Some of the possible metal capacitor structures include:

1.) Horizontal parallel plate



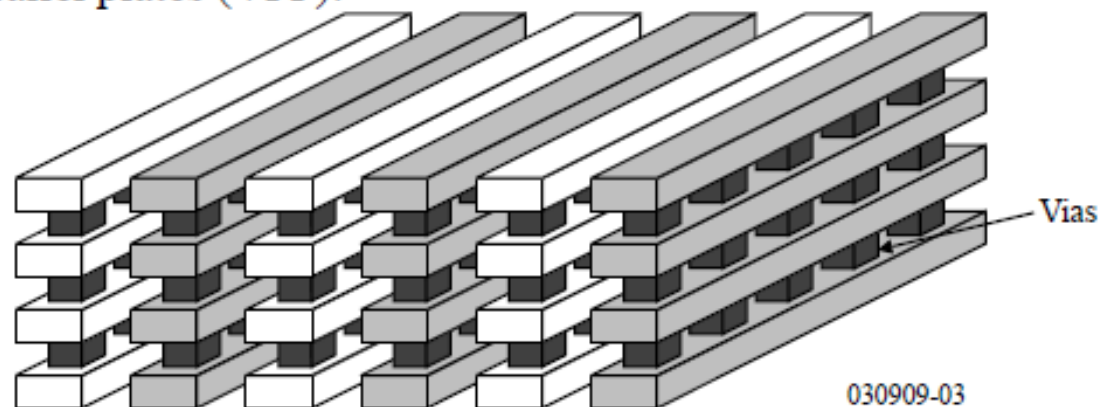
2.) Parallel wires (PW):



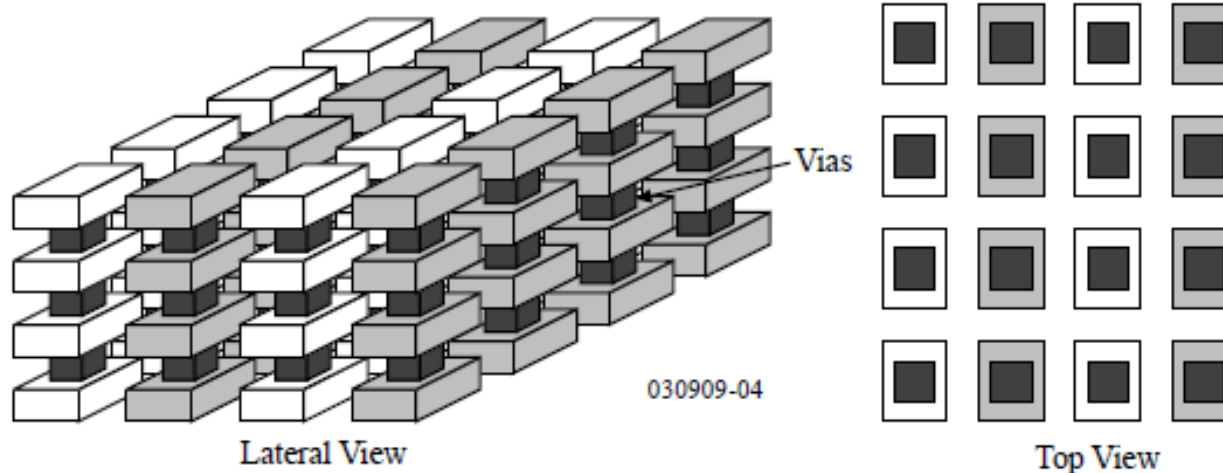
Kondenzatori – MIM (nastavak)

Horizontal Metal Capacitors - Continued

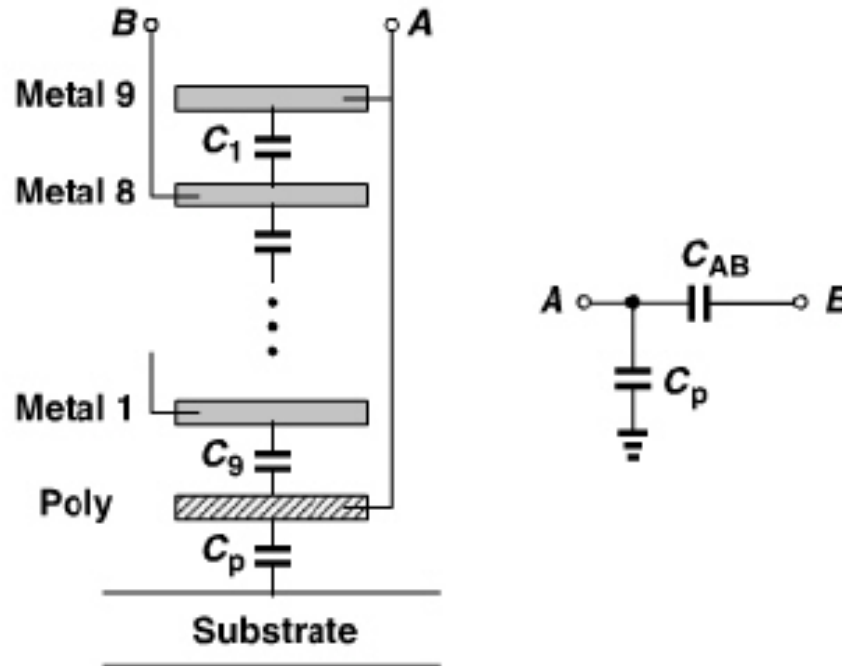
3.) Vertical parallel plates (VPP):



4.) Vertical bars (VB):



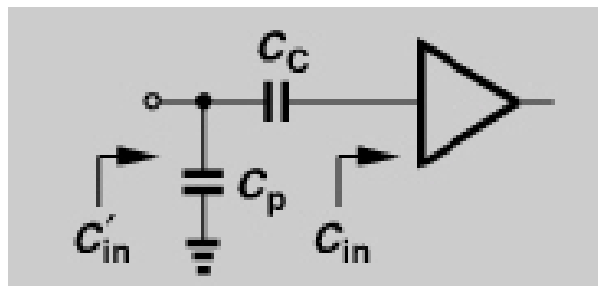
Kondenzatori – parazitni kapacitet donje ploče



- Može iznositi do 10% nominalne vrijednosti
- Predstavlja problem kod projektiranja sklopova

Primjer – parazitni kapacitet donje ploče

Želimo izvesti kapacitivnu vezu na ulazu u pojačalo koje ima ulazni kapacitet C_{in} .
Odrediti dodatni ulazni kapacitet koji proizlazi zbog korištenja veznog kondenzatora. Pretpostaviti $C_p = 0.1C_C$



Kako bi se smanjilo prigušenje signala C_C mora biti puno veće od C_{in} (npr. uzmimo $C_C = 5 \cdot C_{in}$).
Prema tome $C_p = 0.5 \cdot C_{in}$

$$C'_{in} = C_p + \frac{C_C C_{in}}{C_C + C_{in}} = 0.5 \cdot C_{in} + \frac{5C_{in} C_{in}}{5C_{in} + C_{in}} = \frac{4}{3} C_{in}$$

Ulazni kapacitet se povećao više od 30% !!!

Zavojnice

Koriste se uglavnom u RF sklopovima

- Mreže za prilagodbu impedancije

- Kao dio rezonantnog kruga

- U transformatorima

- Kao teret u pojačalima – omogućavaju veći hod napona (više od napona napajanja)

Integrirane zavojnice omogućavaju:

- Nižu cijenu

- Veću pouzdanost – prilikom povezivanja vanjskih zavojnica, bond-žice i izvodi kućišta imaju međuinuktivitet preko kojeg dolazi do preslušavanja različitih točaka RF sklopa

- Manji parazitni elementi

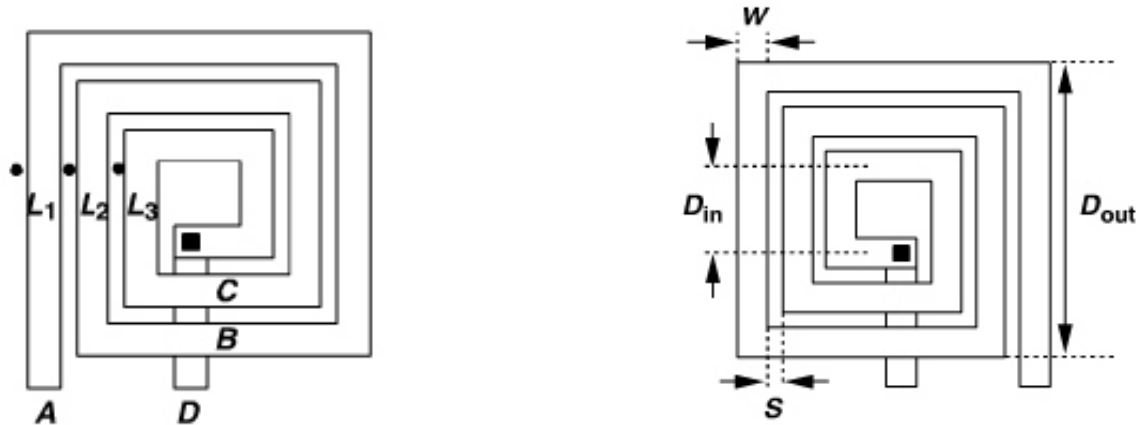
Problemi vezani uz integrirane zavojnice

- Loše karakteristike – mali faktor dobrote Q

- Zauzimaju puno površine

- Modeliranje – potrebni su točni modeli koji ovise o obliku zavojnice (topologiji), načinu izvođenja namotaja, o metalizaciji koja se koristi. Zahtijeva elektromagnetske simulacije

Zavojnice



$$L_{uk} = L_1 + L_2 + L_3 + M_{12} + M_{13} + M_{23}$$

Spiralna zavojnica ima veći induktivitet od ravne linije zbog međuinduktivne sprege između susjednih linija

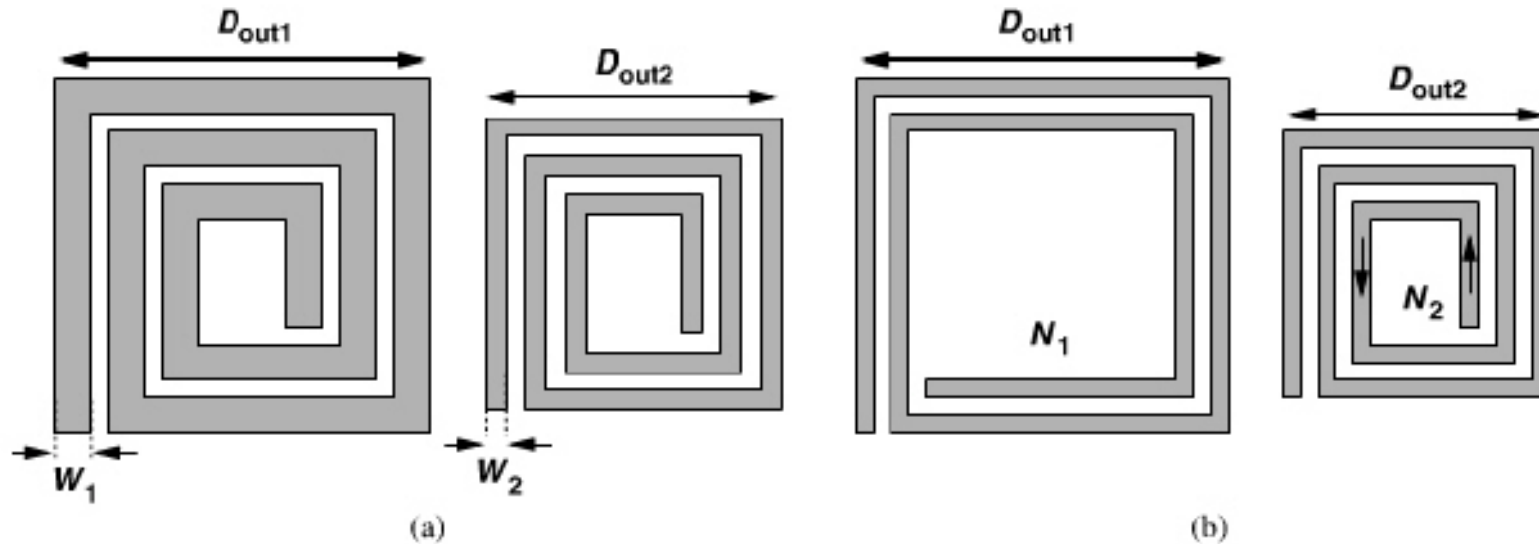
Induktivitet je proporcional duljini linije (kao i otpor)

Za veću širinu linije otpor linije je manji

Veći vanjski promjer (D_{out}) znači veću ukupnu površinu

Manji unutarnji promjer znači veću međuinduktivnu spregu unutarnjih linija

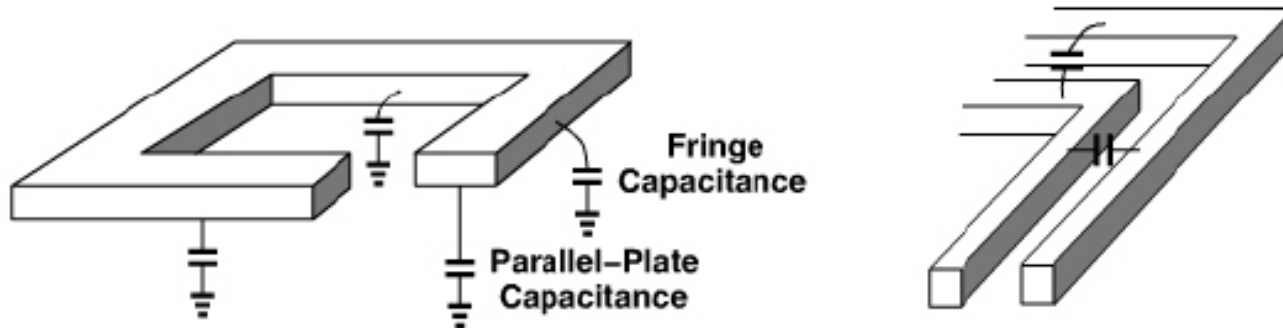
Zavojnice



Uz fiksirani L , vanjski promjer možemo smanjiti :

- Manjom širinom linije ($W_2 < W_1$ na sl.a) - pri tome raste otpor linije i pada Q
- Povećanjem broja zavoja ($N_2 > N_1$ na sl.a) – pri tome se smanjuje unutarnji promjer kao i međuinuktivitet unutarnjih namota, a kako struja teče u suprotnom smjeru on smanjuje ukupni induktivitet

Zavojnice – parazitni kapacitet



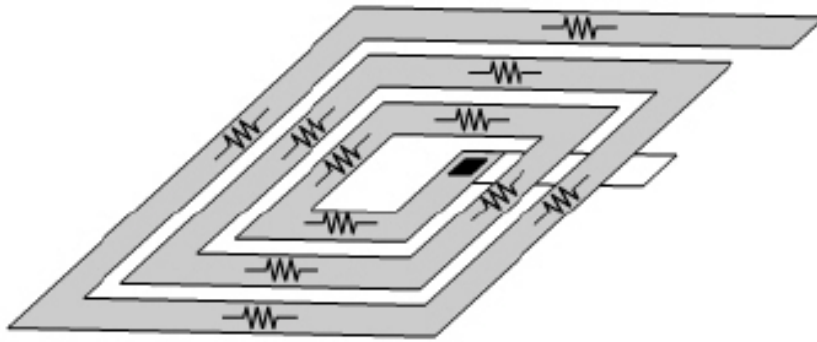
Paralelni kapacitet prema podlozi

Kapacitet između susjednih zavoja

Induktivitet zavojnice ulazi u rezonanciju s parazitnim kapacitetom na frekvenciji f_{SR}
(vlastita rezonantna frekvencija, eng. self-resonant frequency)

Na frekvencijama iznad f_{SR} zavojnica se ponaša kao kapacitet

Zavojnice – mehanizmi gubitaka, serijski otpor



Najvažniji parametar zavojnice je faktor dobrote Q (npr. fazni šum oscilatora $\sim 1/Q^2$)

Q daje mjeru koliko je energije izgubljeno u zavojnici kada krz nju teče sinusna struja.

Kako snagu disipiraju samo otporne komponente gubitci su vezani uz otporne komponente unutar ili oko strukture zavojnice

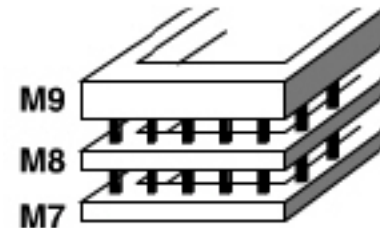
Ako se u obzir uzme samo serijski otpor zavojnice:

$$Q = \frac{\omega_0 L}{R_s}$$

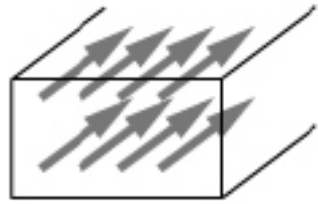
U stvarnosti Q je približno dvostruko manji

R_s možemo smanjiti povećanjem širine linije, pri tome raste parazitni kapacitet

Možemo i paralelno spojiti više slojeva metalizacije. Također raste parazitni kapacitet

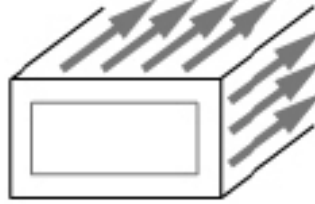


Zavojnice – mehanizmi gubitaka, skin-efekt



(a)

Niske frekvencije



(b)

Visoke frekvencije

Na visokim frekvencijama struja teče po površini metala

$$J_s = J_0 \exp\left(-\frac{x}{\delta}\right) \quad \delta = \frac{1}{\sqrt{\pi f \mu \sigma}}$$

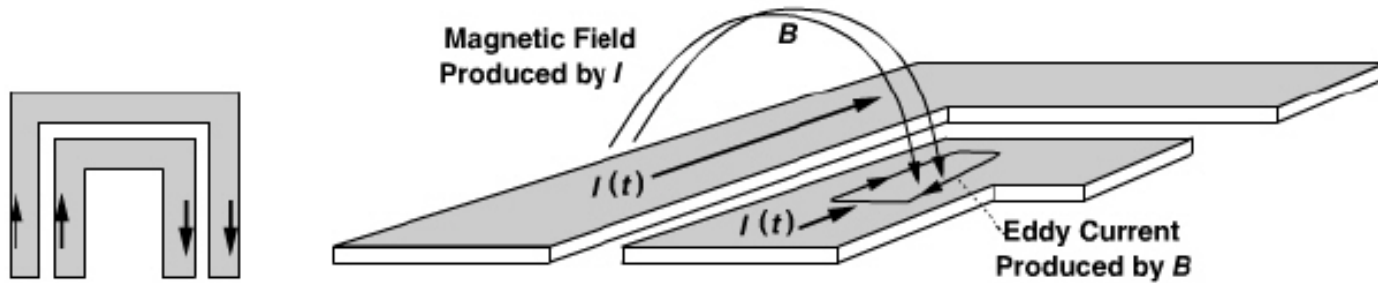
δ – dubina (skin depth)

Kako struja teče kroz manji presjek, otpor raste, dodatni otpor

$$R_{skin} = \frac{1}{\sigma \cdot \delta}$$

σ – specifična vodljivost

Zavojnice – gomilanje stuje



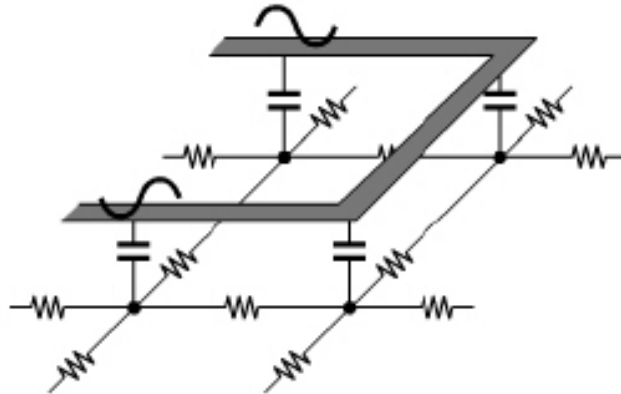
Usljed vremenski promjenjivog polja u susjednim namotajima se generiraju strujne petlje odnosno vrtložne struje

Na jednom rubu se dodaju, a suprotnom oduzimaju od struje koja teče kroz namot

Rezultat je gomilanje struje uz rub

Efekt povećava otpor jer struja teče kroz manji presjek

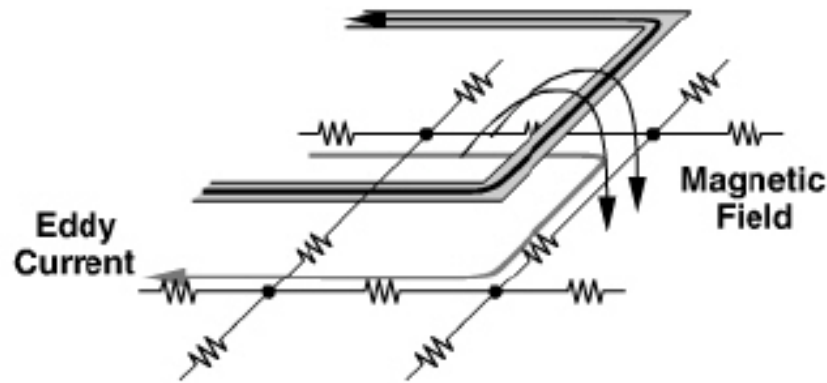
Zavojnice – kapacitivna sprega prema podlozi



Izmjenični naponi duž zavojnice uzrokuju tok struje kroz parazitni kapacitet i protječe kroz podlogu koja ima otpornu komponentu

Na taj način gubi se energija i smanjuje se Q zavojnice

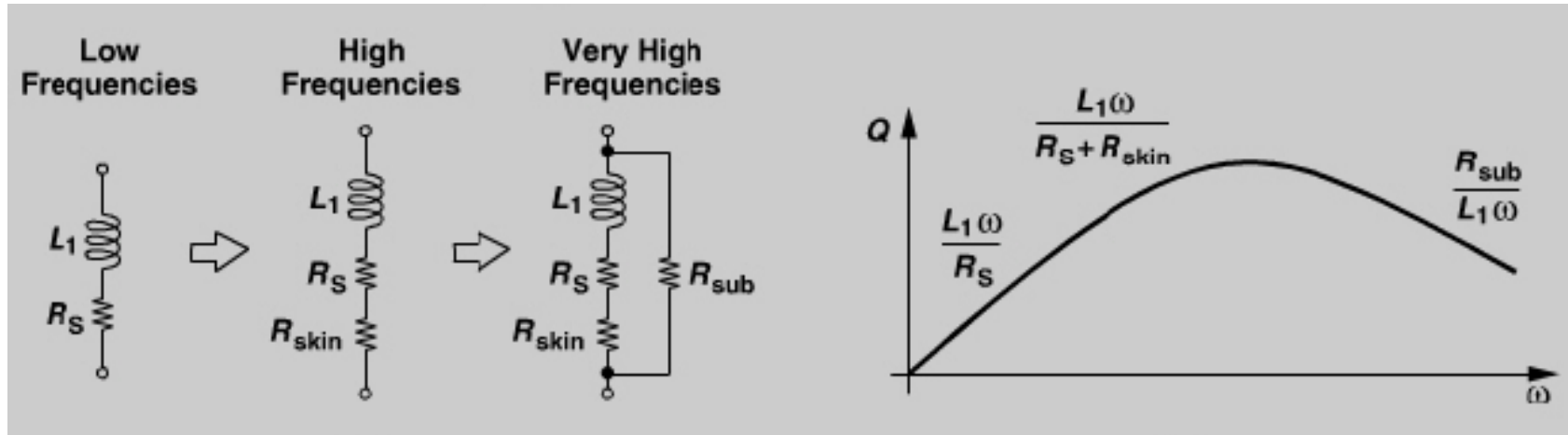
Zavojnice – induktivna sprega prema podlozi



Struja kroz zavojnicu stvara promjenjivo magnetsko polje koje u podlozi generira vrtložne struje

Vrtložne struje teku u suprotnom smjeru tako da se induktivitet smanjuje

Zavojnice – ovisnost Q o frekvenciji



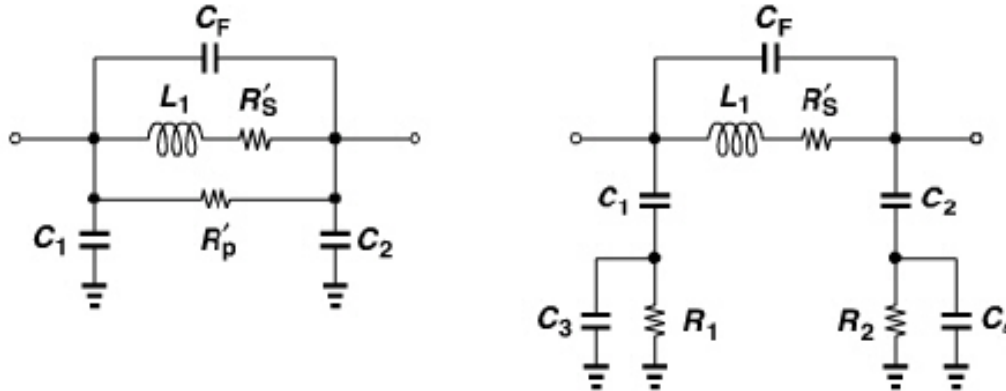
Na niskim frekvencijama Q ovisi o R_S te raste linearno s ω

Kako frekvencija raste pojavljuje se skin-efekt pa Q raste s \sqrt{f}

Na visokim frekvencijama R_{sub} se pojavljuje u paralelu s L i Q pada s frekvencijom:

$$Q \approx \frac{R_{sub}}{\omega L_1}$$

Zavojnice – kompaktni modeli



Manje su fizikalni

Pogodni su za ekstrakciju parametara i fitting

Model s koncentriranim parametrima

Uz konstantne vrijednosti elemenata postiže se dobra točnost u pojasu frekvencija $\pm 20\%$ od centralne frekvencije