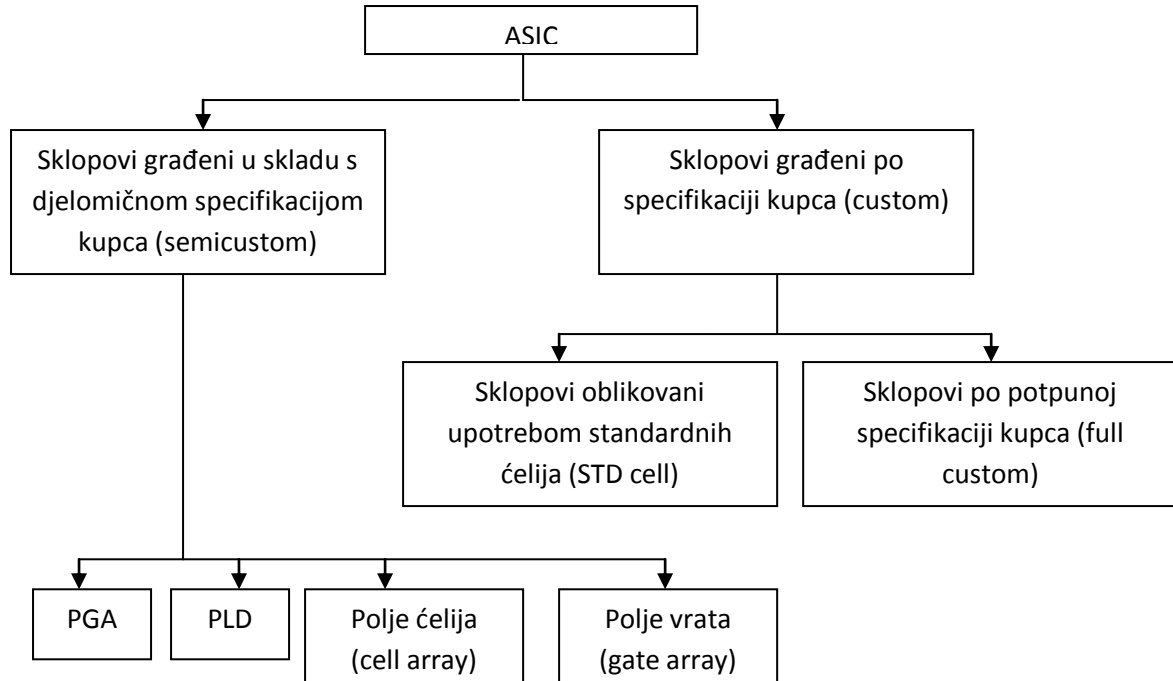


# ASIC (Application Specific Integrated Circuits) - Aplikacijski specifični integrirani sklopovi

**VLSI** - izvedba složenih i snažnih (procesna moć, funkcija) digitalnih sklopova niske cijene  
- čipovi s milijun i više tranzistora (Alpa, i860)

Taksonomija ASIC-a:



## ASIC - Aplikacijsko specifični IC

- ICs se proizvode na kružnom komadiću silicija debljine nekoliko stotina mikrona (wafer)
- svaki wafer sadrži stotine IC organiziranih u dies ili dice [dais]
- tranzistori i ožičenje ostvareno uporabom 10 do 15 različitih slojeva (mask layer)
- svaki sukcesivni sloj ima uzorak koji je određen maskom: oko 5 slojeva se rabi za definiranje tranzistora, a posljednjih 6 određuju metalne veze između tranzistora (engl. interconnect)

Kod IC oblikovanih u skladu s potpunom specifikacijom kupca/naručitelja (full-custom IC) - sve (ili gotovo sve ćelije su oblikovane u skladu sa specifikacijom kupca, a isto vrijedi i za maske

## SUN Microsystems SPARC station 1 (April 1989.)

- prva radna stanica koja je rabila naglašeno ASIC
  - bolji omjer performansa/cijena
  - kompaktnost izvedbe, redukcija potroška, povećana pouzdanost
  - smanjen broj dijelova, lakše sastavljanje, veća pouzdanost
- ima oko 50 IC na matičnoj ploči (isključujući DRAM)
- 9 ASIC-a !!!

| ASIC | IME                             | k-vrata |
|------|---------------------------------|---------|
| 1    | SPARC Integer Unit (IU)         | 20      |
| 2    | SPARC Floating point unit (FPU) | 50      |
| 3    | Cache controller                | 9       |
| 4    | Memory-management Unit (MMU)    | 5       |
| 5    | Data Buffer                     | 3       |
| 6    | DMA controller                  | 9       |
| 7    | Video controller / datebuff.    | 4       |
| 8    | RAM controller                  | 1       |
| 9    | Clock generator                 | 1       |

Primjeri ICs **koji nisu ASIC:**

- standardne komponente
  - memorijski čipovi (ROM, DRAM, SRAM)
  - mikroprocesori

Primjeri ICs **koji su ASIC:**

- čip za dječje igračke (npr. medvjed koji govori)
- čipovi za svemirske letjelice
- čip kao sučelje između memorije i mikroprocesora u radnoj stanici
- čip koji sadrži mikroprocesor (kao ćeliju) i ostalu logiku (SoS)

1. **Sklopovi oblikovani po potpunoj specifikaciji kupca** (full custom)

- a. izrada svih maski, logičkih ćelija, sklopova
  - i. razlozi:
    1. ne postoji biblioteka logičkih ćelija
    2. ćelije nisu dovoljno male
    3. ćelije imaju preveliki potrošak
    4. ćelije, tj. sklopovlje nije dovoljno brzo
- b. oblikovanje i definiranje proizvodnog postupka
- c. cijena ~ 200 000\$ (za početak proizvodnje)
- d. vrijeme proizvodnje > 88 tjedana

2. **Sklopovi oblikovani upotrebom standardnih ćelija** (STD cell) / cell-based ASIC, cell-based IC- > CBIC

- a. upotrebljava unaprijed konfigurirane, unaprijed definirane logičke blokove (AND i OR gates), unaprijed ispitane ćelije (multiplexers, flip-flops) za konstrukciju naručničkog čipa
- b. čip se oblikuje ručno upotrebom grafičkih terminala
- c. logički dizajn -> tjedni ili mjeseci
- d. proizvodnja -> više tjedana ili mjeseci

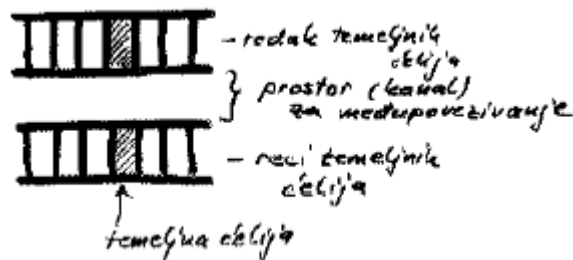
- za 1. i 2. određena je **MINIMALNA KOLIČINA ČIPOVA** koja treba pokriti troškove proizvodnje

- faza otkrivanja i otklanjanja pogrešaka?!

- za 1. i 2. **VRIJEME I CIJENA SU RIZIK**

### 3. Polje vrata (gate array) - GA

- unaprijed proizvedena silicijska matrica koja "čeka" samo naručnički povezni uzorak da bi postala funkcionalna
- povezivanje tranzistora ili jednostavnih logičkih vrata u složenije funkcije tijekom posljednje faze proizvodnog procesa (samo nekoliko posljednjih slojeva koji definiraju veze između tranzistora i oni su oblikovani kao custom maska -> MASKED GATE ARRAY (MGA))
- gustoća 100 000 vrata (i više) s faktorom iskorištenja 80-90% za manje razine složenosti sklopovlja, 40-60% za veće
- prilagodljivost manja negoli STD ćelija
- imaju 68 i više priključaka i nude veću logičku funkcionalnost negoli tipični PLD
- proizvodnja se temelji na samo jednoj ili dvije naručničke maske -> vrijeme oblikovanje do konačnog čipa 4 - 8 tjedana
- dug ciklus (i skup) promjene u logici
- dijeli se na
  - polje vrata s kanalom (channelled GA)



#### II. Polje vrata bez kanala (channelless GA) - sea of gates (SOG)



#### III. Strukturirana polja vrata (Structured Gate Array) - kombinacija CBIC (cell-based IC) i MGA (masked gate array)

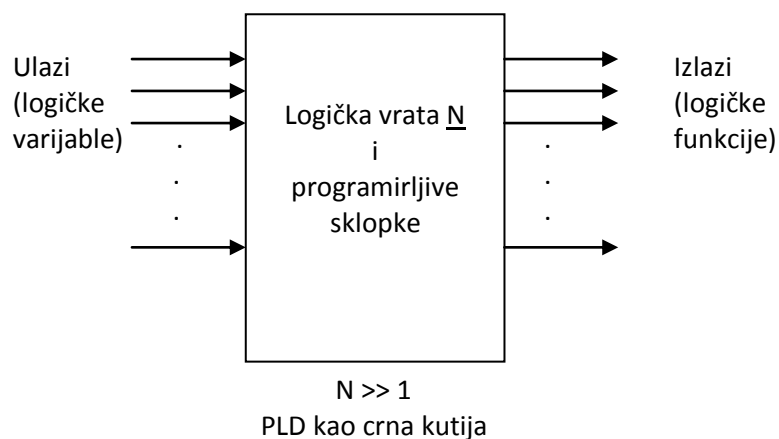
### 4. Polje ćelija

- NAND logička vrata
- bistabili
- različite vrste međuspremnik

### 5. PLD (Programmable Logic Devices) - programirajući logički uređaji / sklopovi

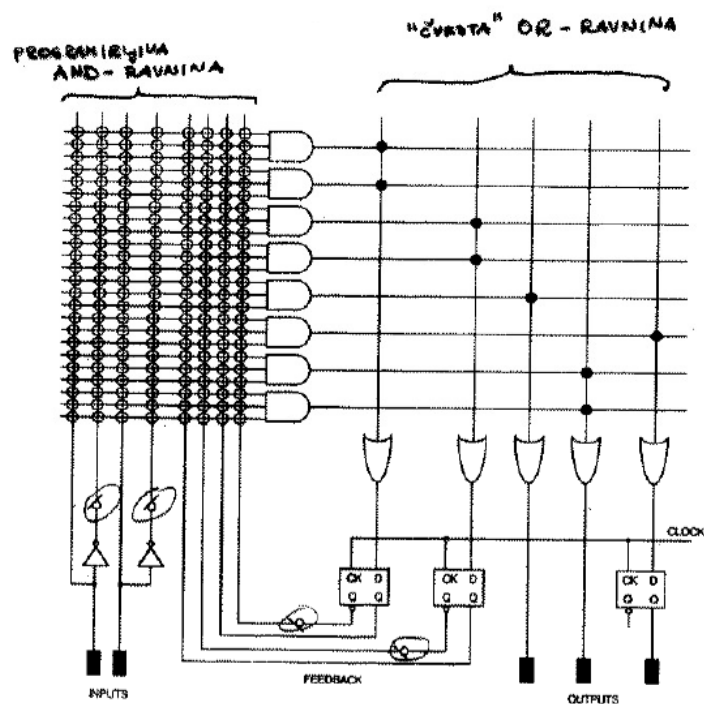
- pristupi 3. i 4., polje vrata, polje ćelija idealni za velike aplikacije (ispitane i koje ne zahtijevaju izmjene)
- prosječni korisnik -> stotinu ili maksimalno tisuću sklopova određenog logičkog uzorka (funkcije) GODIŠNJE
- NRE (non - recurring expense) - nepovratni troškovi => RJEŠENJE -> PLD!
- PLDs
  - standardni IC raspoloživi u standardnim konfiguracijama iz kataloga
  - prodaju se u velikim količinama od strane većeg broja isporučitelja

- e. PLD - može se konfigurirati ili programirati tako da se dobije komponenta za specifičnu aplikaciju
- f. PLD el. ASIC
- g. Uobičajene značajke PLD-a
  - I. ne rabe se posebno (customized) oblikovane maske ili ćelije
  - II. kratko vrijeme oblikovanja
  - III. veliki blok programirljivih međuveza
  - IV. matrica logičkih makročelija koje se sastoje od programirljivog logičkog polja (PAL) i, zatim, bistabila ili zapornih sklopova
- h. serija 7400 - nekoliko logičkih vrata čvrste strukture -> unaprijed definirana funkcija
- i. 70-ih godina - čipovi s vrlo velikim brojem vrata promjenjive strukture



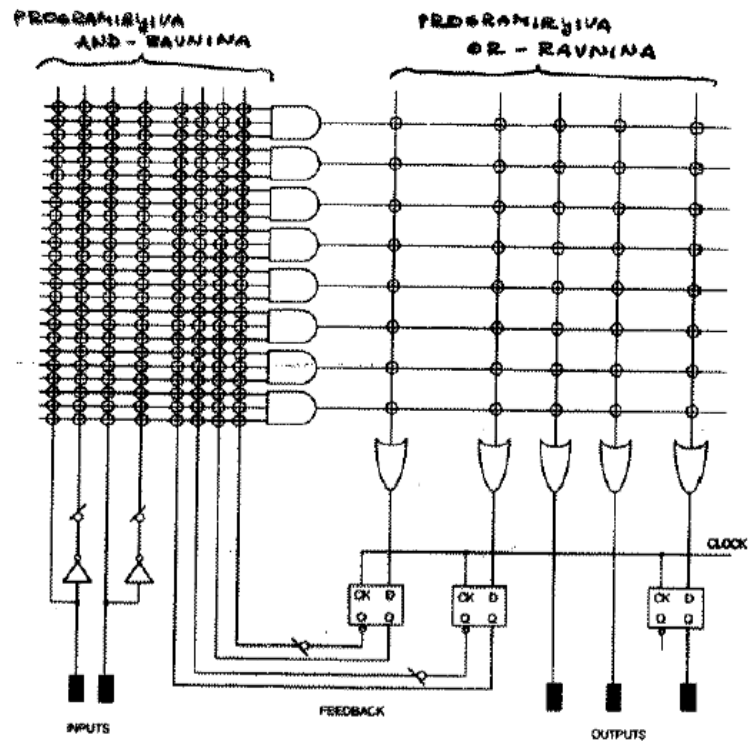
## 6. PAL - Programmable Array Logic

- a. AND ravnina programirljiva
- b. OR ravnina čvrsta



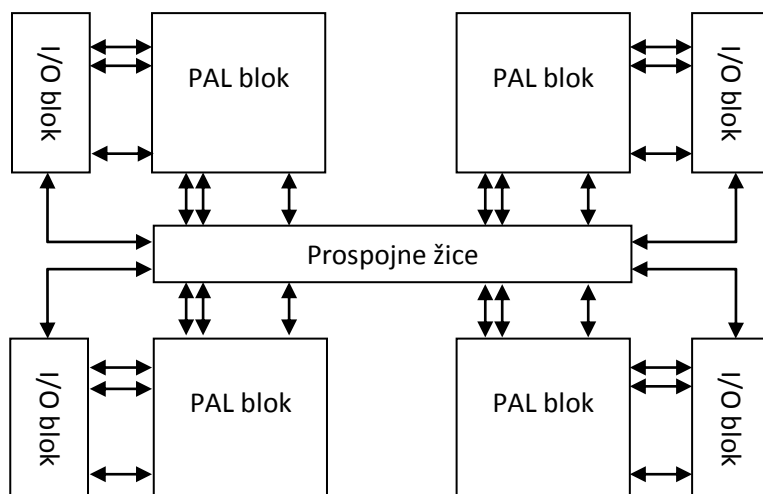
## 7. PLA – Programmable Array Logic

- AND ravnina programirljiva
- OR ravnina programirljiva



### CPLD - complex PLD

- PLA ili PAL do 32 ulaza i izlaza



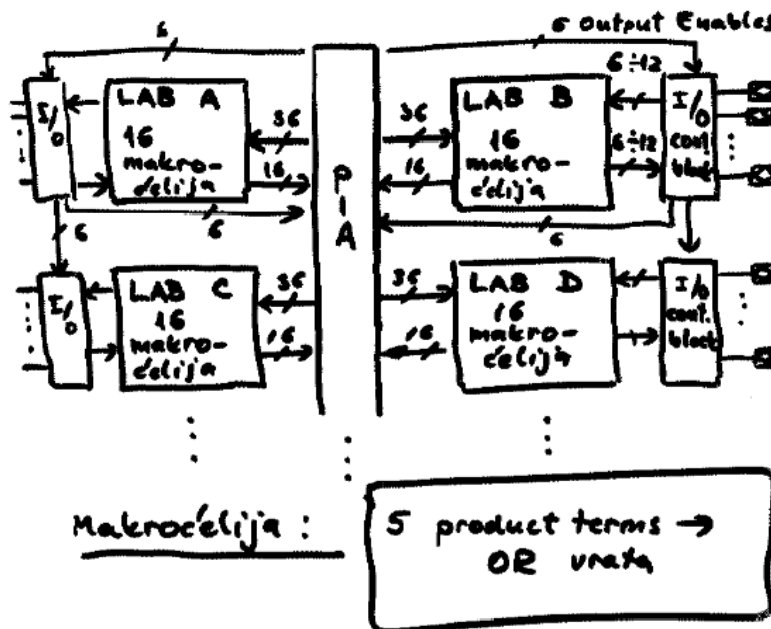
- CPLD obično podržava ISP (in-system programming) -> programiranje čipa dok je priključen na tiskanoj ploči
- programira se prijenosom "programa" generiranog CAD sustavom pomoću kabela računalno-> CPLD (JTAG port - joint test action group)

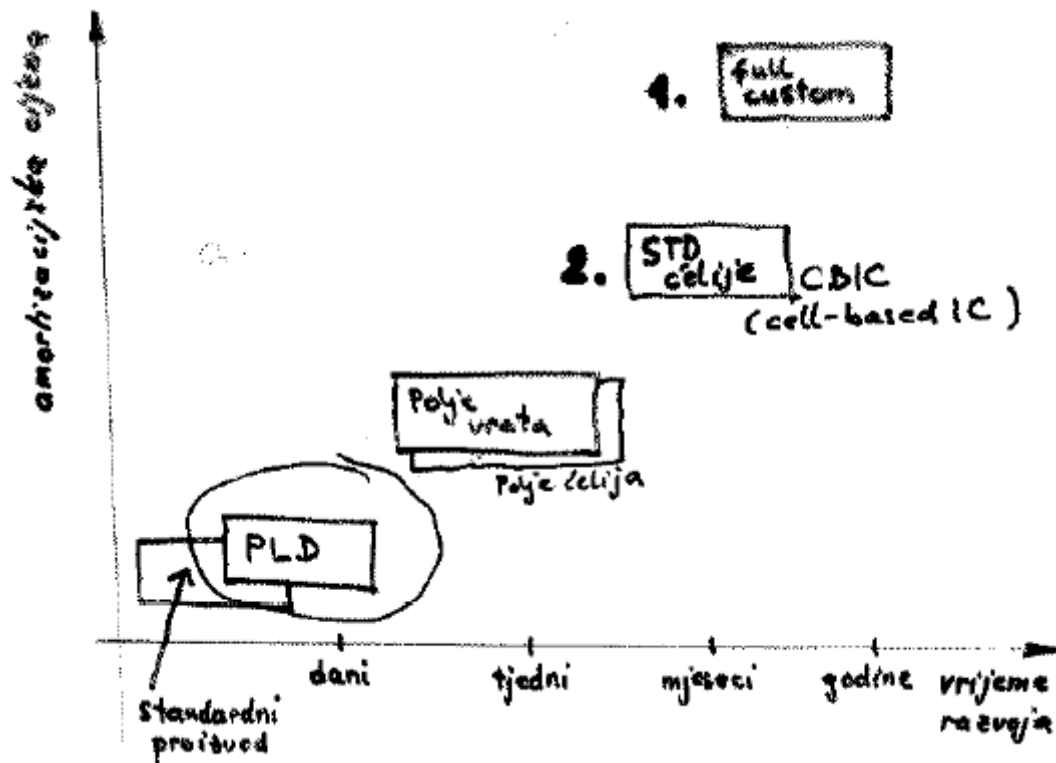
### ALTERA MAX 7000

- porodica CPLD - 7032 (32 makroćelije) -> 7912 (512 makroćelija)
- sufiks S označava ISP čip, npr MAX 7128S je ISP, a MAX 7128 se može programirati samo u programatoru!

### LAB (Logic Array Block)

- sadrži 16 makroćelija
  - povezan je sa I/O upravljačkim blokom koji ima 3-state buffers
  - svaki LAB je povezan s programirljivim prospojnim poljem PIA (Programmable Interconnect Array)
- CPLD MAX 7000 ima 4 namjenska ulaza - 2 kao signali vremenskog vođenja, 1 global reset za bistabile





## PLD

- niska cijena jediničnog proizvoda -> raspoložive snažne razvojne alatke
- prilagodljivost
- visoka performansa
- visoka pouzdanost sklopovlja
- povećava pouzdanost cijelog digitalnog sustava
- sustavi ostvareni komponentama LSI ili VLSI <-> ekvivalentni sustavi; oblikovani komponentama koje imaju nižu gustoću

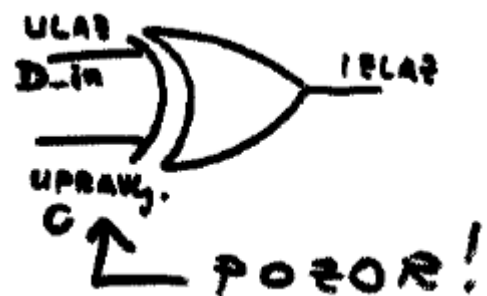
## Zamisao programirljive komponente

- funkcija komponente se mijenja jednim ili većim brojem UPRAVLJAČKIH SIGNALA
- temeljne komponente:

- XOR - upravljivi invertor

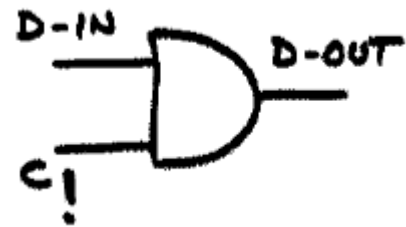
| C - UPRAVLJANJE | D-in - ULAZ | D-out - IZLAZ |
|-----------------|-------------|---------------|
| 0               | 0           | 0             |
| 0               | 1           | 1             |
| 1               | 0           | 1             |
| 1               | 1           | 0             |

- kad je upravljački signal 1 izlaz postaje logički invertirana veličina ulaza; a kada je 0, ulaz = izlaz

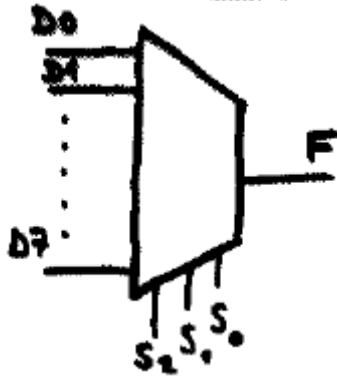


- DVOULAZNI AND - upravljiva sklopka

| C | D-in | D-out |
|---|------|-------|
| 0 | 0    | 0     |
| 0 | 1    | 0     |
| 1 | 0    | 0     |
| 1 | 1    | 1     |



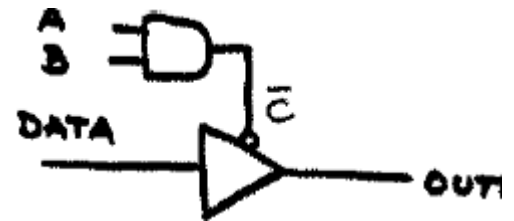
- MULTIPLEKSOR



- SKLOP S TRI (LOGIČKA) STANJA - upravljiva sklopka

| C_potez | DATA | OUT |
|---------|------|-----|
| 0       | 1    | 1   |
| 0       | 0    | 0   |
| 1       | X    | Z   |

A i B su upravljački signali

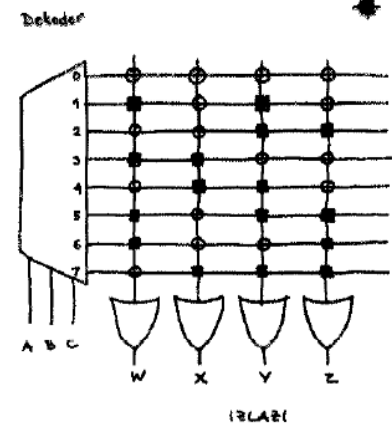


- TABLICA PRONALAZENJA (RAM Lookup Table) -LUT

| Linija | A | B | C | W | X | Y | Z |
|--------|---|---|---|---|---|---|---|
| 0      | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1      | 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 2      | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 3      | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 4      | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 5      | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 6      | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 7      | 1 | 1 | 1 | 0 | 1 | 1 | 1 |

RAM/ROM Look-up table

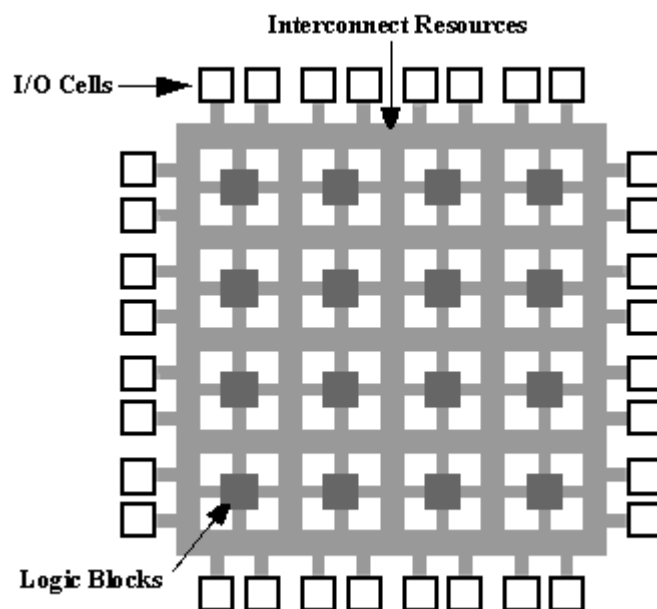
○ moguća veza  
● ostvarena veza





## KRATAK PRIKAZ RAZVOJA PROGRAMIRLJIVIH SKLOPOVA

- prvi tip programirljivih uređaja: **PROM (Programmable Read-Only Memory)**
  - jednokratno programirljiv uređaj koji se sastoji od read-only ćelija
  - dvije osnovne vrste PROM-a
    - PROM koji se može programirati tijekom proizvodnje (mask - programmable)
      - programiranje može trajati tjednima ili mjesecima
    - PROM koji može programirati krajnji korisnik (field - programmable) - programirljiva sklopka (osigurač)
      - jeftiniji za manje serije
      - neposredno programiranje (u nekoliko minuta)
      - EPROM (Erasable PROM), EEPROM (Electrically Erasable PROM)
- **PAL (Programmable Array Logic)**
  - najjednostavniji oblik PLD-a - programirljiva AND-ravnina i čvrsta OR-ravnina
- **PLA (Programmable Logic Array)**
  - programirljive i AND i OR ravnine
  - može biti i mask-programmable i field-programmable
- najopćenitiji programirljivi uređaji sastoje se od "nesvrstanih" elemenata koji se mogu povezivati u skladu s korisničkom specifikacijom
- **Mask-Programmable Gate Arrays (MPGA)**
- **FPGA (Field-Programmable Gate Array)**
  - kombinira programirljivost PLD-a i programirljivost povezane strukture MPGA



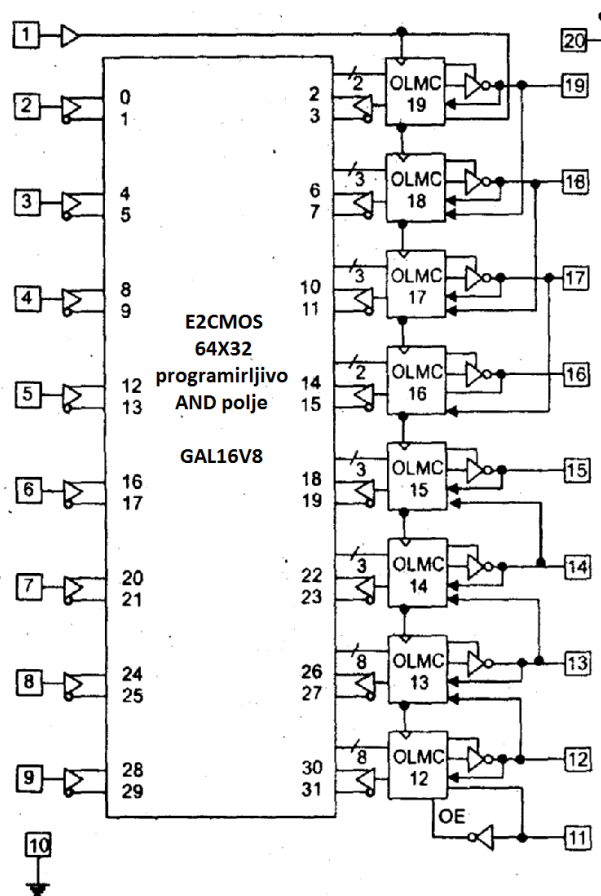
- primjer PLD : GAL (Generic Array Logic); tvrtka SCS - Thomson
  - GAL proizveden upotrebom sklopova vrlo velike brzine (u CMOS-u)
  - električki je izbrisiv
  - brzina jednaka brzini sklopova (programirljivih) izvedenih u bipolarnim tehnologijama (osim ECL)
  - mali potrošak (CMOS!!!)

## GAL 16V8 E<sup>2</sup>CMOS PLD

- čip s dvadeset priključaka
- emulira 20-priljučni PAL
- 21 različitih bipolarnih PAL-ova
- ima sigurnosnu ćeliju za zaštitu autorstva - sprječava kopiranje
- podaci i struktura ostaju dulje od 20 godina
- dopušta ponavljanje 100x ciklusa programiranja i brisanja
- rekonfigurabilna logika
- reprogramiranje ćelija
- mali potrošak
- velika brzina: 15-25ns pristupa
- GAL 16V8WPCT (W = brzina; P = snaga; C = pakiranje; T = 1->0-70 stupnjeva celzijusa; 2-> -55 - +125 stupnjeva celzijusa)

## OLMC

- dopušta korisniku konfiguriranje izlaza u skladu sa specifičnim potrebama
  - o kombinacijski izlazi
  - o onemogućeni izlazi
  - o registarski (sinkroni) izlazi
  - o definiranje razine aktivnosti



### **GAL razvojne alatke**

- Programska razvojna oprema (Software tools)

- 70-ih godina
  - zbirni jezik (assembler) za PLD - PALASM (tvrtka Monolithic Memories)
  - ulaz: Boolove jednačbe (format u obliku sume produkata!!)
- ranih 80-ih godina
  - CUPL (Assisted Technology)
  - ABEL (Data I/O Corp.)
    - minimizacija
    - definiranje makroa
    - tablica istinitosti
    - dijagram stanja
    - samodokumentiranje
- kasnih 80-ih godina
  - grafički ulazi!
  - CAE-1 (Personal-CAD Systems)
  - DASH (Data I/O)

### **SKLOPOVSKE ALATKE**

1. univerzalni programatori
    - a. za programiranje EPROM memorija
    - b. za programiranje EPROM polja u mikroprocesorima
  2. "GAL only" programatori
- postupak programiranja
- ulaz JEDEC datoteka ("fuse" map)
  - "Downloading" - proces punjenja programatora JEDAC (Joint Electron Device Council) datotekom