

Cijena komponente:

- FPGA ≈ 40 \$
- MPGA ≈ 10 \$
- CBIC ≈ 8 \$

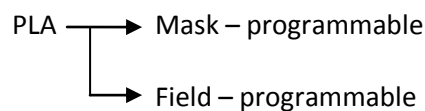
ASIC kao komponenta za složeni digitalni sustav

$\text{UKUPNA CIJENA} = \text{ČVRSTI_DIO_CIJENE} + \text{VARIJABILNI_DIO_CIJENE} \times \text{KOLIČINA}$
--

- ČVRSTI DIO CIJENE
 - programska oprema i oprema za (re)programiranje
 - cijena školovanja za rad na EDA
 - cijena sklopovske i programske opreme
 - cijena dizajna
 - NRE (Nonrecurring-engineering) – cijena isporučitelja za posao izrade maski, ispitivanja i sl.
- Primjer čvrstog dijela cijene:
 - FPGA ≈ 21 800 \$
 - MPGA ≈ 86 000 \$
 - CBIC ≈ 148 000 \$
- Varijabilni dio cijene:
 - Cijena wafera ≈ 1,400 \$
 - Oblikovanje ≈ 10,000 \$
 - Die cost ≈ 25,00 \$
 - Profit ≈ 0,80 \$
 - ltd...

Najjednostavniji PLD → **PAL (Programmable Array Logic)** – programirljiva AND ravnina kojoj slijedi „čvrsta“ OR ravnina
– izlazi iz OR ravnine mogu biti izvedeni (opcija) s bistabilnim elementima

Prilagodljiva inačica PAL-a → **PLA (Programmable Logic Array)** – programirljiva i AND i OR ravnina



Najopćenitija vrsta programirljivih sklopova (uređaja):

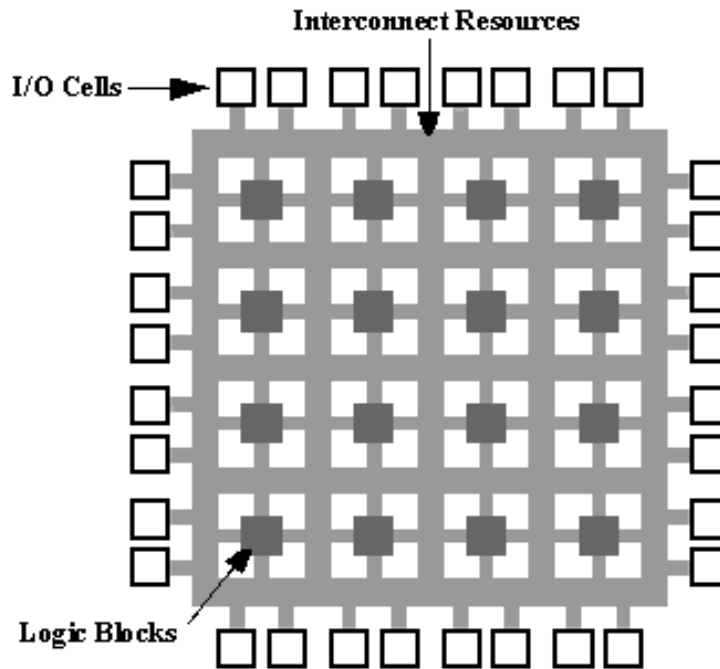
- „neopredijeljeni“ logički elementi koji se mogu povezivati u skladu sa specifikacijom korisnika

MPGA (Mask – Programmable Gate Array)

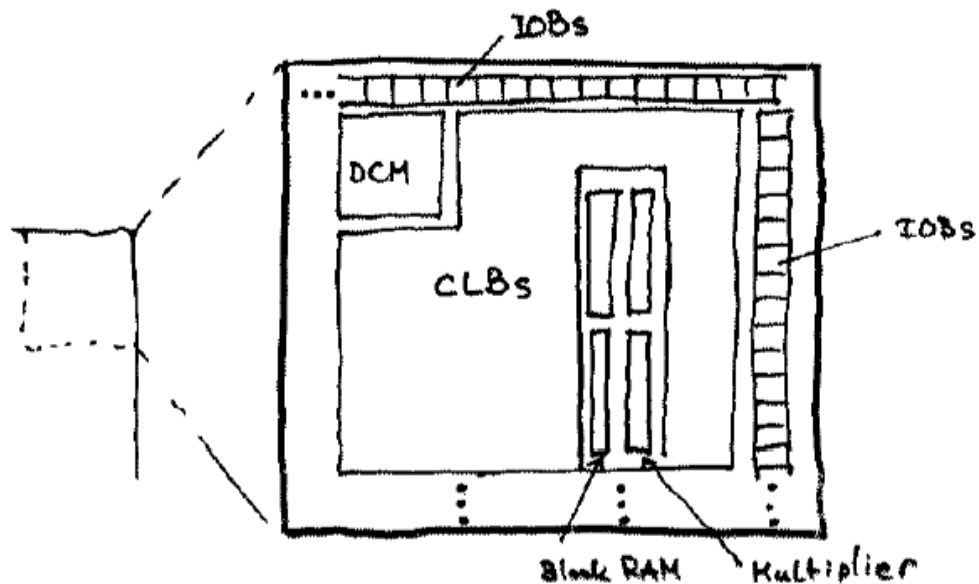
- ima veliku NRE (Non – Recurring Engineering) cijenu
- isplativiji uređaji za > 1000 čipova

FPGA (Field – Programmable Gate Array)

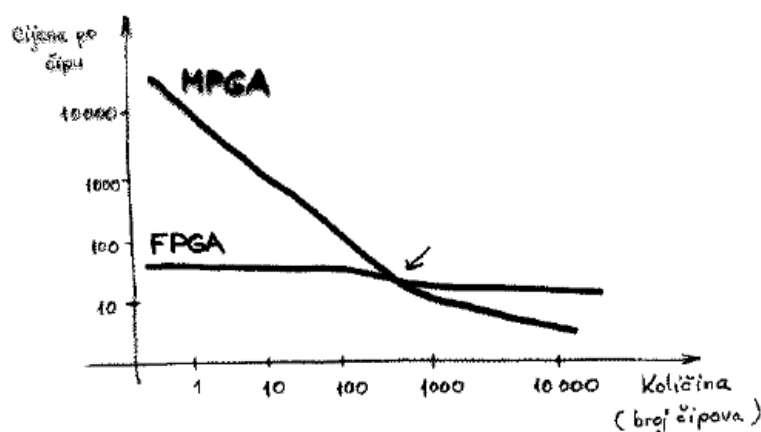
- kombinacija programirljivosti PLD-a i programirljive prosojne mreže MPGA
- tvrtka Xilinx (San Jose, CA) 1986.g
- sve je programirljivo (U/I ćelije, logički blokovi, prosojna mreža)



- primjer Xilinx Spartan-3E ≈ 10 \$
 - XC3S1600E - 90nm tehnologija
 - Polje CLB - $76 \times 58 = 3688$ CLB (CLB – Configurable Logic Blocks)
 - IOB - 376 (IOB – Input/Output Blocks)
 - Block RAM – 648 K bita
 - Dedicated Multipliers - 36 (2 18-bitna broja)
 - DCM blokovi (Digital Clock Manager)

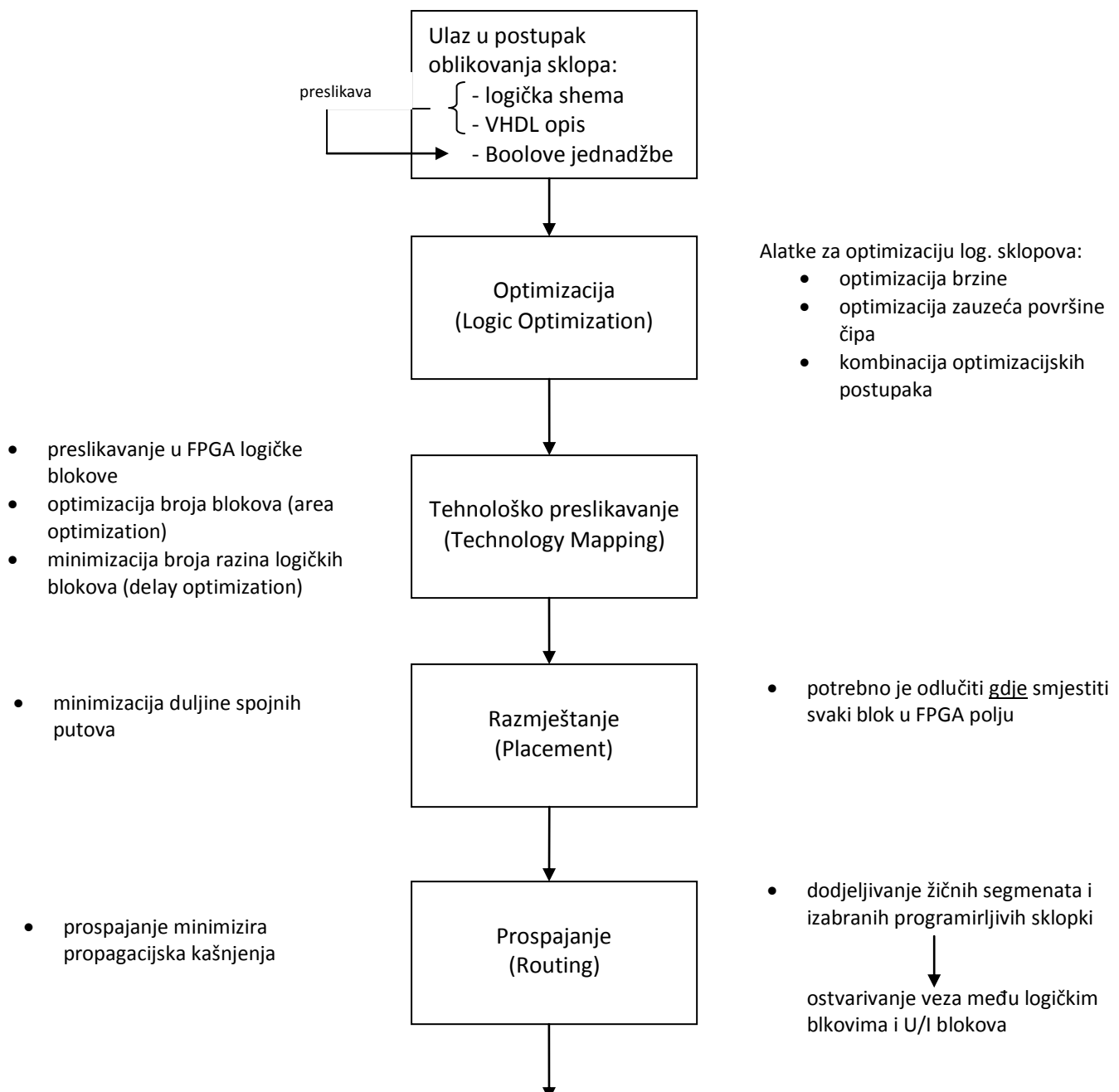


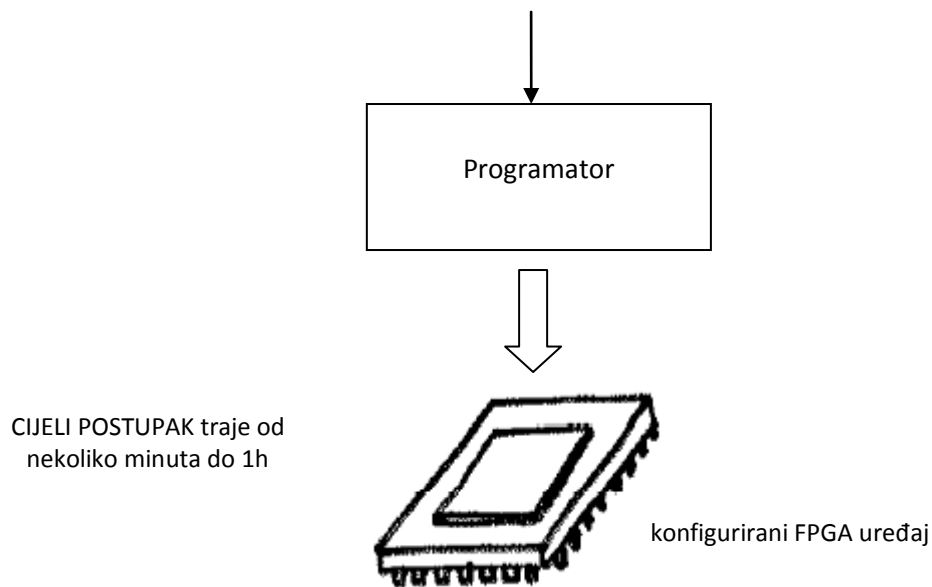
- tvrtke: Actel, Altera, Plessey, Plus, AMD (Advanced Micro Devices), Quicklogic, Algotronix, Concurrent Logic, Crosspoint Solutions itd...
- struktura FPGA:
 - dvodimenzionalno polje logičkih blokova (LB)
 - najjednostavniji: 2 – ulazni NAND
 - složeniji : multipleksor ili lookup tablice
PAL – like struktura
 - imaju i bistabilne elemente (lakša izvedba sekvencijalnih sklopova)
 - programirljiva prospojna mreža – žični segmenti različitih duljina + programirljive sklopke (povezuju LB sa žičnim segmentima i žične segmente)
 - struktura + sadržaj prospojne mreže = arhitektura prospojne mreže (routing architecture)
 - načini izvedbe programirljivih sklopki :
 - tranzistor upravljiv sa statičkom ćelijom RAM
 - antiosigurač (anti - fuse)
 - EPROM tranzistor
 - EEPROM tranzistor
 - programirljive U/I ćelije
→ LB-ovi spojeni programirljivom prospojnom mrežom koja spaja U/I ćelije
- programirljivi elementi moraju zadovoljavati slijedeće uvjete:
 - zauzimati što je moguće manju površinu na čipu
 - mali otpor u stanju ON i veliki otpor u stanju OFF
 - malu vrijednost parazitivne kapacitivnosti
 - mogućnost izvedbe velikog broja (> 100 000) elemenata
- odnos FPGA i MPGA ASIC
 - nedostaci FPGA u odnosu na MPGA
 - manja brzina; sporije za faktor ~3
 - manja gustoća logičkih sklopova; FPGA su za 8/12 puta manje gustoće
 - 2000 vrata MPGA i 2000 vrata FPGA → isti IC postupak
 - MPGA „overhead cost“ ~ 20 000 \$, nakon toga 1990.g svaki čip ~ 5\$
 - FPGA „overhead cost“ 1990.g ~ 50 \$
 - zanimljivost : 1991.g. FPGA samo 3% ukupnog tržišta za MPGA; ½ svih projekata oblikovanja čipova započinje upotrebom FPGA



- upotreba FPGA
 - ASIC izvedbe (npr. upravljački sklop za 1 Mbit FIFO memorijski modul, IBM PS/2 micro channel interface, controller DRAM with error correction, OCR)
 - izvedba kombinacijskih sklopova (zamjena PAL-a ALI PAL je brži)
 - zamjena čipova SSI
 - razvoj prototipova
 - FPGA-Based Compute Engines sustavi
 - sklopovi za kompresiju podataka (voice compression system)
 - sučelje za digitalnu prijenosnu mrežu (voice, data, video & fax)
 - sustav za satelitsku komunikaciju
 - memorijski upravljački sklop (disc controller)
- postupak implementacije:
 - djelotvorna upotreba FPGA → uvjet → djelotvoran CAD sustav

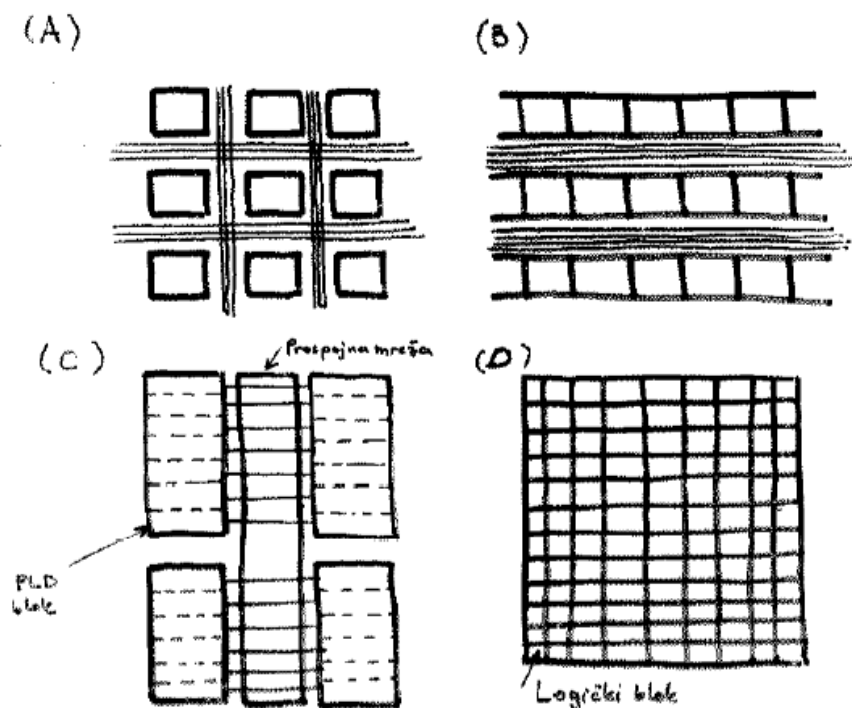
Koraci u tipičnom CAD okruženju tijekom oblikovanja FPGA sklopova (sklopova temeljenih na FPGA)





– **komercijalno raspoloživi FPGA**

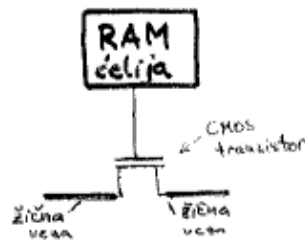
- podjela
 - A. simetrična polja
 - B. FPGA retkovna polja
 - C. hijerarhijski PLD
 - D. more vrata (neg. sea-of.gates)



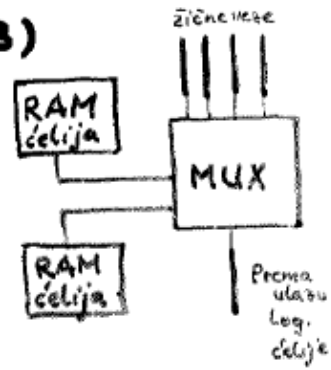
– **programirljiva sklopka**

- tri glavne izvedbe sklopki:
 1. **statičke ćelije RAM** kao osnova za programirljivu sklopku
 - čipovi tvrtke : Xilinx, Plessey, Concurrent Logic, Algotronix
 - programirljiva veza se ostvaruje upotrebom
 - A. (prolaznog) tranzistora
 - B. multiplekserom
 - C. vratima

(A)



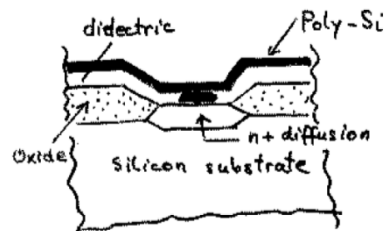
(B)



- medij za trajno pohranjivanje bitova za RAM (ROM ili disk)
- pristup ćelijama RAM
 - serijski pristup
 - svaka ćelija adresirljiva
- **nedostatak:** najmanje 5 tranzistora za izvedbu ćelije SRAM
- **prednost:** FPGA se mogu rekonfigurirati vrlo brzo (na tiskanoj pločici – *in-circuit*) + proizvode se upotrebom CMOS tehnologije

2. antiosigurač kao osnova programirljive sklopke

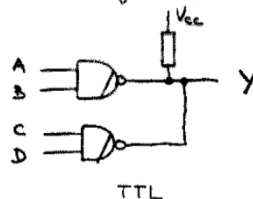
- antiosigurač (eng. *anti-fuse*) – normalno se nalazi u stanju velike impedancije ali programiranjem prelazi u stanje male impedancije
- programiranje → upotrebom visokog napona (npr. 18V / 5mA)
- čipovi tvrtke Actel – programirljiva sklopka PLICE



Struja (18V / 5mA) zagrije dielektrik, istopi ga i ostvari vezu između Poly – Si i n+ difuzijskog sloja

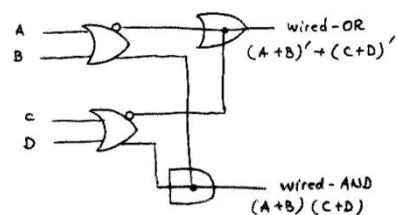
- isprogramirana sklopka ima otpor od 300 – 500 Ω
- PLICE zahtijeva tri posebne dodatne maske u odnosu na normalan CMOS proces
- čipovi tvrtke Quicklogic – programirljiva sklopka Vialink
 - neprogramirana sklopka > 6Ω; isprogramirana sklopka ~ 80Ω
 - prednost: sklopka zauzima manju površinu čipa
 - nedostatak: preinaka proseca CMOS

očičana-I logička funkcija



$$Y = (A \cdot B)' \cdot (C \cdot D)'$$

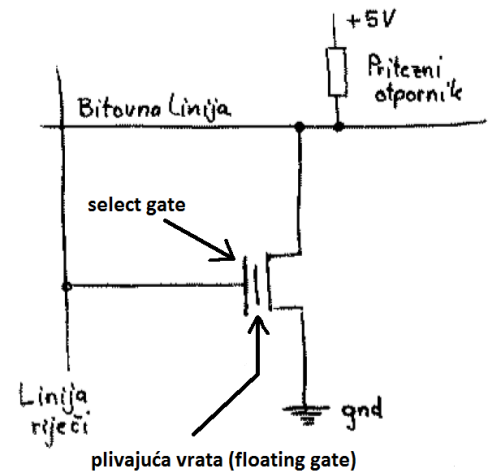
$$= (AB + CD)'$$



ECL (Emitter-Coupled Logic)
< 2 ns

3. EPROM i EEPROM programirljive sklopke

- tvrtke : Altera Corp., Plus Logic
- EPROM tranzistor temelj sklopke
- u neprogramiranom stanju nema naboja na plivajućim vratima i tranzistor može preklopiti u ON na normalan način upotrebom vrata za izbor
- ako je tranzistor programiran većom strujom koja teče između izvora i ponora
→ naboj je uhvaćen u „zamku“ na plivajućim vratima (TAJ NABOJ PERMANENTNO PREKLAPA TRANZISTOR U OFF)
- reprogramiranje – brisanje ultraljubičastim svjetlom – programiranje
- EPROM tranzistor i kao „pull-down“ sklop → wired – AND logički sklop



- pregled značajki programirljivih sklopki

Programirljiva sklopka	Izbrisivost	Re-programiranje	Površina čipa	Otpor u Ω
ćelija statičkog RAM-a	!! da !!	in-circuit	velika	1 – 2
PLICE anti-osigurač	ne	ne	mala površina anti-osigurača	300 – 500
ViaLink anti-osigurač	ne	ne	mala površina anti-osigurača	50 – 80
EPROM	ne	out of circuit	mala	2 – 4 K
EEPROM	ne	in-circuit	2 x EPROM	2 – 4 K

- pregled komercijalno raspoloživih FPGA (uređaja) sklopova

Tvrtka	Arhitektura	Tip logičkog bloka	Programirljiva sklopka
Xilinx	Simetrično polje	Lookup tablica	Statički RAM
Actel	Organizacija u retcima	Multipleksor	Antiosigurač
Altera	Hijerarhijska PLD	PLD blok	EPROM
Plessey	More vrata	NAND vrata	Statički RAM
Plus	Hijerarhijska PLD	PLD blok	EPROM
AMD	Hijerarhijska PLD	PLD blok	EEPROM
QuickLogic	Simetrično polje	Multipleksor	Antiosigurač
Algotronix	More vrata	Multipleksor + vrata	Statički RAM
Concurrent	More vrata	Multipleksor + vrata	Statički RAM
Crosspoint	Organizacija u retcima	Tranzistorski parovi + multipleksori	Antiosigurač

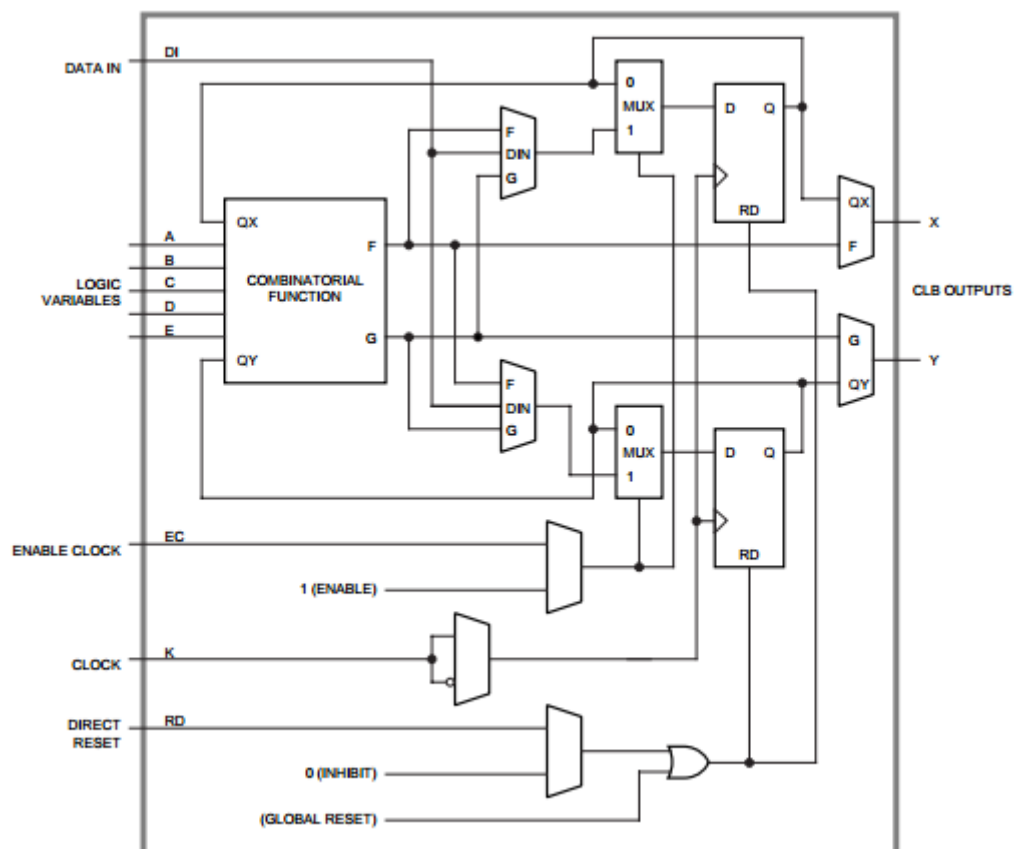
- XC 3000 Logic Cell Array Family

	Logic Capacity (usable gates)	CLB	User I/O s	Pogram data (bits)
XC 3020	2000	64	64	14 779
XC 3030	3000	100	80	22 176
XC 3042	4200	144	96	30 784
XC 3064	6400	224	120	46 064
XC 3090	9000	320	144	64 160

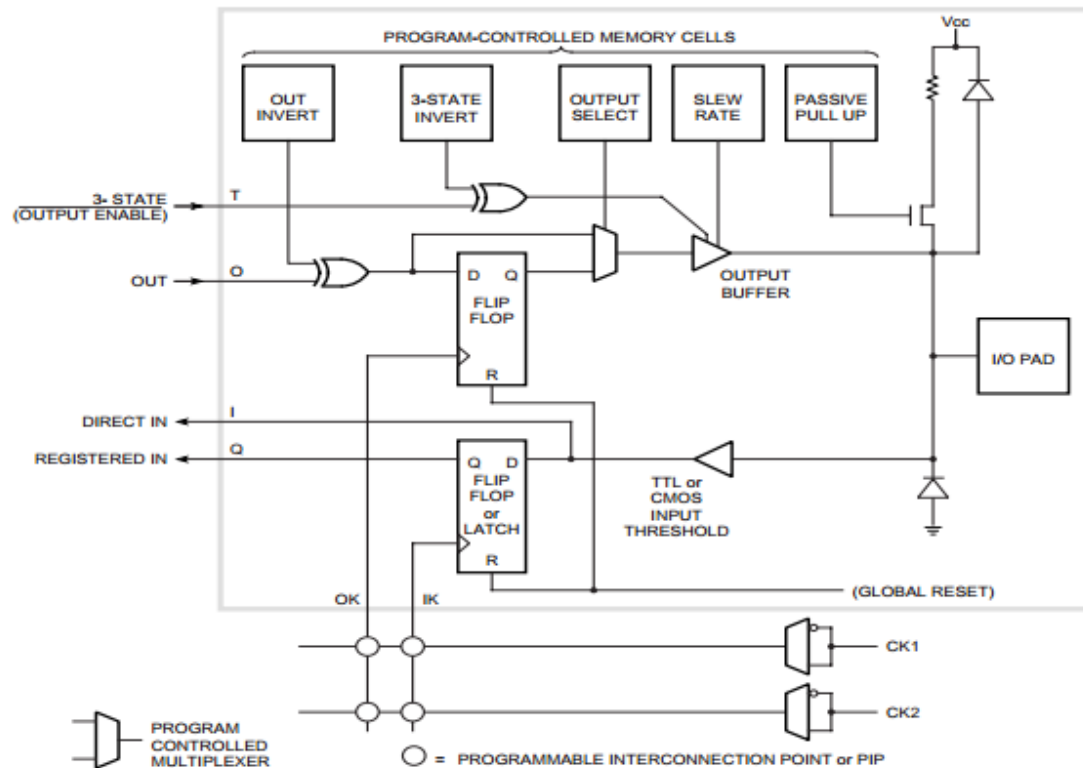
- Programmable Gate Array XILINX

- Logic Cell Array (LCA)
 - matrica logičkih blokova okružena prstenom I/O sučelnih blokova
 - prospojna mreža – kanali između redaka i stupaca logičkih blokova te logičkih blokova i I/O blokova
- CONFIGURABLE LOGIC BLOCK
 - sadrži programirljivu kombinatorijsku logiku i registre
- INPUT / OUTPUT BLOCK
 - svaki blok nezavisno programirljiv kao: ulazni, izlazni, dvosmjerni
 - TTL/CMOS
 - I/O sadrži i bistabile koji se upotrebljavaju kao I/O spremnici (eng. buffer)
- PROGRAMSKO UPRAVLJIVA PROSPOJNA SHEMA

- CLB XILINX XC 3000 (8 x 8 = 64 CLB)

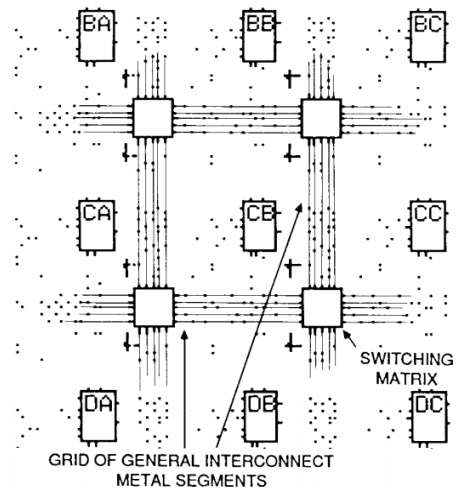


- I/O BLOCK XILINX XC 3000 (64 I/O blocks)
 - o svaki I/O blok ima i izravne ulazne putove i registarske ulazne putove
 - o svaki I/O blok ima programirajući sklop s tri logička stanja kojim se upravlja registarskim ili izravnim izlazom
 - o programirajući tako da su kompatibilni na TTL ili CMOS razini



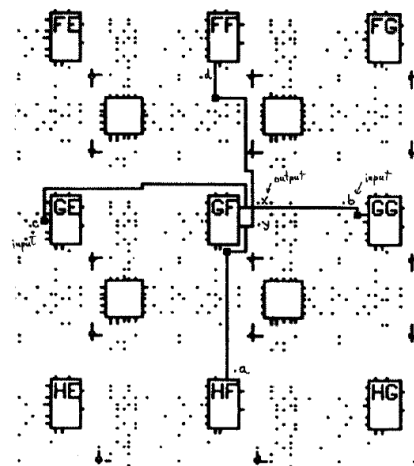
- **VEZE OPĆE NAMJENE (eng. general purpose interconnect)**

- mreža od pet horizontalnih i pet vertikalnih metalnih segmenata koji su smješteni između redaka i stupaca logičkih i I/O blokova
- svaki metalni segment je „visine“ i „širine“ logičkog bloka
- **prospojna matrica** spaja krajeve tih metalnih segmenata i dopušta programiranje veza između mreže metalnih segmenata (spajajući retke i stupce)



- **IZRAVNE VEZE (eng. direct interconnect)**

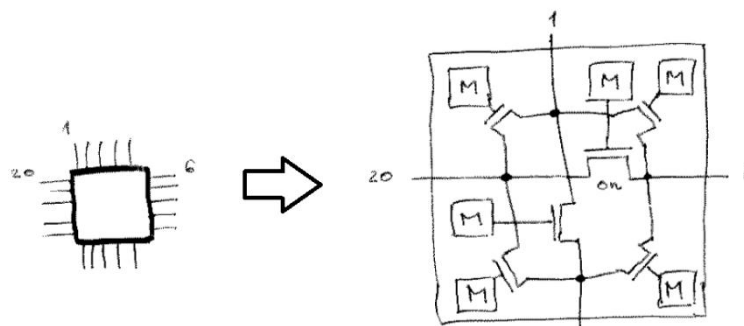
- najdjelotvorniji način za izvedbu mreže između susjednih logičkih ili I/O blokova
- izravne veze „zaobilaze“ prospojne matrice i direktno spajaju susjedne logičke blokove
- za svaki logički blok izlaz označen **.X** može biti izravno spojen na ulaz **.b** logičkog bloka koji je njemu neposredno lijevo
- slično je i sa logičkim blokovima iznad i ispod logičkog bloka



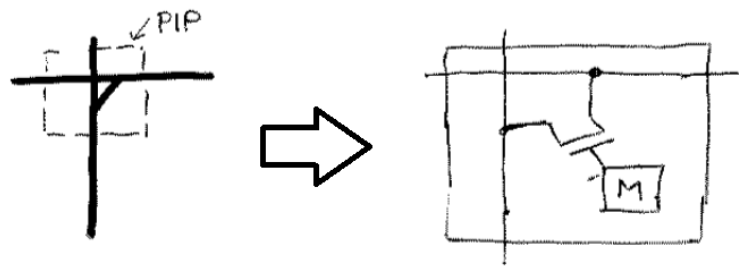
- **DUGE VEZE (eng. long lines)**

- duge linije „zaobilaze“ prospojne matrice i namijenjene su za signale koji moraju „putovati“ na većim udaljenostima (npr. između tri ili više logičkih blokova) uz minimalna izobličenja i kašnjenja
- duge se linije protežu vertikalno i horizontalno u prospojnom području
- stupac ima tri vertikalne duge linije
- redak ima dvije horizontalne duge linije
- uz pomoć međuspremnika s tri stanja (koji se u paru nalaze uz svaki logički blok) horizontalne duge linije mogu se oblikovati u internu sabirničku strukturu

- **PROSPOJNA MATRICA (eng. switching matrix)**

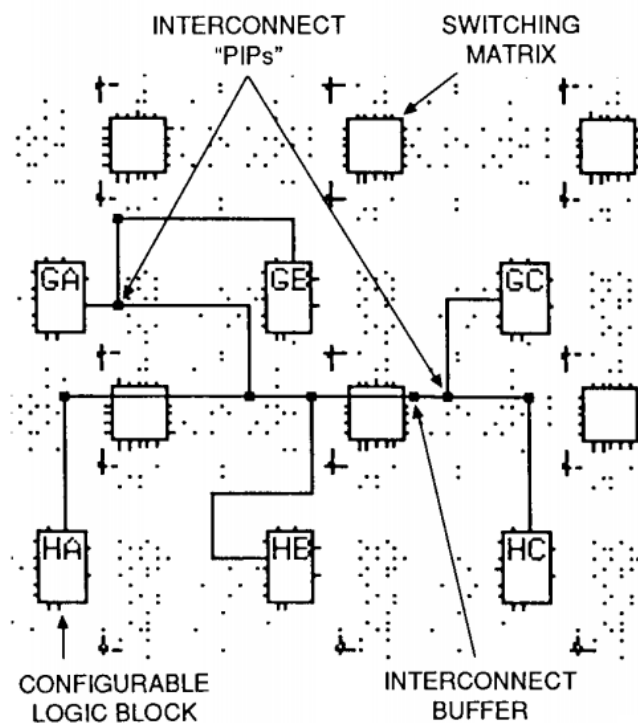
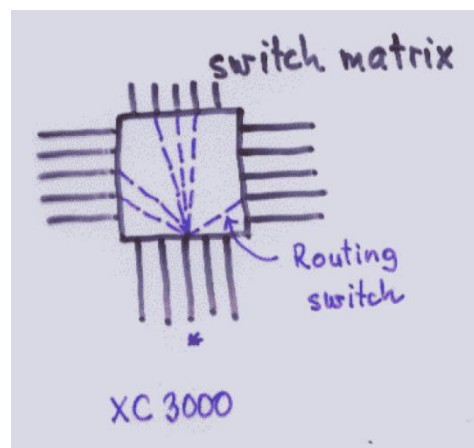
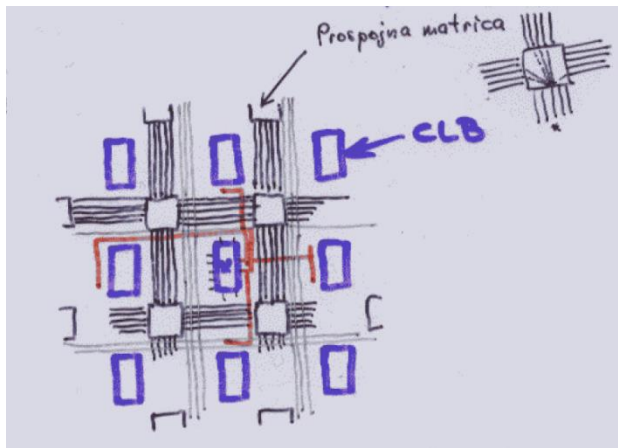


- **PIPs (Programmable Interconnection Points)**
 - povezuju CLB ulaze i izlaze s mrežom



PROSPOJNA MREŽA XILINX XC 3000

- veze opće namjene za veze koje premošćuju više od 1 CLB-a
- izravne veze – četiri susjedna CLB-a
- duge linije za povezivanje nekoliko CLB-a bez izobličenja signala



XILINX XC 4000

- dvije lookup tablice
 - Single – length lines
 - Double– length lines
- } Direct & General Purpose
- sadrži više od 2 puta žičnih segmenata nego XC 3000

XILINX LCA (Logic Cell Array) – CLB (Configurable Logic Block)

- XC 3000
 - 32-bitna tablika pretraživanja (LUT)
 - 32-bitni SRAM
- XC 4000
 - dva 4 – ulazna LUT-a
 - jedan 3 – ulazni LUT
- XC 5200
 - CLB sličan XC 2000/3000/4000