

4.4 VME sabirnica (standard IEEE P1014)

Kratak povijesni osvrt:

- osnovna zamisao javlja se sa drugom generacijom mikroprocesora Motorola Microsystems (Phoenix, Arizona)

Exormace - razvojni sustav za mikroračunala na bazi 16-bitnog mikroprocesora MC68000

- sabirnica VERSABUS (1979. god)

Početakom 198. g. John Black, vođa grupe za proizvodnju štampanih pločica - VERSAMODULE

Motorola European Microsystems group (Njemačka): VERSABUS -> Eurocard (M. Loesel)

Motorola nazvala sabirnicu VME

1983. god. IEEE Microprocessor Standards Committee započeo sa standardizacijom VME sabirnica
Standard IEEE P1014 prihvaćen početkom 1985. godine

Osnovne značajke sabirnice VME:

IEEE P1014 može se podijeliti na:

- osam funkcionalnih modula
- četiri sabirnička podsustava

IEEE P1014 ima dvije vrste sabirničkih ciklusa:

- sabirnički ciklus prijenosa podataka
- sabirnički ciklus potvrda prekida

Brzine VME sabirnica:

VME BUS	TIP SAB. CIKLUSA	MAX. BRZINA
IEEE 1014	BLT	40 Mbyte/sek
VME 64	MBLT	80 Mbyte/sek
VME 64x		160 Mbyte sek
VME 320	2eSST	320 - 500+ Mbyte/sek

Sabirnički ciklus prijenosa podataka:

Single cycles: BB(0), DB(E0), D16, D32, MD32

Block transfer: BLT, MBLT, A40BLT

4.4.1 FUNKCIONALNI MODULI

1. Generator signala vremenskog vođenja

- signal vremenskog vođenja frekvencije 16MHz (SYSCLK*)
- PAŽNJA: svi prijenosi podataka preko sabirnice su NEZAVISNI od signala SYSCLK*!!!
- neki moduli mogu upotrebljavati signal vremenskog vođenja za interno vremensko vođenje (timing)

2. Modul napajanja

- modul daje sustavu signale SYSRST* (signal resetiranja sustava) i signal ispada napajanja (ACFAIL*)

SYSRST* - za resetiranje svih modula koji nisu priključeni na P1014 sabirnicu

- nisko je u postupku uključivanja i 200ms nakon što naponi napajanja (+5V, +12V, -12V) dostignu razinu

ACFAIL* - upotrebljava se kao upozorenje (unaprijed) da se razine napajanja približavaju granicama dopuštenih razina
- mora biti aktiviran najmanje 4ms prije nego li se dostigne kritična razina

3. Vodeći modul za prijenos podataka

- odgovoran za upravljanje svim prijenosima podataka preko P1014 (prijenos između vodećeg uređaja i izabranog pratećeg uređaja)
- PRIJE PRIJENOSA PODATAKA VODEĆI UREĐAJ (MODUL) MORA DOBITI UPRAVLJANJE SABIRNICOM (pomoću MODULA ZA ZAHTIJEVANJE SABIRNICE)
- VODEĆI MODUL: CPU, DMA upravljački sklop ili neki drugi uređaj koji može upravljati sabirnicom

4. Prateći modul za prijenos podataka

- ima sposobnost dekodiranja adresnih linija, linija za adresnu preinaku (address modifier lines), te primjenu odgovarajućih upravljačkih signala koje generira vodeći modul (strobe signals)
- svi prateći moduli mogu davati i/ili prihvaćati podatke
- Prateći moduli: DRAM, ROM, EPROM, EEPROM, memorija s magnetnim mjehurićima, U/I uređaji

5. Modul za zahtijevanje sabirnice

- logika koja ima zadatak da zahtjeva upravljanje SABIRNICOM
- kada dobije upravljanje sabirnicom modul obavještava vodeći modul (onaj koji je zahtijevao sabirnicu) ili modul za rukovanje prekidom
- dva tipa modula za zahtijevanje sabirnice:
 - RWD (release-when-done)
 - npr. DMA upravljački sklopovi ili moduli za rukovanje prekidom (interrupt handlers) drže sabirnicu samo za prijenos jednog podatka ili bloka podataka i onda je oslobađaju
 - ROD (release-on-request)
 - drže sabirnicu sve dok je neki drugi vodeći modul ne zahtjeva (npr. CPU)
- u većini slučajeva modul za zahtijevanje sabirnice pridružen je svakom vodećem modulu i modulu za rukovanje prekidom (odgovoran za ciklus potvrde prekida)

6. Sabirnički arbitar

- sabirnički arbitar posreduje prilikom (višestrukih) zahtjeva za upravljanje sabirnicom
- tri su vrste arbitra:
 - jednorazinski (single-level) - pridružen je isključivo prijenosima najvišeg prava prvenstva
 - arbitar sa čvrstim pravom prvenstva (fixed-priority) - posreduje među četiri razine zahtjeva i prvo pridjeljuje sabirnicu zahtjevu s najvišim pravom prvenstva
 - arbitar s kružnim pravom prvenstva (round-robin)
- SVAKA RAZINA MOĆE IMATI VIŠE PODRAZINA: P1014 upotrebljava PROZIVANJE (engl. daisy chain mehanism) za utvrđivanje uzročnika zahtjeva (u jednoj razini)

7. Modul za generiranje zahtjeva za prekid

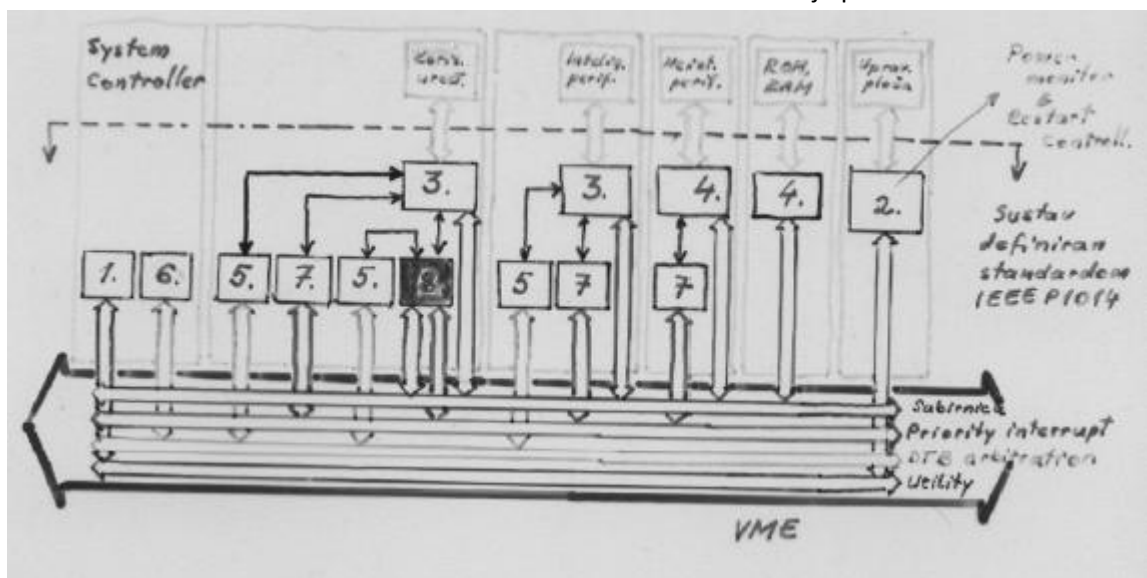
- modul generira zahtjev za prekid na zahtjev lokalnog funkcionalnog modula
- odgovara sa 8-bitnim vektorskim brojem za vrijeme sabirničkog ciklusa potvrde prekida

- svaki modul za generiranje zahtjeva za prekid može generirati ZAHTEJ u jednom od sedam RAZINA (razina se određuje prospojnim mostićima ili se može dinamički upravljati pomoću programa)
- OVDJE SE PONOVO UPOTREBLJAVA PROZIVANJE ZA PROSLJEĐIVANJE SIGNALA POTVRDE PREKIDA (u sabirničkom ciklusu potvrde prekida)

8. Modul za rukovanje prekidom

- modul odgovara na zahtjev za prekid tako da prvo dobiva upravljanje sabirnicom preko modula za zahtijevanje sabirnice
- kada modul za rukovanje dobije dozvolu za upotrebu sabirnice započinje sabirnički ciklus potvrde prekida postavljanjem signala IACK* i 3-bitnog koda na adresnu sabirnicu (pokazuje razinu potvrde prekida)
- nakon toga čeka 8-bitni vektor (postavlja se na sabirnicu) i kojem slijedi aktiviranje linije DTACK* (data transfer acknowledge)

- | | |
|-----------------------------------------|--------------------------------------------|
| 1. Generator signala vremenskog vođenja | 5. Modul za zahtijevanje sabirnice |
| 2. Modul napajanja | 6. Sabirnički arbitar |
| 3. Vodeći modul | 7. Modul za generiranje zahtjeva za prekid |
| 4. Prateći modul | 8. Modul za rukovanje prekidom |



4.4.2. ČETIRI SABIRNIČKA PODSUSTAVA VME

P1014 može se podijeliti na četiri podsabirnice:

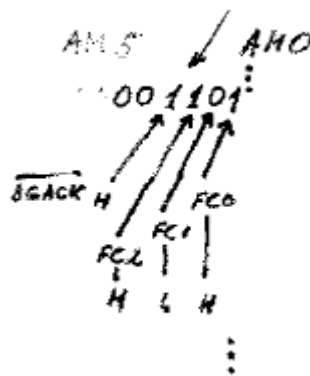
- sabirnica za prijenos podataka (data transfer bus)
- sabirnica za arbitražu (posredovanje) (arbitration bus)
- prekidna sabirnica (interrupt bus)
- utility sabirnica

Sabirnica za prijenos podataka

- sabirnica podataka (D00 - D31)
- adresna sabirnica (A01 - A31)
- linije za adresnu preinaku (AM0 - AM5)
- R/W (WRITE*) linija

-
- Signal BERR*:**
- 1. uređaj (protetki) ne odgovara na predviđenu vremenu
 - 2. greška u prekidu sektora
 - 3. neovlašten pristup memoriji
 - ostale greške (aplikacione barijere)
- Vodjeći modul (CPU ili DMA upravljački sloj)**
- Protetki uređaj (memorija ili U/I)**
- VME sabirnica**
- H. Primjer povezivanja**

- | Kod (hexa) | Funkcija |
|------------|-----------------------------------------------------------------|
| 00 - 08 | } Rezervirano za buduću primjenu |
| 20 - 28 | |
| 2E - 38 | |
| 3C | |
| 04 | Prošireni (A01-A31) neprivilegirani pristup podacima |
| 0A | Prošireni (A01-A31) neprivilegirani pristup programu |
| 0D | Prošireni (A01-A31) neprivilegirani pristup nadglednim podacima |
| ... | ... |

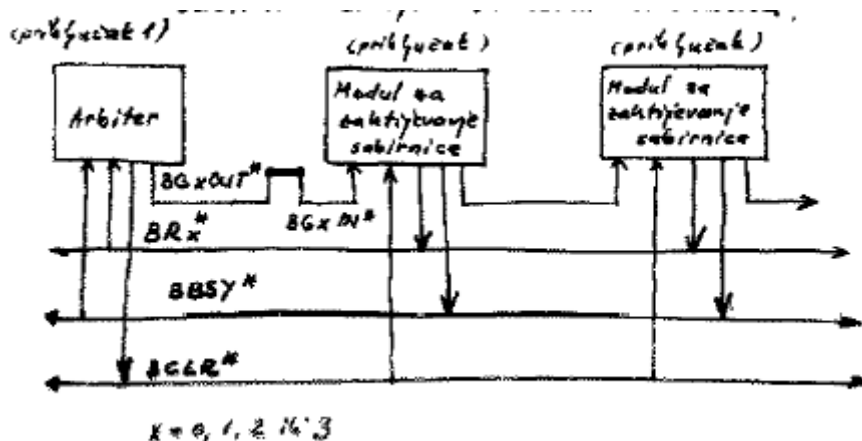


PAŽNJA!!

SVI PRIJENOSI PODATAKA SU ASINKRONI UPOTREBOM NEMULTIPLESIRANIH ADRESNIH SABIRNICA I SABIRNICA PODATAKA

Sabirnica za arbitražu

- upotrebljavaju se linije za zahtijevanje sabirnice (4)
- sabirnica se sastoji od:
 - bus request (BR0* - BR3*) - linije za zahtijevanje sabirnice
 - bus grant out (BG0OUT* - BG3OUT*)
 - bus grant in (BG0IN* - BG3IN*)
 - bus busy (BBSY*)
 - bus clear (BCLR*)
- BGXOUT* i BGXIN* omogućuju povezivanje (daisy chain) na svakoj od četiri razine i upotrebljavaju se za signaliziranje DODJELE SABIRNICE aktivnom modulu za zahtijevanje sabirnice
- BBSY* - označava da je modul dobio upravljanje sabirnicom
- BCLR* - ovaj signal aktivira arbitar uvijek kada modul za zahtijevanje sabirnice s najvećim prioritetom zahtjeva sabirnicu
- vodeći moduli mogu biti oblikovani tako da oslobađaju sabirnicu u nekoj odgovarajućoj ispitnoj točki (kada se aktivira signal zahtjeva) - time se osigurava dodjela sabirnice drugim vodećim modulima



VRSTE ARBITRAŽE

- sustav za arbitražu mora detektirati zahtjeve za sabirnicom i dodijeliti sabirnicu
- KRITERIJ:
 1. prioritetni
 - dodjeljuje sabirnicu u skladu sa čvrstom prioritetnom shemom - svaka od četiri linije za zahtijevanje sabirnice ima PRIORITET OD NAJVIŠE (BR3*) DO NAJNIŽE RAZINE (BR0*)

2. round - robin

- dodjeljivanje sabirnice na principu kružnog prioriteta: kada je sabirnica dodijeljena REQUESTER-u na liniji "BR(n)" TADA najviši prioritet za slijedeću dodjelu ima zahtjev na liniji "BR(n-1)"

3. single level

- prihvaća se samo zahtjev na BR3*

RULE 3.1

IF a VME bus board does not generate bus requests on some bus request level,

THEN it **MUST** propagate the daisy-chain signals for those levels from its BGxIN* lines to its respective BGxOUT* lines

RULE 3.2

IF a VME bus backplane slot is not occupied by a board and if there are boards farther down the daisy chain

THEN jumpers **MUST** be installed at the empty slot to pass through the daisy-chain signal.

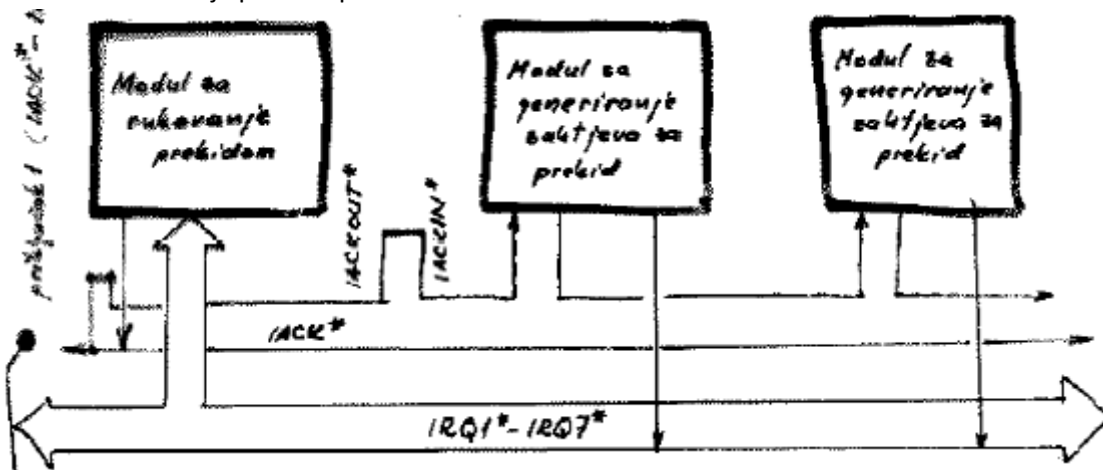
RULE 3.3

The ARBITER **MUST** always be located in slot 1.

Prekidna sabirnica

- signalne linije koje se upotrebljavaju za generiranje prekida u sabirničkom sustavu

- linije zahtjeva za prekid (IRQ1* - IRQ7*)
- linija potvrde prekida IACK*
- ulazna linija potvrde prekida IACKIN*
- izlazna linija potvrde prekida IACKOUT*



- single handler system

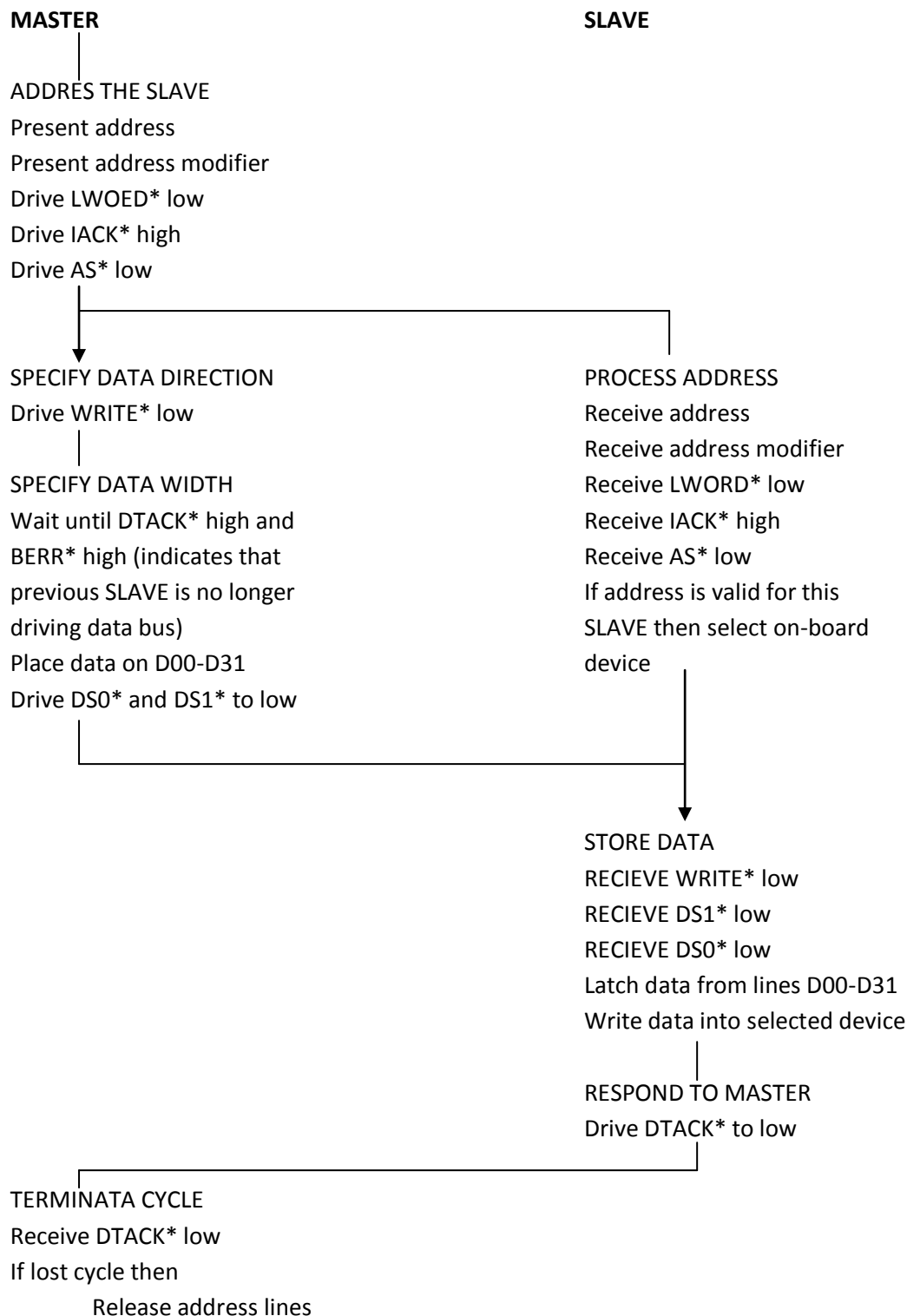
- distributed system

Utility sabirnica

- signal vremenskog vođenja 16MHz (SYSClk*)
- reset (SYSRST*)
- ispad sustava (SYSFAIL*)

- ispad AC napajanja (ACFAIL*)
- +5V
- +12V
- -12V
- rezervno napajanje +5V STDBY

4.4.7. Dijagram toka prijenosa podataka (ciklus pisanja)



```

    Release address modifiers
    Release data lines
    Release LWORD*
    Release IACK*
Endif
Drive DS0* and DS1* to high
Drive AS* to high
├──┬──────────────────────────────────────────────────────────────────────────────────┤
│   │                                                                              │
│   ▼                                                                              ▼
END TERMINATION                                ACKNOWLEDGE
If last cycle then                             TERMINATION
    Release DS0* and DS1*                     Receive AS*, DS0* and DS1* high
    Release AS*                               Release DTACK*
Else go to ADDRESS THE SLAVE
Endif

```

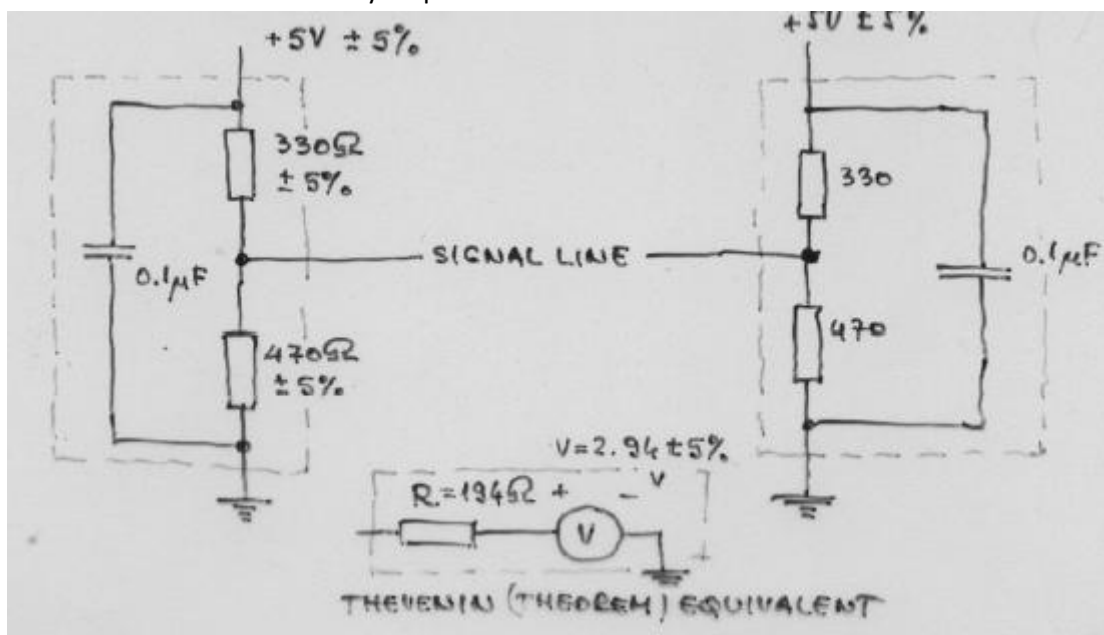
4.4.11. TERMINATION NETWORKS

RULE 6.23: Termination networks **MUST** be used on each end of all VME bus signal lines except the daisy-chain lines.

OBSERVATION 6.10:

The terminations in the VME bus serve four purposes:

- They reduce reflections from the ends of the backplane
- They provide a high state pull-up for open-collector drives
- They restore the signal lines to the high-level when three-state devices are disabled
- They provide a standing current for the driver sink transistor to switch off, causing the signal line to rise more swiftly on positive transitions

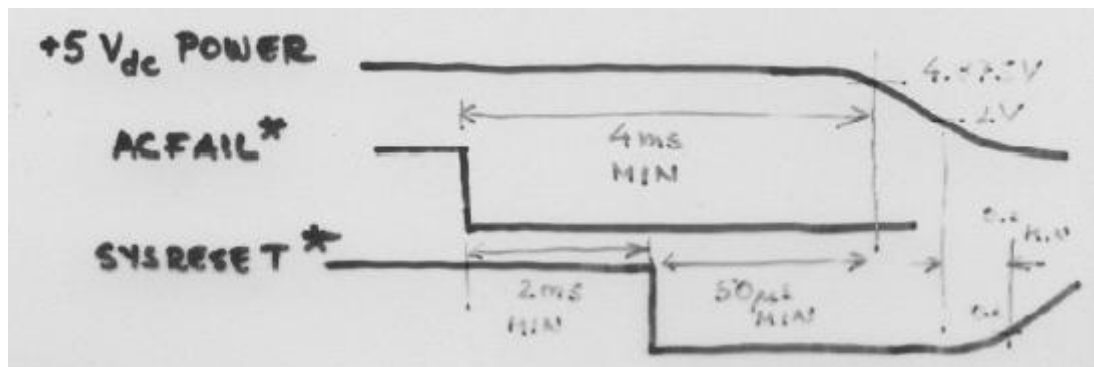
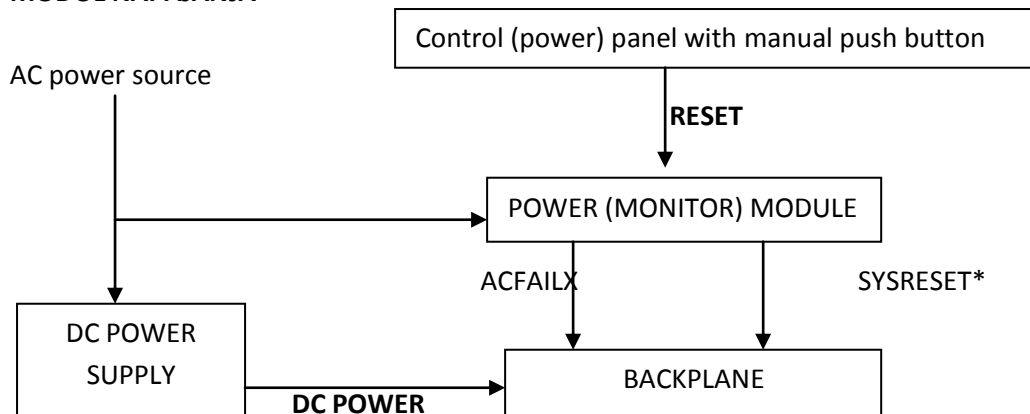


4.4.12. FUNKCIONALNI MODULI SABIRNICE STANDARDA VME

1. GENERATOR SIGNALA VREMENSKOG VOĐENJA

- SYSCLK* / 16MHz
- smješten na upravljaču sustava (system controller) u priključku 1 (board slot 1)
- SCD (Serial clock driver) za potrebe VMS sabirničkih modula

2. MODUL NAPAJANJA



3. VODEĆI MODUL

- primjer upisivanja za dugu riječ (Quad Byte Write Cycle)

MASTER

- postavlja adresu
- postavlja linije za adresnu preinaku
- postavlja LWORD* u nisko
- postavlja IACK* u visoko
- postavlja AS* u nisko

SPECIFICIRA SMJER PODATAKA

- postavlja WRITE* u nisko

SPECIFICIRA ŠIRINU PODATAKA

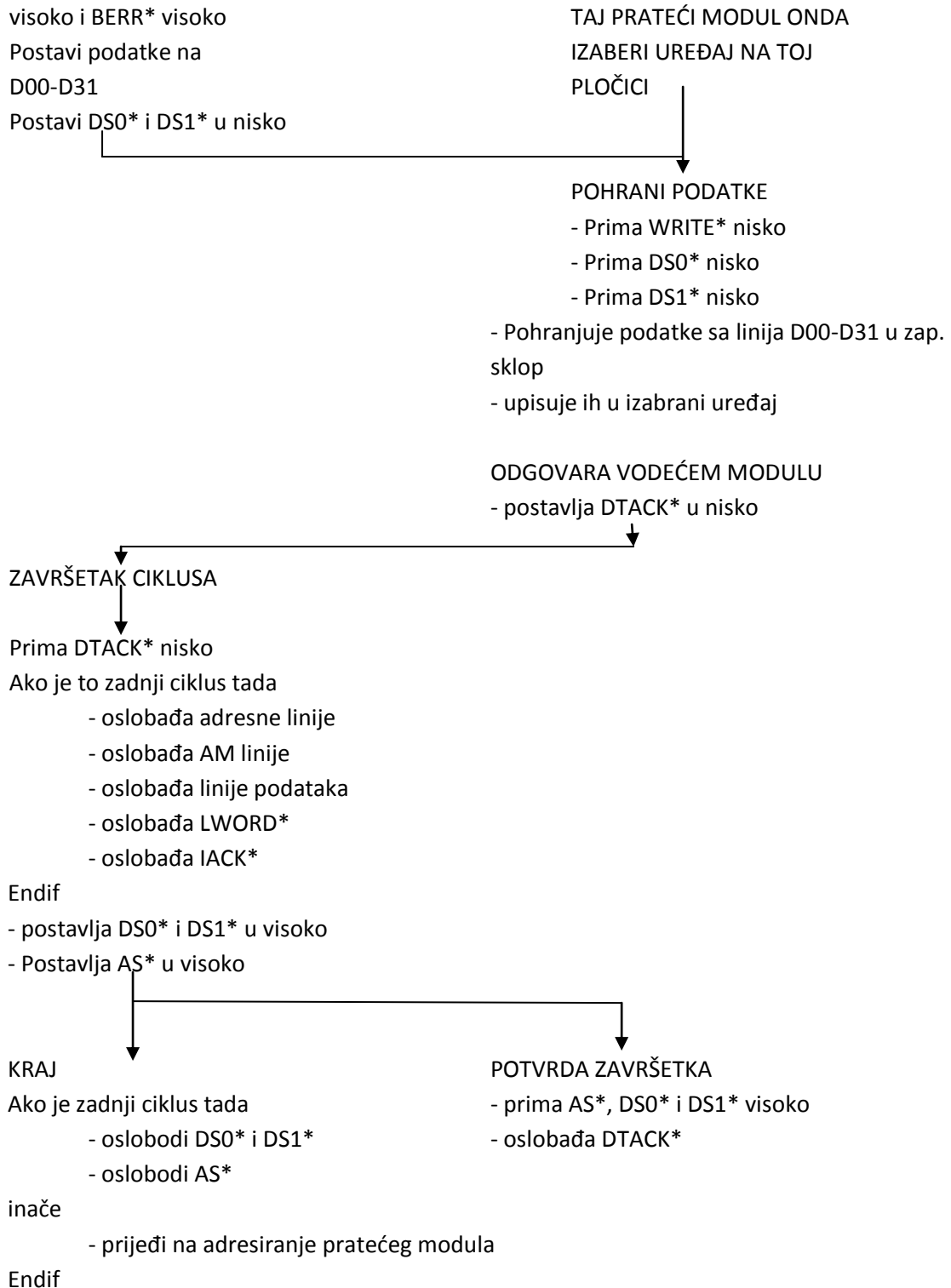
Čekaj sve dok DTAC* nije

SLAVE

OBRAĐUJE ADRESU

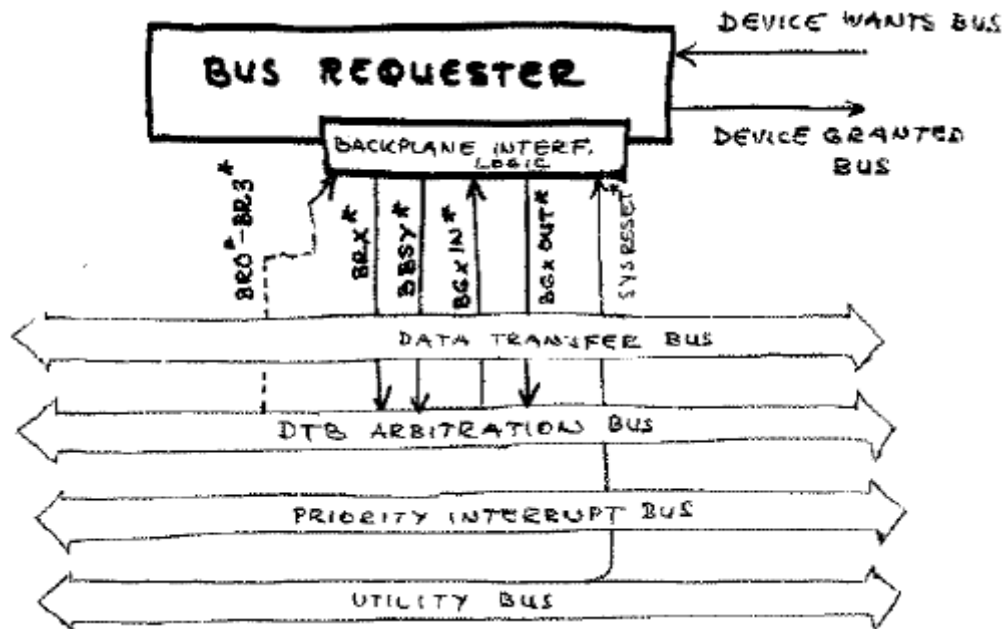
- prima adresu
- prima AM
- prima LWORD nisko
- prima IACK* visoko
- prima AS* nisko

AKO JE ADRESA VALJANA ZA



4. PRATEĆI MODUL

5. MODUL ZA ZAHTJEVANJE SABIRNICE (4.4.13)



- motri DEVICE WANTS BUS liniju svog VODEĆEG MODULA (na tiskanoj pločici) ili MODULA ZA RUKOVANJE PREKIDOM (INTERRUPT HANDLER) I GENERIRA ZAHTJEV ZA SABIRNICOM

- ako detektira nisko na svojoj BGXIN* liniji, i ako on-board MASTER ili INTERR. HANDLER ne traže sabirnicu, TADA prosljeđuje nisku razinu na svom izlazu BGXOUT*

- ako detektira nisku razinu na BGXIN* liniji i ako on-board MASTER ili INTERR. HANDLER trebaju sabirnicu, on će generirati DEVICE GRANTED BUS i POSTAVITI BBSY* U NISKO

- DVA TIPA MODULA ZA ZAHITIJEVANJE SABIRNICE:

- RWD (Release When Done) - oslobađa BBSY* kada je linija DEVICE WANTS BUS on-board MASTER-a ili INTERRUPT HANDLER-a false (neaktivna)
- ROR (Release on Request)
 - ne oslobađa BBSY* kada DEVICE WANTS BUS linija ide u nisko (!)
 - nadgledava četiri BR0*-BR3* linije i oslobađa BBSY* samo ako neki drugi zahtjev "visi"

- izlaz DEVICE WANTS BUS AKTIVAN (true)

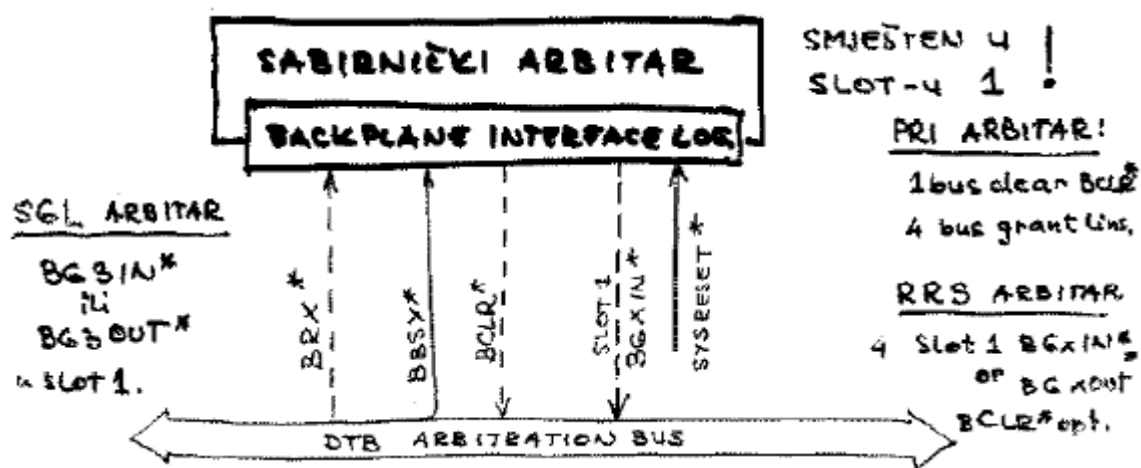
KADA MODUL ZA ZAHITIJEVANJE SABIRNICE PRIMI BUS GRANT (BGXIN*) ONDA:

- a) POSTAVI BBSY* U NISKO
 - b) OSLOBAĐA SVOJ BRX*
 - c) GENERIRA DEVICE GRANTED BUS;
- NJIME OBAVJEŠTAVA on-board MASTER ILI INTERR. HANDLER da može započeti sa sabirničkim ciklusom

6. SABIRNIČKI ARBITAR

- sprječava simultanu upotrebu sabirnice od strane dva i više vodećih modula

- raspoređuje zahtjeve više vodećih modula u cilju optimalne upotrebe sabirnice



- više tiskanih pločica zahtijevaju sabirnicu (simultano!)
- SA detektira te zahtjeve i dodjeljuje sabirnicu jednoj pločici u vremenu
- odluka kome zavisi o algoritmu raspoređivanja (scheduling algorithm)
 - jednorazinski (zahtjevi na BR3*!) (SGL)
 - čvrsti prioriteti BR3* (najviši), BR2*, BR1*, BR0* (najniži)
 - kružni prioritet (round-robin) - KAD JE SABIRNICA DODIJELJENA REQUESTERU NA LINIJI BRn*, TADA NAJVIŠI PRIORITET O SLIJEDEĆOJ DODJELI IMA ZAHTJEV NA LINIJI BR(n-1)*

HEX CODE	ADDRESS MODIFIER 5 4 3 2 1 0	FUNCTION
3F	H H H H H H	Standard Supervisory Block Transfer
3E	H H H H H L	Standard Supervisory Program Access
3D	H H H H L H	Standard Supervisory Data Access
3C	H H H H L L	Reserved
...		
29	H L H L L H	Short Non-Privileged Access
...		
09	L L H L L H	Extended Non-Privileged Data Access
0A
...		
1F	L H H H H H	User defined

TRI KATEGORIJE KODOVA (AM):

- Defined
- Reserved
- User defined

DRUGA PODJELA:

- SHORT ADDRESSING (A01-A15)
- STANDARD ADDRESSING (A02-A23)
- EXTENDED ADDRESSING (A02-A31)

4.4.15. PRIMJERI SPECIFIKACIJE STANDARDNA VME

VME bus BACKPLANE - A printed circuit (PC) board with 96 pin connectors and signal paths that bus the connector pin.

BOARD - A printed circuit (PC) board, its collection of electronic components, and either one or two 96 pin connectors that can be plugged into VME bus backplane connector

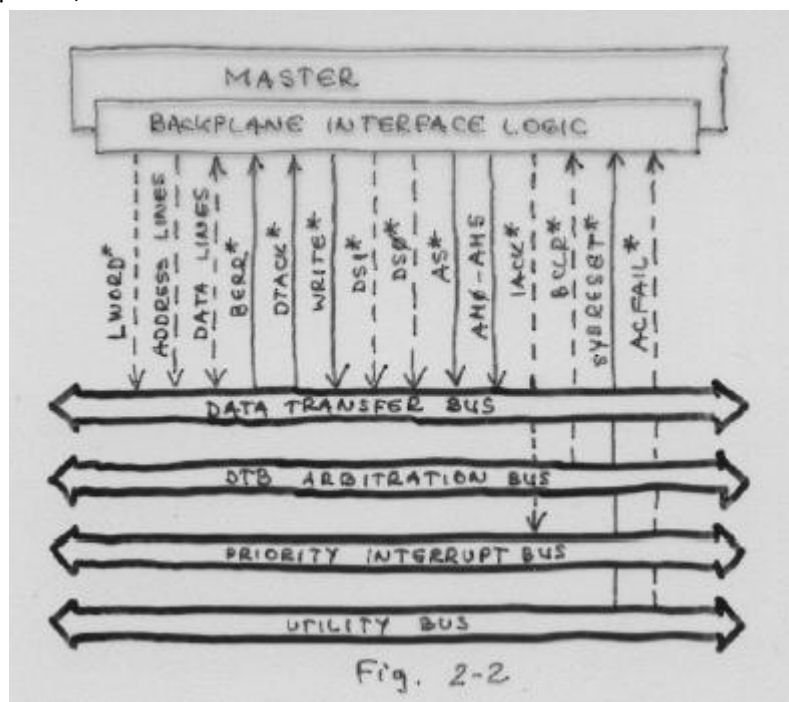
SLOT - A position where a board can be inserted into a VME bus backplane

BACKPLANE INTERFACE LOGIC - special interface logic that takes into account the characteristics of the backplane: its signal line impedance, propagation time, termination values, etc. The VME bus specification prescribes certain rules for the design of this logic based on maximum length of the backplane and its maximum number of slots.

FUNCTIONAL MODULE - A collection of electronic circuitry that resides on one VME bus board and works together to accomplish a task

MASTER - A functional module that initiates DTB cycles in order to transfer data between itself and a SLAVE module

SLAVE - A functional module that detects DTB cycles initiated by a MASTER and, when those cycles specify its participation, transfers data between itself and MASTER



RULE 2.8:

Input signal lines shown with solid lines (Fig 2-2) **MUST** be monitored and responded to in the appropriate fashion.

RULE 2.1:

MASTERS **MUST NOT** generate DTB cycles where the final levels of DS0*, DS1*, A01 and LWORD* are either of the following illegal combinations:

DS1*	DS0*	A01	LWORD*
high	low	high	low
low	high	high	low

RULE 2.7:

Output signal lines shown with solid lines in Fig 2-2 **MUST** be driven by the module, unless it would always drive them high.

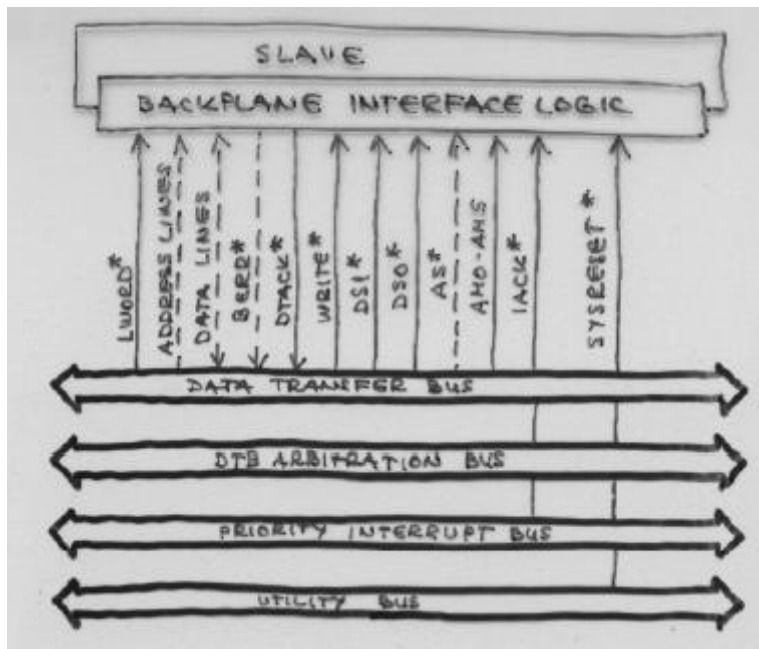
OBSERVATION 2.11:

IF an output signal line is not driven, **THEN** terminators on the backplane ensure that it is high.

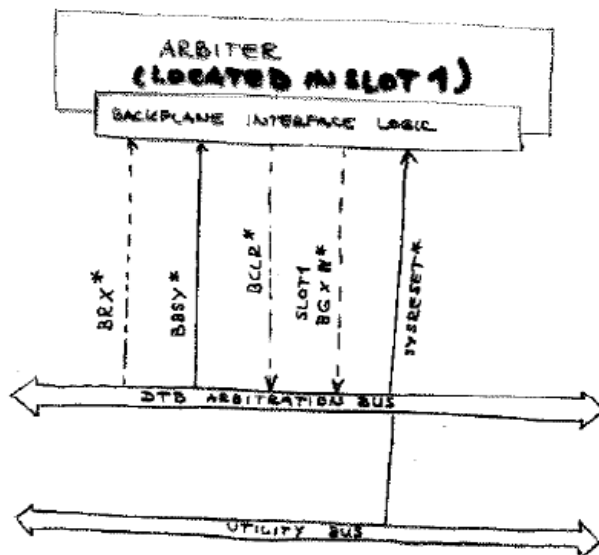
TYPE OF MASTER	USE OF DOTTED LINES
D08 (E0)	MUST drive DS0* and DS1*, but not both low on same data transfer MUST monitor and drive D00-D15 MUST NOT drive IACK* low MAY or MAY NOT drive LWORD* MAY or MAY NOT drive or monitor D16-D31
D15	MUST drive DS0* and DS1* MUST monitor and drive D00-D15 MUST NOT drive IACK* low MAY or MAY NOT drive LWORD* MAY or MAY NOT drive or monitor D16-D31
D32	MUST drive DS0*, DS1* and LWORD* MUST monitor and drive D00-D31 MUST not drive IACK* low
A16	MUST drive A01-A15 MAY or MAY NOT drive A16-A31
A24	MUST drive A01-A23 MAY or MAY NOT drive A24-A31
A32	MUST drive A01-A32
ALL	MAY or MAY NOT monitor BCLR*, or ACFAIL*

Mnemonics that specify addressing capabilities:

- A16 MASTER -> can generate cycles with short (16 bit) addresses
- A24 MASTER -> can generate cycles with standard (24 bit) addresses
- A32 MASTER -> can generate cycles with extended (32 bit) addresses
- D08 (E0) MASTER -> can generate the following cycles:
 - Single byte read cycles:
 - BYTE(0) READ
 - BYTE(1) READ
 - BYTE(2) READ
 - BYTE(3) READ
 - Singly byte write cycles:
 - BYTE(0) WRITE
 - BYTE(1) WRITE
 - BYTE(2) WRITE
 - BYTE(3) WRITE
- D16 MASTER -> can generate the following cycles:
 - Double byte read cycles (BYTE(?))
 - Double byte write cycles (BYTE(2-3))
- D32 MASTER -> can generate the following cycles:
 - Quad byte read cycle: BYTE(0-3) READ
 - Quad byte write cycle: BYTE(0-3) WRITE



TYPE OF SLAVE	USE OF DOTTED LINES
D08 (0)	MUST monitor and drive D00-D07 MAY or MAY NOT monitor \overline{AS}^* MAY or MAY NOT monitor or drive D08-D31
D08(E0)	MUST monitor and drive D00-D15 MAY or MAY NOT monitor \overline{AS}^* MAY or MAY NOT monitor or drive D16-D31
D32	MUST monitor and drive D00 - D31 MAY or MAY NOT monitor \overline{AS}^*
A16	MUST monitor A01-A5 MAY or MAY NOT monitor A16-A31
A24	MUST monitor A01-A23 MAY or MAY NOT monitor A24-A31
A32	MUST monitor A01-A32
ALL	MAY or MAY NOT drive \overline{BERR}^*



4.4.16 VREMENSKI NADGLEDNI SKLOP

BUS TIMER - A functional module that measures how long each data transfer takes on the DTB and terminates the DTB cycle if a transfer takes too long. Without this module, if the MASTER tries to transfer data to or from a non-existent SLAVE location it might wait forever. The BUS TIMER prevents this by terminating the cycle.

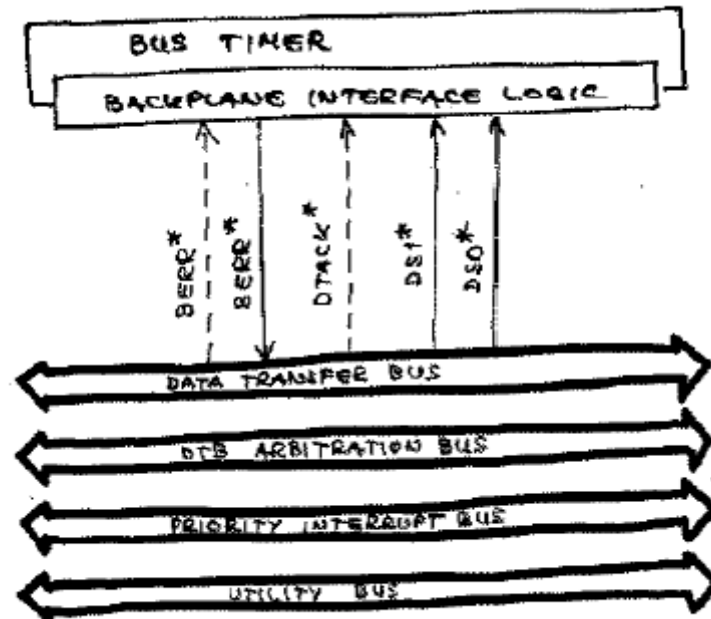


Fig 2-4

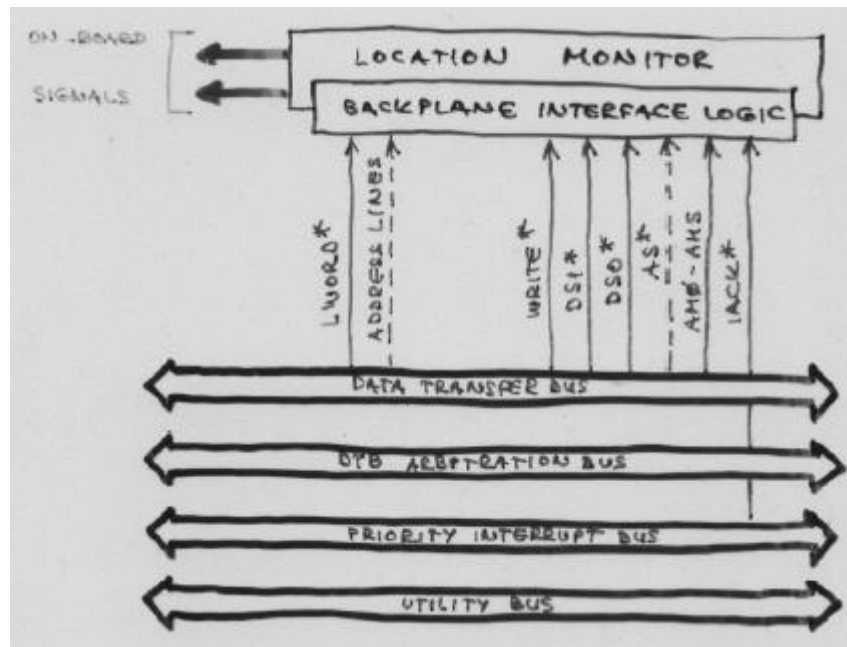
Bus time-out: 2.5 and 160 μ s

The dotted DTACK* and BERR* lines shown in Fig 2-4 allow to implement a BUS TIMER in one of two ways:

- To drive BERR* low when the first data strobe stays low for longer than the bus time-out period, regardless of the levels on the DTACK* and BERR* lines
- To drive BERR* low when the first data strobe stays low for longer than the bus time-out period but only if both DTACK* and BERR* are high at the point of time-out.

4.4.17 LOCATION MONITOR

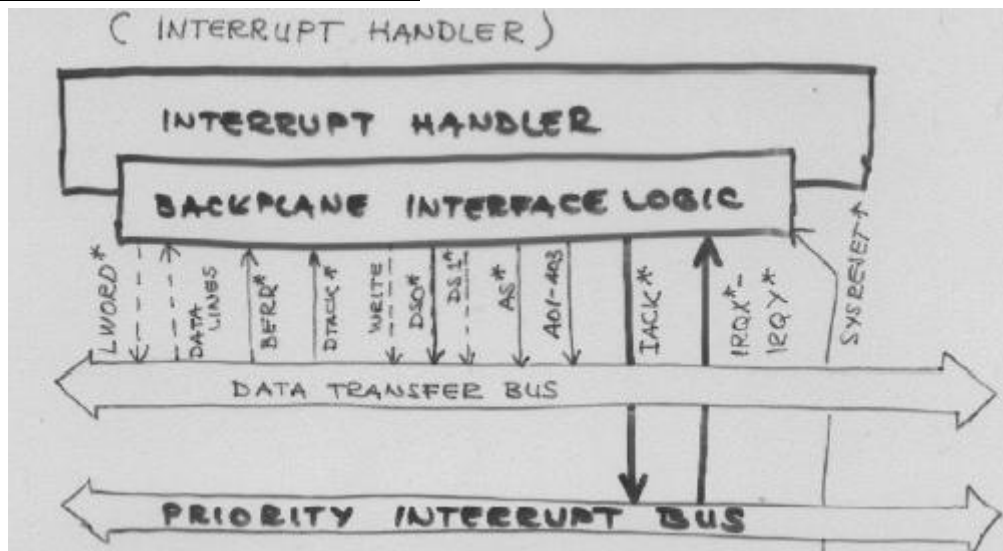
LOCATION MONITOR - A functional module that monitors data transfers over the DTB in order to detect accesses to the location it has assigned to watch. When an access to one of these assigned locations occurs, the LOCATION MONITOR generates an on-board signal.



4.4.18 MODUL ZA GENERIRANJE ZAHTEJEVA ZA PREKID

- upotrebljava jednu od sedam linija za zahtijevanje prekida
- nadgledava tri najmanje značajne linije sabirnice adresa (A01-A03)
- nadgledava IACKIN*/IACKOUT*
- postavlja svoj STATUS/ID na sabirnicu podataka (u postupku potvrde prekida)
- signalizira modulu za rukovanje prekidom (INTERRUPT HANDLER) da je status valjan (generira DTACK*)

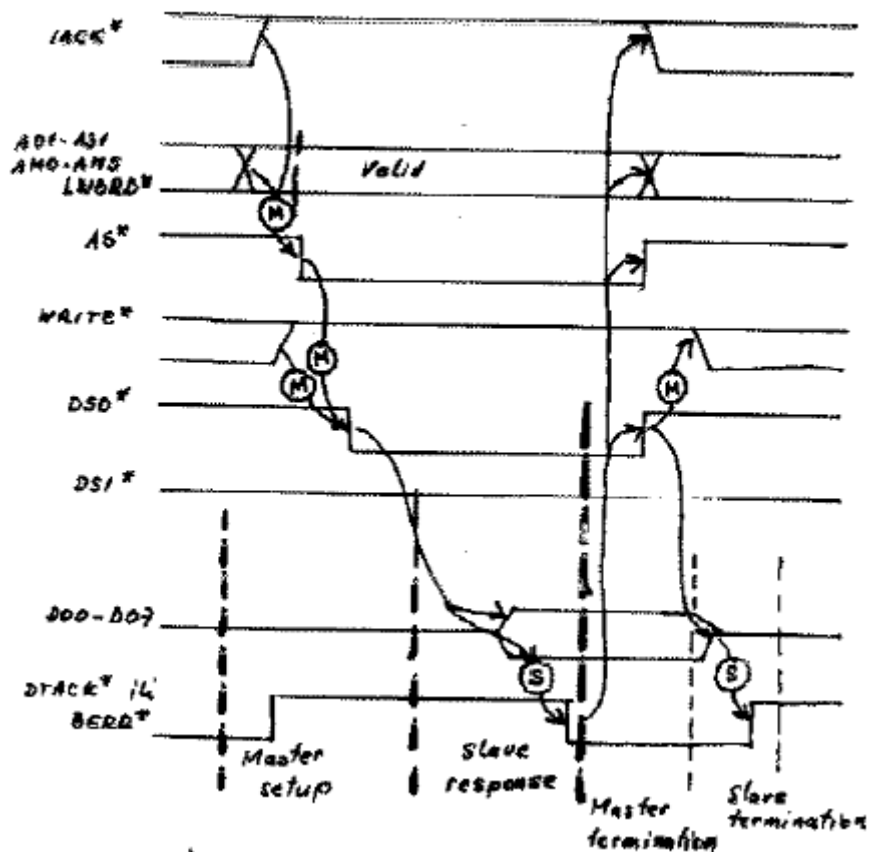
4.4.19 MODUL ZA RUKOVANJE PREKIDOM



INTERRUPT HANDLER ima sličnu ulogu kao MASTER. 4 VAŽNE RAZLIKE.

1. uvijek postavlja IACK* u nisko
2. ne upravlja sa AM0-AM8
3. upotrebljava samo tri adresne linije (A01-A03)
4. nikada ne upravlja tokom podataka

4.4.8 DIJAGRAM STANJA NA SABIRNICI

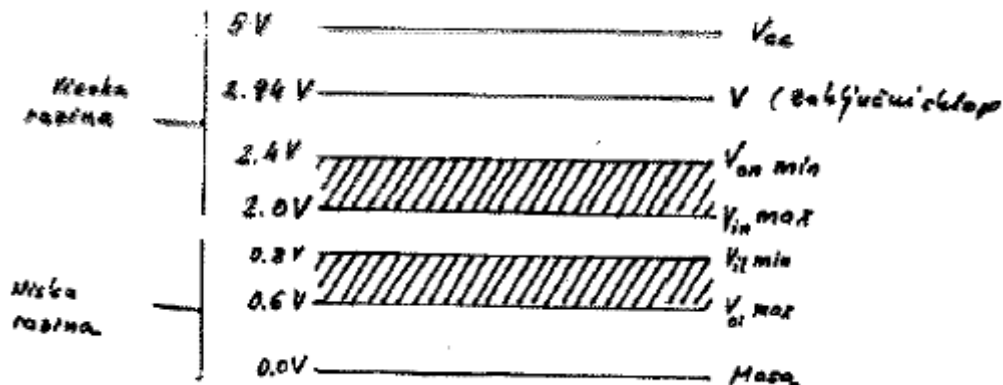


4.4.9. ELEKTRIČNE ZNAČAJKE

- maksimalna duljina signalnih linija 500mm
- maksimalni broj priključaka (pločica): 21
- sve signalne linije imaju zaključne sklopove
- sve signalne linije imaju istu impedanciju
- više od jednog pogonskog sklopa (predajnog/driver) i jednog pogonskog sklopa (prijemnog/receiver) nije dopušteno priključivanje
- kapacitivno opterećenje ne smije preći 20pF

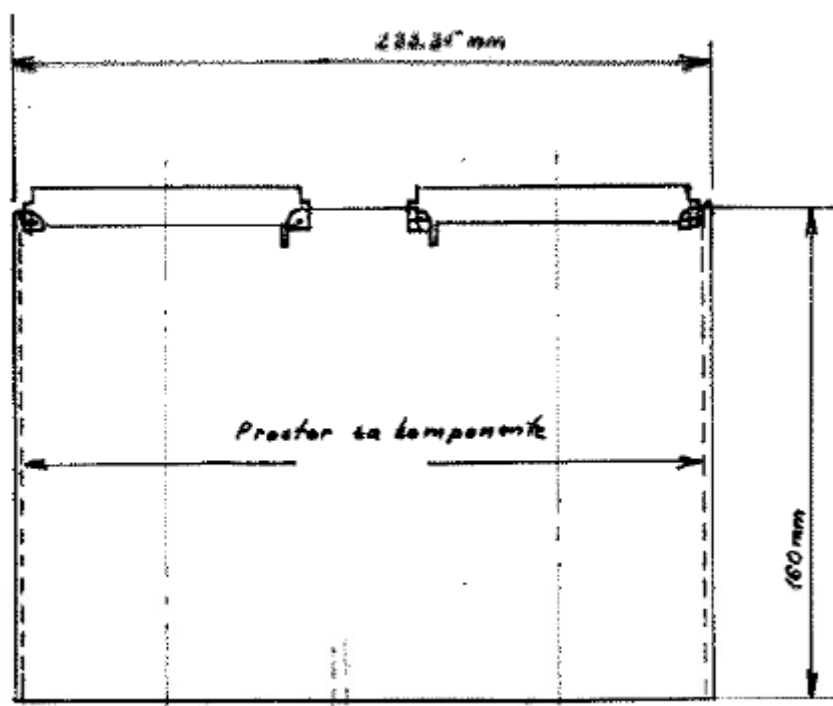
Zaključni sklop (Termination network): pullup otpornik 330Ω, pulldown otpornik 470Ω, aktivni izvor napajanja 2.94V

Razina signala za IEEE P1014:



- pogonski sklopovi (predajni/drivers) - 2.4V i više = "1", 0.6V i niže = "0"
- pogonski sklopovi (prijamni/recievers) - 2V i više "1", 0.8v i niže = "0"
- pogonski sklopovi (predajni) 64mA za signale: AS*; DS0* i DS1*; SYSClk*; BCLE* (HIGH CURRENT DRIVERS!)
- pogonski sklopovi (predajni) 48mA za signale: D00-D31; A01-A31; AM0-AM5; IACK*; LWORD*, BG0OUT*-BG5OUT*; IACKOUT* (STANDARD DRIVERS!)
- pogonski sklopovi sa slobodnim kolektorom: BR0*-BR3*; BBSV*; IRQ*-IRQ7*; DTACK*; BERR*; SYSFAIL*, SYSRESET*; ACFAIL*

Mehaničke značajke:



P1014 definira dvije dimenzije kartica (pločica):

- jednostruka kartica - 3U; 100mm x 160mm
- dvostruka kartica - 6U; 213.35mm x 160mm

P1014 ima 128 linija -> konektorsko polje od 128 priključaka

Standard 96-pun DIN 41612/16C60R-3

DVA KONEKTORA:

- P1: 24 adresne linije; 16 linija podataka; sve upravljačke linije
- P2: proširenje na 32-bitnu adresu i 32-bitne podatke; 64 korisnički definirane linije

SABIRNICA	Nubus	VME	Multibus II	Futurebus
IZVOR	MIT	Motorola Mostek Signetics	Intel	IEEE
VRSTA	multipleksirana	nemultipleksirana	multipleksirana	multipleksirana
ŠIRINA SAB. PODATAKA	32 (8, 16, 32)	32/16 (8, 16, 24)	32 (8, 16, 24)	32 (8, 16, 24)
ADRESNO PODRUČJE	2^{32}	2^{24} (osn) 2^{32}	2^{32}	2^{32}
VRSTA PROTOKOLA	sinkroni (10 MHz)	asinkroni	sinkroni (10 MHz)	asinkroni
BRZINA PRIJENOSA (MBajt/s)	37,5	57 max 24 tipično	40 20 13	117,7