

```
1  module BancodeRegistadores (
2
3  input wire [4:0] ReadRegister1, ReadRegister2, WriteReg,
4  input wire [31:0] WriteData,
5  input wire [3:0] Unit_Control_RegWrite,
6  input clock, WriteEnable,
7  output wire [31:0] ReadDataRD, ReadDataRS, ReadDataRT
8  );
9
10 integer First_clock=1;
11
12 reg [31:0] registers [31:0];
13
14
15 always @(posedge clock)
16 begin
17     if (First_clock == 1)
18         begin
19             // Separo os 2 últimos registradores do banco para iniciá-los com valores padrão
20             registers[31] = 32'b00000000000000000000000001111111; // Último resgistrador do
banco com valor 127 para traço (-) no display
21             registers[30] = 32'b00000000000000000000000001111110; // valor 126 para display
apagado
22             First_clock <= 2;
23         end
24
25         if (WriteEnable)
26             begin
27                 registers[WriteReg] = WriteData; // Se a escrita no registrador estiver permitida
pela UC, o dado será escrito no registrador
28                                     // que de endereço WriteRegRT
29             end
30         end
31
32 assign ReadDataRS = registers[ReadRegister1];
33 assign ReadDataRD = registers[WriteReg]; // O dado que escrevi no registrador do banco
agora deve ser passado para RD
34 assign ReadDataRT = registers[ReadRegister2];
35
36
37 endmodule
38
39
```