

**Systemy komputerowe: architektura i programowanie (SYKT/SYKOM)**

# **Wykład: Urządzenia wejścia/wyjścia**

Aleksander Pruszkowski

Instytut Telekomunikacji Politechniki Warszawskiej

## PLAN WYKŁADY

- Obsługa urządzeń wejścia/wyjścia
- Interfejsy łączące procesor z innymi komponentami

**Obsługa urządzeń wejścia/wyjścia**

## Obsługa urządzeń wejścia/wyjścia

### ■ Urządzenia wejścia/wyjścia

- Procesor x86 widzi je w specjalnej przestrzeni
  - Jej wielkość to 65536 lokacji (pierwotnie tylko 1024)
  - Dostęp do przestrzeni za pomocą instrukcji IN, OUT, INS, OUTS
  - Mapa przestrzeni I/O – wyciąg
    - 0x0000-0x001F/0x00C0-0x00DF
      - podstawowy/drugi sterownik DMA 8237A – dawniej używany był 82237 dziś PCI-DMA
    - 0x0020-0x0021/0x00A0-0x00A1
      - podstawowy/podrzędny kontroler przerwań 8259A
    - 0x0040-0x0047
      - programowalny timer – 8253/8254
    - 0x0060-0x0064
      - sterownik klawiatury – 8042
    - 0x0070-0x0071
      - sterownik RTC i układu zapamiętywania konfiguracji (CMOS)
    - 0x0080-0x008F
      - rejestry stron – wsparcie dla 16bitowego sterownika DMA, zbudowany w oparciu o układ scalony 74612
      - zapewnia możliwość adresowania 20/24bitowego podczas transferu
      - obecnie mechanizm wyparty przez PCI-DMA

## Obsługa urządzeń wejścia/wyjścia

### ■ Urządzenia wejścia/wyjścia

#### ■ Mapa przestrzeni I/O – wyciąg, cd.

##### ■ 0x01F0-0x01F7/0x0170-0x0177

- podstawowy/drugi sterownik dysków zgodnych z standardem ATA

##### ■ 0x0278-0x027A/0x0378-0x037A

- porty drukarkowe LPT2/LPT1

##### ■ 0x02F8-0x02FF/0x03F8-0x03FF

- porty komunikacji szeregowej COM2/COM1, oparte na układzie 8250, obecnie wyparty przez jego unowocześnioną wersję 16450/16550(FIFO)

##### ■ 0x0300-0x0330

- przestrzeń dla testów

##### ■ 0x03B0-0x03DF

- obsługa konfiguracji kart graficznych

## Obsługa urządzeń wejścia/wyjścia

### ■ Urządzenia wejścia/wyjścia 80C51

- Procesory zgodne z 80C51 mają dla I/O specjalną przestrzeń SFR o wielkości 128B

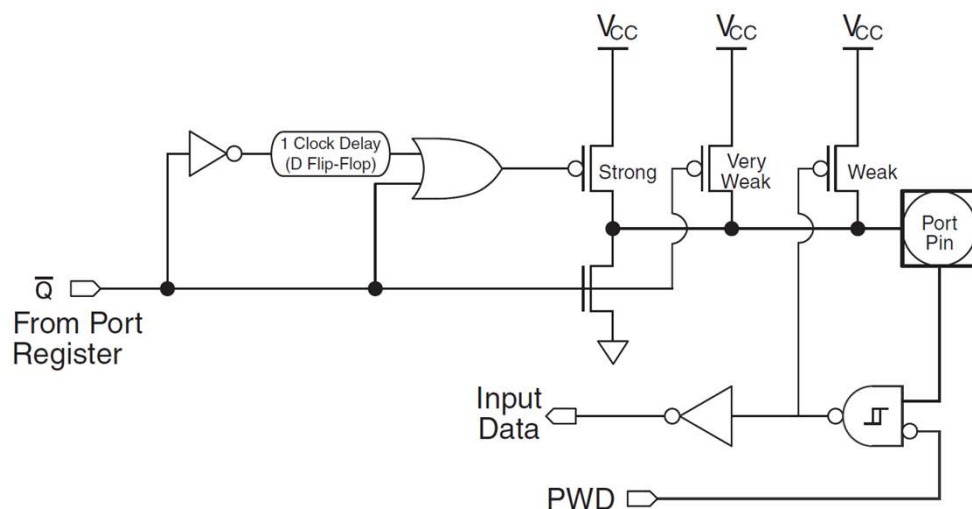
- Część portów dostępna bitowo (o adresach podzielnych przez 8)

	8	9	A	B	C	D	E	F	
0F8H		CH 0000 0000	CCAP0H 0000 0000	CCAP1H 0000 0000	CCAP2H 0000 0000	CCAP3H 0000 0000	CCAP4H 0000 0000		0FFH
0F0H	B 0000 0000		RL0 0000 0000	RL1 0000 0000	RH0 0000 0000	RH1 0000 0000	PAGE 0000 0000	BX 0000 0000	0F7H
0E8H		CL 0000 0000	CCAP0L 0000 0000	CCAP1L 0000 0000	CCAP2L 0000 0000	CCAP3L 0000 0000	CCAP4L 0000 0000	SPX xxxx x000	0EFH
0E0H	ACC 0000 0000	AX 0000 0000	DSPL 0000 0000	FIRD 0000 0000	MACL 0000 0000	MACH 0000 0000	P0M0 <sup>(2)</sup> 0000 0000	P0M1 0000 0000	0E7H
0D8H	CCON 00x0 0000	CMOD 00xx x000	CCAPM0 x000 0000	CCAPM1 x000 0000	CCAPM2 x000 0000	CCAPM3 x000 0000	CCAPM4 x000 0000		0DFH
0D0H	PSW 0000 0000	FCON xxxx 0000	EECON 0000 0000		DPLB 0000 0000	DPHB 0000 0000	P1M0 <sup>(2)</sup> 0000 0000	P1M1 0000 0000	0D7H
0C8H	T2CON 0000 0000	T2MOD 0000 0000	RCAP2L 0000 0000	RCAP2H 0000 0000	TL2 0000 0000	TH2 0000 0000	P2M0 <sup>(2)</sup> 0000 0000	P2M1 0000 0000	0CFH
0C0H	P4 1111 1111			SPCON 0001 0100	SPSTA 0000 0000	SPDAT xxxx xxxx	P3M0 <sup>(2)</sup> 0000 0000	P3M1 0000 0000	0C7H
0B8H	IPL0 xx00 0000	SADEN 0000 0000				AREF 0000 0000	P4M0 <sup>(2)</sup> 0000 0000	P4M1 0000 0000	0BFH
0B0H	P3 1111 1111	IEN1 xxxx 0000	IPL1 xxxx 0000	IPH1 xxxx 0000				IPH0 xx00 0000	0B7H
0A8H	IEN0 0x00 0000	SADDR 0000 0000		ACSRB 0000 0000	DADL 0000 0000	DADH 0000 0000	CLKREG 0101 xxxx	CKCON1 xxxx xxx0	0AFH
0A0H	P2 1111 1111	DPCF 0000 xxxx	AUXR1 0000 00x0	ACSRA 0000 0000	DADC 0000 0000	DADI 0000 0000	WDTRST (write-only)	WDTPRG 0000 0xx0	0A7H
98H	SCON 0000 0000	SBUF xxxx xxxx	BRL 0000 0000	BDRCON xxx0 0000	KBLS 0000 0000	KBE 0000 0000	KBF 0000 0000	KBMOD 0000 0000	9FH
90H	P1 1111 1111	TCONB 0010 0100	BMSEL xxxx xxx0	SSCON 0000 0000	SSCS 1111 1000	SSDAT 1111 1111	SSADR 1111 1110	CKRL 1111 1111	97H
88H	TCON 0000 0000	TMOD 0000 0000	TL0 0000 0000	TL1 0000 0000	TH0 0000 0000	TH1 0000 0000	AUXR 0000 0000	CKCON0 0000 0000	8FH
80H	P0 1111 1111	SP 0000 0111	DPL 0000 0000	DPH 0000 0000		CKSEL xxxx xxx0	OSCCON xxxx x001	PCON 000x 0000	87H
	0	1	2	3	4	5	6	7	

Źródło: 8-bit Microcontroller with 4K Bytes In-System Programmable Flash  
AT89LP51RD2 AT89LP51ED2  
AT89LP51ID2

## Obsługa urządzeń wejścia/wyjścia

- Urządzenia wejścia/wyjścia 80C51
  - Konfigurowalne porty GPIO – konstrukcja uproszczona



PxM0.y	PxM1.y	Port Mode
0	0	Quasi-bidirectional
0	1	Push-pull Output
1	0	Input Only (High Impedance)
1	1	Open-Drain Output

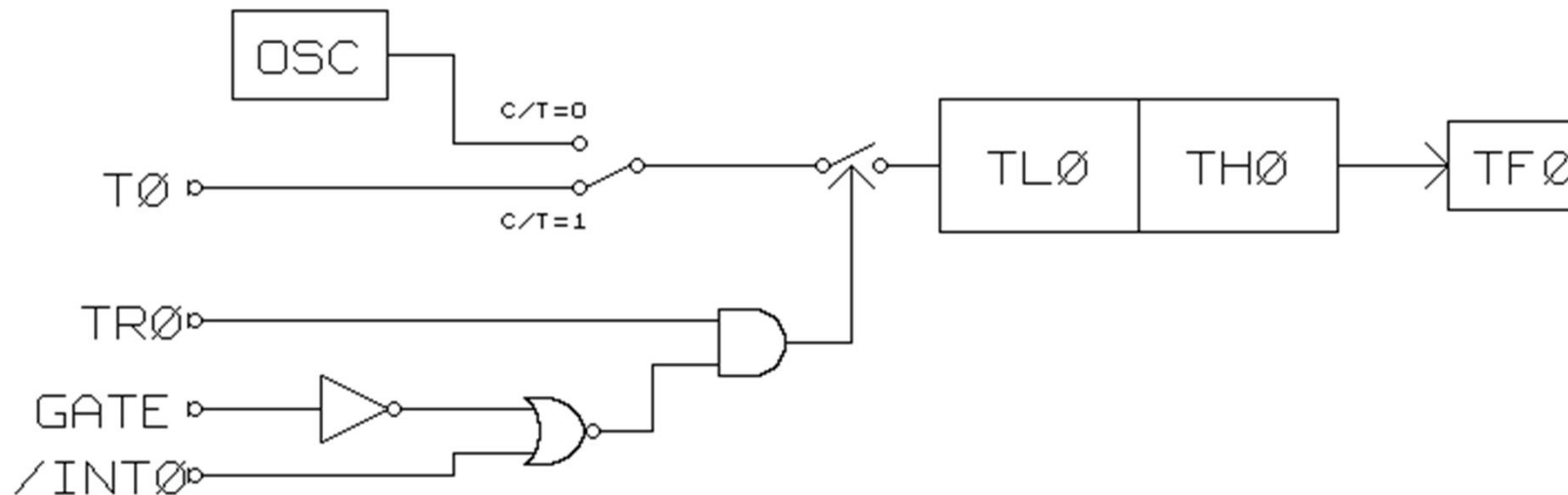
Port	Port Data	Port Configuration
0	P0 (80H)	P0M0 (D4H), P0M1 (D5H)
1	P1 (90H)	P1M0 (E6H), P1M1 (E7H)
2	P2 (A0H)	P2M0 (D6H), P2M1 (D7H)
3	P3 (B0H)	P3M0 (DEH), P3M1 (CFH)
4	P4 (C0H)	P4M0 (BEH), P4M1 (BFH)

## Obsługa urządzeń wejścia/wyjścia

### ■ Urządzenia wejścia/wyjścia 80C51

#### ■ Licznik T0 - przykładowy element peryferyjny

- Tryb 1, zliczane impulsy z wejścia T0 (TR0, GATE, /INT0 zatrzymały zliczanie)
- Układ posiada dwa takie liczniki, nowsza wersja 80c52 - trzy

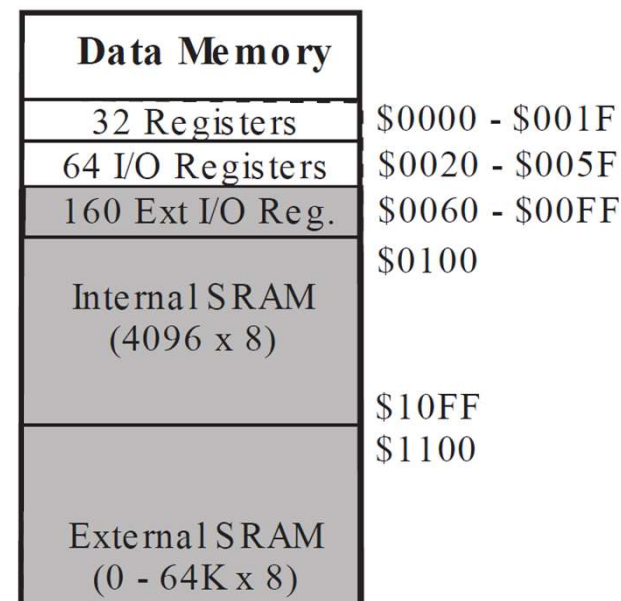




## Obsługa urządzeń wejścia/wyjścia

### ■ Urządzenia wejścia/wyjścia

- Procesor AVR (i wiele innych) widzi urządzenia we/wy je jako określone komórki pamięci
  - Teoretycznie wielkość tej przestrzeni jest wielkością pamięci danych
  - Z reguły mały ułamek – w AVR 64(peryferia podstawowe)+160(peryferia rozszerzone) lokacji
  - Wycinek mapy pamięci

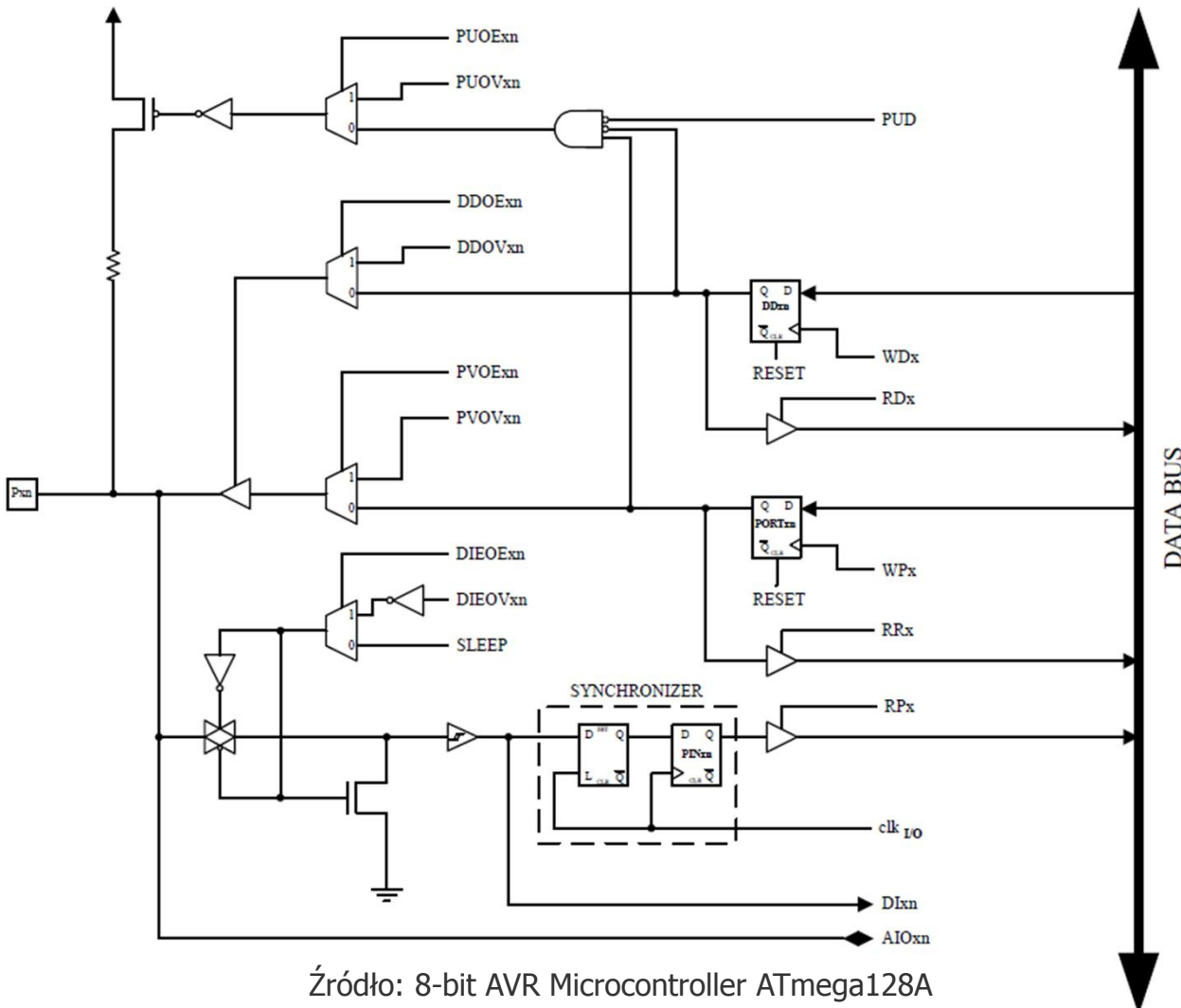


0x18 (0x38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
0x17 (0x37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0
0x16 (0x36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
0x15 (0x35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
0x14 (0x34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
0x13 (0x33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
0x12 (0x32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
0x11 (0x31)	DDRD	DDd7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
0x10 (0x30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
0x0F (0x2F)	SPDR	SPI Data Register							
0x0E (0x2E)	SPSR	SPIF	WCOL	–	–	–	–	–	SPI2X
0x0D (0x2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0

- Urządzenia wejścia/wyjścia AVR

## ■ Konfigurowalne porty GPIO

- PUOE Pull-up Override Enable
- PUOV Pull-up Override Value
- DDOE Data Direction Override Enable
- DDOV Data Direction Override Value
- PVOE Port Value Override Enable
- PVOV Port Value Override Value
- DIEOE Digital Input Enable Override Enable
- DIEOV Digital Input Enable Override Value
- DI Digital Input
- AIO Analog Input/Output

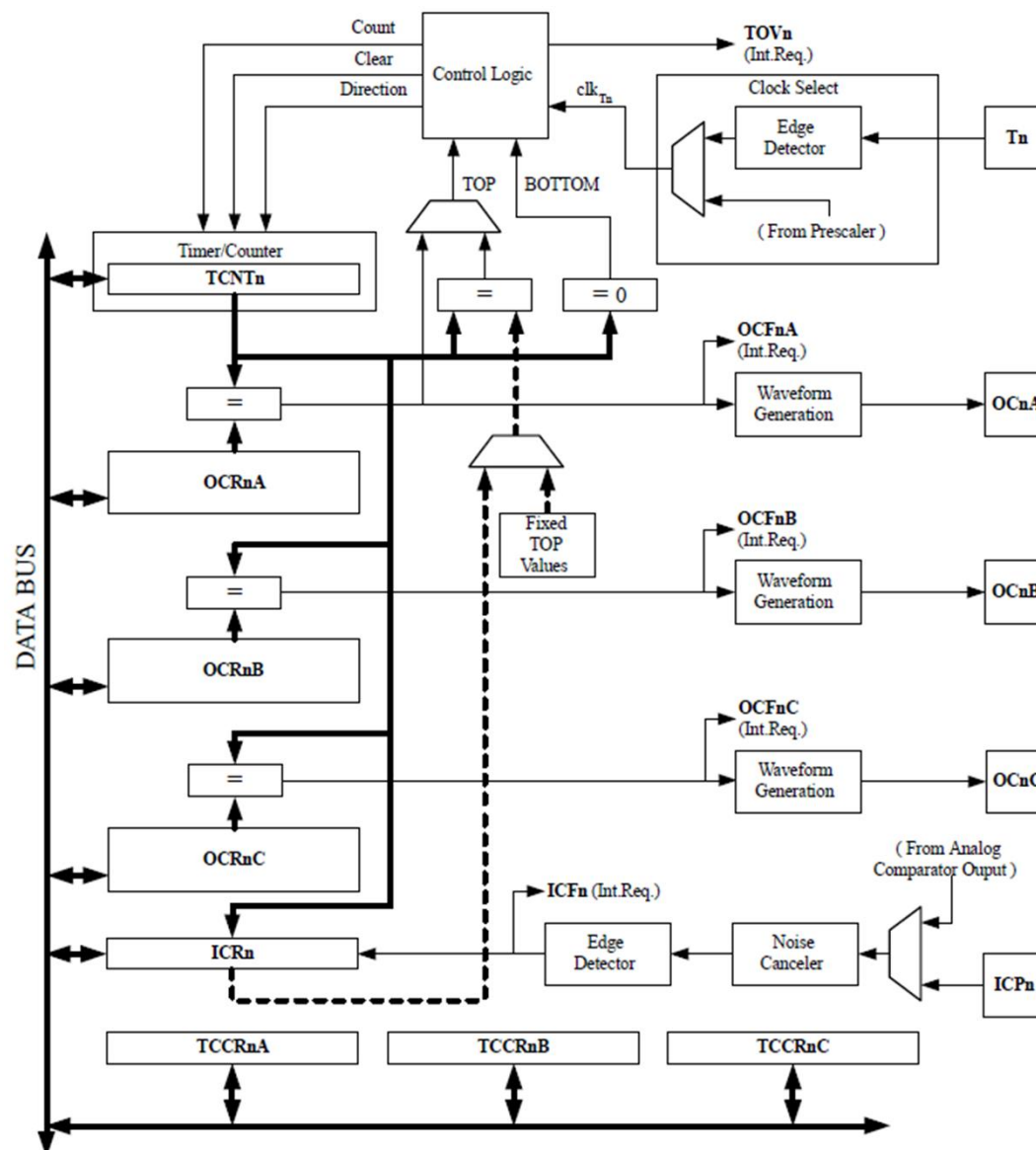


Źródło: 8-bit AVR Microcontroller ATmega128A

## Obsługa urządzeń wejścia/wyjścia

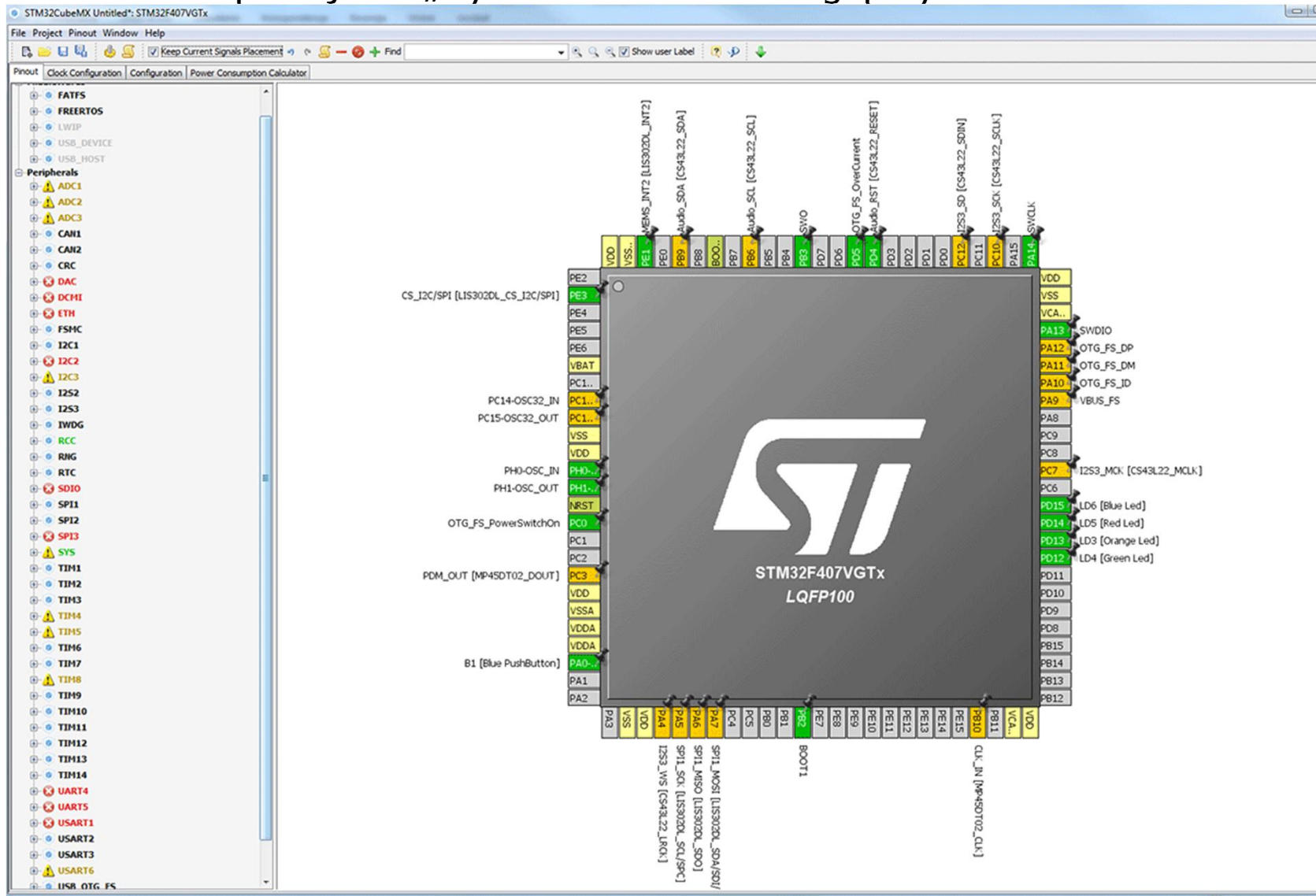
### ■ Urządzenia wejścia/wyjścia AVR

- Liczniki – przykładowy element peryferyjny
  - ATmega128 ma trzy takie liczniki - jeden „liczy” 16bitowo, dwa – 8 bitowo
- Zdarzenia generowane przez liczniki
  - Timer Overflow (TOVx)
    - Zwiększa stan do war. MAX resetuje się – generuje zdarzenie i liczy dalej
  - Compare Match
    - Stan licznika porównuje się z wartością rej. OCRx – gdy równe generuje zdarzenie
  - Input Capture
    - Stan licznika może być „zatraskiwany” w momencie pojawienia się zewnętrznego sygnału



## Obsługa urządzeń wejścia/wyjścia

- A co gdy mnogość peryferii staje się przeszkodą dla programisty?
  - STM32Cube – aplikacja do „wyklikania” kodu obsługi peryferii



# **Interfejsy wbudowane w systemy komputerowe**

## Interfejsy wbudowane w systemy komputerowe

- Przykłady interfejsów
  - UART/RS232/RS485
  - I2C
  - SPI
  - USB
  - PCI i PCI express

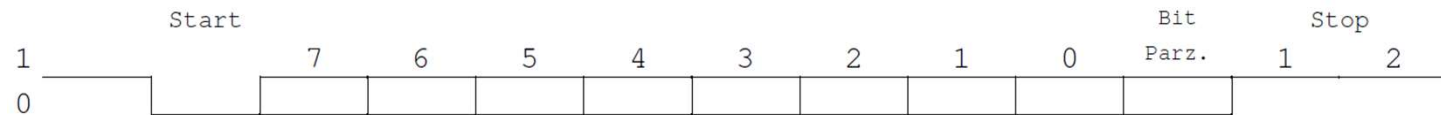
# Interfejsy wbudowane w systemy komputerowe

## ■ UART/RS232

### ■ UART: Universal Asynchronous Receiver and Transmitter

- Tryby: asynchroniczny, synchroniczny (mniej używany)

#### ■ Ramka



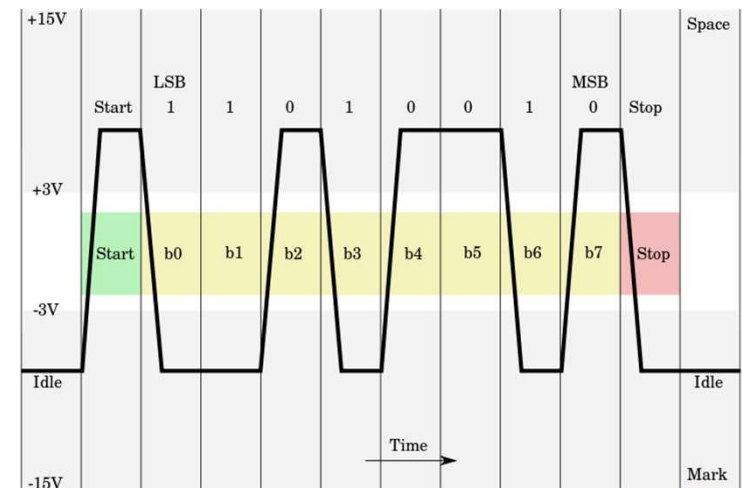
- Prędkości [bit/s]: 9600, 19200, 38400, 57600, 115200, rzadziej używane: 56000, 76800, 230400, 256000, 460800, 921600, historyczne: 50...4800
- RS232 to opis sposobu łączenia urządzeń i charakterystyka elektryczna tych połączeń

- DTE (ang. Data Terminal Equipment) czyli urządzeń końcowych danych (np. komputer) oraz urządzeń DCE (ang. Data Communication Equipment)

- „0” to: +3...+15V
- „1” to: -15...-3V

- Mimo wprowadzenia USB nadal UART jest dostępny w wielu mikrokontrolerach

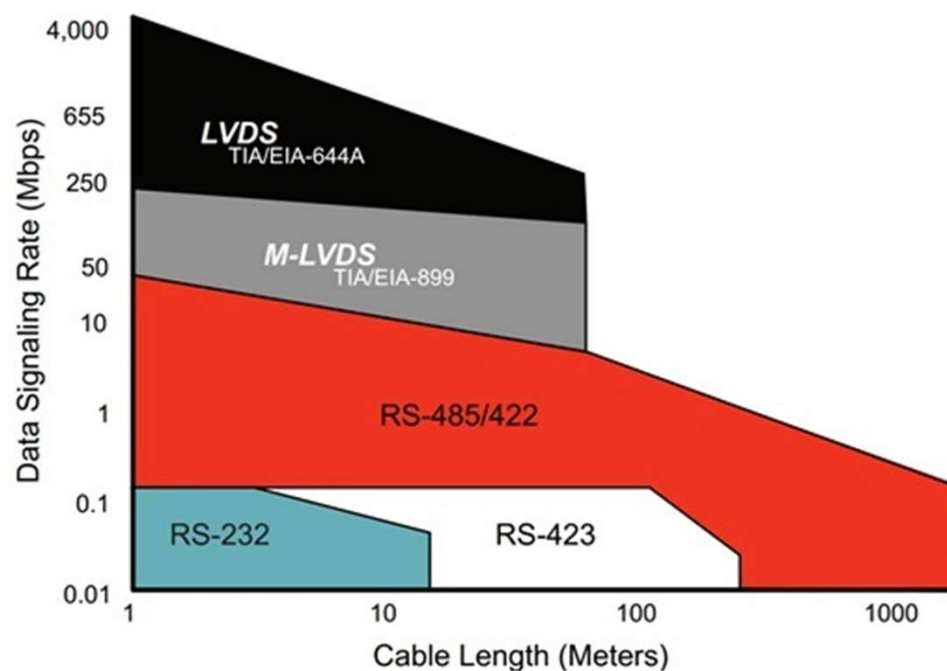
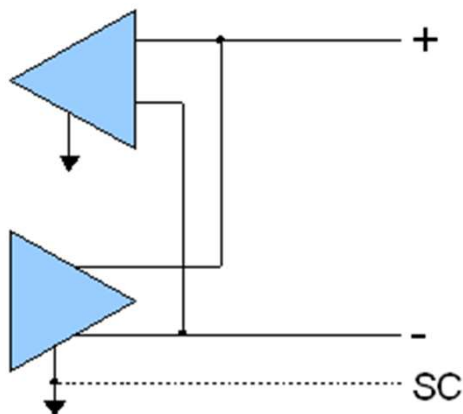
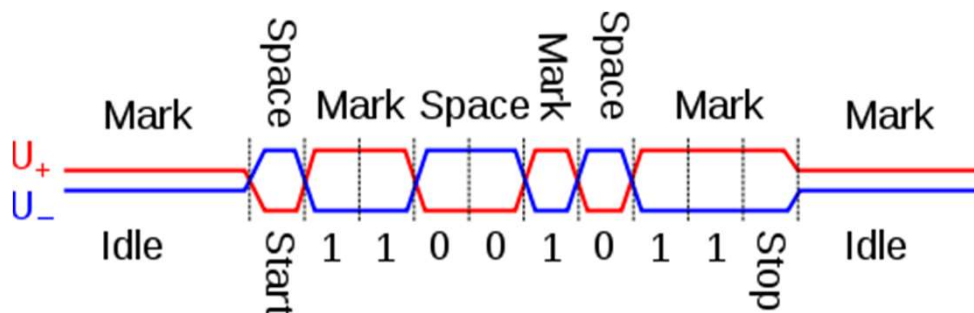
- Interfejsy USB i BlueTooth wspierają emulację połączeń UART



# Interfejsy wbudowane w systemy komputerowe

## ■ RS485

- Podstawy podobne do RS232 - główna różnica to warstwa fizyczna, dane przesyłane są w sposób różnicowy

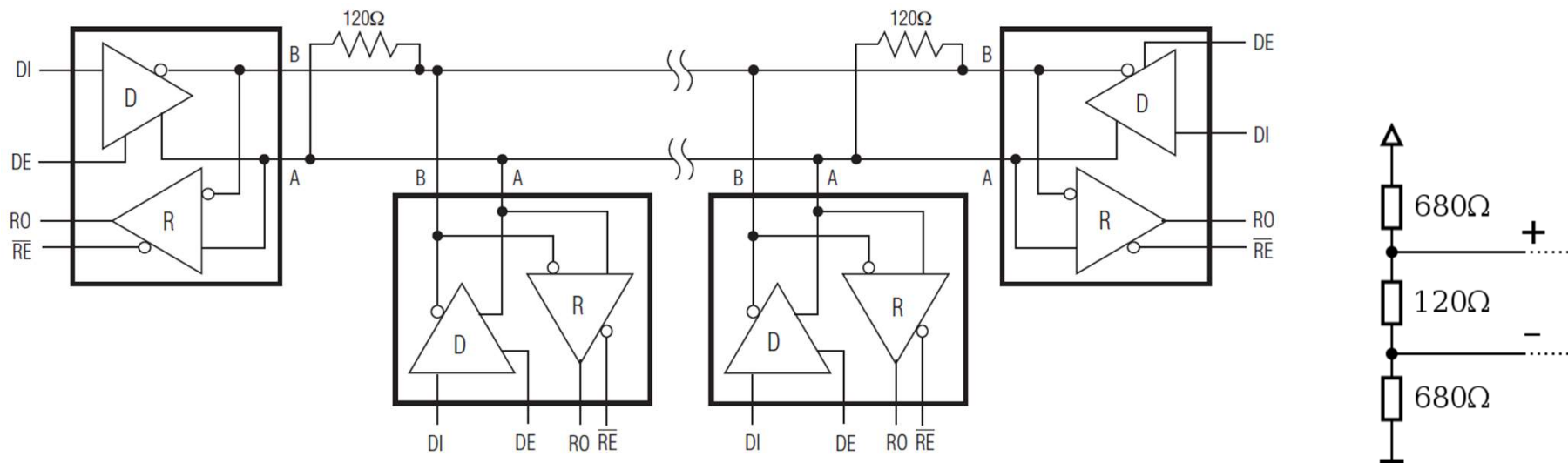




# Interfejsy wbudowane w systemy komputerowe

## ■ RS485 - magistrala

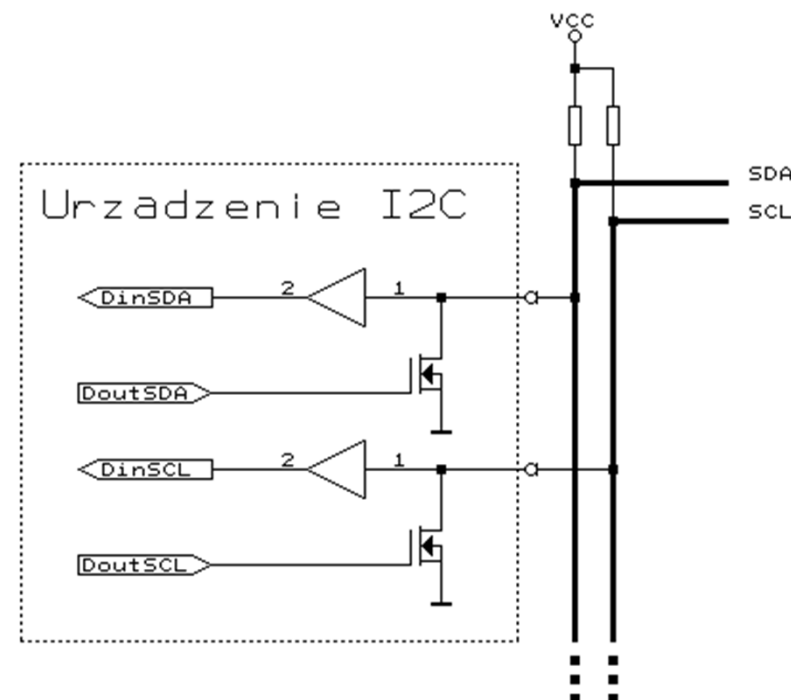
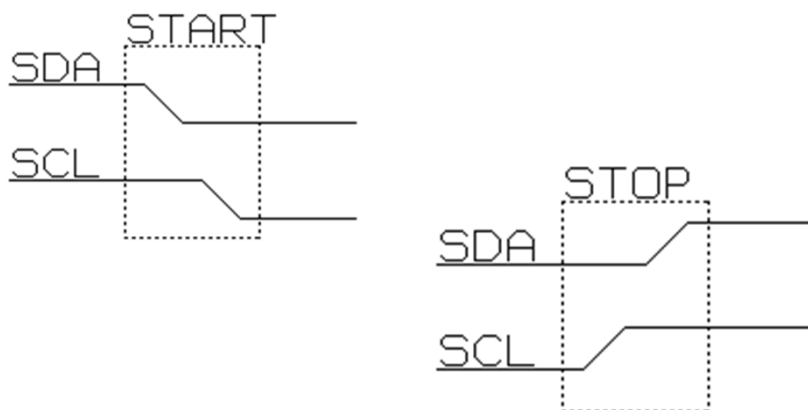
- <32 urządzeń, <1200m długości, <10Mbit/s
- Konieczność stosowania „terminatorów”
- Standard nie opisuje co robić z kolizjami - konieczne wprowadzenie odpowiednich mechanizmów CSMA/CA (Carrier-sense multiple access with collision avoidance)
- Wiele mikrokontrolerów pozwala stosować komunikację UART z 9 bitami
  - Działanie - gdy 9bit w ramce ustawiony: to wszystkie MCU podpięte do magistrali zwracają na pozostałe bity ramki uwagę, gdy wyzerowany to tylko zainteresowani odbiorcy przetwarzają dane w ramach



## Interfejsy wbudowane w systemy komputerowe

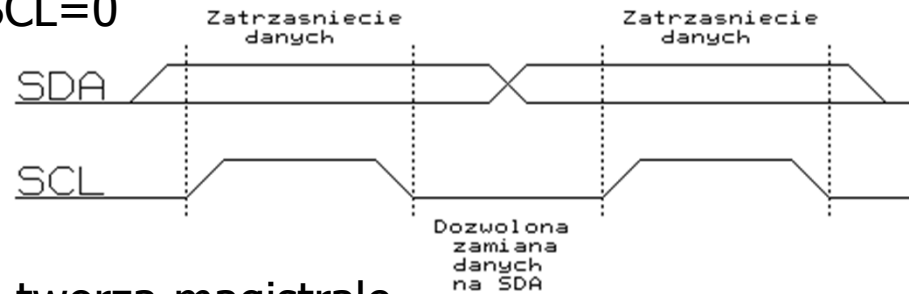
### ■ I2C (Inter-Integrated Circuit)

- Produkt będący znakiem towarowym firmy Phillips/NXP
  - Interfejs znany również jako: TWI (Two Wire Interface) lub TWSI (Two-Wire Serial Interface)
- SMB/SMBus (System Management Bus) rozszerza I2C
- I2C tworzy magistrale z zegarami zapewniającymi szybkość od 100kbit/s do 3,4Mbit/s
- Podstawą są bufory z „otwartym kolektorem”
- Połączenia
  - SDA - Serial Data, SCL - Serial Clock
    - Początek komunikacji - sekwencja START
    - Koniec transmisji - sekwencja STOP

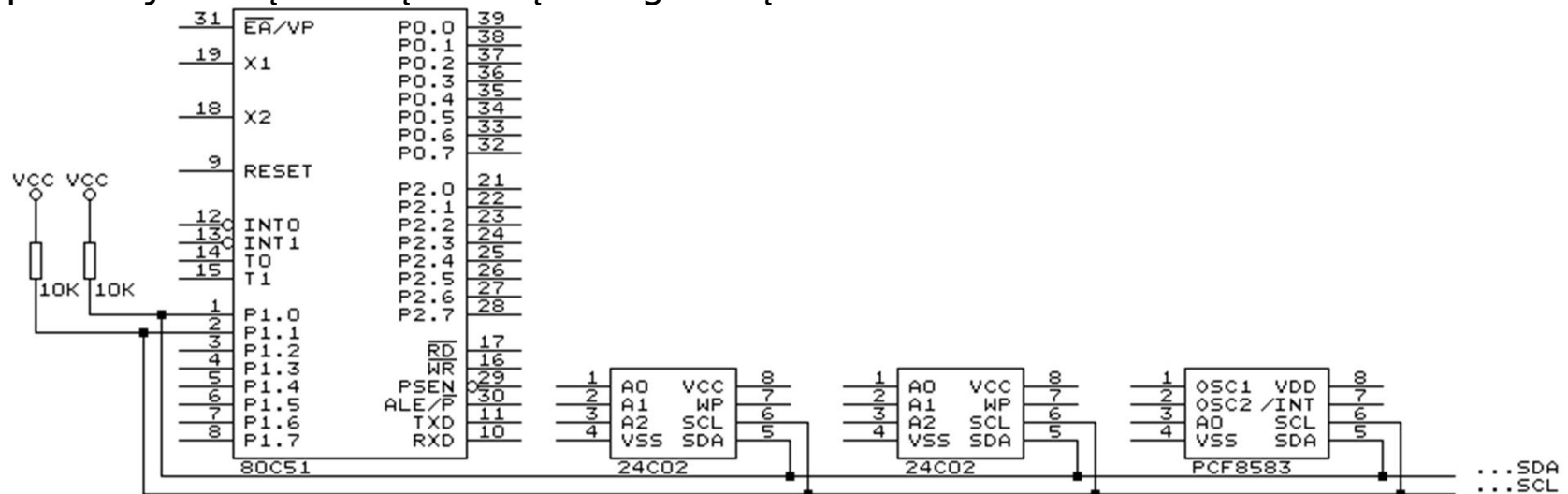


## Interfejsy wbudowane w systemy komputerowe

- I2C (Inter-Integrated Circuit), cd.
  - Zmiana danych na SDA (przed wysłaniem kolejnego bitu informacji) możliwe tylko gdy SCL=0

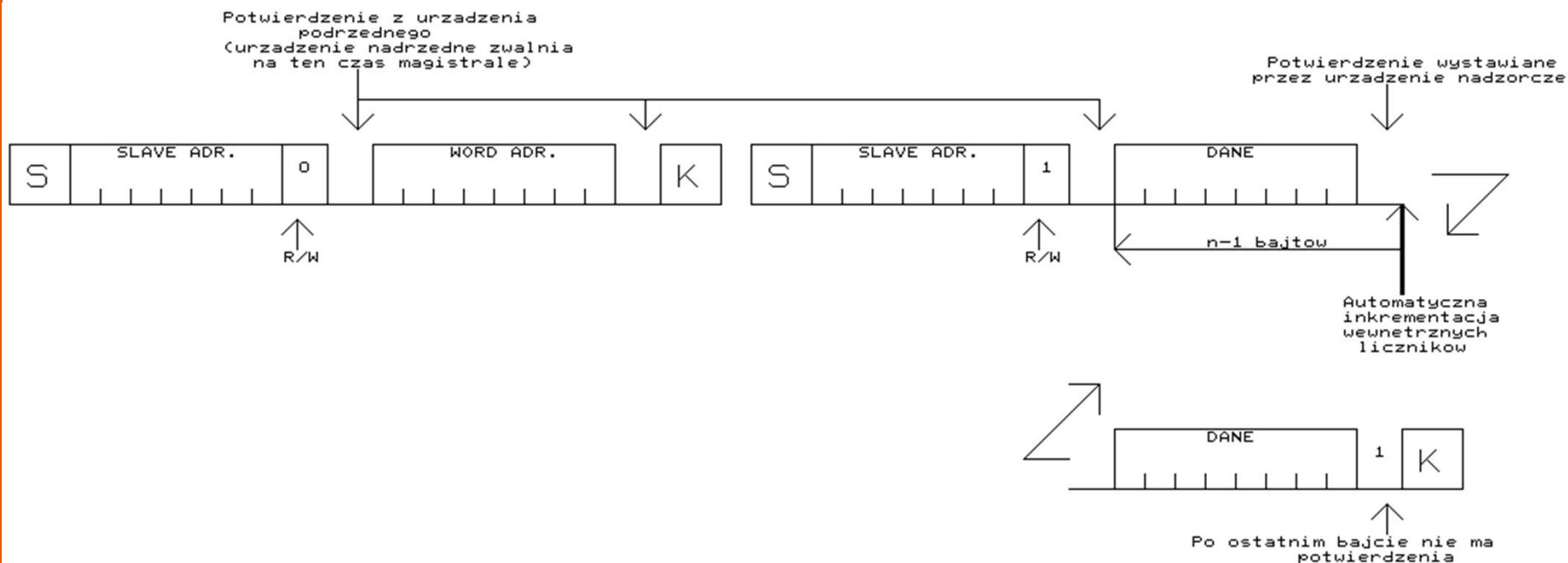


- Urządzenia tworzą magistrale
  - Zarządcą może być każde urządzenie - w danej transakcji tylko jedno
- Urządzenia adresuje się 7 lub 10bitami
  - adresy nie są unikatowe, nadawane w procesie produkcji i związane są z klasą danego urządzenia



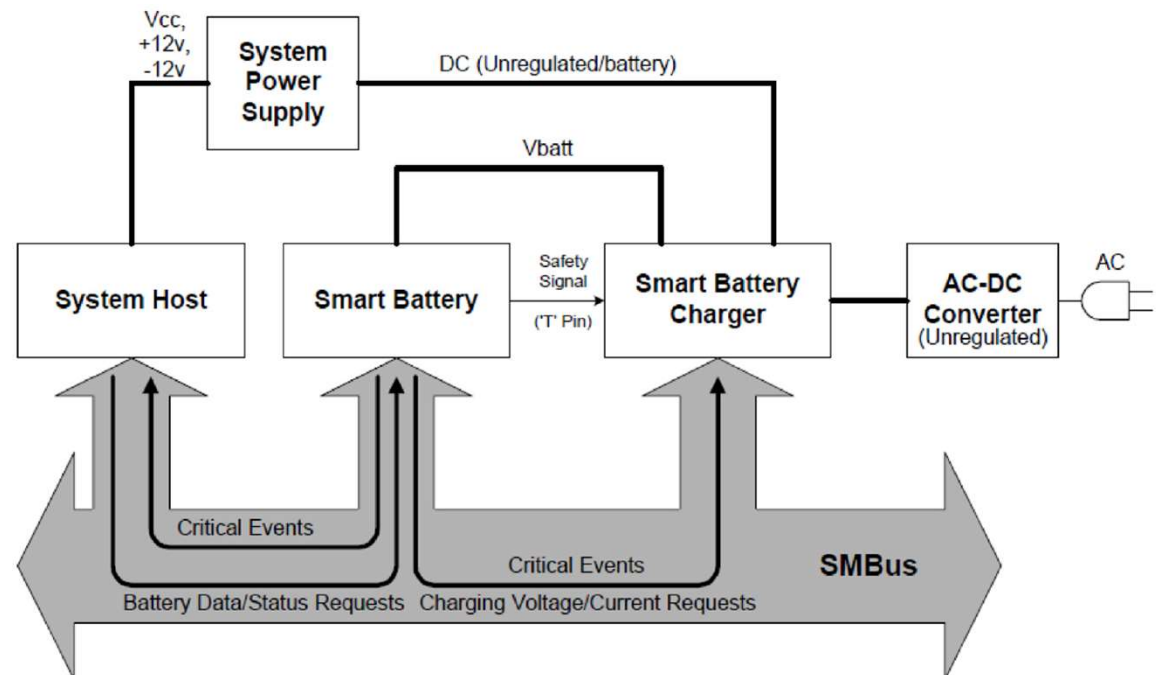
## Interfejsy wbudowane w systemy komputerowe

- I2C (Inter-Integrated Circuit), cd.
  - Typowa komunikacja zakłada potwierdzanie przez SLAVE każdego odebranego bajta informacji



## Interfejsy wbudowane w systemy komputerowe

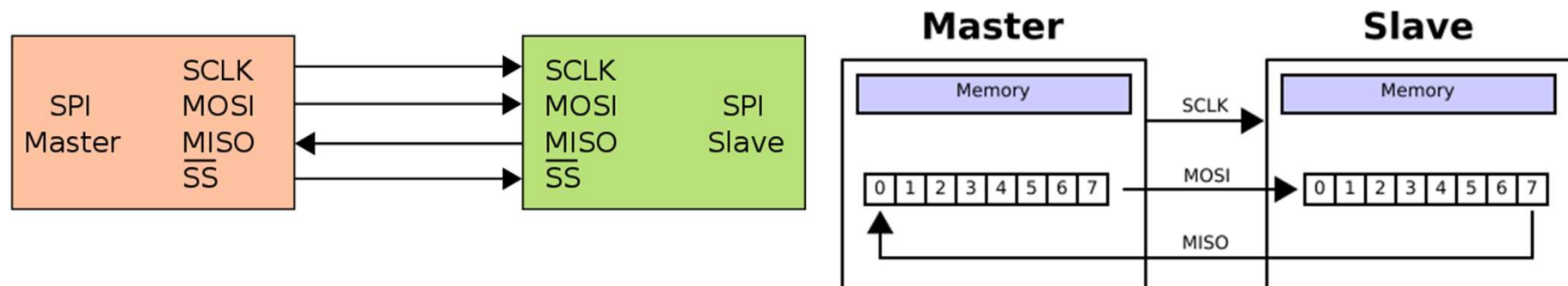
- I2C - wykorzystanie w systemach komputerowych
  - W systemach komputerowych I2C istnieje jako system SMBus
    - Pobranie informacji dostarczanych przez komponenty (m.in.)
      - Numer modelu i części (dane od ich producenta)
      - Sterowanie stanem (np.: przejście w uśpienie)
      - Raport o stanie/błędach działania komponentu
    - Komponenty to (m.in.)
      - Czujniki temperatury (LM75, ...)
      - Pamięci konfiguracyjne modułów pamięci DDRxx
      - Karty PCI/PCIe
      - Inteligentne baterie
    - Polecenia, np.:
      - AverageCurrent()
      - RelativeStateOfCharge()
      - Voltage()
      - Temperature()



## Interfejsy wbudowane w systemy komputerowe

### ■ SPI (Serial Peripheral Interface)

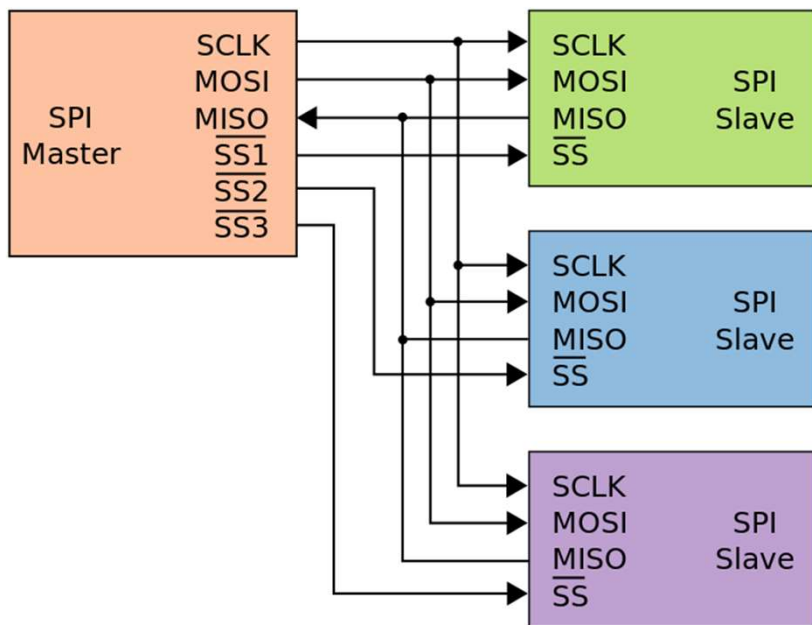
- Magistrala używana do komunikacji wewnątrz urządzeń
  - Prędkość - zegar transmisji to maks. dziesiątki MHz
  - Nadzorca wybiera urządzenie podrzędne (z dołączonego zestawu) przez specjalny sygnał fizycznym: slave select - SS
- Sygnały
  - SCLK: Serial Clock - steruje nadzorcy
  - MOSI: Master Output Slave Input - dane wysyłane przez nadzorcę
  - MISO: Master Input Slave Output - dane otrzymywane od urządzeń podrzędnych
- Typowe połączenie zarządcy z jednym urządzeniem podrzędnym



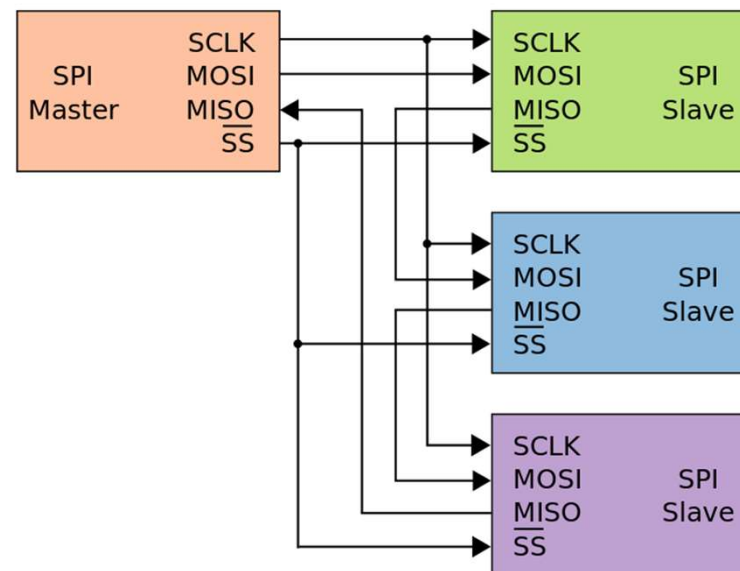
## Interfejsy wbudowane w systemy komputerowe

### ■ SPI, cd.

- Równoczesne podłączenie wielu urządzeń podrzędnych przez pojedynczy interfejs SPI
  - niektóre MCU posiadają parę kontrolerów SPI



Urządzenia wybierane przez „SS”



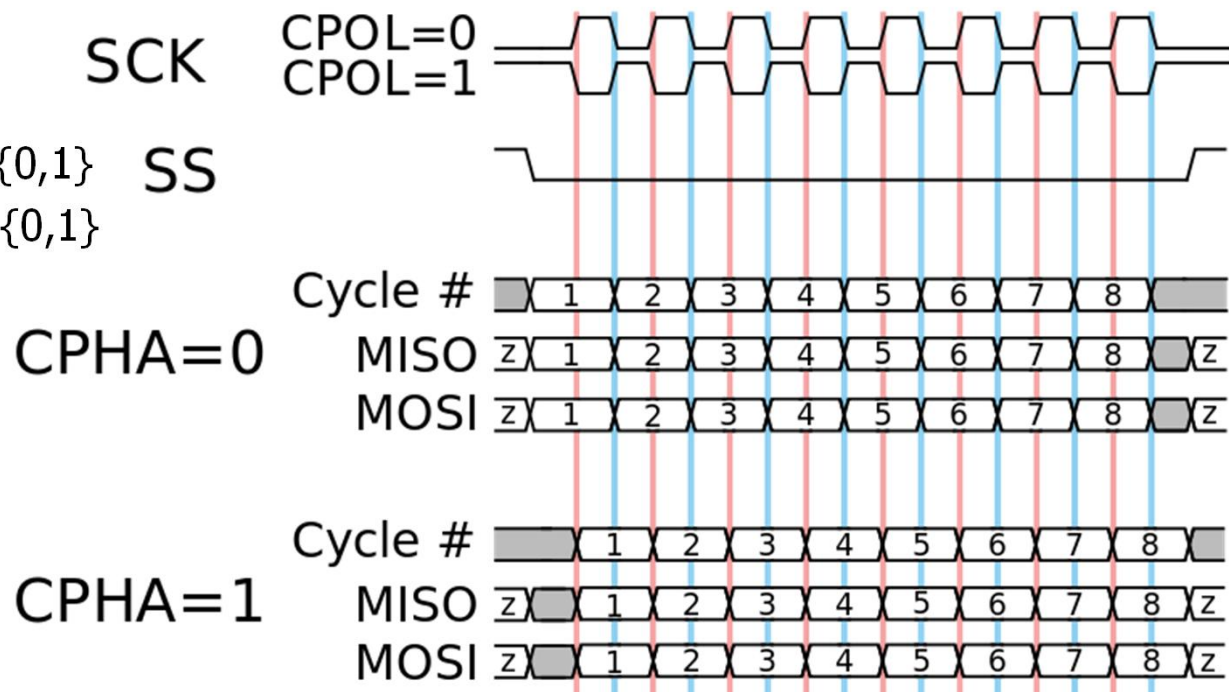
Urządzenia pracujące w łańcuchu

## Interfejsy wbudowane w systemy komputerowe

### ■ SPI, cd.

#### ■ Sygnały zegarowe

- polaryzacja  $CPOL=\{0,1\}$
- faza zegara  $CPHA=\{0,1\}$



### ■ SPI wykorzystanie w systemach komputerowych

- Moduły pamięci masowych
  - Karty SD/Micro SD
- Pamięci trwałe zawierające tzw. BIOS/UEFI



## Interfejsy wbudowane w systemy komputerowe

### ■ USB (Universal Serial Bus)

- Magistrala gdzie komputer jest częścią główną (Host centric)
  - Maksymalnie można podłączyć do 127 urządzeń
  - Urządzenia mogą działać jako
    - część główna (Host USB) - w danej sieci może być tylko jedno takie urządzenie w całym systemie (z reguły komputer)
    - część podrzędna (Device USB)
  - Urządzenia USB-OTG to rozszerzenie USB2.0 - pozwala bardziej inteligentnym urządzeniom zmieniać w „locie” swoją rolę
    - gdy w systemie jest obecna część główna - urządzenie OTG może być tylko częścią podrzedną
- Urządzenia podrzędne realizują zadania odpowiedniej klasy:
  - CDC-konwertery transmisji szeregowej, HID-interfejsy komunikacji z użytkownikiem, MassStorage - pamięci masowe, ...
- Każde urządzenie posiada swój unikatowy identyfikator producenta i dostawcy PID i VID - nabywane od konsorcjum USB

# Interfejsy wbudowane w systemy komputerowe

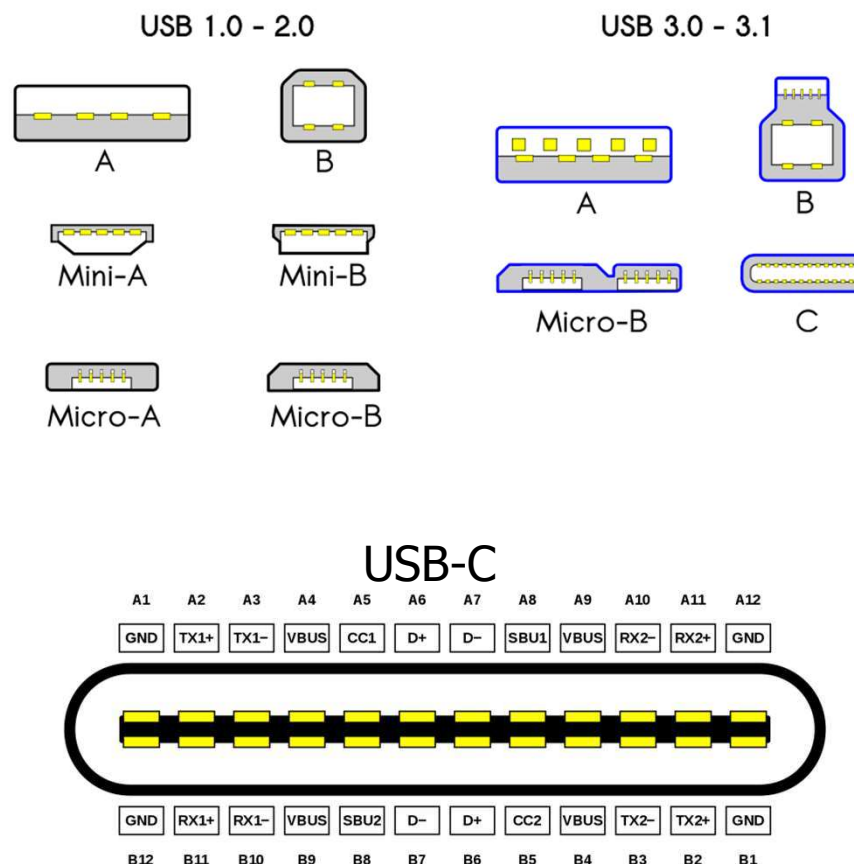
## ■ USB, cd.

### ■ Transfery vs. Typ

- USB 1.0 (Low-speed (LS))
  - 1,5 Mbit/s
- USB 1.1 (Full-speed (FS))
  - 1,5 Mbit/s
- USB 2.0 (High-speed (HS))
  - 480Mb/s
- USB 3.0 (Super Speed (SS))
  - 5Gbit/s
- USB 3.1 (Super Speed+ (SS+))
  - 10 Gbit/s
- USB 4 (wprowadzony w 2019)
  - 40 Gbit/s

### ■ USB-C

- Nowe złącze pomagające przekazywać większe energie zasilanym urządzeniom
- Może przenosić od standardu USB 2.0 do USB 4



## Interfejsy wbudowane w systemy komputerowe

### ■ USB, cd.

#### ■ Zasilanie przez interfejs

- Maksymalny prąd bez negocjacji  $\leq 100\text{mA}$
- Po negocjacji (m.in. wymiana deskryptora urządzenia)
  - USB  $\geq 2.0$ 
    - $\leq 500\text{mA}$  przy 5V, do 2,5W
  - USB  $\geq 3.x$ 
    - $\leq 900\text{mA}$  przy 5V, do 4,5W
  - USB BC (battery charging)
    - 500–1500mA przy 5V, do 7,5W (wersja BC 1.1) lub do 25W (wersja BC 1.2)
  - USB PD (power delivery)
    - 2500–5000mA przy negocjowanym napięciu w zakresie 5..20V, do 100W
- Odłączenie obciążenia po przekroczeniu limitu może być wyłączone lub nie zaimplementowane!

## Interfejsy wbudowane w systemy komputerowe

### ■ USB, cd.

#### ■ Tworzenie urządzeń podrzędnych

- Z wykorzystaniem konwerterów USB-UART (możliwa realizacja wyłącznie klasy CDC)

- FTDI
- PL2303
- CH304G
- ACM
- ...

- Używając MCU ze wsparciem sprzętowym dla USB (np. ATmega32u2)

- Takie podejście pozwala utworzyć urządzenie USB dowolnej klasy
- Przydatna do tego celu jest biblioteka LUFA [[www.fourwalledcubicle.com](http://www.fourwalledcubicle.com)]

- Bez wsparcia sprzętowego MCU - może być urządzeniem podrzędnym tylko za pomocą specjalnej biblioteki V-USB [[www.obdev.at](http://www.obdev.at)]

- Jest ona utworzona dla ściśle określonego sprzętu (np.: MCU klasy AVR)
- Zawiera fragmenty zaimplementowane z zachowaniem wysoko czasowo krytycznych operacji - sterowanie w stylu bit-bang z szybkością działań poniżej 1us

## Interfejsy wbudowane w systemy komputerowe

### ■ USB, cd.

#### ■ Budowa urządzenia nadrzędnego USB

##### ■ Wymagane jest wysoko wydajne wsparcie sprzętowe

- Transmisja z urządzeniami podrzędnymi realizowana jest z dużymi prędkościami

##### ■ Istnieje wiele układów np.: MAX3421E

- UWAGA!!! od programisty tworzącego kod wymagane jest napisanie własnych procedur obsługi dołączanych urządzeń podrzędnych USB (np.: kamery)

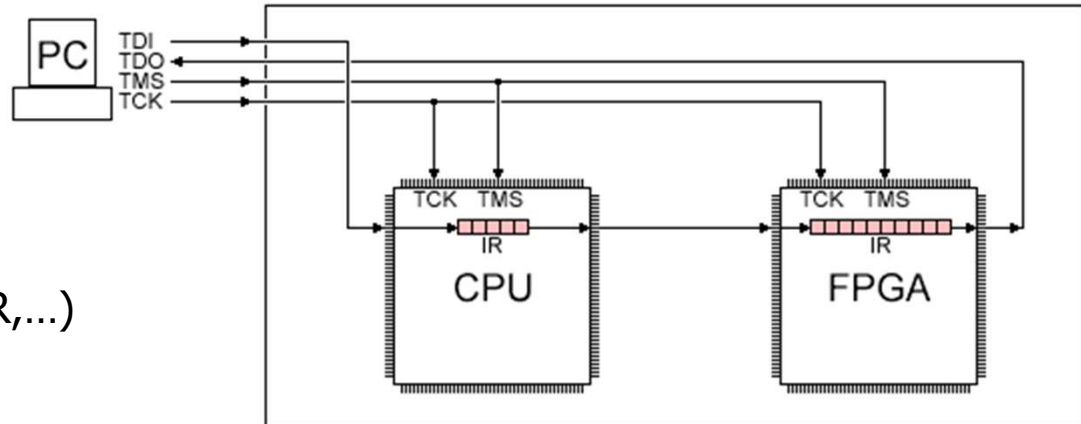
- patrz: [https://github.com/felis/USB\\_Host\\_Shield\\_2.0](https://github.com/felis/USB_Host_Shield_2.0)

## Interfejsy wbudowane w systemy komputerowe

### ■ JTAG – szeregową specjalizowaną magistralą testowania układów

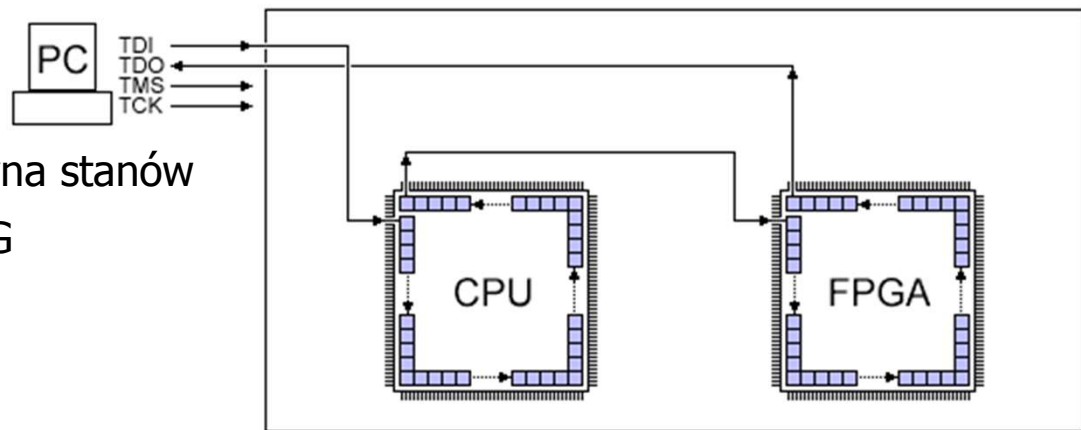
#### ■ Sygnały

- TCK – sygnał zegary
- TDI - wejście testowe
- TDO - wyjście testowe
- TMS - tryb testowania (DR/IR,...)
- TRST# - inicjowanie testu



#### ■ Kontroler TAP (Test Access Port)

- Wbudowany w testowane elementy
- Implementowany jako maszyna stanów
- Obowiązkowe instrukcje JTAG
  - BYPASS (np.: dla CPU 11111)
  - EXTEST
  - SAMPLE/PRELOAD
  - IDCODE
    - Opcjonalna, ale zawsze występuje i zwraca 32bitowy identyfikator producenta i typu danej części utrzymywane w JEDEC Standard Manufacturer's Identification Code standard



## Interfejsy wbudowane w systemy komputerowe

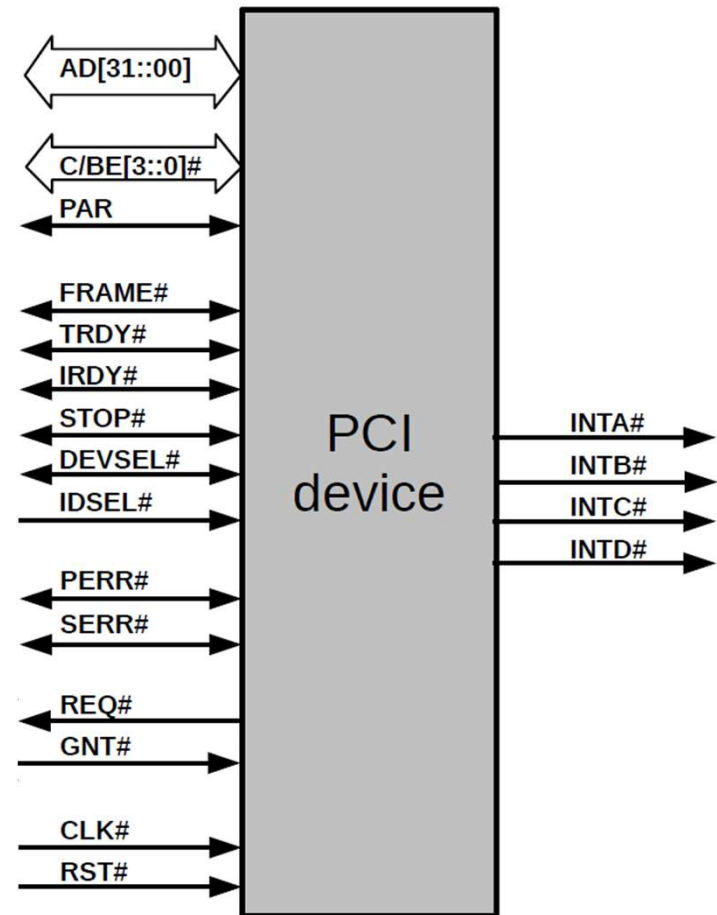
### ■ Magistrala PCI

- Nowoczesna magistrala pozwalająca aby wiele urządzeń mogło współpracować podczas transferu
  - W danej chwili tylko jedno inicjuje transfer (Master)
  - W tej samej chwili wiele urządzeń może odbierać dane
- PCI definiuje trzy przestrzenie do których może pisać i z których może czytać
  - Przestrzeń pamięci
  - Przestrzeń we/wy
  - Przestrzeń konfiguracyjnej
    - Urządzenia mogą informować system jaka jest ich budowa, możliwości i wymagania
    - Udostępnia m.in. pola
      - Vendor ID (2B) i Device ID (2B) – identyfikacja urządzenia (patrz PID i VID w USB)
      - Polecenie (2B)
      - BAR0 (4B) – adres pod jakim urządzenie PCI ma „odpowiadać” w przestrzeni, dla danego urządzenia PCI tych elementów może być wiele

## Interfejsy wbudowane w systemy komputerowe

### ■ Magistrala PCI - Sygnały

- AD – adresy multipleksowane z danymi
- C/BE – polecenie/określenie wielkości transferu (1B/.../4B)
- PAR – parzystość dla: AD (w 1 takcie), C/BE (po 1 takcie)
- FRAME# - początek ramki
- IRDY# - (Initializer Ready) inicjator gotowy do przyjęcia danych
- TRDY# - (Target Ready) urządzenie docelowe zgłasza gotowość
- DEVSEL# - zgłoszenie od docelowej jednostki poprawnego rozpoznania swojego adresu
- STOP# - docelowa jednostka chce natychmiast zakończyć transmisję
- IDSEL# - sygnał konfigurowania magistrali PCI
- REQ#/GNT# - zgłoszenie zapotrzebowanie na magistralę/arbitr zezwala na przejęcie magistrali
- PERR# - wykrycie błędu przez: inicjator - w danych zapisywanych/ urządzenie docelowe – w danych odczytywanych
- SERR# - błąd parzystości adresu lub systemowy
- RST# - zerowanie wszystkich urządzeń magistrali, CLK - sygnał zegara taktującego magistralę
- INTA-INTD - 4 przerwania sprzętowe (jedna linia dla każdego urządzenia)





## Interfejsy wbudowane w systemy komputerowe

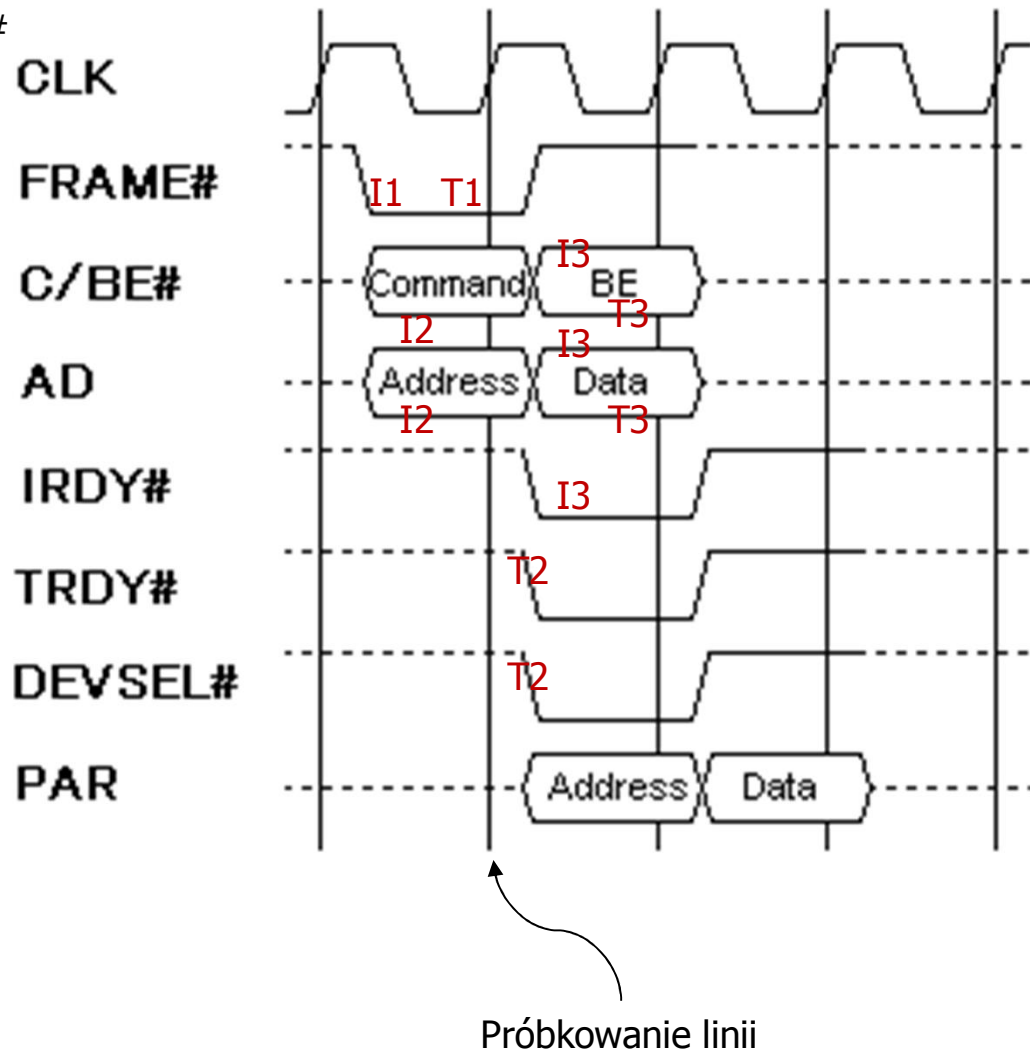
### ■ Magistrala PCI

- Rozkazy magistrali – sygnały **C/BE[0...3]** – faza przekazywania rozkazu
  - (0000) INTA sequence
  - (0001) Special Cycle
  - (0010) I/O Read, (0011) I/O Write
  - (0110) Memory Read, (1110) Memory Read Line, (1100) Memory Read Multiple
  - (1010) Configuration Read, (1011) Configuration Write – tylko 11 dolnych bitów adresowych
  - (1101) Dual Address Cycle (gdy potrzebny transfer z użyciem adresu o więcej niż 32 bitach)
  - (1111) Memory Write and Invalidate, (0111) Memory Write
- Sygnał **C/BE[0...3]** – w fazie transferu
  - wielkość transferowanych danych – które bity linii AD w transferze niosą ważne dane
- Moment zmian sygnałów na magistrali
  - Zmiany sygnału są w okolicach **zboczy opadających** linii zegarowej
  - Próbkowanie stanu linii - następuje **w czasie zbocza narastającego** – ciągłe linie na następnych rysunkach

## Interfejsy wbudowane w systemy komputerowe

### ■ Magistrala PCI - Cykl zapisu

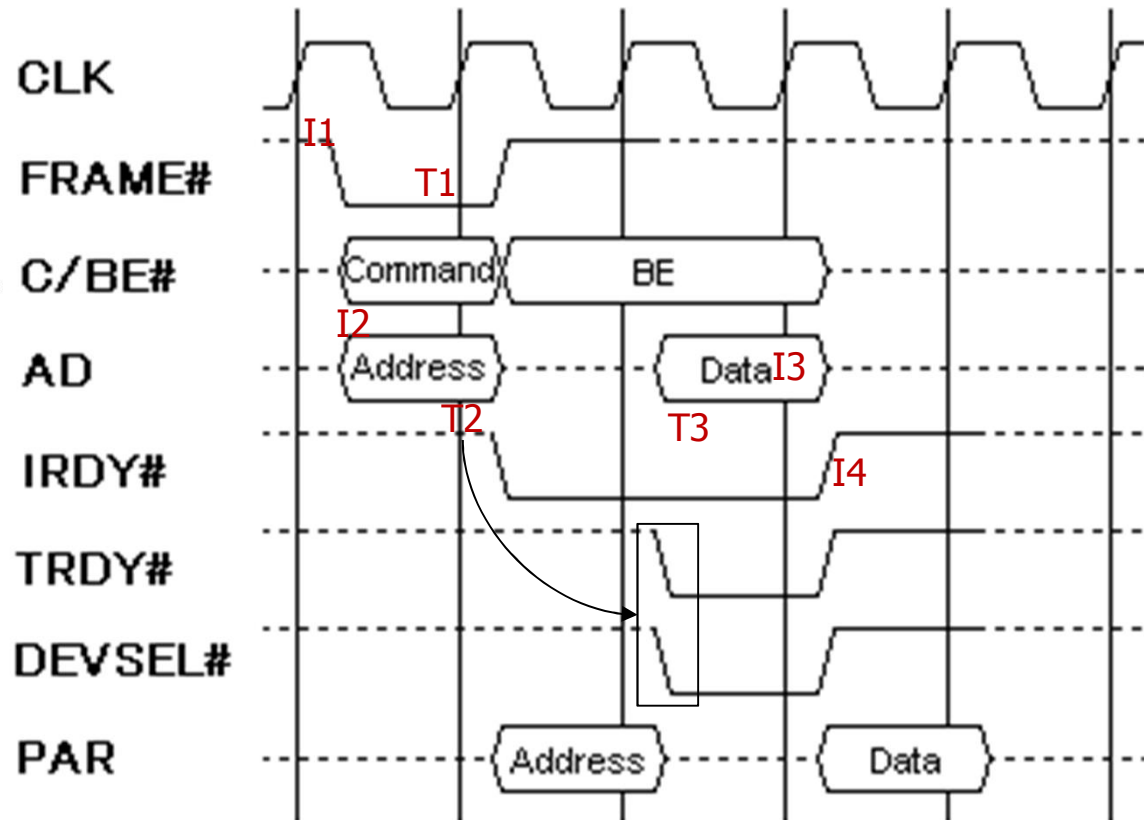
- I1) Inicjator przejmuje magistralę FRAME#
- I2) Inicjator wystawia Polecenie i Adres
- T1) Urządzenie docelowe (TARGET) wykrywa start cyklu
- T2) Jeżeli TARGET wykryje swój adres wystawia DEVSEL# i jeżeli gotowy wystawia TRDY#
- I3) Inicjator wystawia wielkość danych i same dane oraz IRDY#
- T3) Urządzenie docelowe wczytuje dane z magistrali



## Interfejsy wbudowane w systemy komputerowe

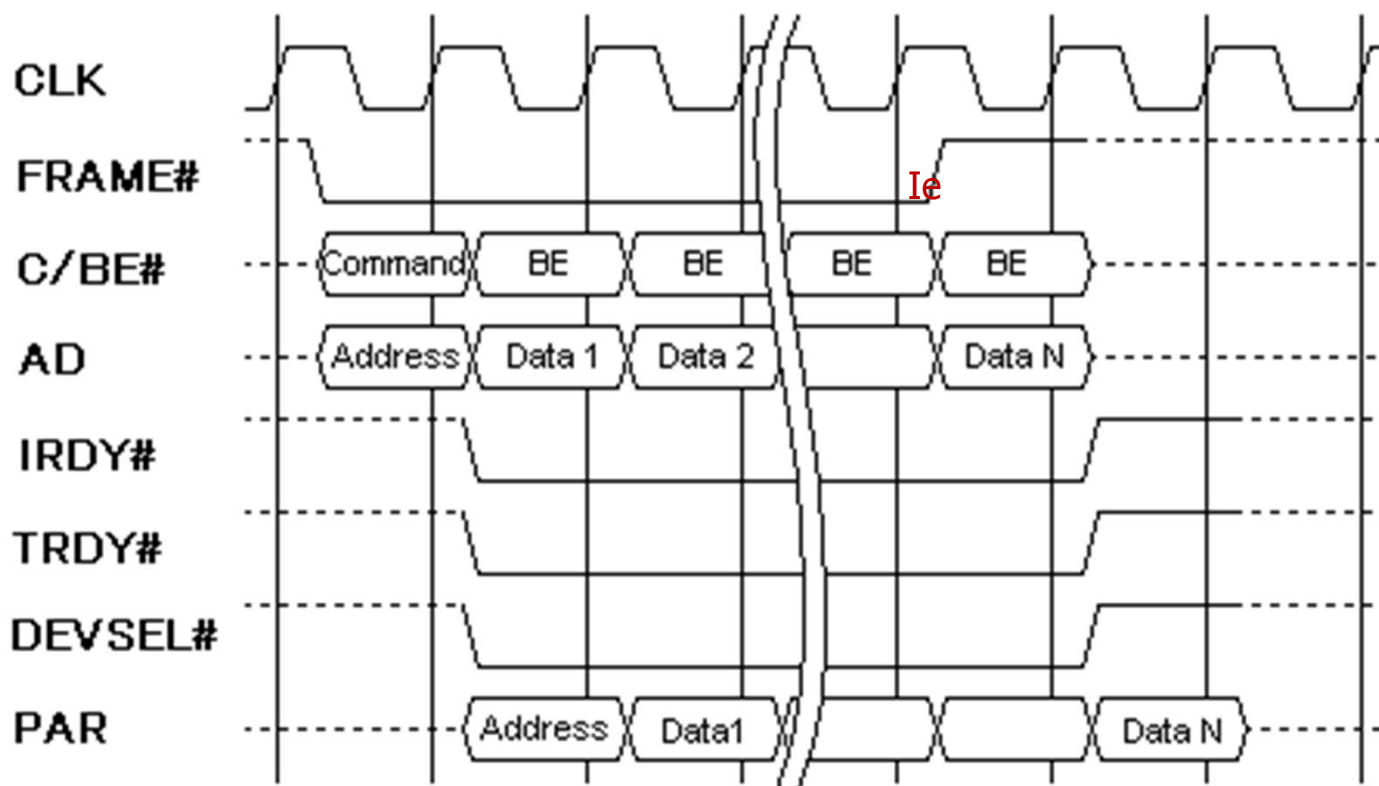
### ■ Magistrala PCI - Cykl odczytu

- I1) Inicjator przejmuje magistralę FRAME#
- I2) Inicjator wystawia Polecenie i Adres
- T1) Urządzenie docelowe (TARGET) wykrywa start cyklu
- T2) Jeżeli TARGET wykryje swój adres wystawia DEVSEL# i jeżeli gotowy wystawia TRDY#
- T3) Jeżeli Inicjator gotowy (stan IRDY#) Target wystawia dane
- I3) Inicjator próbkuje dane
- I4) Jeżeli to koniec to inicjator zdejmie swoją gotowość (IRDY# FRAME#)
- T4) Target w odpowiedzi na I4 zdejmie sygnały (TRDY# i DEVSEL#)
- Sygnały na PAR to parzystość adresu lub danych



## Interfejsy wbudowane w systemy komputerowe

- Magistrala PCI - Cykl zapisu seryjnego (Burst Transfer)
  - Zasadniczo stanowi rozwinięcie pojedynczego cyklu zapisu
    - Urządzenie docelowe kontynuuje zapisy zgodnie z poleceniem – transfer kończy zdjęcie sygnału FRAME# (Ie)



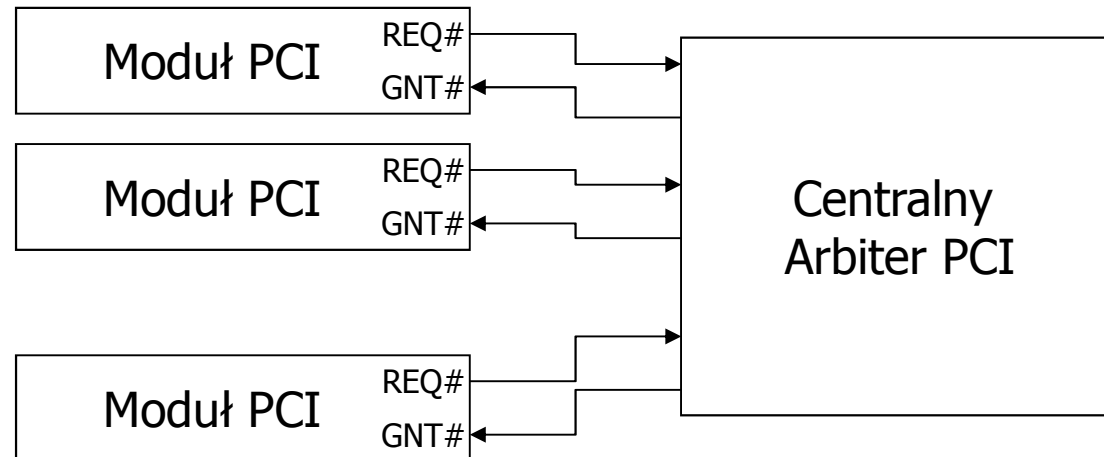
- Inne tryby transferu to „Fast Back to Back Transaction”

## Interfejsy wbudowane w systemy komputerowe

### ■ Magistrala PCI – arbitraż magistrali

#### ■ W systemie jest centralny układ arbitrażu

- Wszystkie urządzenia PCI podłączone są do tego układu arbitrażu sygnałami REQ# i GNT#



- Moduł pragnący zainicjować transfer – wystawia sygnał REQ# i czeka na sygnał GNT#

- Jeżeli transfer będzie trwał dłużej niż jeden cykl – wymaga utrzymania sygnału REQ# i obserwowania czy nadal układ arbitrażu przydziela kontrolę (czy sygnał GNT# jest aktywny)
  - Gdy żaden inny moduł nie wystawia swojego żądania dostępu do magistrali – stan ten może trwać do momentu gdy moduł który obecnie wykonuje transfery nie zakończy ich

## Interfejsy wbudowane w systemy komputerowe

### ■ PCI - warstwy niższe wykonane jako PCI Express

#### ■ Złącze PCI Express kart tzw. „x1”

Pin	Strona A	Strona B	Opis
1	+12V	PRSNT1#	Pin obecności karty (B)
2	+12V	+12V	
3	+12V	+12V	
4	GND	GND	
5	SMCLK	TCK	SMBus(A) i JTAG(B)
6	SMDAT	TDI	SMBus(A) i JTAG(B)
7	GND	TDO	JTAG(B)
8	+3,3V	TMS	JTAG(B)
9	TRST#	+3,3V	JTAG(A)
10	+3,3V	+3,3V	AUX(A)
11	WAKE#	PERST#	Ponowienie aktywności złącza (A), Główny Reset magistrali (B)
-----klucz-mechaniczny-----			
12	Rezerwa	GND	
13	GND	REFCLK+	Referencyjny sygnał zegarowy, pin + (B)
14	HSOp(0)	REFCLK-	Linia różnicowa transmitera - „Lane 0” (A) Referencyjny sygnał zegarowy, pin - (B)
15	HSOp(1)	GND	Linia różnicowa transmitera - „Lane 0” (A)
16	GND	HSIp(0)	Lina różnicowa odbiornika - „Lane 0” (B)
17	PRSNT2#	HSIp(1)	Pin obecności karty (A), Lina różnicowa odbiornika - „Lane 0” (B)
18	GND	GND	

## Interfejsy wbudowane w systemy komputerowe

- PCI Express – warstwowy model transmisji

- Warstwa Transakcji (Transaction Layer)

Nagłówek	Dane	ECRC
----------	------	------

- Warstwa Łącza Danych (Data Link Layer)

- Odebrane pakiety są potwierdzane: ACK DDLP – gdy odebrano je poprawnie a w przeciwnym przypadku wysyłane jest Nack DDLP

Numer sek.	Nagłówek	Dane	ECRC	LCRC
------------	----------	------	------	------

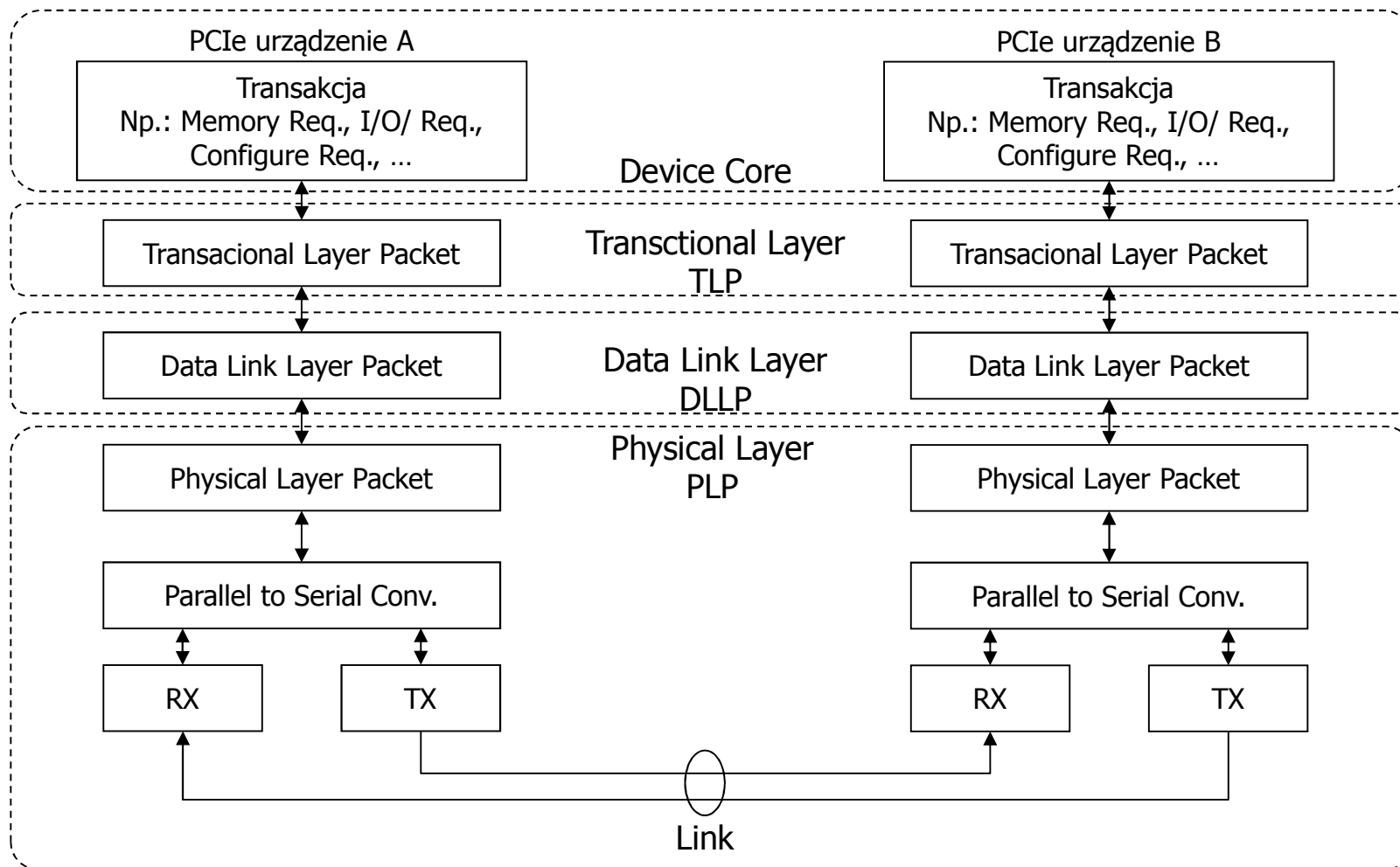
- Warstwa fizyczna (Physical Layer)

Start	Numer sek.	Nagłówek	Dane	ECRC	LCRC	End
-------	------------	----------	------	------	------	-----

- Modulacja nadmiarowa - skramblowanie: 8b/10b lub 128b/130b (nowsza wersja standardu)

## Interfejsy wbudowane w systemy komputerowe

### ■ PCI Express – warstwowy model transmisji, cd.





## Interfejsy wbudowane w systemy komputerowe

### ■ PCI Express – przepustowości i połączenia

■ Liczba łączy (lane)	Pasmo (GB/sec)
■ x1	0,5
■ x2	1
■ x4	2
■ ...	
■ x16	8

### ■ PCIe link czy PCIe lane

- Link może zawierać wiele łączy (lane)
  - xN – oznacza że link zawiera N łączy (lane)
  - Jeden link obsługuje jeden port
- Łącze (Lane) – jedna para różnicowa do transmisji a druga do odbioru

### ■ Połączenia są realizowane w stylu point-to-point

- Tworzą je połączenia szeregowo w ramach każdej z par różnicowych
  - Poziom sygnałów: różnicowe 800mV...1,2V
  - Składowa stała między 0 a 3,6V – a raczej użytkowo między 800mV a 2,4V

## Interfejsy wbudowane w systemy komputerowe

### ■ PCI Express – połączenia

#### ■ Konfigurowalność połączeń

##### ■ Połączenia nie muszą być pełne

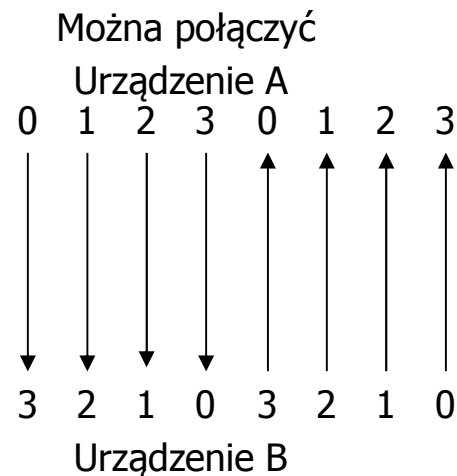
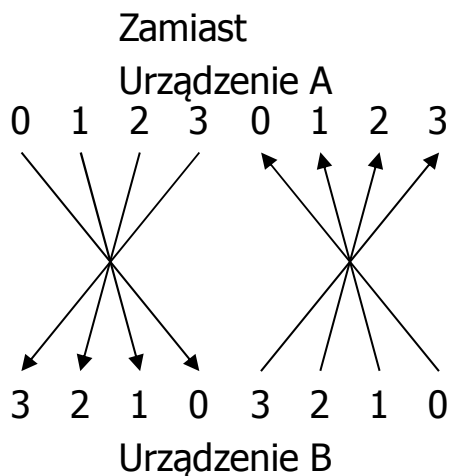
- Połączenie „do góry” może mieć więcej łączy (lane) niż połączenie „do dołu”

#### ■ Odwracalność połączeń i polaryzacji (Lane Reversal i Polarity Inversion)

##### ■ Zdolność do zmiany odpowiadających sobie połączeń (Lane) - upraszcza tworzenie PCB

- Zamiast łączyć lane 01 urządzenia A z lane 01 urządzenia B można je połączyć z lane 32 urządzenia B

- Jak również D+ i D- zamiast łączyć wprost z D+ i D- można po inwersji polaryzacji podłączyć z D- i D+



**Dziękujemy za uwagę!**