

Nome: _____

Data: 12/03/2013

2ª AVALIAÇÃO

Questão 1: Considere o trecho de programa para o MIPS apresentado abaixo e que o ciclo de relógio seja **8ns** para o MIPS monociclo e **2ns** para o MIPS multiciclo e pipeline. Considere que as instruções **addi** e **ori** tem o mesmo custo que **add**. Na versão pipeline considere que as instruções de desvio NÃO executam automaticamente a próxima instrução e que **TODOS** os conflitos de dados foram resolvidos por adiantamento.

- | | |
|--|---|
| lw \$4, 0xA (\$15)
addi \$5, \$0, 3
ori \$6, \$0, 2
inicio: beq \$5, \$0, fim
addi \$5, \$5, -1
beq \$5, \$6, inicio
sub \$7, \$5, \$6
add \$8, \$6, \$7
j inicio
fim: sub \$6, \$6, \$7
sub \$8, \$7, \$6
sw \$8, 0xA (\$15) | <p>(a) Qual é o CPI deste programa para as três implementações do MIPS (monociclo, multiciclo e pipeline)? Mostre os cálculos. (1,0 ponto)</p> <p>(b) Quanto tempo o trecho de programa demora para ser executado em cada uma das três versões de MIPS? (1,0 ponto)</p> <p>(c) Qual é o valor dos registradores \$8, \$9 e \$10 após a execução do programa ao lado? (1,0 ponto)</p> |
|--|---|

Questão 2: Considere que os tempos de operação para os componentes usados nos projetos do MIPS monociclo, multiciclo e pipeline são os apresentados na tabela abaixo, determine o período do relógio para as três versões do MIPS. **(1,0 ponto)**

Operação/Componente	Atraso
Acesso à memória (escrita ou leitura)	5 ns
Operação na ULA	2 ns
Acesso ao Banco de Registradores (escrita ou leitura)	2 ns
Outros elementos combinacionais e controle da ULA	0 ns

Questão 3: Um programa roda em 5s na máquina A, que tem clock de 100 MHz. Queremos rodá-lo em 2s numa máquina B com nova tecnologia. A máquina B pode ter um aumento substancial de frequência de clock, no entanto, máquina B exigirá 1,4 vezes mais ciclos de clock para executar instruções do que a máquina A. Qual é a frequência de clock necessária para a máquina B? Apresente os cálculos. **(0,5 ponto)**

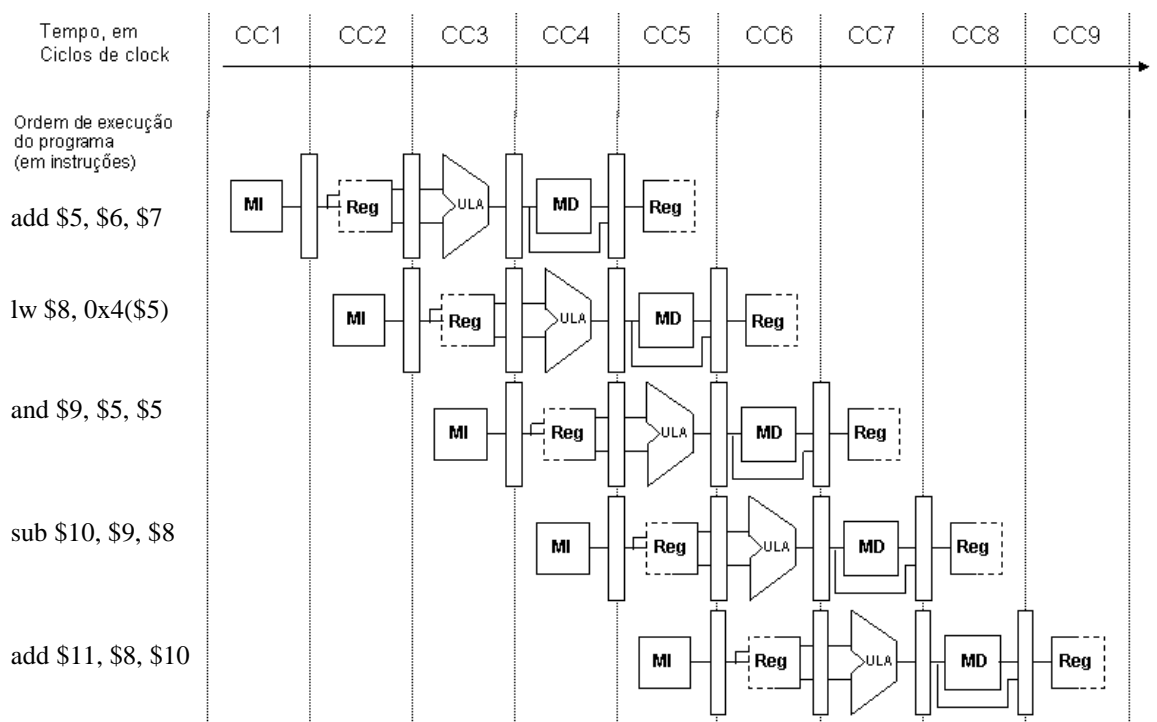
Questão 4: Explique porque as métricas de avaliação de desempenho MIPS e MFLOPS não são adequadas para comparar o desempenho de diferentes computadores. **(0,5 ponto)**

Questão 5: Um projetista de compilador deseja decidir entre duas possíveis sequências de código para a resolução de um problema dados os tipos de instruções e o número de ciclos por instrução de cada tipo, qual sequência é mais rápida? Apresente os cálculos. **(1,0 ponto)**

Tipo de Instrução	CPI
A	6
B	3
C	2

Código	Número de Instruções		
	Tipo A	Tipo B	Tipo C
1	1	5	6
2	3	4	3

Questão 6: Considerando a representação gráfica do pipeline do MIPS que está apresentada abaixo, faça as conexões corretas para utilizar a técnica de adiantamento e resolver os conflitos de dados **(1,0 ponto)**.



Questão 7: Considerando que o código abaixo será executado no MIPS pipeline **sem adiantamento**.

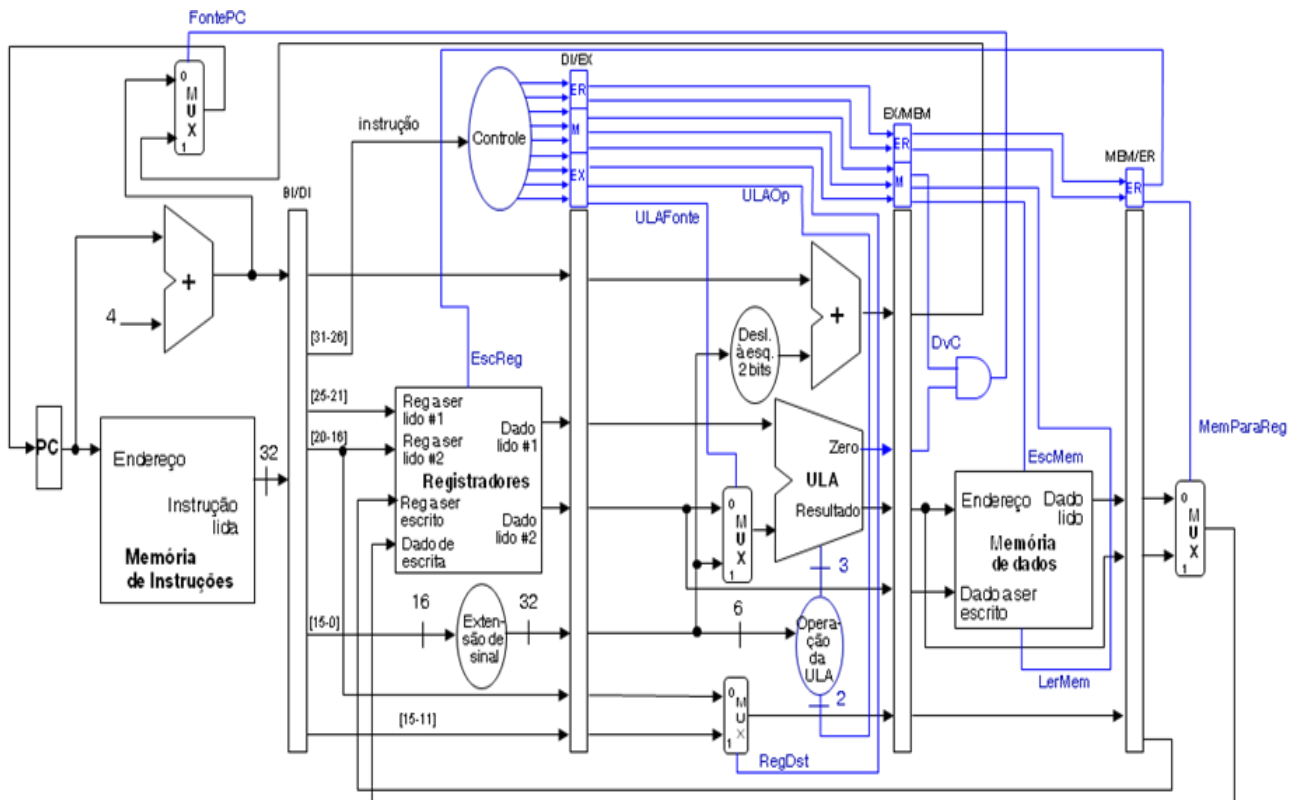
84 add \$8, \$5, \$3
88 sw \$8, 0x4(\$8)
92 lw \$9, 0x8(\$8)
96 and \$10, \$8, \$9
100 lw \$11, 0x8(\$9)
104 add \$12, \$10, \$11
108 or \$13, \$12, \$11

- Indique quais são os conflitos de dados presentes neste código (indique as linhas onde estão as instruções, o registrador envolvido e o tipo de conflito). **(1,0 ponto)**
- Indique quais conflitos na questão acima NÃO podem ser resolvidos por adiantamento (apenas cite os números dos conflitos). **(0,5 ponto)**

Questão 8: Considere o bloco operativo do MIPS pipeline apresentado a seguir. Deseja-se acrescentar a este processador a instrução **movi**, cujo formato é descrito abaixo. Esta instrução realiza a transferência de um valor imediato (representado em complemento de dois) presente na instrução para o registrador Rd.

opcode (6 bits)	Rd (5 bits)	não usado (5 bits)	operando imediato (16 bits)
-----------------	-------------	--------------------	-----------------------------

Adicione, na figura, todas as modificações necessárias no bloco operativo do MIPS pipeline para contemplar a instrução **movi**. (1,5 ponto)



Questão 9: Considere o diagrama do MIPS pipeline apresentado acima.

- Explique porque o mux controlado pelo sinal “RegDst” está alocado no estágio “EX” do pipeline. Ele poderia ser deslocado para o estágio “DI”? E para o estágio “MEM”? Explique. (0,5 ponto)
- Explique porque existem três registradores “ER” e apenas um registrador “EX” no MIPS pipeline. (0,5 ponto)