



**UNIVERSIDADE FEDERAL DE PELOTAS**  
**CENTRO DE DESENVOLVIMENTO TECNOLÓGICO**  
**CIÊNCIA DA COMPUTAÇÃO**  
**ENGENHARIA DE COMPUTAÇÃO**  
**Arquitetura e Organização de Computadores II**

**Exercícios de Revisão para a Prova 1**

- 1- Quantos níveis pode ter uma hierarquia de memória?
- 2- O que é um bloco?
- 3- O que é a taxa de acertos, também chamada de hit ratio?
- 4- Se o hit ratio de uma cache for de 0.78, quanto será seu miss ratio?
- 5- Descreva o que é penalidade por falta.
- 6 - Qual a maior vantagem e desvantagem do uso de associatividade na cache?
- 7 - Cite as vantagens e desvantagens dos seguintes mapeamentos:
  - a) Direto
  - b) Totalmente associativo e em qual cenário esta estratégia é mais utilizado.
  - c) Completamente associativo:
- 8- Cite quais são as fontes de misses de uma cache, porque acontecem e as suas respectivas soluções.
- 9- Explique as vantagens e desvantagens das estratégias de escrita write through e write back:
- 10- O que é o “bit sujo” no esquema write back?

11- Explique quando um write miss ocorre e as estratégias utilizadas para lidar com este evento.

12- Descreva o problema que haverá ao se utilizar um sistema com uma cache juntamente do esquema de escrita write through com buffer de escrita cuja frequência das escritas é muito maior que o ciclo de escrita da memória DRAM. Como poderia-se resolver este problema? (Justifique)

13- Porque não podemos utilizar apenas memórias SRAM para a construção da hierarquia de memória. Explique as vantagens e desvantagens desta tecnologia de implementação.

14- Explique porque nos sistemas computacionais atuais o uso de uma hierarquia de memória é fundamental?

15- Explique o funcionamento de uma cache, e porque ela aumenta a eficiência do sistema.

16- Considerando um sistema de cache, responda as seguintes questões:

a) Durante uma operação de escrita na cache o gerenciador da memória cache pode utilizar uma das duas estratégias possíveis: write-through ou write-back. Explique o funcionamento das duas estratégias.

b) Crie o fluxograma de uma cache write-through sem alocação de escrita.

17- Considerando um sistema de cache, responda as seguintes questões:

a) Uma cache consistindo em quatro blocos de uma word cada, pode apresentar os seguintes mapeamentos: cache totalmente associativa, cache conjunto associativa com dois blocos por conjunto e cache diretamente mapeada. Explique como funciona cada modo de mapeamento neste sistema de cache (exemplifique).

*b) Algumas das estratégias para redução do miss rate são: utilizar tamanho de blocos maiores, utilizar caches de tamanhos maiores e maior associatividade. Explique cada uma destas estratégias e como elas podem reduzir o miss rate.*

c) Discuta as desvantagens associadas a cada um destas estratégias.

*Tamanhos de bloco maiores:*

*Caches de tamanhos maiores:*

*Maior associatividade:*

18- Os itens A e B contém uma lista de referências para endereços de memória de 5 bits.

A. 0, 31, 12, 7, 31, 13, 12, 31, 7, 31, 7, 12

B. 1, 17, 1, 17, 5, 25, 29, 1, 25, 29, 17, 1

Para cada uma das referências da Tabela 1, realizar os mapeamentos direto (itens a, b) e associativo em quatro (somente item a) e duas vias (somente item b) de uma cache com 8 blocos. Também listar se cada referência requisitada apresenta cache hit/miss calculando a taxa de ausência de endereços. Assumir que inicialmente a cache está vazia. Se houver necessidade de substituição de blocos na cache, utilize o algoritmo LRU (Last Recently Used – último recentemente usado) para definir qual endereço será substituído na memória cache.

19- Quantos conjuntos possui a cache L1 4-way de 64 Kbytes de um processador Ultra Sparc III com blocos de 32 palavras de 64bits?

20- *Projete uma cache de dados de tamanho de 1MB mapeamento conjunto associativo de 2 vias que utiliza endereços de 32 bits e 128 bytes por bloco e utiliza uma memória endereçada à bytes. Calcule:*

a) *Quantos bits são utilizados para o offset, índice e tag?*

b) Qual o tamanho total desta cache?

c) Para onde seria mapeado o endereço 912 nesta cache (considere a cache vazia)?

d) Construa um diagrama desta cache.

21- Qual é o tempo de acesso a cache de um computador cujo tempo médio efetivo de acesso a cada byte da cache é 1.3ns para aplicação Z que quando executada acessa cada byte da Cache 75 vezes?

22- Através de um experimento científicos com uma aplicação X, provou-se que a cache de um determinado sistema possui um tempo efetivo de acesso à cache de 2ns para aquela aplicação. Sabe-se que o tempo de acesso à cache neste sistema é de 0.5ns e o tempo de acesso à memória principal é de 15ns.

a) Qual é o número de acessos à cache neste experimento?

b) Testando o mesmo sistema com uma aplicação Y, obteve-se um tempo efetivo de acesso à cache de 0.8ns. Quantos acessos à cache foram feitos na execução desta aplicação?

c) O que pode-se afirmar sobre as aplicações X e Y? Justifique o que pode provocar sua afirmação.

d) Se for feito um upgrade neste sistema e a memória principal fosse trocada por uma memória cujo tempo de acesso é de 12ns. Qual seria o tempo efetivo de acesso à cache para a aplicação Y?

e) Depois deste upgrade, qual seria o tempo efetivo de acesso à cache se fosse inserido uma nova cache L2 no sistema com tempo de acesso de 2ns?

23- *Para uma cache de dados que armazena 4096Kb de dados e que possui endereços de 32 bits, armazena duas palavras por bloco e utiliza uma memória endereçada à bytes. Calcule:*

*Caso seja diretamente mapeada:*

a) *Quantos bits são utilizados para o offset, índice e tag?*

b) Qual o tamanho total da cache?

C) Qual foi o aumento no tamanho da cache em %?

*Caso seja Associativa com conjunto de 4 posições:*

a) *Quantos bits são utilizados para o offset, índice e tag?*

b) Qual o tamanho total da cache?

c) Qual foi o aumento no tamanho da cache em %?

24- A área de memória disponível para implementação de uma cache L2 é 256 Kbytes. Considerando que a memória a ser endereçada possui 256 Mbytes ( $2^{28}$ ) e a cache deve trabalhar com blocos de 8 palavras de 16 bits calcule para a técnica direta, totalmente associativa e conjunto associativa (16 conjuntos):

25- Considerando uma cache unificada de 32KB que apresenta 60 faltas para cada 1000 instruções em um processador com clock de 2GHz. Considere que existe 1,5 acessos a memória para cada instrução, que um acerto utiliza 1 ciclo de clock e a penalidade de falta é de 100 ciclos para o acesso a memória principal.

a) Calcule o tempo médio de acesso à memória e desempenho do processador neste sistema.

b) Calcule o ganho no tempo médio de acesso a memória, e o desempenho do processador, com a inserção de uma cache de segundo nível, que apresenta 30 faltas a cada 1000 instruções e tempo de acerto de 10 ciclos. Considere que a penalidade de falta da cache de segundo nível também é de 100 ciclos para o acesso a memória principal.

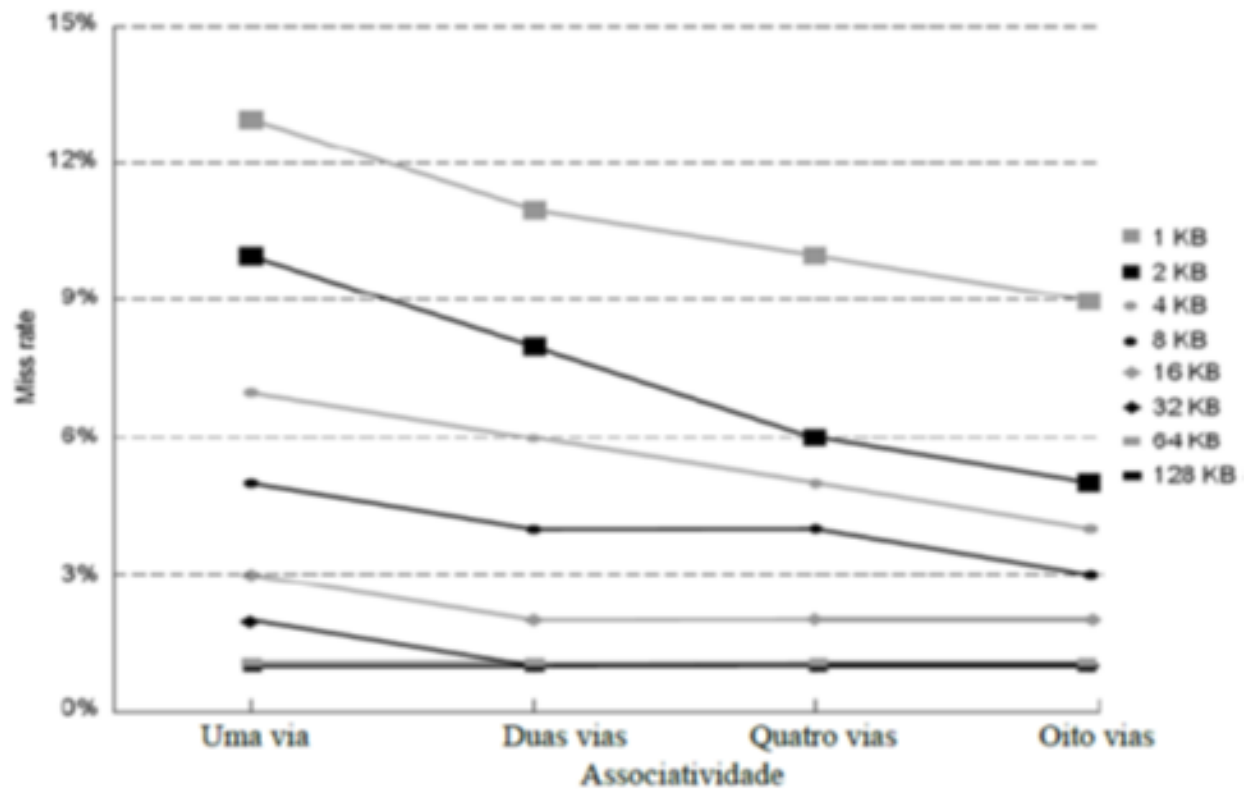
26- Considerando uma cache unificada de 32KB que apresenta 80 faltas para cada 900 instruções. Considere que existe 1,7 acessos a memória para cada instrução, que

um acerto utiliza 1 ciclo de clock e a penalidade de falta é de 120 ciclos para o acesso a memória principal e que o tempo médio de acesso à memória é de 3,7ns.

(a) Calcule o período de clock.

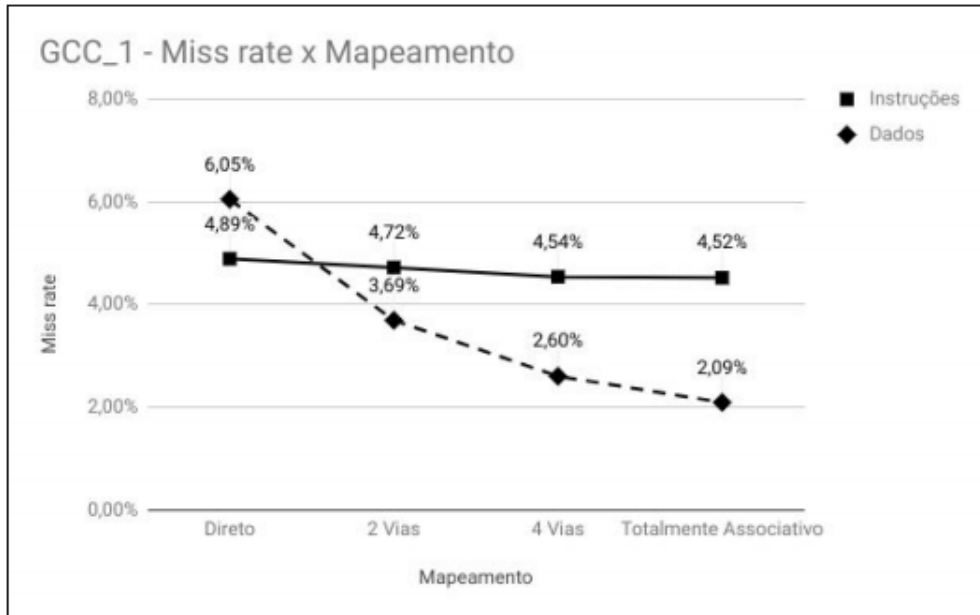
27- O gráfico abaixo apresenta os resultados médios de taxa de miss para diferentes tamanhos de cache, utilizando diferentes níveis de associatividade.

(a) Explique o comportamento das curvas do gráfico abaixo:

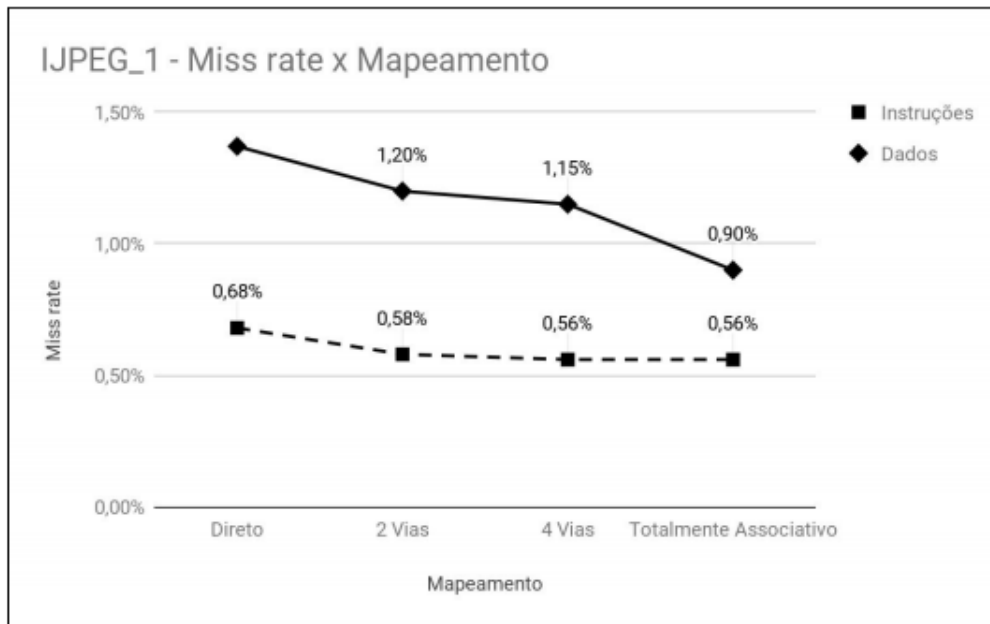


(b) Explique porque as curvas para as caches de 64K e 128K apresentam um comportamento diferente das demais curvas.

28 - Explique o possível motivo do comportamento das curvas de instruções e dados terem comportamentos distintos entre a Figura 1 e 2:



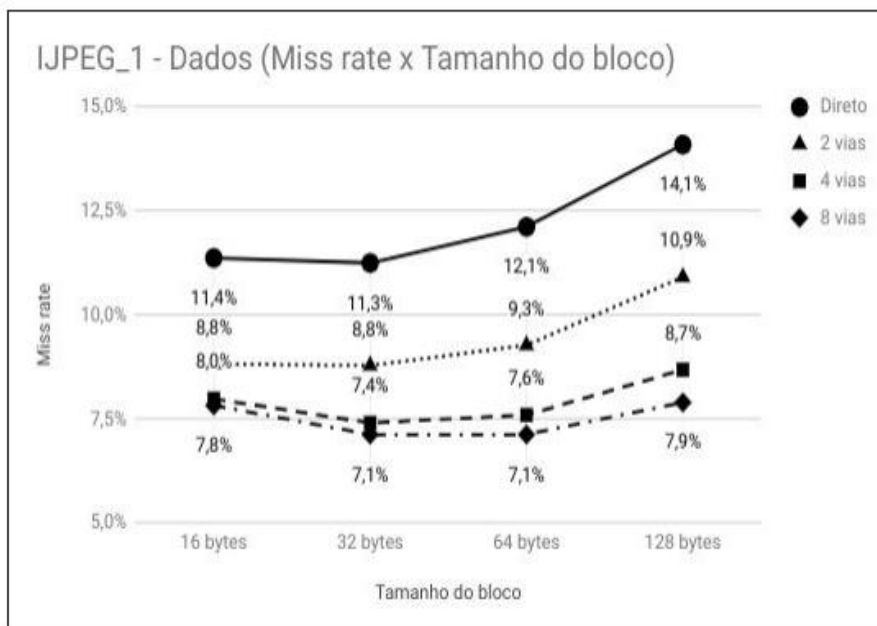
**Figura 1. Miss rate para os mapeamentos direto, 2 vias, 4 vias e totalmente associativo com o benchmark GCC\_1.**



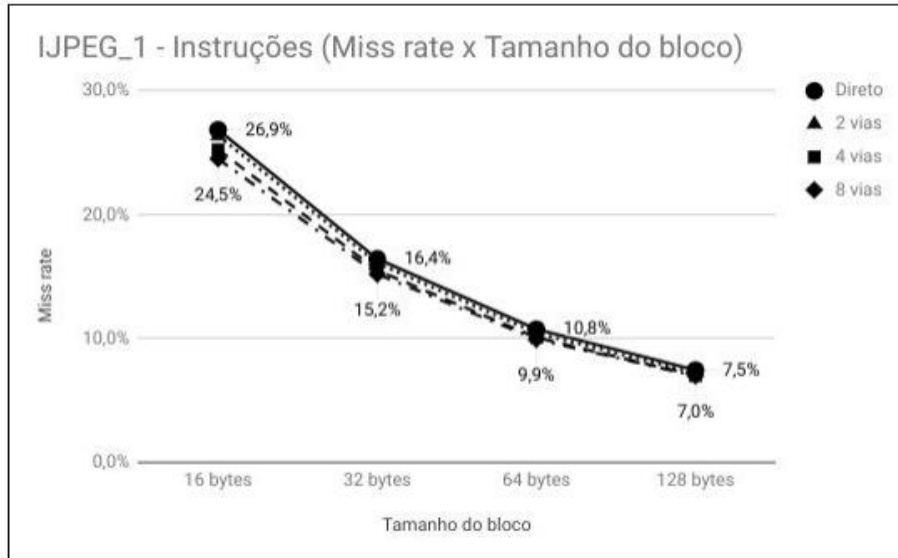
**Figura 2. Miss rate para os mapeamentos direto, 2 vias, 4 vias e totalmente associativo com o benchmark IJPEG\_1.**

29- Dados os gráficos a seguir, responda:

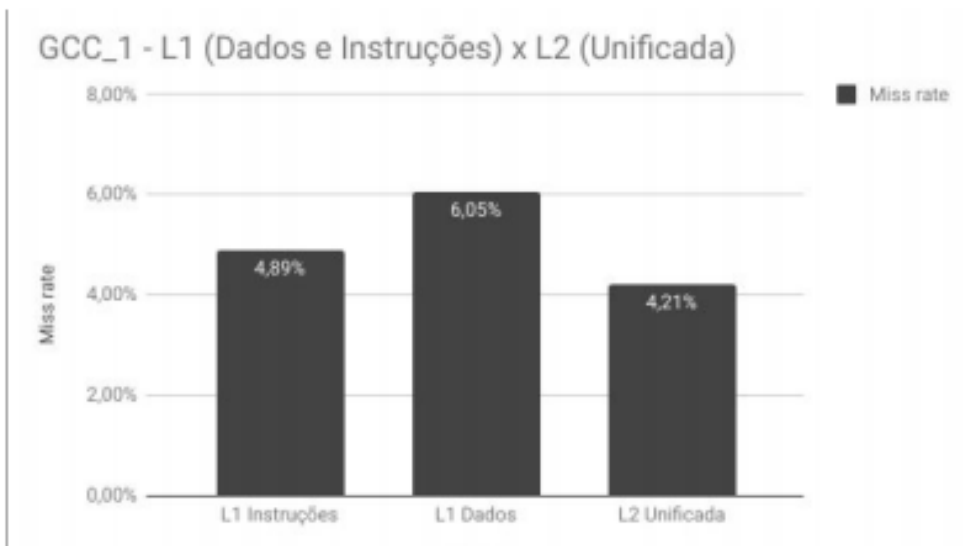
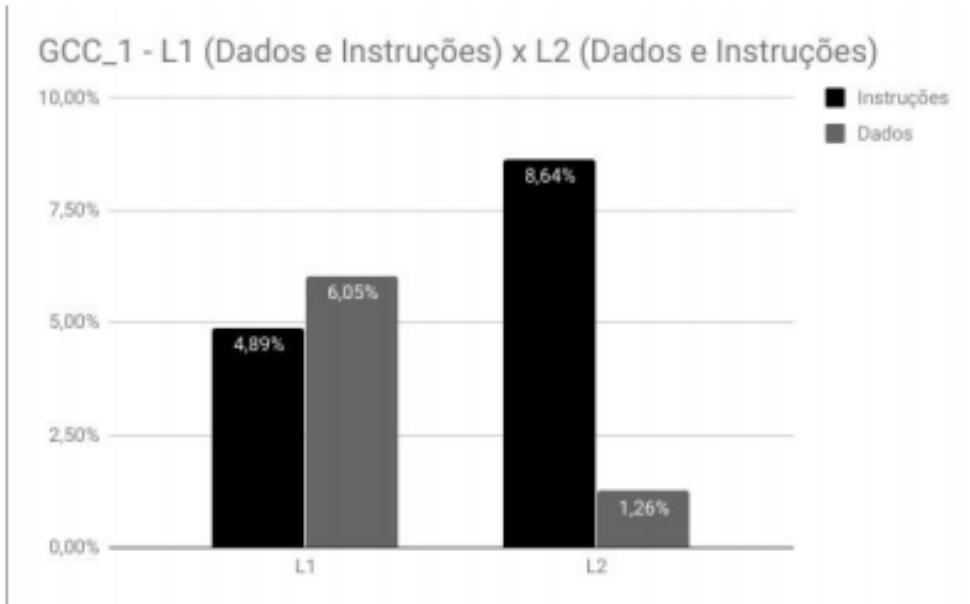
- Porquê aumentar o tamanho da cache acabou aumentando a taxa de miss de dados?
- Porque o mesmo comportamento não ocorreu para os acessos de instruções?





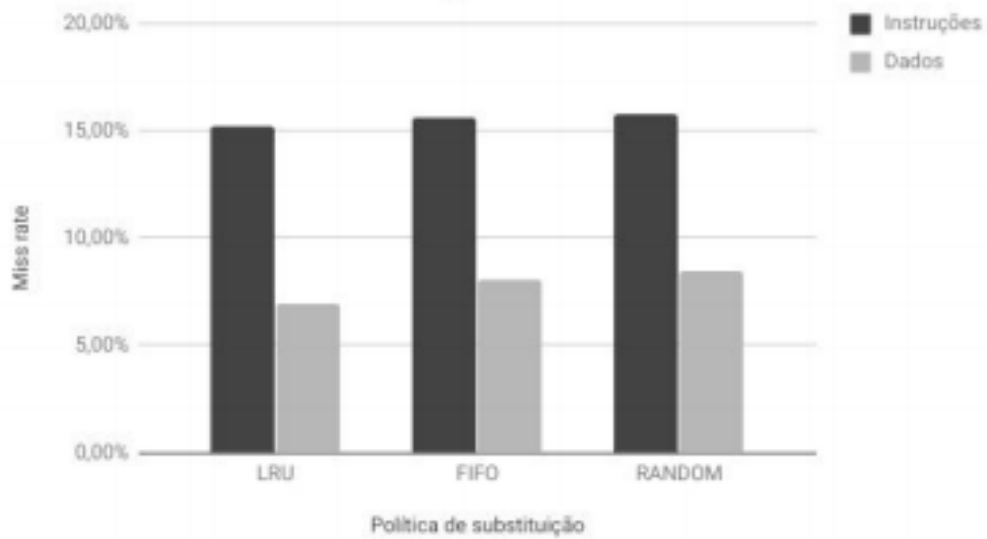


30- Analisando ambas figuras abaixo, explique na sua opinião se utilizar uma cache L2 unificada é mais eficaz do que ter uma para cada tipo de acesso. Explique também o porque a taxa de miss da unificada não é uma média entre as taxas da L2 de dados e instruções.



31- Explique os possíveis motivos para as políticas de substituição causarem maior miss de instruções para a aplicação GCC\_1 e de dados para a Vortex\_1. Ainda, justifique o porquê pode ser desejável utilizar a política FIFO ou RANDOM sendo que a LRU provê melhores resultados em ambos cenários.

GCC\_1 - Política de Substituição



VORTEX\_1 - Política de Substituição

