O RISC-V 32i, apenas 6 formatos de instrução (R, I, S, B, U, J) A seguir, são listados algumas instruções do RISC-V 32i:

```
I- bge t0, t1, 0x400040
II- lw t0, 0(t1)
III-xor t0, t1, t2
```

Nesse contexto, os formatos de instrução são respectivamente:

- (A) I, S e U
- (B) B, S e U
- (C) B, I e R
- (D) I, S e R
- **(E)** I, I e R

O RISC-V 32i, apenas 6 formatos de instrução (R, I, S, B, U, J) A seguir, são listados algumas instruções do RISC-V 32i:

```
I- jal t0, t1, 0
II- sw t0, 0(t1)
III- jalr t0, t1, 0
```

Nesse contexto, os formatos de instrução são respectivamente:

- (A) I, S e U
- (B) J, S e I
- (C) J, I e J
- (D) I, S e J
- **(E)** I, S e J

No RISC-V32i quando o processador busca uma instrução, ele lê primeiro alguns bits para descobrir seu formato de instrução e em seguida saber onde buscar o restante das informações. Onde estão esses bits na instrução?

- (A) Essa informação está nos bits 0 ao 6 da instrução.
- (B) Essa informação está nos bits 24 ao 31 da instrução.
- (C) Essa informação está nos bits 7 ao 11 da instrução.
- (D) Essa informação está nos bits 12 ao 14 da instrução.
- (E) Essa informação está nos bits 25 ao 31 da instrução.

No RISC-V32i existem diferentes tipos de instruções de desvio condicional. Dessa forma é necessário que as instruções de desvio condicional possuam bits que permitam diferenciar esses tipos de desvio. Onde estão esses bits na instrução?

- (A) Essa informação está nos bits 0 ao 6 da instrução.
- (B) Essa informação está nos bits 24 ao 31 da instrução.
- (C) Essa informação está nos bits 7 ao 11 da instrução.
- (D) Essa informação está nos bits 12 ao 14 da instrução.
- (E) Essa informação está nos bits 25 ao 31 da instrução.

No RISC-V32i, as instruções add t0, t1, t2 e sub t0, t1, t2 tem a sequência de bits extremamente parecida. Assinale a alternativa que contém os bits utilizados para diferenciar essas duas instruções.

- (A) Essa informação está nos bits 0 ao 6 da instrução.
- (B) Essa informação está nos bits 24 ao 31 da instrução.

- (C) Essa informação está nos bits 7 ao 11 da instrução.
- (D) Essa informação está nos bits 12 ao 14 da instrução.
- (E) Essa informação está nos bits 25 ao 31 da instrução.

Analise as afirmativas a seguir sobre a linguagem de máquina do RISC-V 32i:

- 1. Não é possível ler diretamente os bits que diferenciam uma instrução de BEQ e de BLT.
- 2. Isso ocorre porque, em diferentes formatos de instrução, os bits que usados para diferenciar instruções de BEQ e BLT são utilizados com outros propósitos. Assinale a alternativa correta:
- (A) As duas afirmativas são verdadeiras e a segunda é uma justificativa da primeira.
- **(B)** As duas afirmativas são verdadeiras, mas a segunda não é uma justificativa da primeira.
- **(C)** A primeira afirmativa é verdadeira e a segunda é falsa.
- (D) A primeira afirmativa é falsa e a segunda é verdadeira.
- (E) As duas afirmativas são falsas.

O registrador fonte 1 (RS1) é utilizado em mais de um formato de instrução no RISC-V 32i. Dada sua importância, destaque no vetor, a seguir, os bits utilizados.

| 31 | 23 | | 15 | 7 | 0 |
|---------------------------|----|-------------|-----------|---------------|---------------|
| Após isso, registrador | | odos os foi | rmatos de | instrução que | utilizam esse |