

CENTRO UNIVERSITÁRIO FEI
RODRIGO ALVES DE LIMA MORETO

**OTIMIZAÇÃO DE AMPLIFICADORES OPERACIONAIS DE
TRANSCONDUTÂNCIA POR MEIO DE ALGORITMOS EVOLUCIONÁRIOS**

São Bernardo do Campo
2016

RODRIGO ALVES DE LIMA MORETO

**OTIMIZAÇÃO DE AMPLIFICADORES OPERACIONAIS DE
TRANSCONDUTÂNCIA POR MEIO DE ALGORITMOS EVOLUCIONÁRIOS**

Tese de doutorado apresentada ao Centro Universitário FEI para obtenção do título de Doutor em Engenharia Elétrica, orientado pelo Prof. Dr. Salvador Pinillos Gimenez e coorientado pelo Prof. Dr. Carlos Eduardo Thomaz.

São Bernardo do Campo
2016

Moreto, Rodrigo Alves de Lima.

Otimização de amplificadores operacionais de transcondutância por meio de algoritmos evolucionários / Rodrigo Alves de Lima Moreto. São Bernardo do Campo, 2016.

292 p. : il.

Tese - Centro Universitário FEI.

Orientador: Prof. Dr. Salvador Pinillos Gimenez.

Coorientador: Prof. Dr. Carlos Eduardo Thomaz.

1. Projeto assistido por computador (CAD). 2. Função de aptidão. 3. Projeto de circuito integrado CMOS analógico. 4. Amplificador operacional de transcondutância (OTA). 5. Eletrônica evolucionária. I. Gimenez, Salvador Pinillos, orient. II. Título.

Aluno: Rodrigo Alves de Lima Moreto

Matrícula: 512201-5

Título do Trabalho: Otimização de amplificadores operacionais de transcondutância por meio de algoritmos evolucionários.

Área de Concentração: Dispositivos Eletrônicos Integrados

Orientador: Prof. Dr. Salvador Pinillos Gimenez

Data da realização da defesa: 08/09/2016

ORIGINAL ASSINADA

Avaliação da Banca Examinadora

São Bernardo do Campo, 08 / 09 / 2016.

MEMBROS DA BANCA EXAMINADORA

Prof. Dr. Salvador Pinillos Gimenez	Ass.: _____
Prof. Dr. Marcelo Antonio Pavanello	Ass.: _____
Prof. Dr. José Carlos de Souza Júnior	Ass.: _____
Prof. ^a Dr. ^a Nadia Nedjah	Ass.: _____
Prof. Dr. José Vieira do Vale Neto	Ass.: _____

A Banca Examinadora acima-assinada atribuiu ao aluno o seguinte:

APROVADO

REPROVADO

VERSAO FINAL DA TESE

ENDOSSO DO ORIENTADOR APÓS A INCLUSÃO DAS RECOMENDAÇÕES DA BANCA EXAMINADORA

Aprovação do Coordenador do Programa de Pós-graduação

Prof. Dr. Carlos Eduardo Thomaz

Dedico este trabalho aos alunos e professores
do Centro Universitário FEI e aos meus
amigos e familiares que acreditam em meu
potencial e torcem pelo meu sucesso.

AGRADECIMENTOS

Agradeço aos meus pais, Gilberto e Tânia, que sempre me incentivaram e apoiaram em todas as iniciativas, em todas as fases da minha vida, incluindo a realização deste trabalho.

Aos meus orientadores Prof. Dr. Salvador Pinillos Gimenez e Prof. Dr. Carlos Eduardo Thomaz pelo incansável suporte e compreensão, em todas as fases deste trabalho.

Ao professor doutor Marcelo Antonio Pavanello, por ceder espaço no laboratório de microeletrônica para montagem de nossos dispositivos de caracterização elétrica.

Aos alunos mestrado e doutorado em dispositivos eletrônicos integrados, especial aos alunos Gabriel Augusto da Silva e Vinicius Vono Peruzzi pelas ajudas ofertadas no decorrer do curso.

À Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), processo nº 2012/10394-3, pelo apoio financeiro.

Ao MOSIS pela fabricação dos OTAs caracterizados experimentalmente nesse trabalho.

Aos doutores Gunter Strube e Marat Yakupov da MunEDA por suas assistências.

À todas as pessoas que diretamente ou indiretamente contribuíram para que esse trabalho fosse concluído com sucesso.

“Nunca trabalhei um dia em minha vida. Foi tudo diversão.”

“Se todos nós fizéssemos as coisas que somos capazes de fazer, literalmente nos impressionaríamos.”

“Não conhecemos um milionésimo de um por cento de nada.”

Thomas Alva Edison

RESUMO

Os amplificadores operacionais de transcondutância (OTAs) são empregados em diversos blocos básicos da eletrônica, tais como conversores digitais-analógicos, comparadores, amplificadores, entre outros. No entanto, o projeto desses circuitos integrados (CIs) metal-óxido-semicondutor complementar (CMOS) analógicos é uma atividade complexa, pois são sistemas de múltiplas variáveis de entrada e múltiplos objetivos, apresentando muitas combinações das variáveis de entrada a serem investigadas para atender as especificações de projeto requeridas. As variáveis de entrada são tipicamente as dimensões dos transistores e as condições de polarização do CI. As especificações de projeto são geralmente o ganho de tensão, a frequência de ganho de tensão unitário, a margem de fase, o consumo de potência, entre outros. Embora as ferramentas de projeto de CIs CMOS digitais estejam bem desenvolvidas e existam diversas opções disponíveis comercialmente, há poucas ferramentas de CIs CMOS analógicos disponíveis para auxiliar os projetistas. Os objetivos iniciais desta tese são aprimorar o operador de elitismo do algoritmo genético (GA) de um sistema evolucionário, desenvolvido pelo autor, que é integrado computacionalmente ao simulador SPICE, intitulado de AGSPICE e verificar na prática a sua efetividade. Esse sistema computacional é usado no processo de otimização de amplificadores operacionais de transcondutância para posteriormente serem realizados os respectivos leiautes, fabricação e caracterização elétrica experimental. Os resultados desse estudo demonstraram que o AGSPICE é capaz de aumentar a tolerância do desempenho elétrico dos OTAs em relação às variações ambientais e do processo de fabricação CMOS de CIs, permitindo o desenvolvimento de soluções práticas com precisão e baixo tempo de projeto (inferior a uma hora). O GA não foi o único algoritmo de otimização implementado no AGSPICE. Devido à grande importância de se avaliar sua capacidade em relação a diversos algoritmos de otimização existentes na literatura, outros algoritmos de otimização da área de inteligência artificial (IA) foram adicionados ao sistema, tais como o arrefecimento simulado (SA), o algoritmo competitivo imperialista (ICA) e o algoritmo do “sapo pulando embaralhado” (SFLA). Assim, o AGSPICE proposto inicialmente foi transformado em uma plataforma mais flexível e eficiente, renomeada para MTGSPICE, permitindo ao projetista escolher o algoritmo de otimização mais adequado para um determinado processo de otimização. Neste contexto, abordagens *“a posteriori”* têm sido amplamente utilizadas para realizar os processos de otimização de CIs CMOS analógicos, que incorporam métodos de Pareto. Porém, essas técnicas não são totalmente capazes de explorar soluções potenciais em regiões específicas da fronteira de Pareto. Além disso, os projetistas têm grande dificuldade para escolher uma solução capaz

de alcançar todas as especificações desejadas simultaneamente dentre muitas soluções diferentes encontradas. Abordagens “*a priori*”, tal como a implementada no MTGSPICE, se tornam um método alternativo importante para superar essas dificuldades. Os estudos nesse trabalho têm também por objetivo comparar diferentes perfis de funções de aptidão usados nos processos de otimização “*a priori*” para aumentar a efetividade dos processos de busca em relação à tolerância, precisão e rendimento. Outro objetivo importante é analisar a relação entre os valores da função de aptidão das melhores soluções encontradas e a tolerância do desempenho elétrico, levando em conta as variações ambientais e do processo de fabricação (análises de Monte Carlo). Conclui-se que o perfil Gaussiano proposto nessa tese é capaz de melhorar todas as técnicas “*a priori*” estudadas. Além disso, o processo de otimização do MTGSPICE usando o perfil de função de aptidão Gaussiano proposto nesse trabalho foi qualificado usando a ferramenta profissional WiCkeD da MunEDA como referência, onde os resultados obtidos para as especificações desejadas no projeto de dois OTAs apresentaram diferenças menores que 5%.

Palavras-chave: Projeto assistido por computador (CAD). Função de aptidão. Projeto de circuito integrado CMOS analógico. Amplificador operacional de transcondutância (OTA). Eletrônica evolucionária. Simulações de Monte Carlo. Algoritmos genéticos. Leiaute. Fabricação.

ABSTRACT

The operational transconductance amplifiers (OTAs) are employed in several basic blocks of electronics, such as digital-analog converters, comparators, amplifiers, among others. However, the design of these analog complementary metal-oxide-semiconductor (CMOS) integrated circuits (ICs) is a complex task, because they are systems with multiple input variables and multiple objectives, presenting many combinations of the input variables to be investigated in order to meet the required design specifications. The input variables are typically the transistors dimensions and the bias conditions of the IC. The design specifications are usually the voltage gain, unity voltage gain frequency, phase margin, power consumptions, among others. Although the design tools for the digital CMOS ICs are well developed and there are several options commercially available, there are few tools for the analog CMOS ICs available to assist the designers. The initial objectives of this thesis are to improve the elitism operator of the genetic algorithm (GA) of an evolutionary system, developed by the author, which is computationally integrated to the SPICE simulator, entitled AGSPICE and verify in the practice its effectiveness. This computational system is used for the optimization process of operational transconductance amplifiers in order to subsequently to be performed the respective layouts, manufacturing and experimental electrical characterization. The results of this study demonstrated that the AGSPICE is able to increase the electrical performance tolerance of the OTAs regarding the environmental and CMOS ICs manufacturing process variations, allowing the development of practical solutions with accuracy and low design time (less than one hour). The GA was not the only optimization algorithm implemented in the AGSPICE. Due to the great importance to assess its capability in relation to several optimization algorithms existing in the literature, other optimization algorithms in the field of artificial intelligence (AI) were added to the system, such as the simulated annealing (SA), imperialist competitive algorithm (ICA) and shuffled frog leaping algorithm (SFLA). Thus, the AGSPICE initially proposed was transformed into a more flexible and efficient platform, renamed to MTGSPICE, allowing the designer to choose the most appropriate optimization algorithm for a certain optimization process. In this context, "*a posteriori*" approaches have been widely used to perform the optimization processes of analog CMOS ICs, which incorporate Pareto methodologies. However, these techniques are not totally able to explore potential solutions in specific regions of the Pareto front. Moreover, the designers have great difficult in choosing a solution capable of achieving all the desired specifications simultaneously among many distinct solutions found. "*A priori*" approaches, such as the one implemented in the MTGSPICE, become an important

alternative method to overcome these difficulties. The studies in this work also aim at comparing different fitness function profiles used in the “*a priori*” optimization processes to boost the effectiveness of the search processes in relation to tolerance, accuracy and yield. Another important goal of this study is to analyze the relation between the fitness function values of the best found solutions and their electrical performance tolerance, taking into account the environmental and manufacturing processes variations (Monte Carlo analyses). It is concluded that the Gaussian profile proposed in this thesis is able to improve all the “*a priori*” techniques studied. Moreover, the MTGSPICE optimization process using the Gaussian fitness function profile proposed in this work was qualified using the professional tool WiCkeD from MunEDA as a reference, where the results obtained for the desired specifications in the design of two OTAs presented differences smaller than 5%.

Keywords: Computer-aided design (CAD). Fitness function. Analog CMOS integrated circuit design. Operational transconductance amplifier (OTA). Evolutionary electronics. Monte Carlo simulations. Genetic algorithms. Layout. Manufacturing.

LISTA DE ILUSTRAÇÕES

Figura 1 –	Arquitetura do OTA CMOS de único estágio e única saída implementado nesse trabalho.....	66
Figura 2 –	Esboço da curva do ganho de tensão em malha aberta em função da frequência do sinal de entrada diferencial de um OTA.....	70
Figura 3 –	Arquitetura do OTA Miller otimizado nesse trabalho.	72
Figura 4 –	Arquitetura do AMP OP DPZCC otimizado nesse trabalho.	73
Figura 5 –	Arquitetura do OTA Miller-compensado de polarização cascode otimizado nesse trabalho.....	75
Figura 6 –	Representação elétrica de um AMP OP com tensão de <i>offset</i> de entrada (V_{OS})..	76
Figura 7 –	Circuito elétrico usado para determinar a tensão de <i>offset</i> de entrada dos OTAs.	77
Figura 8 –	Circuito elétrico usado para zerar a tensão DC de saída devido à tensão de <i>offset</i> de entrada de um OTA.	78
Figura 9 –	Circuito elétrico conceitual usado para obter o ganho de tensão diferencial em malha aberta de um AMP OP.....	79
Figura 10 –	Circuito elétrico usado para obter o ganho de tensão diferencial em malha aberta dos OTAs caracterizados eletricamente nesse trabalho.	80
Figura 11 –	Exemplo de formas de onda de entrada [$v_{-}(t)$] (a) e de saída [$v_{out}(t)$] (b) do OTA em função do tempo, com os principais valores de tensão indicados: as amplitudes de pico dos sinais (V_P) e as amplitudes de pico-a-pico (V_{PP}).	81
Figura 12 –	Medida do intervalo de tempo Δt correspondente a defasagem entre o sinal de entrada (v_{-}) e o sinal de saída (v_{out}).....	82
Figura 13 –	Diagramas de Bode um OTA que apresenta estabilidade (a) e de um OTA que apresenta instabilidade (b) ilustrando a definição de margem de fase (PM).....	84
Figura 14 –	Pulso de tensão de entrada (v_I) (a) e a tensão de saída (v_O) limitada pelo <i>slew-rate</i> na rampa de subida do sinal (SR_r) e pelo <i>slew-rate</i> na rampa de descida do sinal (SR_f) (b).....	86
Figura 15 –	Efeito da limitação pelo <i>slew-rate</i> em formas de onda de saída senoidais.	87
Figura 16 –	Circuito usado para realizar a caracterização elétrica do ganho de tensão diferencial em malha aberta e do ganho de tensão em modo comum de um AMP OP.....	88

Figura.17 – Circuito elétrico usado para caracterização elétrica da CMRR dos OTAs desenvolvidos nesse trabalho.....	89
Figura 18 – Característica de transferência de um amplificador operacional com uma tensão de entrada senoidal, v_I e uma correspondente tensão de saída, v_O	91
Figura 19 – Categorias dos algoritmos evolucionários de múltiplos objetivos.....	92
Figura 20 – Fronteira de Pareto correspondente aos objetivos A_{V0} e f_T	94
Figura 21 – Modos de evolução de CIs na eletrônica evolucionária.	95
Figura 22 – Fluxograma do algoritmo genético no MTGSPICE.	97
Figura 23 – Fluxograma de execução do arrefecimento simulado no MTGSPICE.....	104
Figura 24 – Fluxograma de execução do algoritmo competitivo imperialista no MTGSPICE.....	107
Figura 25 – Fluxograma de execução do algoritmo do “sapo pulando embaralhado” no MTGSPICE.....	112
Figura 26 – Fluxograma da etapa da busca local do algoritmo do “sapo pulando embaralhado” no MTGSPICE.....	113
Figura 27 – Representação gráfica das funções de aptidão usadas nesse trabalho para uma figura de mérito específica: degrau (a), linear (triangular) (b) e Gaussiana (c).119	
Figura 28 – Perfis das curvas $f_S(x)$, $f_L(x)$ e $f_G(x)$ da categoria “valor central” em função do desvio relativo, referente à mesma área com o propósito de comparar o desempenho do processo de otimização, considerando $a = 0,1$; $V_{max} = 100$ e $\sigma = 0,07979$	120
Figura 29 – As funções de aptidão de minimização (a) e de maximização (b) com três formatos diferentes {degrau: $[g_S(x)]$, linear $[g_L(x)]$, e Gaussiano $[g_G(x)]$ } em função do desvio relativo (x), respectivamente, referente à mesma área.	122
Figura 30 – Diagrama de blocos do AGSPICE.....	125
Figura 31 – Elitismo DC.	127
Figura 32 – Curvas médias dos valores da função de aptidão em função do número de soluções DC.....	137
Figura 33 – Curvas dos valores máximos da função de aptidão em função do número de soluções DC.	138
Figura 34 – Curvas dos valores médios da função de aptidão em função do número de gerações para os modos de operação μP , HG e HF quando o elitismo DC não é aplicado e quando o elitismo DC é aplicado com cinco soluções DC.	139

Figura 35 – Curvas dos valores médios da função de aptidão em função do número de gerações para o modo de operação μ P quando o elitismo DC é aplicado em diferentes configurações, considerando o número de soluções DC igual a 0, 1, 5, 10 e 15.	140
Figura 36 – Micrografia de uma pastilha de silício contendo os diversos tipos de OTAs, que foi utilizada para a realização das caracterizações elétricas experimentais desses circuitos.	173
Figura 37 – OTA μ P: leiaute implementado com MOSFETs multidedos (a) e a micrografia correspondente do OTA fabricado (b).....	175
Figura 38 – OTA μ P: leiaute implementado com MOSFETs <i>Waffle</i> (a) e a micrografia correspondente do OTA fabricado (b).....	176
Figura 39 – OTA HF: leiaute implementado com MOSFETs multidedos (a) e a micrografia correspondente do OTA fabricado (b).....	178
Figura 40 – OTA HF: leiaute implementado com MOSFETs O-CGT (a) e a micrografia correspondente do OTA fabricado (b).....	179
Figura 41 – Fotografia do sistema de medidas	180
Figura 42 – Sistema de medidas desenvolvido para realizar a caracterização elétrica das respostas em frequência dos OTAs.	181
Figura 43 – Fonte de corrente desenvolvida para fornecer a corrente de polarização I_{POL} dos OTAs.	183
Figura 44 – Sistema de medidas proposto para realizar a caracterização elétrica do <i>slew-rate</i> dos OTAs.....	185
Figura 45 – Sistema de medidas proposto para realizar a caracterização elétrica da CMRR dos OTAs.	186
Figura 46 – Circuito do OTA CMOS alimentado por fonte de alimentação simétrica.	189
Figura 47 – Diagramas de Bode levando em consideração as condições extremas de operação dos OTAs μ P (a), e HF (b).	191
Figura 48 – Diagrama de Bode do OTA μ P convencional (a) e <i>Waffle</i> (b).....	193
Figura 49 – Diagrama de Bode do OTA HF convencional (a) e O-CGT (b).....	194
Figura 50 – Diagrama de blocos do MTGSPICE.	201
Figura 51 – Ilustração das variáveis de projeto otimizadas no projeto do OTA de único estágio e única saída.	203
Figura 52 – Fluxograma da etapa de evolução DC no MTGSPICE.....	204

Figura 53 – Características de convergência dos processos de otimização levando-se em conta os algoritmos de otimização GA, SGA, ICA, SFLA, SA, RS, três formatos diferentes de função de aptidão: degrau [(a) e (b)], linear [(c) e (d)] e Gaussiano [(e) e (f)], e duas topologias de OTAs (μ P_SESS e HG_MC).	215
Figura 54 – Valores médios das funções de aptidão das trinta melhores soluções em função do número de gerações considerando os cinco algoritmos de otimização (GA, SGA, ICA, SFLA, e SA), três formatos de função de aptidão (degrau, linear e Gaussiano), referente aos OTAs μ P_SESS [(a), (c), (e), (g) e (i)] e HG_MC [(b), (d), (f), (h), (j)].	218
Figura 55 – Diagramas de caixa comparando as análises de Monte Carlo das soluções mais robustas obtidas pelos algoritmos de otimização GA, SGA, ICA, SFLA, e SA usando funções de aptidão com os perfis degrau, linear e Gaussiano para os OTAs μ P_SESS [(a), (c), (e), (g) e (i)] e HG_MC [(b), (d), (f), (h), (j)].	221
Figura 56 – Os desvios relativos obtidos da melhor solução em relação a cada especificação de projeto, considerando os cinco algoritmos de otimização GA, SGA, ICA, SFLA, e SA, os três perfis de função de aptidão (degrau, linear e Gaussiano) e os OTAs μ P_SESS [(a), (c), (e), (g) e (i)] e HG_MC [(b), (d), (f), (h) e (j)].	224
Figura 57 – Diagramas de Bode das soluções obtidas pelo WiCkeD e pelo MTGSPICE após os processos de otimização da primeira e da segunda comparação, para os OTAs μ P [(a) e (b)] e HG [(c) e (d)] e também os diagramas de Bode das duas soluções de projeto mais representativas das dez encontradas pelo MTGSPICE que apresentam o maior e o menor A_{V0} encontrado [(e) e (f)].	240
Figura 58 – Diagramas de Bode dos OTAs HG_Miller (a) e HG_DPZCC (b).	247
Figura 59 – Circuito amplificador de pequenos sinais construído com o AMP OP CA3140 que usa uma fonte simples de alimentação.....	263
Figura 60 – Aplicação do teorema da superposição para análise circuito amplificador de pequenos sinais (parte 1).....	264
Figura 61 – Aplicação do teorema da superposição para análise circuito amplificador de pequenos sinais (parte 2).....	265
Figura 62 – Representação do cromossomo no algoritmo genético.....	267
Figura 63 – Estrutura interna de um cromossomo e de um gene do cromossomo no algoritmo genético (genes W_x , L_x , $IPOL$ e V_{POL}).....	268
Figura 64 – Processo de elitismo no algoritmo genético.	270
Figura 65 – Exemplo de distribuição de setores na roleta de seleção.	271

Figura 66 – Processo de decisão do cruzamento entre indivíduos selecionados.....	272
Figura 67 – Processo de cruzamento de apenas um ponto de corte entre os genes correspondentes de dois cromossomos, chamados de cromossomos <i>pais</i> , que geram dois novos cromossomos, chamados de cromossomos <i>filhos</i>	274
Figura 68 – Processo de mutação no algoritmo genético.	275
Figura 69 – Representação gráfica das funções degrau, linear e Gaussiana junto com os correspondentes parâmetros que as definem.	281
Figura 70 – Ilustração da janela principal do MTGSPICE, que contém uma lista que exibe informação sobre o processo de otimização em tempo real. Nesta lista são exibidas também as soluções (W , L , I_{POL} e V_{INPOL}), os valores de aptidão ($Eval_{AG}$) e os resultados de desempenho (A_{VO} , f_T , PM , etc.) obtidos para o projeto até o momento no processo de otimização.....	287
Figura 71 – Aba “Parâmetros do OTA (I)”. Nessa tela, o projetista define os parâmetros de operação: tensões de alimentação (V_{DD} e V_{SS}) e a capacidade de carga C_L . Além disso, os valores das especificações e suas respectivas faixas de tolerância também são definidas: tensão de saída (V_{OUT}), potência dissipada (P_{TOT}), área de porta dos MOSFETs (AREA), ganho de tensão (A_{VO}), frequência de ganho de tensão unitário (f_T) e margem de fase (PM).	288
Figura 72 – Aba “Parâmetros do OTA (II)”. Nessa tela, o projetista visualiza o circuito integrado CMOS analógico escolhido para otimização e acessa a tela das variáveis de otimização (dimensões dos MOSFETs e condições de polarização do circuito).	289
Figura 73 – Tela acessada através da aba “Parâmetros do OTA (II)”, onde o projetista configura as faixas de valores mínimo e máximo das variáveis de projeto. Nesse caso, os parâmetros de projeto são a largura (W) e o comprimento (L) de canal dos MOSFETs, as correntes (I_{POL}) e tensões (V_{INPOL}) de polarização da arquitetura e o capacitor de compensação interna (C_f).	290
Figura 74 – Aba “Parâmetros do AG”, onde o projetista configura os parâmetros do algoritmo genético para o processo de busca através do MTGSPICE.	291

LISTA DE TABELAS

Tabela 1 –	Especificações desejadas para os OTAs Micropotência (μ P), Alto Ganho (HG) e Alta Frequência (HF).	128
Tabela 2 –	Faixas de valores das variáveis de projeto utilizadas no processo de busca dos OTAs μ P, HG e HF.....	129
Tabela 3 –	Configuração da precisão e tamanho dos genes W , L , I_{POL} e V_{POL} para os modos μ P, HG e HF.....	130
Tabela 4 –	Configuração dos parâmetros referentes às especificações da etapa DC do AGSPICE para os modos μ P, HG e HF.	131
Tabela 5 –	Configuração dos parâmetros referentes às especificações da etapa AC do AGSPICE para os modos μ P, HG e HF.	132
Tabela 6 –	Tempo do processo de busca do AGSPICE por rodada para cada modo de operação.	135
Tabela 7 –	Tempo do processo de busca do AGSPICE por rodada para cada modo de operação usando como critério de parada o atendimento de todas as especificações de projeto de forma satisfatória.	136
Tabela 8 –	Valores médios da função de aptidão e os valores de ganho de aptidão em função do número de soluções DC para o OTA μ P na geração de número 200.....	141
Tabela 9 –	Fatores de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho de corrente nMOSFET fonte de corrente do par diferencial ($B_{9,10}$): melhor solução, média, erro relativo e coeficiente de variação obtidos para cada modo de operação desejado.....	143
Tabela 10 –	Corrente de polarização (I_{POL}) e tensão de polarização (V_{POL}) do circuito: melhor solução, média, erro relativo e coeficiente de variação para cada modo de operação desejado.....	144
Tabela 11 –	Melhor solução, média, erro relativo e coeficiente de variação correspondentes aos valores das figuras de mérito V_{OUT} , P_{TOT} , e AG (a) e A_{vo} , f_T , e PM (b) obtidas para os modos de operação μ P, HG e HF.	145
Tabela 12 –	Dimensões dos transistores dos OTAs: melhor solução, média, erro relativo e coeficiente de variação para os modos μ P (a); HG (b) e HF (c).	146
Tabela 13 –	Corrente entre dreno e fonte normalizada em função da razão de aspecto [IDS/(W/L)] dos transistores dos OTAs μ P, HG e HF.	147

Tabela 14 – Dimensões dos MOSFETs e condições de polarização obtidas pelo projeto manual para os OTAs μ P, HG e HF	151
Tabela 15 – Variações das principais figuras de mérito em função da variação de $\pm 10\%$ da largura de canal dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).	152
Tabela 16 – Variações das principais figuras de mérito em função da variação de $\pm 10\%$ do comprimento de canal dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).....	154
Tabela 17 – Variações das principais figuras de mérito em função do aumento em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).....	156
Tabela 18 – Variações das principais figuras de mérito em função da redução em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).....	158
Tabela 19 – Variações das principais figuras de mérito em função do aumento da largura em 10% e redução do comprimento de canal em 10% dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).	160
Tabela 20 – Variações das principais figuras de mérito em função da redução da largura em 10% e aumento do comprimento de canal em 10% dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).	162
Tabela 21 – Variações das principais figuras de mérito em função da variação de $\pm 10\%$ da largura de canal dos transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).	165
Tabela 22 – Variações das principais figuras de mérito em função da variação de $\pm 10\%$ do comprimento de canal dos transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).....	166
Tabela 23 – Variações das principais figuras de mérito em função do aumento em 10% da largura e do comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).	167

Tabela 24 – Variações das principais figuras de mérito em função da redução em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do MTGSPICE (a), (b) e (c).....	168
Tabela 25 – Variações das principais figuras de mérito em função do aumento da largura em 10% e redução do comprimento de canal em 10% dos transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).	169
Tabela 26 – Variações das principais figuras de mérito em função da redução da largura em 10% e aumento do comprimento de canal em 10% dos transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).	170
Tabela 27 – Especificações desejadas para os OTAs μ P e HF.	188
Tabela 28 – Variações extremas dos parâmetros dos nMOSFETs e pMOSFETs.	190
Tabela 29 – Resultados das simulações SPICE e medições dos OTAs μ P convencional e <i>Waffle</i> (a) e HF convencional e O-CGT (b).	196
Tabela 30 – Figuras de mérito adicionais medidas para os OTAs μ P convencional e <i>Waffle</i> e HF convencional e O-CGT.	197
Tabela 31 – Especificações de projeto desejadas dos OTAs μ P_SESS e HG_MC, respectivamente.....	210
Tabela 32 – Parâmetros de otimização dos OTAs μ P_SESS (a) e HG_MC (b).....	211
Tabela 33 – Ganhos em porcentagem dos valores médios das funções de aptidão implementadas com o perfil Gaussiano em relação aos outros perfis de funções de aptidão (degrau e linear), referente a 1000 iterações e dois OTAs diferentes... <td>219</td>	219
Tabela 34 – Taxa de sucesso em porcentagem dos processos de otimização (colunas <i>Final</i>) e os resultados das simulações de Monte Carlo (colunas <i>MC</i>), considerando diferentes algoritmos, três diferentes perfis de funções de aptidão e dois OTAs: μ P_SESS (a) e HG_MC (b).	227
Tabela 35 – Especificações de projeto dos OTAs μ P e HG para o WiCkeD.....	231
Tabela 36 – Valor da função de aptidão atribuído para a melhor solução encontrada pelo MTGSPICE para os OTAs μ P e HG em cada uma das dez rodadas de otimização, após os procedimentos da primeira comparação.....	236
Tabela 37 – Soluções de projeto encontradas pelo WiCkeD e pelo MTGSPICE para os OTAs μ P (a), (b) e HG (c), (d) após os procedimentos da primeira comparação (típicos) e da segunda comparação (metodologia g_m/I_{DS}).	237
Tabela 38 – Especificações desejadas para os OTAs HG_Miller e HG_DPZCC.	242

Tabela 39 – Restrições de projeto utilizadas nos processos de busca dos OTAs HG_Miller (a) e HG_DPZCC (b).	243
Tabela 40 – Configuração dos parâmetros do algoritmo genético para alcançar as especificações de projeto dos OTAs HG_Miller e HG_DPZCC na etapa de evolução DC (a) e na etapa de evolução AC (b).....	244
Tabela 41 – Dimensões dos MOSFETs e condições de polarização obtidas pelas soluções escolhidas do MTGSPICE para os OTAs HG_Miller (a) e HG_DPZCC (b). ..	246
Tabela 42 – Os melhores resultados das análises de Monte Carlo obtidos pelas soluções encontradas pelos algoritmos de otimização GA, SGA, ICA, SFLA e SA usando funções de aptidão com os perfis degrau, linear e Gaussiano para os OTAs μ P_SESS [itens (a)-(e)] e HG_MC [itens (f)-(j)]. ..	293
Tabela 43 – Solução de projeto do OTA μ P (a) e do OTA HG (b) gerada pela metodologia g_m/I_{DS} e que foi usada como uma solução inicial para a otimização desses OTAs através do uso do WiCkeD e do MTGSPICE.....	297

LISTA DE ABREVIATURAS

AC	Corrente alternada (<i>alternating current</i>).
ACO	Algoritmo da otimização da colônia de formigas (<i>ant colony optimization</i>).
AGSPICE	Nome dado ao programa de computador desenvolvido pelo autor em trabalhos anteriores que integra um algoritmo genético com o simulador de circuitos SPICE.
AMP OP	Amplificador operacional.
BiCMOS	Bipolar e CMOS.
BSIM	Família de modelos do MOSFET destinado ao projeto de circuitos integrados, desenvolvido na Universidade da Califórnia, Berkeley (<i>Berkeley short-channel IGFET Model</i>).
CAD	Projeto assistido por computador (<i>computer aided design</i>).
CI(s)	Circuito(s) integrado(s).
CMOS	Metal-óxido-semicondutor complementar (<i>complementary metal-oxide-semiconductor</i>)
CMRR	Razão de rejeição em modo comum (<i>common mode rejection ratio</i>) do OTA.
DC	Corrente contínua (<i>direct current</i>).
DPZCC	Amplificador operacional compensado em frequência por cancelamento do duplo de polo e zero (<i>double pole-zero cancellation-compensated</i>).
DRC	Verificação das regras de projeto do leiaute de um circuito integrado (<i>design-rule-check</i>).
ES	Estratégias de evolução (<i>evolutionary strategies</i>).
FPAA	Arranjo analógico programável por campo elétrico (<i>field programmable analog array</i>).
FPGA	Arranjo de portas programáveis por campo elétrico (<i>field programmable gate array</i>).
FPTA	Arranjo de transistores programáveis por campo elétrico (<i>field programmable transistor array</i>).
GA	Algoritmo genético (<i>genetic algorithm</i>).
GBW	Produto do ganho de tensão pela largura de banda (<i>gain bandwidth product</i>).
GND	Terra (<i>Ground</i>).
GP	Programação genética (<i>genetic programming</i>).
GVO	Sobretensão aplicada à porta de um MOSFET (<i>gate-overdrive voltage</i>) que é equivalente a $V_{GS} - V_{th}$.

HF	Alta frequência (<i>high frequency</i>).
HG	Alto ganho de tensão (<i>high voltage gain</i>).
ICA	Algoritmo competitivo imperialista (<i>imperialist competitive algorithm</i>).
LNA _s	Amplificadores de baixo ruído (<i>low-noise amplifiers</i>).
MC	OTA Miller-compensado de polarização cascode (<i>cascoded-bias Miller-compensated</i>).
MEP	Programa Educacional do MOSIS (<i>MOSIS educational program</i>)
MOSFET	Transistor de efeito de campo metal-óxido-semicondutor (<i>metal-oxide-semiconductor field effect transistor</i>).
MTGSPICE	Sistema de otimização constituído de um programa de computador que utiliza diversos algoritmos da área de inteligência artificial (GA, ICA, SFLA, SA) que foram integrados a um simulador de circuitos integrados denominado SPICE.
Max.	Máximo.
Min.	Mínimo.
NSGA-II	Algoritmo genético de ordenação não dominada (<i>nondominated sorting genetic algorithm II</i>).
nMOSFET	Transistor de efeito de campo metal-óxido-semicondutor, canal do tipo n.
O-CGT	Tansistores com formatos de porta circulares sobrepostas entre si (<i>overlapping circular-gate transistor</i>).
OTA	Amplificador operacional de transcondutância (<i>operational transconductance amplifier</i>).
PAMA	Arranjo multiplexador analógico programável (<i>programmable analog multiplexer array</i>)
PSO	Método do enxame de partículas (<i>particle swarm optimization – PSO</i>).
PSRR	Taxa de rejeição da fonte de alimentação (<i>power supply rejection ratio</i>)
pMOSFET	Transistor de efeito de campo metal-óxido-semicondutor, canal do tipo p.
RF	Radiofrequênciा.
RS	Busca aleatória (<i>random search</i>).
SA	Arrefecimento simulado (<i>simulated annealing</i>).
SAT.	Saturação.
SESS	OTA de único estágio e única saída (<i>single-ended single-stage</i>).
SFLA	Algoritmo do “sapo pulando embaralhado” (<i>shuffled frog leaping algorithm</i>).
SGA	Algoritmo genético convencional (<i>standard genetic algorithm</i>).

SPICE	Programa de simulação com ênfase em circuitos integrados (<i>simulation program with integrated circuit emphasis</i>).
SR	Taxa máxima de variação do sinal de saída do OTA em função do tempo (<i>slew-rate</i>) [V/ μ s].
SR _f	<i>Slew-rate</i> calculado a partir da rampa de descida do sinal de saída [V/ μ s].
SR _r	<i>Slew-rate</i> calculado a partir da rampa de subida do sinal de saída [V/ μ s].
SVMs	Máquinas de vetores de suporte (<i>support vector machines</i>).
SoC	Sistema complexo específico em um único circuito integrado (<i>system on chip</i>).
VCO	Osciladores controlados por tensão (<i>voltage-controlled oscillators</i>).
V _P	Amplitude ou valor máximo da tensão de uma forma de onda senoidal medida em volts [V].
V _{PP}	Tensão de pico-a-pico de uma forma de onda senoidal medida em volts [V].
ULSI	Escala ultra-alta de integração (<i>ultra-large-scale integration</i>).
μ P	Micropotência (<i>micropower</i>).

LISTA DE SÍMBOLOS

A_G	Área de porta total do OTA, ou seja, a somatória do produto $W L$ de todos os transistores do OTA [μm^2].
A_V	Ganho de tensão em malha aberta em uma frequência qualquer [dB ou V/V].
A_{V0}	Ganho de tensão de pequenos sinais em malha aberta e de baixas frequências [dB ou V/V].
B	Terminal do substrato ou corpo (<i>body</i>) de um MOSFET.
$B_{3,5}$	Fator de ganho de corrente do espelho de corrente formado pelos MOSFETs M3 e M5.
$B_{4,6}$	Fator de ganho de corrente do espelho de corrente formado pelos MOSFETs M4 e M6.
$B_{7,8}$	Fator de ganho de corrente do espelho de corrente formado pelos MOSFETs M7 e M8.
$B_{9,10}$	Fator de ganho de corrente do espelho de corrente formado pelos MOSFETs M9 e M10.
C	Constante de ajuste no algoritmo SA que limita o incremento ou o decremento máximo de uma variável de projeto de um OTA a uma determinada porcentagem da faixa de valores que a variável pode assumir.
C_A	Coeficiente de assimilação (parâmetro de entrada do algoritmo ICA).
C_{AC}	Fator de aceleração de busca (parâmetro de entrada do algoritmo SFLA).
C_L	Capacitância de carga conectada ao nó de saída de um OTA [pF].
C_V	Coeficiente de variação de um conjunto de soluções apresentadas pelo AGSPICE.
C_f	Capacitância interna de compensação de um OTA configurado como uma variável de busca no MTGSPICE [pF].
C_{fmax}	Valor máximo da variável C_f definido pelo projetista no MTGSPICE [pF].
C_{fmin}	Valor mínimo da variável C_f definido pelo projetista no MTGSPICE [pF].
D	Terminal de dreno (<i>drain</i>) de um MOSFET.
$Eval_{Sol}$	Valor da função de aptidão de um indivíduo da população do AGSPICE ou MTGSPICE, levando em consideração as múltiplas especificações ($A_{V0}, f_T, PM, V_{OUT}, P_{TOT}, A_G$ e M_{SAT}).
$Eval_{Sol(max)}$	Valor máximo da função de aptidão global das soluções obtidas pelo AGSPICE, que leva em consideração as múltiplas especificações de projeto desejadas.

$Eval_{Sol(med)}$	Valor médio dos valores da função de aptidão global das soluções obtidas pelo AGSPICE, que leva em conta as múltiplas especificações de projeto desejadas.
$Eval_{Sol(t)}$	Valor da função de aptidão de uma solução de projeto em uma determinada iteração t de um algoritmo no MTGSPICE.
$Eval_{TOT(i)}$	Valor da função de aptidão total do i -ésimo império no algoritmo ICA.
$Eval(A_G)$	Valor da função de aptidão da somatória da área de porta de todos os MOSFETs de um OTA, relacionado a um indivíduo i da população do MTGSPICE.
$Eval(Col_{(i)})$	Vetor dos valores da função de aptidão de todas as colônias do império i no algoritmo ICA.
$Eval(FoM_j)$	Valor da função de avaliação de uma determinada figura de mérito ($A_{V0}, f_T, PM, V_{OUT}, P_{TOT}$ e A_G), onde j representa o índice da figura de mérito avaliada pelo MTGSPICE.
$Eval(Imp_{(i)})$	Valor da função de aptidão do i -ésimo imperialista no algoritmo ICA.
$Eval(M_{SAT})$	Valor da função de avaliação de um indivíduo i da população do MTGSPICE, relacionado à região de operação de todos os transistores do circuito do OTA (M1 a M_x), $x \in [1, n]$, onde n representa o número de MOSFETs do OTA.
$Eval(P_{TOT})$	Valor da função de avaliação da potência DC dissipada por um indivíduo i da população do MTGSPICE.
$Eval(V_{OUT})$	Valor da função de avaliação da tensão de saída DC obtida por um indivíduo i da população do MTGSPICE.
FoM_j	Valor de uma figura de mérito ($A_{V0}, f_T, PM, V_{OUT}, P_{TOT}, A_G$ e M_{SAT}) encontrada pelo processo de otimização, onde j representa o índice da figura de mérito.
f	Frequência [Hz].
f_{3dB}	Frequência de corte a -3 dB do ganho de tensão DC em malha aberta do OTA [Hz].
f_T	Frequência de ganho de tensão unitário [Hz].
G	Terminal de porta (<i>gate</i>) de um MOSFET.
GND	Potencial de referência de 0 V da fonte de alimentação do OTA [V].
G_V	Ganho de tensão em malha fechada [dB ou V/V].
g_m	Transcondutância de um MOSFET [S].
g_m/I_{DS}	Razão da transcondutância pela corrente DC entre dreno e fonte de um MOSFET [V^{-1}].
hh	Representação do número de horas no formato de dois dígitos [h].
I_{DS}	Corrente entre dreno e fonte de um MOSFET levando em consideração apenas a componente contínua [A].

$I_{DS1,2}$	Corrente de polarização do par diferencial (M1-M2) do OTA de único estágio e única saída [A].
$I_{DS3,4}$	Corrente de polarização do par pMOSFET M3-M4 do OTA de único estágio e única saída [A].
$I_{DS5,6}$	Corrente de polarização do par pMOSFET M5-M6 do estágio de saída do OTA de único estágio e única saída [A].
$I_{DS7,8}$	Corrente de polarização do par nMOSFET M7-M8 do OTA de único estágio e única saída [A].
$I_{DS9,10}$	Corrente de polarização do par nMOSFET M9-M10 do OTA de único estágio e única saída [A].
I_{DSnx}	Corrente entre dreno e fonte normalizada de um MOSFET M_x , equivalente a $(I_{DS}/(W/L))_x$, ($x \in [1, n]$), onde n representa o número de MOSFETs do circuito integrado [A].
I_{DSx}	Corrente entre dreno e fonte de um MOSFET do circuito integrado, $x \in [1, n]$, onde n representa o número de MOSFETs, que leva em consideração apenas a componente contínua [A].
I_o	Corrente de saída do espelho de corrente formado pelos transistores M9 e M10 do OTA de único estágio e única saída [A].
I_{POL}	Corrente de polarização de um CI CMOS analógico configurado como uma variável de busca no AGSPICE ou MTGSPICE [A].
I_{POLmax}	Valor máximo da variável I_{POL} definido pelo projetista no AGSPICE ou MTGSPICE [A].
I_{POLmin}	Valor mínimo da variável I_{POL} definido pelo projetista no AGSPICE ou MTGSPICE [A].
I_{TOT}	Corrente total de alimentação de um OTA [A].
i	Índice da população do AGSPICE ou MTGSPICE que identifica um indivíduo.
it_mem	Número de iterações (it) realizadas para cada subconjunto ($memplex$) no processo da busca local do algoritmo SFLA.
L	Comprimento de canal de um MOSFET [μm].
$L_{1,2}$	Comprimento de canal do par diferencial (M1-M2) do OTA de único estágio e única saída [μm].
$L_{3,4}$	Comprimento de canal do par de transistores pMOSFET M3-M4 do OTA de único estágio e única saída [μm].

$L_{5,6}$	Comprimento de canal do par de transistores pMOSFET M5-M6 do OTA de único estágio e única saída [μm].
$L_{7,8}$	Comprimento de canal do par de transistores nMOSFET M7-M8 do OTA de único estágio e única saída [μm].
$L_{9,10}$	Comprimento de canal do par de transistores nMOSFET M9-M10 do OTA de único estágio e única saída [μm].
<i>Melhor</i>	Solução que alcançou o melhor desempenho dentre todas as rodadas realizadas pelo AGSPICE.
M_x	Identifica um MOSFET de um CI CMOS analógico, onde x é um índice no intervalo $[1, n]$, onde n é o número total de MOSFETs desse CI.
m	Número de soluções que são avaliadas pelo algoritmo SA em uma determinada temperatura T .
$mean(x)$	Função que retorna o valor médio de um vetor x .
mem	Parâmetro de entrada do algoritmo SFLA que representa o número de subconjuntos de soluções (<i>memplexes</i>).
mm	Representação do número de minutos no formato de dois dígitos [min.].
N_{Am}	Tamanho de uma amostra de dados.
N_{Col}	Número total de colônias de um império no algoritmo ICA.
N_{FoM}	Número de figuras de mérito (especificações de projeto) avaliadas pelo MTGSPICE.
N_{Imp}	Número de estados imperialistas no algoritmo ICA.
N_{Iter}	Número de iterações de um algoritmo de otimização.
N_P	Tamanho da população em um algoritmo evolucionário.
N_R	Número de rodadas de um algoritmo de otimização.
N_{Rev}	Número de colônias que passam por revolução em um império no algoritmo ICA.
N_{Sol}	Número de soluções avaliadas pelo MTGSPICE em um determinado instante.
N_{Tot}	Número total de soluções a serem avaliadas pelo MTGSPICE.
P_C	Probabilidade de cruzamento (<i>crossover</i>).
P_{Comp}	Probabilidade de competição imperialista no algoritmo ICA.
PM	Margem de fase do OTA [$^\circ$].
P_M	Probabilidade de mutação.
P_{Rev}	Probabilidade de revolução.
$P_{Sel}(i)$	Probabilidade de seleção de um indivíduo da população no algoritmo genético pelo método da roleta.

P_{TOT}	Potência DC dissipada por um OTA [W].
$Perf_j$	Resultado de desempenho alcançado por um determinado indivíduo do MTGSPICE relacionado a uma determinada especificação desejada ($A_{VO}, f_T, PM, V_{OUT}, P_{TOT}$ e A_G), identificada pelo índice j .
$Prob$	Probabilidade de aceitação de uma nova solução no algoritmo <i>simulated annealing</i> , baseada na distribuição de probabilidade de Boltzmann.
R_L	Resistência de carga conectada ao nó de saída de um OTA [Ω].
$rand(0; 1)$	Valor do gerador de números reais aleatórios no intervalo [0; 1].
$round(x)$	Função que arredonda um determinado valor (x) para o número inteiro mais próximo.
S	Terminal de fonte (<i>source</i>) de um MOSFET.
SE	Erro padrão (<i>standard error</i>) de um conjunto de soluções apresentadas pelo AGSPICE.
ss	Representação do número de segundos no formato de dois dígitos [s].
T	Parâmetro de controle no algoritmo <i>simulated annealing</i> , análogo à temperatura.
T_0	Temperatura inicial no algoritmo <i>simulated annealing</i> .
t_f	Tempo de descida do sinal de saída, medido através da diferença entre os tempos correspondentes a 90% e 10% do sinal de saída [s].
t_r	Tempo de subida do sinal de saída, medido através da diferença entre os tempos correspondentes a 90% e 10% do sinal de saída [s].
V_A	Tensão Early de um MOSFET [V].
V_{A6}	Tensão Early do MOSFET M6 do OTA de único estágio e única saída [V].
V_{A8}	Tensão Early do MOSFET M8 do OTA de único estágio e única saída [V].
V_{BS}	Tensão entre o substrato e a fonte de um MOSFET [V].
V_{CC}	Valor da tensão fornecida por uma fonte de alimentação [V].
V_{DD}	Potencial de maior nível de energia elétrica da fonte de alimentação [V].
V_{DS}	Tensão entre dreno e fonte de um MOSFET [V].
V_{DSAT}	Tensão de saturação de um MOSFET [V].
V_{GS}	Tensão entre porta e fonte de um MOSFET [V].
V_{POL}	Tensão de polarização de um CI CMOS analógico configurado como uma variável de busca no AGSPICE ou MTGSPICE [V].
V_{POLmax}	Valor máximo da variável V_{POL} definido pelo projetista no AGSPICE ou MTGSPICE [V].

V_{POLmin}	Valor mínimo da variável V_{POL} definido pelo projetista no AGSPICE ou MTGSPICE [V].
V_{MI}	Amplitude ou tensão de pico de uma forma de onda senoidal aplicada no terminal de entrada de um OTA [V_P].
V_{MMI}	Tensão de pico-a-pico de uma forma de onda senoidal aplicada no terminal de entrada de um OTA [V_{PP}].
V_{MO}	Amplitude ou tensão de pico de uma forma de onda senoidal no terminal de saída de um OTA [V_P].
V_{MMO}	Tensão de pico-a-pico de uma forma de onda senoidal no terminal de saída de um OTA [V_{PP}].
V_o	Tensão de saída de um amplificador operacional que leva em consideração apenas a componente contínua [V].
V_{os}	Tensão de <i>offset</i> de entrada de um amplificador operacional, que ocorre devido a descasamentos no estágio diferencial [V].
V_{os_NULL}	Tensão aplicada e em série com o terminal da entrada não inversora do OTA, com o mesmo valor de V_{os} , mas com polaridade oposta, para anular o efeito de V_{os} com o objetivo de zerar a tensão de saída do OTA [V].
V_{out}	Tensão no nó de saída do OTA que leva em consideração apenas a componente contínua [V].
V_{ss}	Potencial de menor nível de energia elétrica da fonte de alimentação do OTA [V].
Var_Proj	Valor de uma determinada variável de projeto ($W, L, IPOL, V_{POL}$) de um CI CMOS analógico no algoritmo <i>simulated annealing</i> .
Var_Proj_b	Melhor sapo (solução) no algoritmo SFLA.
Var_Proj_{col}	Valores das variáveis de projeto de uma colônia no algoritmo ICA.
Var_Proj_{imp}	Valores das variáveis de projeto de um imperialista no algoritmo ICA.
Var_Proj_{max}	Valor máximo de Var_Proj .
Var_Proj_{min}	Valor mínimo de Var_Proj .
Var_Proj_w	Pior sapo (solução) no algoritmo SFLA.
V_{th}	Tensão de limiar (<i>threshold voltage</i>) de um MOSFET [V].
V_{thn}	Tensão de limiar de um nMOSFET [V].
V_{thp}	Tensão de limiar de um pMOSFET [V].
v_+	Tensão aplicada ao terminal não inversor de um OTA [V ou V_{PP}].
v_-	Tensão aplicada ao terminal inversor de um OTA [V ou V_{PP}].

$v_{\cdot}(t)$	Tensão senoidal em função do tempo aplicada na entrada inversora de um OTA [V].
v_I	Tensão de uma fonte de pequenos sinais [V_{PP}].
v_{I+}	Terminal da entrada não inversora de um OTA.
v_{I-}	Terminal da entrada inversora de um OTA.
v_{ICM}	Tensão de entrada em modo comum de um amplificador operacional que leva em consideração as componentes alternada e contínua [V ou V_{PP}].
v_{ID}	Tensão diferencial de entrada de um amplificador operacional que leva em consideração as componentes alternada e contínua [V].
v_O	Tensão de saída de um amplificador operacional que leva em consideração as componentes alternada e contínua [V ou V_{PP}].
v_{OUT}	Tensão no nó de saída do OTA que leva em consideração as componentes alternada e contínua [V ou V_{PP}].
v_{id}	Tensão diferencial de entrada de um amplificador operacional que leva em consideração somente a componente alternada [V_{PP}].
v_{out}	Tensão no nó de saída do OTA que leva em consideração apenas a componente alternada [V_{PP}].
$v_{out}(t)$	Tensão senoidal em função do tempo no terminal de saída do OTA [V].
W	Largura de canal de um MOSFET [μm].
$W_{1,2}$	Largura de canal do par diferencial do OTA de único estágio e única saída (M1-M2) [μm].
$W_{3,4}$	Largura de canal do par de transistores M3-M4 do OTA de único estágio e única saída, considerando M3 e M4 casados [μm].
$W_{5,6}$	Largura de canal do par de transistores M5-M6 do OTA de único estágio e única saída, considerando M5 e M6 casados [μm].
$W_{7,8}$	Largura de canal do par de transistores M7-M8 do OTA de único estágio e única saída, considerando M7 e M8 casados [μm].
$W_{9,10}$	Largura de canal do par de transistores M9-M10 do OTA de único estágio e única saída, considerando M9 e M10 casados [μm].
W_{AG}	Peso da avaliação da área de porta total dos MOSFETs de um OTA [%].
W_{AVO}	Peso da avaliação do ganho de tensão em baixas frequências [%].
W_{MSAT}	Peso da avaliação da região de operação dos MOSFETs de um OTA [%].
W_{PM}	Peso da avaliação da margem de fase de um OTA [%].
W_{PTOT}	Peso da avaliação da potência total dissipada pelo OTA [%].

W_{VOUT}	Peso da avaliação da tensão de saída DC de um OTA [%].
W_{fT}	Peso da avaliação da frequência de ganho de tensão unitário [%].
W_j	Peso ou prioridade de uma determinada especificação de projeto de um OTA, onde j representa o índice da especificação [%].
α	Constante tipicamente igual a 1, 2 ou 4 que define a taxa de resfriamento no algoritmo SA.
ΔA_{vo}	Variação do ganho de tensão em malha aberta [V/V ou dB].
ΔPM	Variação da margem de fase [°].
ΔV_{OUT}	Variação da tensão de saída DC [V].
ΔVar_Proj	Valor da mudança realizada em uma determinada variável de projeto pelo algoritmo <i>simulated annealing</i> , que pode ser positivo ou negativo.
ΔVar_Proj_{col}	Valor da mudança realizada em uma determinada variável de projeto correspondente a uma determinada colônia (solução) no algoritmo ICA.
ΔVar_Proj_w	Valor da mudança realizada em uma determinada variável de projeto correspondente ao pior sapo (solução) no algoritmo SFLA.
Δf_T	Variação da frequência de ganho de tensão unitário [Hz].
Δv_o	Variação da tensão de saída de um amplificador operacional [V].
$\Delta\phi$	Diferença de fase entre duas formas de onda senoidais [° ou rad].
ε_r	Erro relativo de uma solução do AGSPICE em relação à média [%].
ϕ	Ângulo da fase de uma forma de onda senoidal [° ou rad].
μ_0	Mobilidade de baixo campo dos portadores de carga do canal do MOSFET [$\text{cm}^2/\text{V.s}$].
μ_n	Mobilidade de baixo campo dos elétrons do canal do nMOSFET [$\text{cm}^2/\text{V.s}$].
μ_p	Mobilidade de baixo campo das lacunas do canal do pMOSFET [$\text{cm}^2/\text{V.s}$].
μ_s	Valor médio de uma determinada figura de mérito obtida pelo processo de otimização para um conjunto de soluções apresentadas pelo AGSPICE.
σ	Desvio padrão das funções de aptidão das soluções no AGSPICE ou no MTGSPICE que usam o perfil Gaussiano.
σ_s	Desvio padrão de uma determinada figura de mérito obtida pelo processo de otimização para um conjunto de soluções apresentadas pelo AGSPICE.
ω	Frequência angular de um sinal [rad/s].
ζ	Porcentagem da contribuição do valor médio de aptidão das colônias no valor da função de aptidão do império (parâmetro de entrada do algoritmo ICA) [%].

SUMÁRIO

1	INTRODUÇÃO	43
2	TRABALHOS RELACIONADOS	51
3	CONCEITOS FUNDAMENTAIS	63
3.1	PROJETO DOS CIRCUITOS INTEGRADOS CMOS ANALÓGICOS.....	63
3.1.1	Fluxo básico do projeto dos circuitos integrados analógicos e de sinais misturados.....	63
3.1.2	Amplificadores operacionais	65
3.1.2.1	<i>OTA de único estágio e única saída (SESS)</i>	65
3.1.2.1.1	<i>Funcionamento do OTA SESS.....</i>	68
3.1.2.1.2	<i>Equações básicas do OTA SESS</i>	68
3.1.2.2	<i>OTA Miller</i>	71
3.1.2.3	<i>AMP OP double pole-zero cancellation-compensated (DPZCC)</i>	73
3.1.2.4	<i>OTA Miller-compensado de polarização cascode (MC)</i>	74
3.1.3	Figuras de mérito dos OTAs	75
3.1.3.1	<i>Tensão de offset de entrada</i>	75
3.1.3.2	<i>Resposta em frequência e da estabilidade dos OTAs</i>	78
3.1.3.2.1	<i>Diagrama de Bode</i>	79
3.1.3.2.2	<i>Margem de fase (PM)</i>	83
3.1.3.3	<i>Slew-rate (SR).....</i>	85
3.1.3.4	<i>Razão de rejeição em modo comum (CMRR)</i>	88
3.1.3.5	<i>Excursão máxima do sinal de saída</i>	90
3.2	ALGORITMOS DE OTIMIZAÇÃO.....	92
3.2.1	Classificações dos algoritmos evolucionários de múltiplos objetivos	92
3.2.2	Processo de evolução das soluções em duas etapas (DC e AC) através do algoritmo genético (GA)	96
3.2.3	Processo de busca das especificações através da busca aleatória (RS)	101
3.2.4	Processo de busca das especificações através do arrefecimento simulado (SA)	102
3.2.5	Processo de busca das especificações através do algoritmo competitivo imperialista (ICA)	106
3.2.6	Processo de busca das especificações através do algoritmo do “sapo pulando embaralhado” (SFLA)	111

4	FUNÇÕES DE AVALIAÇÃO DE APTIDÃO PROPOSTAS	117
4.1	AVALIAÇÃO DAS MÚLTIPLAS ESPECIFICAÇÕES DE PROJETO.....	117
4.2	DESCRIÇÃO DAS FUNÇÕES DE APTIDÃO	118
4.2.1	Funções de aptidão “valor central”	118
4.2.2	Funções de aptidão “valores limites superior e inferior”	121
5	DA ARQUITETURA ATÉ A FABRICAÇÃO: UM AR CABOUÇO PRECISO PARA PROJETO ÓTIMO DE OTAS	123
5.1	PROCESSO DE EVOLUÇÃO DC	123
5.2	PROCESSO DE BUSCA DAS ESPECIFICAÇÕES ATRAVÉS DO AGSPICE	124
5.3	CONDIÇÕES EXPERIMENTAIS DA FERRAMENTA DE AUXÍLIO AO DESENVOLVIMENTO DE CIS ANALÓGICOS (AGSPICE).....	127
5.4	MODOS DE OPERAÇÃO DOS OTAS E AS CONFIGURAÇÕES DOS PARÂMETROS DE BUSCA NO AGSPICE	128
5.5	ANÁLISE DA EFICIÊNCIA DO ELITISMO DC NO PROCESSO DE OTIMIZAÇÃO DOS OTAS	134
5.6	ANÁLISE ESTATÍSTICA DAS SOLUÇÕES ENCONTRADAS PELO AGSPICE	141
5.7	ANÁLISE DE SENSIBILIDADE DA MELHOR SOLUÇÃO ENCONTRADA PELO AGSPICE	149
5.8	ANÁLISE DE SENSIBILIDADE DA SOLUÇÃO MAIS ROBUSTA ENCONTRADA PELO AGSPICE	163
5.9	LEIAUTE, FABRICAÇÃO E CARACTERIZAÇÃO ELÉTRICA EXPERIMENTAL DOS OTAS SIMULADOS E PROJETADOS PELO AGSPICE	171
5.9.1	Considerações dos leiautes dos OTAs	172
5.9.2	Sistema de medidas	180
5.9.2.1	<i>Circuito elétrico utilizado na caracterização elétrica experimental da resposta em frequência dos OTAs</i>	181
5.9.2.2	<i>Circuito elétrico da fonte de corrente dos OTAs</i>	182
5.9.2.3	<i>Circuito elétrico utilizado na caracterização elétrica do slew-rate dos OTAs....</i>	185
5.9.2.4	<i>Circuito elétrico utilizado na caracterização elétrica da CMRR dos OTAs</i>	186
5.9.3	Considerações da caracterização elétrica experimental dos OTAs	187
5.9.4	Análise do desempenho dos OTAs levando-se em conta as variações dos parâmetros tecnológicos dos MOSFETs e da temperatura	189

5.9.4.1	<i>Análise das condições extremas de operação (corner analysis)</i>	189
5.9.4.2	<i>Análise das condições de operação usando o método de Monte Carlo</i>	192
5.9.5	Resultados experimentais	192
6	FERRAMENTA COMPUTACIONAL DE DESENVOLVIMENTO DE PROJETOS DE CIs CMOS ANALÓGICOS PROPOSTA (MTGSPICE)	199
6.1	PROCESSO DE BUSCA DAS ESPECIFICAÇÕES ATRAVÉS DO MTGSPICE	200
6.2	ESTUDO DE NOVAS PROPOSTAS DE FUNÇÕES DE APTIDÃO NÃO LINEARES PARA AUMENTAR A EFETIVIDADE DO PROCESSO DE OTIMIZAÇÃO DE CIRCUITOS INTEGRADOS CMOS ANALÓGICOS	208
6.2.1	Estudo da efetividade das novas propostas de funções de aptidão usando o perfil Gaussiano em comparação com os perfis degrau e linear	209
6.2.1.1	<i>Topologias dos OTAs CMOS</i>	210
6.2.1.2	<i>Especificações dos OTAs, parâmetros de configuração do MTGSPICE e das simulações de Monte Carlo</i>	210
6.2.1.2.1	<i>Parâmetros de otimização dos OTAs</i>	211
6.2.1.2.2	<i>Parâmetros das funções de aptidão</i>	212
6.2.1.2.3	<i>Parâmetros do processo de evolução DC</i>	212
6.2.1.2.4	<i>Parâmetros do processo de evolução AC</i>	212
6.2.1.2.5	<i>Parâmetros da análise de Monte Carlo</i>	213
6.2.1.3	Resultados	214
6.2.1.3.1	<i>Avaliação da característica de convergência</i>	214
6.2.1.3.2	<i>Avaliação da robustez</i>	217
6.2.1.3.3	<i>Avaliação da precisão</i>	223
6.2.1.3.4	<i>Avaliação do rendimento das melhores soluções</i>	227
6.2.2	Qualificação do MTGSPICE usando o WiCkeD da MunEDA como referência	229
6.2.2.1	<i>Características das ferramentas de projeto de CIs analógicos</i>	229
6.2.2.2	<i>Topologia do OTA CMOS</i>	231
6.2.2.3	<i>Especificações dos OTAs e configuração dos parâmetros para o WiCkeD e para o MTGSPICE</i>	231
6.2.2.3.1	<i>Restrições das variáveis de projeto</i>	232
6.2.2.3.2	<i>Pontos de operação iniciais dos OTAs obtidos pelo WiCkeD</i>	232
6.2.2.3.3	<i>Parâmetros do processo de evolução DC usados no MTGSPICE</i>	233

6.2.2.3.4	<i>Parâmetros do processo de evolução AC usados no MTGSPICE</i>	234
6.2.2.4	<i>Condições dos experimentos</i>	234
6.2.2.5	<i>Resultados experimentais das duas comparações</i>	235
6.2.3	Qualificação do MTGSPICE através da otimização de novas topologias de amplificadores operacionais	241
6.2.3.1	<i>Especificações e projeto de novas arquiteturas de AMP OPs</i>	241
6.2.3.1.1	<i>Restrições das variáveis de projeto</i>	242
6.2.3.2	<i>Resultados dos projetos dos OTAs HG_Miller e HG_DPZCC usando o MTGSPICE</i>	243
7	CONCLUSÃO.....	249
	REFERÊNCIAS	253
	APÊNDICE A – CIRCUITO AMPLIFICADOR DESENVOLVIDO PARA A CARACTERIZAÇÃO ELÉTRICA DA CMRR	263
	APÊNDICE B – REPRESENTAÇÃO DOS CROMOSSOMOS NO ALGORITMO GENÉTICO E OS OPERADORES GENÉTICOS	267
B.1	REPRESENTAÇÃO DO CROMOSSOMO.....	267
B.1.1	Decodificação do cromossomo	268
B.2	ELITISMO	269
B.3	SELEÇÃO PARA CRUZAMENTO	271
B.4	CRUZAMENTO	272
B.5	MUTAÇÃO.....	274
	APÊNDICE C – ILUSTRAÇÃO DE UM ARQUIVO NETLIST DO CIRCUITO DO OTA	277
	APÊNDICE D – DETERMINAÇÃO DOS PARÂMETROS DAS FUNÇÕES DE APTIDÃO DEGRAU, LINEAR E GAUSSIANA	281
D.1	CÁLCULO DO PARÂMETRO b DA FUNÇÃO LINEAR.....	282
	APÊNDICE E – ILUSTRAÇÃO DA SOLUÇÃO COM O MAIOR VALOR DA FUNÇÃO DE APTIDÃO APRESENTADA PELO SOFTWARE DESENVOLVIDO NESTE TRABALHO PARA O AMPLIFICADOR OTA μP	285
	APÊNDICE F – O APLICATIVO MTGSPICE	287

APÊNDICE G – MELHORES RESULTADOS DAS ANÁLISES DE MONTE CARLO REFERENTE AO EXPERIMENTO DA SUBSEÇÃO 6.2.1.3.2.....	293
APÊNDICE H – DADOS E ANÁLISES COMPLEMENTARES REFERENTES AOS EXPERIMENTOS DA SUBSEÇÃO 6.2.2	297
APÊNDICE I – ARTIGOS PUBLICADOS PELO AUTOR	299

1 INTRODUÇÃO

Durante os últimos anos, a demanda por sistema-em-um-circuito integrado (SoC)¹ complexo, de baixo custo, baixo ruído, baixa potência e baixa tensão tem aumentado exponencialmente em todas áreas de engenharia (computadores pessoais, comunicações, medicina, aeroespacial, automotiva, etc.). Os SoCs comumente integram circuitos integrados (CIs) digitais, analógicos e de radiofrequência (RF), interfaces de sensores, interfaces de saída, e outros (WU et al., 2015; MEISSNER; HEDRICH, 2015; MARTINS; LOURENÇO; HORTA, 2015; BARROS; GUILHERME; HORTA, 2010a; RABAЕY et al., 2006; ALPAYDIN; BALKIR; DUNDAR, 2003). Porém, com a contínua redução das dimensões e tensões de alimentação das tecnologias metal-óxido-semicondutor complementar (CMOS)² de fabricação de CIs em escala de ultra-alta integração (ULSI)³, atualmente abaixo de 130 nm, os processos de otimização de CIs CMOS digitais e analógicos tornam-se cada vez mais complexos, lentos, propensos a erros, e mais dependentes dos processos de fabricação e variações ambientais, tais como temperatura, radiação, etc. (WU et al., 2015; MEISSNER; HEDRICH, 2015; MARTINS; LOURENÇO; HORTA, 2015; BARROS; GUILHERME; HORTA, 2010a; RABAЕY et al., 2006).

Atualmente existem diversas ferramentas de projeto assistidas por computador (CAD)⁴ para auxiliar o fluxo de projeto dos CIs CMOS digitais, tais como, Cadence (2016) e Mentor Graphics (2016). Por outro lado, poucas ferramentas CAD profissionais são dedicadas a auxiliar o fluxo de projeto manual dos CIs CMOS analógicos, tais como WiCkEd (2015) e Solido (2016). Embora os CIs CMOS analógicos normalmente componham a menor fração (cerca de 20%) de um SoC, seus processos de otimização demandam a maior parte do tempo de ciclo de projeto total (BARROS; GUILHERME; HORTA, 2010a). Esses procedimentos fundamentalmente dependem do conhecimento e da experiência do projetista, visto que eles são sistemas de múltiplas variáveis de entrada e múltiplos objetivos, apresentando muitas combinações das variáveis de entrada a serem investigadas para atender as especificações de projeto requeridas (BARROS; GUILHERME; HORTA, 2010a; RABAЕY et al., 2006; ALPAYDIN; BALKIR; DUNDAR, 2003; ZEBULUM; PACHECO; VELLASCO, 2002; GIELEN; RUTENBAR, 2000). As variáveis de entrada são tipicamente as dimensões dos

¹ System on chip.

² Complementary metal-oxide-semiconductor.

³ Ultra-large-scale integration.

⁴ Computer-aided design.

transistores e as condições de polarização do CI. As especificações de projeto são geralmente o ganho de tensão, a frequência de ganho de tensão unitário, a margem de fase, o consumo de potência, entre outros.

O procedimento de projeto dos CIs CMOS analógicos baseia-se geralmente no uso de uma metodologia de projeto que emprega equações de primeira ordem, com o objetivo de definir inicialmente as dimensões dos transistores e atender alguns poucos objetivos de projeto, tais como o ganho de tensão e a frequência de ganho de tensão unitário (SILVEIRA; FLANDRE; JESPERS, 1996; ZEBULUM; PACHECO; VELLASCO, 2002). A partir daí o projetista usa o simulador de CIs, geralmente o SPICE⁵, para fazer os ajustes nas dimensões e diversos outros parâmetros de todos os transistores um a um, tais como a tensão Early (V_A), a razão da transcondutância pela corrente de dreno (g_m/I_{DS}), entre outros, para que sejam alcançados todos os objetivos de projeto desejados (SILVEIRA; FLANDRE; JESPERS, 1996; ZEBULUM; PACHECO; VELLASCO, 2002). Esse procedimento de ajuste dos parâmetros é realizado pelo projetista, geralmente através da mudança de apenas um parâmetro ou apenas uma das dimensões de um dos transistores do CI CMOS e, posteriormente, ele avalia os novos resultados obtidos verificando se um determinado objetivo de projeto foi alcançado e também não foram degradados os demais objetivos de projeto (SILVEIRA; FLANDRE; JESPERS, 1996; ZEBULUM; PACHECO; VELLASCO, 2002). Esse processo interativo e repetitivo entre o projetista e o simulador de CIs é muito trabalhoso, lento e por isso é totalmente dependente da experiência do projetista (FALLAHPOUR; HEMMATI; POURMOHAMMAD, 2012; TLELO-CUAUTLE et al., 2007; ZEBULUM; PACHECO; VELLASCO, 2002; GIELEN; RUTENBAR, 2000).

O projeto de amplificadores operacionais de transcondutância (OTAs)⁶ pode ser caracterizado como um problema de otimização de múltiplos objetivos com um grande número de variáveis de entrada (COELLO; LAMONT; VELDHUIZEN, 2007; ZEBULUM; PACHECO; VELLASCO, 2002). Nesse caso, métodos de projeto convencionais, baseados em equações de primeira ordem e processo manual interativo usando o simulador SPICE e busca aleatória, por exemplo, geralmente são ineficientes quando muitas especificações de projeto são consideradas, devido ao espaço de busca de soluções possíveis ser extremamente grande, da ordem de 10^{30} , apenas considerando as diferentes dimensões dos transistores de efeito de campo

⁵ Programa de simulação com ênfase em circuitos integrados (*simulation program with integrated circuit emphasis*).

⁶ *Operational transconductance amplifiers*.

metal-óxido-semicondutor (MOSFETs)⁷ de um OTA constituído por 10 MOSFETs. Nesse caso, o tempo e o custo do projeto do CI CMOS analógico são altos, além de terem uma capacidade de obtenção de soluções de projeto satisfatórias muito limitada quando comparada com os algoritmos de otimização da área de inteligência artificial (IA). Esses algoritmos são capazes de incorporar métodos heurísticos sofisticados, que podem processar muitas especificações de projeto simultaneamente, além de explorar eficientemente o espaço de soluções potenciais de projeto, dessa forma, podem ser considerados muito recomendados para serem aplicados ao projeto dos CIs CMOS analógicos (COELLO; LAMONT; VELDHUIZEN, 2007; ZEBULUM; PACHECO; VELLASCO, 2002).

Nesse contexto, os algoritmos evolucionários de múltiplos objetivos (MOEAs) na área de IA são apropriados e utilizados com sucesso nos processos de otimização dos CIs CMOS analógicos (MARTINS et al., 2015; LOURENÇO; HORTA, 2012; SOMANI; CHAKRABARTI; PATRA, 2007; ZEBULUM; PACHECO; VELLASCO, 2002). Os MOEAs são classificados em três categorias: “*a priori*”, “progressiva” e “*a posteriori*” (COELLO; LAMONT; VELDHUIZEN, 2007) e quanto aos modos de evolução de um CI CMOS podem ser classificados de três formas diferentes: extrínseca, intrínseca e mista (MILLER et al., 2000), conforme detalhado na subseção 3.2.1. Focando no projeto de CIs CMOS analógicos, as técnicas de otimização usadas nesse trabalho são classificadas na categoria “*a priori*”, pois nesse caso, as especificações dos OTAs são definidas antes dos processos de otimização e, além disso, os processos de evolução são classificados como extrínsecos, porque a evolução das soluções de projeto dos OTAs ocorrem somente por meio de simulações no SPICE.

Os objetivos iniciais do presente estudo são aprimorar o operador de elitismo do algoritmo genético (GA) de um sistema evolucionário, desenvolvido pelo autor, que é integrado computacionalmente ao simulador SPICE, intitulado de AGSPICE (MORETO; THOMAZ; GIMENEZ, 2012, 2011) e verificar na prática a sua efetividade. Esse sistema computacional é usado no processo de otimização de amplificadores operacionais de transcondutância para posteriormente serem realizados os respectivos leiautes, fabricação e caracterização elétrica experimental. O AGSPICE realiza o processo de busca das soluções de projeto em duas etapas, em que o sistema evolui o ponto de operação do circuito integrado (análise DC⁸) na primeira etapa e usa essas informações para evoluir a resposta em frequência (análise AC⁹) na segunda etapa, em um processo chamado de elitismo DC. Nessa tese, o processo de evolução DC foi

⁷ Metal-oxide-semiconductor field effect transistors.

⁸ Corrente contínua (*direct current*).

⁹ Corrente alternada (*alternating current*).

aperfeiçoado permitindo ao projetista especificar o número de soluções desejadas a serem usadas no processo de evolução AC. Dessa forma, diversos experimentos são realizados com o objetivo de demonstrar a efetividade do elitismo DC. Após essa validação, o AGSPICE é usado para o projeto de otimização dos OTAs.

Para validar o AGSPICE através da caracterização elétrica experimental do projeto de OTAs com diferentes características elétricas e assegurar o funcionamento dos OTAs projetados seguiu-se o fluxo básico de projeto dos CIs CMOS analógicos descrito por Barros, Guilherme e Horta (2010a), conforme detalhado na subseção 3.1.1.

Os OTAs que são fabricados e caracterizados eletricamente em laboratório são implementados com diferentes tipos de leiautes de transistores. Nesse caso, os MOSFETs são implementados com formatos de porta convencionais retangulares nos estilos multidedos (GIMENEZ, 2004, p. 55) e *Waffle* (GIMENEZ, 2009). Além disso, um estilo de leiaute de transistores não convencional é usado na implementação de um OTA, que usa formatos de porta circulares sobrepostas entre si (O-CGT)¹⁰ (LIMA; GIMENEZ; CIRNE, 2012).

Posteriormente, os resultados da caracterização elétrica experimental desses OTAs são comparados com os resultados obtidos por simulações SPICE das soluções obtidas pelo AGSPICE para a validação dessa ferramenta de desenvolvimento de projetos de CIs CMOS analógicos.

Abordagens “*a posteriori*” têm sido usadas em alguns dos trabalhos mais recentes relacionados à otimização de CIs CMOS analógicos, tal como o algoritmo genético de ordenação não dominada (NSGA-II)¹¹ (DEB, 2011; DEB et al., 2002), que normalmente incorpora métodos de Pareto (MARTINS et al., 2015; LOURENÇO; HORTA, 2012). Porém, essas técnicas raramente são capazes de explorar soluções potenciais em regiões específicas da superfície da fronteira de Pareto, visto que elas não atendem todas as especificações desejadas simultaneamente (SOMANI; CHAKRABARTI; PATRA, 2007). Além disso, o projetista tem uma grande dificuldade de escolher a melhor solução dentre todas aquelas encontradas por essa técnica (COELLO; LAMONT; VELDHUIZEN, 2007; ZEBULUM; PACHECO; VELLASCO, 2002). Consequentemente, a técnica “*a priori*” usando funções de aptidão exponenciais normalizadas torna-se uma ferramenta alternativa para superar as desvantagens mencionadas na técnica “*a posteriori*” focando em projetos de CIs CMOS analógicos, de acordo com Somani, Chakrabarti e Patra (2007).

¹⁰ Overlapping circular-gate transistor.

¹¹ Nondominated sorting genetic algorithm II.

A técnica “*a priori*” geralmente usa funções de aptidão do tipo linear ou degrau (SEVERO; LONGARETTI; GIRARDI, 2012; JAFARI et al., 2012; BARROS; GUILHERME; HORTA, 2010a, 2010b). Em um trabalho pioneiro, Koh, Séquin e Gray haviam sugerido o uso de funções de aptidão exponenciais para assegurar que todas as especificações de projeto são apropriadamente e simultaneamente encontradas (KOH; SÉQUIN; GRAY, 1990). Esses tipos de funções de aptidão não foram ainda completamente explorados em ferramentas para CIs CMOS analógicos.

Como outro objetivo desse trabalho, explora-se o uso de novas funções de aptidão exponenciais (com perfil Gaussiano) em ferramentas de otimização para aumentar a tolerância e efetividade dos processos de otimização em projetos de CIs CMOS analógicos baseados em técnicas “*a priori*”. Outro objetivo importante desse trabalho é analisar a relação entre os valores da função de aptidão das melhores soluções encontradas e a tolerância do desempenho elétrico, levando em conta as variações ambientais e do processo de fabricação (análises de Monte Carlo), que também não foram reportados em detalhes na literatura.

Todos os experimentos referentes às funções de aptidão exponenciais propostas foram realizados usando uma ferramenta de otimização de CIs CMOS analógicos desenvolvida nesse trabalho chamada MTGSPICE, que é uma evolução do AGSPICE (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013; MORETO; THOMAZ; GIMENEZ, 2012). Esse sistema de otimização incorpora diversos algoritmos de otimização, tais como algoritmo genético (GA)¹² (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013), arrefecimento simulado (SA)¹³ (PRESS et al., 2007), algoritmo competitivo imperialista (ICA)¹⁴ (ATASHPAZ-GARGARI; LUCAS, 2007; ROCHE et al., 2012) e o algoritmo do “sapo pulando embaralhado” (SFLA)¹⁵ (ELBELTAGI; HEGAZY; GRIERSON, 2007). Dois OTAs com duas topologias diferentes e operando com diferentes especificações de projeto foram projetados para qualificar a efetividade do uso das novas funções de aptidão. Elas foram propostas como alternativa às funções de aptidão dos tipos linear e degrau, que são atualmente as mais usadas em sistemas CAD para CIs CMOS analógicos propostos na literatura (JAFARI et al., 2012; SEVERO; LONGARETTI; GIRARDI, 2012; BARROS; GUILHERME; HORTA, 2010a). Além disso, a efetividade do processo de otimização do MTGSPICE é avaliada em comparação com o WiCkeD da MunEDA (2015), que é atualmente uma ferramenta profissional

¹² Genetic algorithm.

¹³ Simulated annealing.

¹⁴ Imperialist competitive algorithm.

¹⁵ Shuffled frog leaping algorithm.

muito importante e utilizada para projetos de CIs CMOS analógicos pelas maiores empresas de projetos de CIs CMOS analógicos (MUNEDA, 2016).

Por último, para demonstrar a flexibilidade e efetividade dessa ferramenta de otimização, outras arquiteturas de amplificadores operacionais (AMP OPs) foram otimizadas, porém, não foram fabricadas e medidas em laboratório. Um deles é o OTA Miller (ZEBULUM; PACHECO; VELLASCO, 2002) e o outro é um amplificador compensado em frequência por cancelamento do duplo de polo e zero (DPZCC)¹⁶, que foi proposto na literatura por Jalali, Bana e Elahi (2011).

As principais contribuições desse trabalho são:

- a) Desenvolvimento de uma ferramenta computacional, denominada de AGSPICE, baseada em algoritmo genético, que realiza o processo de evolução do CI CMOS analógico em 2 etapas de forma mais efetiva que o GA convencional, onde primeiramente realiza-se o processo de evolução DC (corrente contínua)¹⁷, em seguida, realiza-se o processo de evolução AC (corrente alternada)¹⁸ usando os resultados obtidos da primeira etapa;
- b) Criação de um arcabouço completo para o desenvolvimento de projeto de CIs CMOS analógicos de forma automática, desde a concepção até a manufatura;
- c) Proposta de três novos tipos de perfis Gaussianos para serem usados nas funções de aptidão (valor central, limite superior e limite inferior) das técnicas de otimização “*a priori*” visando a otimização do projeto de CIs CMOS analógicos;
- d) Uma abordagem inovadora foi realizada para fins de comparação entre os perfis Gaussianos propostos por este trabalho e os perfis degrau e linear típicos, considerando a mesma área sob essas curvas (valor de aptidão versus o desvio relativo em relação à especificação desejada);
- e) Desenvolvimento de uma ferramenta, denominada de MTGSPICE, com diferentes métodos heurísticos de inteligência artificial e diferentes perfis de função de aptidão (Gaussiano, degrau e linear) para auxiliar os projetos de CIs CMOS analógicos;

¹⁶ Double pole-zero cancellation-compensated.

¹⁷ Direct current.

¹⁸ Alternating current.

- f) Pela primeira vez, um estudo é realizado para correlacionar os valores da função de aptidão com a tolerância dos CIs CMOS analógicos, levando em conta as variações ambientais e do processo de fabricação.

O restante deste trabalho está organizado como segue. A seção 2 apresenta uma visão geral de diversos trabalhos relacionados ao projeto e automação do projeto de CIs CMOS analógicos. Em seguida, na seção 3, apresentam-se as topologias dos OTAs otimizados nesse trabalho, assim como os conceitos fundamentais relacionados ao projeto desses CIs CMOS analógicos e são apresentados os algoritmos de otimização usados nesse trabalho. A seção 4 apresenta as novas funções de aptidão propostas por esse trabalho e que são usadas nos processos de otimização dos CIs CMOS analógicos. A seção 5 apresenta o arcabouço completo usado para o projeto dos OTAs, desde a concepção até a manufatura. Essa seção apresenta o processo de evolução DC e os estudos relacionados a esse operador genético elitista aplicado no algoritmo genético do AGSPICE e, no final dessa seção, apresentam-se os leiautes dos OTAs implementados com diferentes estilos de leiaute para MOSFETs, o sistema de medidas usado na caracterização elétrica experimental e os resultados experimentais dos OTAs. A seção 6 descreve o sistema evolucionário MTGSPICE proposto, que usa as novas funções de aptidão propostas e o simulador elétrico durante o processo de otimização dos CIs CMOS analógicos. Em seguida, são discutidos os resultados dos diversos experimentos realizados com o uso do MTGSPICE: estudo comparativo das funções de aptidão propostas com o uso do perfil Gaussiano em relação aos perfis degrau e linear tipicamente usados na literatura; verificação da efetividade do sistema evolucionário proposto em relação ao pacote de ferramentas WiCkeD para o projeto de CIs CMOS analógicos; verificação da eficiência e flexibilidade do MTGSPICE por meio da otimização do projeto de OTAs em diferentes topologias. Por fim, na seção 7, apresenta-se uma conclusão dos resultados e discute-se as possibilidades de desenvolvimento futuro dessa pesquisa.

2 TRABALHOS RELACIONADOS

Nesta seção é realizada uma revisão bibliográfica sobre diversos trabalhos que propõem a aplicação do algoritmo genético (GA) e outros métodos computacionais da área de inteligência artificial (IA) que auxiliam no desenvolvimento dos CIs CMOS analógicos.

Com a finalidade de reduzir o tempo de projeto do CI CMOS analógico e maximizar seu desempenho e tolerância em relação às variações ambientais e do processo de fabricação, tornou-se importante o desenvolvimento de ferramentas de projeto de CIs CMOS analógicos inovadoras utilizando conceitos da eletrônica evolucionária, por exemplo, o uso de métodos heurísticos de otimização baseados em técnicas de IA, tais como algoritmos genéticos, lógica *fuzzy* e redes neurais (BARROS; GUILHERME; HORTA, 2010b).

Existem diversos trabalhos que aplicam GA e outras técnicas de IA na otimização de CIs CMOS analógicos, tais como programação genética (GP)¹⁹, algoritmos genéticos de múltiplos objetivos baseados em métodos de Pareto e algoritmos genéticos baseados em plataformas reconfiguráveis. A ferramenta de otimização desenvolvida nesse trabalho usa uma abordagem de buscar e encontrar, isto é, busca por determinadas especificações em um espaço de busca muito grande através de uma função de aptidão com diversos objetivos de projeto, que são definidos “*a priori*”, usando um sistema evolucionário integrado ao simulador SPICE (evolução extrínseca). Assim, alguns trabalhos importantes relacionados a este são descritos a seguir.

Os trabalhos de Jafari et al. (2010); Taherzadeh-Sani et al. (2003) e Zebulum, Pacheco e Vellasco (1998) aplicam a técnica de GA para determinar as dimensões de CIs CMOS analógicos, tais como amplificadores operacionais. Esses trabalhos realizam os processos de otimização dos CIs analógicos com auxílio de equações analíticas para obtenção do desempenho elétrico ou para obtenção das razões de aspecto (W/L) dos transistores dos circuitos. Porém, nesse trabalho, tanto o desempenho elétrico como o dimensionamento dos transistores dos CIs analógicos são obtidos apenas através do uso do simulador SPICE usando os parâmetros BSIM3 específicos da tecnologia de fabricação de cada circuito integrado analógico otimizado.

Em Koza et al. (1997) os autores usam programação genética para a síntese automática de ambos, ou seja, a topologia e o dimensionamento de vários circuitos analógicos, tais como um filtro passa-baixa, um amplificador e um circuito de referência de tensão. Porém, de pouca aplicação prática devido à falta de regras de projeto para eliminação de conexões redundantes

¹⁹ Genetic programming.

e regras de projeto para evitar o fluxo de corrente em ramos não permitidos de um determinado circuito. Para solucionar esse tipo de problema, Sripramong e Toumazou (2002) usam uma mistura de programação genética e um novo método de otimização de projeto independente de topologia para corrigir circuitos usando regras de projeto para a evolução e desenvolvimento de novas topologias de amplificadores CMOS. O novo método de otimização independente de topologia realiza a análise do fluxo de corrente elétrica do circuito, que é corrigido usando regras de projeto que alteram conexões de componentes, removem partes isoladas (sem fluxo de corrente) e removem partes que não afetam o desempenho do CI. Similarmente, em McConaghy et al. (2011), os autores usam um método baseado em programação genética e um algoritmo evolucionário de múltiplos objetivos para realizar síntese estrutural de topologias de CIs analógicos tais como amplificadores operacionais que são confiáveis por construção, devido ao uso de blocos construtores projetados por especialistas. Porém, nesse trabalho, a técnica GP não é usada, visto que os OTAs projetados possuem topologias específicas.

Os trabalhos publicados pelos autores Lourenço e Horta (2012); Weber e Van Noije (2011); Golmakani, Mafinejad e Kouzani (2009); Pereira-Arroyo, Alvarado-Moya e Krautschneider (2006) e De Smedt e Gielen (2003) usam técnicas “*a posteriori*” baseadas em algoritmos genéticos de múltiplos objetivos baseados em técnicas de dominância Pareto para otimizar e explorar as fronteiras do espaço de projeto de uma topologia de circuito integrado analógico. Utilizando técnicas “*a posteriori*”, o projetista de CI CMOS analógico realiza uma busca ampla para explorar diversas soluções de projeto que apresentam compromissos distintos entre os diversos objetivos. Somente após o término do processo de otimização, o projetista estabelece preferências em relação ao desempenho elétrico do projeto, selecionando uma ou mais soluções de um conjunto de soluções eficientes que atendem determinados objetivos de interesse. Diferentemente da técnica “*a posteriori*” descrita, este trabalho aplicará a técnica “*a priori*”, devido às especificações dos OTAs serem definidas antes do processo de otimização, em outras palavras, o AGSPICE buscará as soluções que alcançam o melhor compromisso entre vários objetivos de projeto ao mesmo tempo, em vez de explorar a topologia do OTA, similarmente ao trabalho realizado em Moreto (2011).

Contrastando com o modo de evolução extrínseco aplicado neste trabalho, em Santini et al. (2002, 2001) os autores usam evolução intrínseca porque as soluções geradas por GA são avaliadas usando uma plataforma reconfigurável analógica do tipo FPAA chamada arranjo multiplexador analógico programável (PAMA)²⁰ para evoluir as soluções potenciais

²⁰ Programmable analog multiplexer array.

encontradas. Em Santini et al. (2001) uma porta lógica Ou-Exclusivo (XOR)²¹ e um multiplexador analógico de duas entradas são desenvolvidos. Em Santini et al. (2002), o mesmo tipo de plataforma é utilizado para evoluir circuitos analógicos, por exemplo, um amplificador operacional. O FPAA é composto por blocos analógicos, tais como amplificadores operacionais e componentes discretos, tais como resistores, transistores bipolares, diodos e capacitores. Dessa forma, os diversos objetivos de projeto, tais como o ganho de tensão (A_{V0}), a frequência de corte (f_{3dB}), o *slew-rate* (SR), a potência dissipada (P_{TOT}), a área (A), a taxa de rejeição em modo comum (CMRR)²² e a taxa de rejeição da fonte de alimentação (PSRR)²³ são avaliados mudando interconexões entre componentes discretos (transistores bipolares, resistores e capacitores) do FPAA. Portanto, estes circuitos analógicos são geralmente projetados para aplicações onde é possível o uso de componentes discretos. Porém, neste trabalho utiliza-se a evolução extrínseca, pois os objetivos de projeto são avaliados através de *software* de simulação (SPICE), em vez de usar uma plataforma reconfigurável, e utiliza-se uma tecnologia CMOS de fabricação de CIs escolhida pelo projetista para fabricar amplificadores operacionais otimizados para alcançar as especificações desejadas.

Os trabalhos de Nicosia, Rinaudo e Sciacca (2008) e Jantos, Grzechca e Rutkowski (2010) usam algoritmos genéticos de múltiplos objetivos para implementar CIs analógicos mais tolerantes às dispersões do processo de fabricação CMOS. Por exemplo, o trabalho de Nicosia, Rinaudo e Sciacca (2008) realiza o dimensionamento do circuito integrado analógico em duas etapas: (a) otimização do desempenho elétrico com a finalidade de atender as especificações de projeto, onde o CI é avaliado sob a hipótese que nenhuma variação paramétrica ou ambiental acontece, o qual é referido como projeto nominal (condição de operação ideal); (b) se o projeto nominal for bem sucedido, então a robustez do CI é avaliada verificando se todas as especificações são satisfeitas mesmo quando variações paramétricas e ambientais são consideradas para assegurar que o desempenho do CI é ainda aceitável quando for submetido ao processo de fabricação. O trabalho de Jantos, Grzechca e Rutkowski (2012) propõe um método evolucionário para a localização de falhas paramétricas globais de um CI analógico para correção e ajuste dos parâmetros tecnológicos do processo de fabricação para melhorar a confiança do CI e aumentar o rendimento da produção. Projetos tolerantes a variações do processo é um campo de pesquisa ativo atualmente, visto que a indústria de CIs tem como objetivo maximizar o número de CIs que atendem os requisitos de projeto. Nesse trabalho foram

²¹ Exclusive-OR.

²² Common mode rejection ratio.

²³ Power supply rejection ratio.

realizados diversos estudos para avaliar tolerância do desempenho elétrico das melhores soluções obtidas pelo AGSPICE no projeto de OTAs com diferentes características elétricas. Um desses estudos realiza uma análise de sensibilidade com relação às variações das dimensões dos MOSFETs, onde os resultados são comparados com o projeto manual desses OTAs, os quais são descritos na subseção 5.7. Além disso, um artigo foi publicado sobre esse assunto: *Variability Analysis of the CMOS OTA Performance Designed by an Evolutionary System* (MORETO et al., 2013). Por fim, a robustez do desempenho elétrico dessas soluções em relação às variações ambientais e do processo de fabricação de CIs CMOS é avaliada através da análise dos piores casos (*corner analysis*) e através da análise de Monte Carlo nas subseções 5.9.4.1 e 5.9.4.2, respectivamente.

Os trabalhos de Sousa et al. (2009) e Wang et al. (2009) descrevem um modelo de lógica *fuzzy* integrado ao fluxo de um GA, nos quais em Sousa et al. (2009), o modelo de lógica *fuzzy* introduz conhecimento do projeto durante o processo de busca para melhorar a eficiência da otimização, e em Wang et al. (2009), um algoritmo de lógica *fuzzy* é introduzido para resolver problemas na geração de uma função de avaliação apropriada para múltiplos objetivos.

O trabalho de Krishnamurthy e Kim (2009) propõe uma ferramenta de automação de projeto de CI analógico usando GA para selecionar valores de componentes de um CI analógico para atender as especificações desejadas usando uma ferramenta protótipo e um simulador SPICE para avaliar a aptidão das soluções encontradas. Similarmente, em Rabuske et al. (2012) os autores apresentam outra ferramenta de otimização de circuito integrado para projeto analógico baseada em algoritmos evolucionários com a finalidade de encontrar valores dos dispositivos para atender os requisitos do projeto. Ferramentas genéricas, como as mencionadas anteriormente, podem ser aplicadas em uma ampla variedade de circuitos analógicos. No entanto, os valores iniciais dos componentes usualmente precisam ser dimensionados através de equações analíticas, para posteriormente serem otimizados para a obtenção das especificações de projeto desejadas, enquanto que o AGSPICE não requer um projeto inicial com o uso de equações analíticas. Nesse caso, as faixas de valores das variáveis de projeto, tais como as dimensões dos transistores podem ser baseadas em projetos similares reportados na literatura, considerando que foi observado nos experimentos que essa ferramenta foi capaz de gerenciar eficientemente uma faixa de valores bastante ampla para as variáveis de projeto, por exemplo, 1 a 500 μm para a largura de canal de todos os transistores de um OTA constituído por 10 MOSFETs. Apesar das faixas amplas de valores, o AGSPICE demonstrou ser capaz de realizar os processos de otimização em tempos considerados promissores (inferiores a 30 min).

O trabalho publicado por Severo, Longaretti e Girardi (2012) apresenta uma ferramenta para projeto automático de blocos analógicos integrados básicos usando a heurística de algoritmo genético e um simulador de circuitos integrados externo. A metodologia é baseada na minimização de uma função de avaliação e um conjunto de restrições a fim de dimensionar os transistores individuais de um dado circuito integrado. A metodologia de projeto é implementada em *Matlab* e o simulador *Synopsys HSPICE®* para simulação do CI. Em Ando e Iba (2000), os autores aplicam GA no projeto de filtros complexos, tais como filtros assimétricos, utilizando análise da resposta em frequência para avaliar o circuito integrado. Porém o sistema evolucionário AGSPICE (MORETO, 2011) é inovador no sentido de utilizar o GA não somente para determinar os melhores parâmetros para atingir os objetivos específicos de projeto do OTA, mas também para mapear e compreender o processo de busca e otimização de todos os parâmetros de entrada para alcançar as diversas especificações ao mesmo tempo, com objetivo de auxiliar o projetista a alcançar as especificações de projeto mais rapidamente. Uma das principais características do AGSPICE é a de mapear as mudanças das dimensões W e L de todos os transistores do OTA, assim como as condições de polarização do CI por corrente e por tensão, simultaneamente. Este mapeamento permite investigar como estas mudanças afetam o processo de busca das especificações de projeto do OTA, quando operando em condições de micropotência ($5 \mu\text{W}$), de alto ganho de tensão (65 dB) e de alta frequência de operação (93 MHz), gerando no final um conjunto de recomendações de projeto que podem auxiliar o projetista em projetos de CIs analógicos com especificações similares.

O trabalho publicado em Moreto, Thomaz e Gimenez (2011) enfoca na utilização do coeficiente de correlação entre os regimes de inversão dos MOSFETs de um OTA operando em diferentes especificações de projeto, com o objetivo de dar subsídios ao projetista de realizar ajustes finos nos parâmetros dos transistores para alcançar alguns objetivos de projeto mais facilmente e mais rapidamente, reduzindo o tempo e o custo de projeto do CI analógico. O trabalho publicado em Moreto, Thomaz e Gimenez (2012), além descrever o uso do coeficiente de correlação para auxiliar o projetista de CI analógico, também faz uma pequena comparação do projeto de um OTA desenvolvido pelo AGSPICE com o projeto desenvolvido manualmente e descreve algumas dificuldades encontradas no projeto desenvolvido de forma manual. O trabalho publicado em Moreto et al. (2012) mostra os resultados obtidos pelo sistema AGSPICE para o projeto de um OTA, operando em diferentes características de projeto, realiza uma comparação detalhada com o projeto desenvolvido manualmente, ilustra o mapeamento das variáveis de projeto realizado pelo AGSPICE e discute algumas novas recomendações de projeto possibilitadas pelo uso desse sistema.

Nos últimos anos, vários outros trabalhos relacionados com o desenvolvimento de novos GAs e outras técnicas de IA têm sido publicados com o objetivo de reduzir o tempo de projeto e de obter melhores soluções de projeto usando novas técnicas evolucionárias, por exemplo, um GA com os operadores genéticos convencionais de cruzamento (*crossover*) e mutação modificados, o uso de probabilidade de cruzamento e mutação adaptativas, o uso de funções de avaliação normalizadas (lineares ou não lineares) adaptativas e o uso de técnicas híbridas na otimização de CIs analógicos (VURAL et al., 2012; KHAN; KHALIFA, 2011; RAZZAGHPOUR; RUSU, 2011; BARROS; GUILHERME; HORTA, 2010b, 2006; LIU; HE, 2009a, 2009b; LIU et al., 2009; XU; DING, 2009; SOMANI; CHAKRABARTI; PATRA, 2007; TSAI; CHOU, 2006; ALPAYDIN; BALKIR; DUNDAR, 2003; GOH; LI, 2002). Nesta área de pesquisa, foi desenvolvido nesse trabalho um GA que usa um operador genético de elitismo modificado inovador, chamado elitismo DC, a fim de aumentar a velocidade do processo de busca do AGSPICE e obter melhores soluções de projeto. O processo de evolução DC (elitismo DC) é apresentado na subseção 5.2 e descrito em maiores detalhes na seção 6 e os experimentos referentes a esse assunto são descritos na subseção 5.5. Além disso, um artigo referente ao processo de evolução DC foi publicado em Moreto, Gimenez e Thomaz (2013).

Alpaydin, Balkir e Dundar (2003) propuseram um sistema evolucionário para o projeto de circuitos integrados analógicos cuja base é um modelo *neural-fuzzy* combinado com o uso das técnicas de otimização estratégias de evolução (ES)²⁴ e SA. Para aumentar a velocidade do processo de busca, os parâmetros DC foram obtidos por meio de um simulador SPICE limitado somente a simulações do ponto de operação do CI, como por exemplo, a potência dissipada, a tensão de saída e a transcondutância, enquanto que a ferramenta proposta oferecia duas opções para o modelamento dos parâmetros AC: ou por equações básicas do CI definidas pelo projetista ou pelo modelamento do desempenho elétrico do CI por meio de modelos *neural-fuzzy*, treinados a partir de simulações SPICE. Duas topologias diferentes de OTAs foram selecionadas e dimensionadas para atender objetivos específicos de projeto, tais como o ganho de tensão em malha aberta e de baixas frequências (A_{v0}), a frequência de ganho de tensão unitário (f_T), a margem de fase, o SR e a potência dissipada. Primeiramente, os OTAs foram dimensionados usando o sistema evolucionário proposto, cujos resultados obtidos foram validados pelo simulador HSPICE usando os parâmetros BSIM3 do processo CMOS de 1,5 μm e, em seguida, um *chip* protótipo contendo os projetos realizados foi fabricado para validação. Embora as condições de polarização tenham sido atendidas com erros pequenos (inferiores a

²⁴ Evolutionary strategies.

10%), os valores medidos experimentalmente para a resposta em frequência resultaram distantes daqueles simulados, por exemplo, o f_T medido para um OTA básico de dois estágios resultou 48,6% abaixo do valor simulado. Embora essas diferenças possam estar relacionadas às diferenças entre os parâmetros SPICE usados na ferramenta computacional e os parâmetros correspondentes à rodada de fabricação do CI, resultados mais precisos poderiam ter sido obtidos se o sistema evolucionário desenvolvido usasse um simulador AC durante a etapa de evolução do algoritmo genético em vez de modelar o comportamento do CI através de uma rede *neural-fuzzy*, embora com um maior custo computacional (maior tempo de simulação). Outras desvantagens podem ser apontadas em um sistema baseado em redes neurais, que estão relacionadas ao tempo preparatório necessário para a realização do experimento, tais como os parâmetros de ajuste adicionais da rede neural a serem usados para modelar o comportamento do CI. O treinamento da rede neural pode ser lento, visto que o conjunto de treinamento deve conter um determinado número de soluções que cobrem amplamente o espaço de busca e, dessa forma, um determinado número de simulações AC devem ser realizadas para a obtenção da resposta em frequência a ser modelada pela rede neural. A precisão do modelo da rede neural depende diretamente do número de amostras do conjunto de treinamento de forma que existe sempre um compromisso entre precisão e tempo computacional e a técnica de lógica *fuzzy* requer a definição de regras precisas por um especialista da arquitetura do CI a ser dimensionado.

Em 2006, Barros, Guilherme e Horta (2006) implementaram um sistema evolucionário híbrido na ferramenta de auxílio ao projeto de CIs analógicos GENOM baseado em uma estratégia de aprendizado supervisionado usando as técnicas máquinas de vetores de suporte (SVMs)²⁵ e ES com o objetivo de aumentar a eficiência de otimização. A técnica SVM é usada como um método robusto de regressão e classificação e a técnica ES é uma técnica evolucionária de otimização global. Dessa forma, na ferramenta GENOM, o SVM foi usado de duas formas diferentes. Atuou como um modelo de regressão para modelar o desempenho do CI, estabelecendo o mapeamento das variáveis de projeto para cada parâmetro de desempenho e combinando esses parâmetros para produzir uma aproximação da função de avaliação, que foi usada para substituir avaliações usando o simulador SPICE no ciclo do GA, diminuindo o número de avaliações usando o SPICE, que tem um alto custo computacional. Além disso, atuou como um modelo de factibilidade para estimar as regiões mais promissoras do espaço de desempenho elétrico a ser explorado. A informação de classificação de cada solução como

²⁵ Support vector machines.

factível ou não factível foi usada pelo método de seleção como critério de escolha de quais soluções deveriam ser aceitas para o processo de avaliação e quais deveriam ser rejeitadas por estar fora ou distante das regiões mais promissoras. No caso de condição de estagnação, a fase de avaliação poderia tomar a decisão de avaliar uma solução por simulação SPICE e, no caso de um baixo número de soluções selecionadas por esse modelo de classificação, o sistema poderia realizar uma busca local ao redor das melhores soluções da população. Todas as soluções avaliadas por simulação elétrica foram armazenadas em um banco de dados para posterior atualização do modelo. Uma fração de 2/3 das soluções avaliadas foi armazenada para o treinamento do modelo e a fração restante de 1/3 foi usada para validação do modelo. Estas amostras melhoraram a precisão do modelo que foi periodicamente regenerado durante o processo de otimização. Um amplificador operacional CMOS de dois estágios foi dimensionado através do sistema proposto usando o processo da tecnologia CMOS de 0,35 µm. No experimento foi realizada uma comparação entre um GA convencional (GA-STD), um GA modificado (GA-MOD), ambos avaliaram as soluções somente através de um simulador SPICE, um GA combinado com a técnica SVM (GA-SVM), que usou o simulador SPICE somente para gerar o modelo SVM antes de iniciar o processo evolucionário e um GA combinado com a técnica SVM, onde o modelo SVM foi construído dinamicamente durante o processo evolucionário (GA-SVM-SIM). Os modelos baseados somente em simulação (GA-STD e GA-MOD) alcançaram maior precisão, porém, um maior tempo de convergência foi necessário em relação às outras técnicas. O GA-SVM foi o que apresentou convergência mais rápida, mas as soluções apresentadas foram menos precisas e a técnica híbrida GA-SVM-SIM foi a que apresentou o melhor compromisso entre eficiência e precisão. Em 2007, os mesmos autores publicaram outro trabalho sobre o GENOM (BARROS; GUILHERME; HORTA, 2007), onde outro amplificador operacional CMOS de dois estágios foi otimizado pelo sistema híbrido proposto.

No estudo passado, Somani, Chakrabarti e Patra (2007) propuseram um sistema evolucionário baseado em técnicas “*a priori*” usando funções de aptidão exponenciais não lineares para o projeto de CIs CMOS analógicos. Para validar o sistema proposto, um amplificador operacional e um amplificador de baixo ruído (LNA)²⁶ foram dimensionados usando o processo de fabricação CMOS de CIs de 0,18 µm. Os autores demonstraram que em tais problemas de otimização complexos, o sistema de otimização “*a priori*” proposto superou

²⁶ Low-noise amplifier.

a efetividade de técnicas “*a posteriori*” comumente utilizadas, tal como o NSGA-II (DEB et al., 2002).

Barros, Guilherme e Horta (2010b) descreveram uma ferramenta computacional híbrida chamada GENOM, composta por um algoritmo genético modificado e uma estratégia de aprendizado supervisionado baseada em SVM para aumentar a eficiência da ferramenta de otimização implementada para projetos de CIs CMOS analógicos. A introdução da técnica de modelagem do comportamento do circuito por SVM foi usada para guiar eficientemente o processo de otimização, reduzindo o número total de avaliações requeridas. Essa técnica cria modelos de factibilidade junto com um conjunto de modificações na estratégia evolucionária (ES). O sistema de otimização proposto usou funções de aptidão do tipo linear para projetar três classes diferentes de OTAs CMOS. Dois OTAs, um do tipo *folded cascode* e outro de dois estágios, foram projetados usando o processo tecnológico CMOS de CIs de 0,35 µm da AMS e um OTA telescópico usou a tecnologia CMOS da UMC de 0,18 µm. Todos os projetos atenderam as especificações desejadas. A robustez desses OTAs referente às variações ambientais e do processo de fabricação foram validados com sucesso pela análise dos casos mais extremos de variações (*corner analysis*). Uma comparação de desempenho entre o GENOM e uma ferramenta de referência para o projeto de CI analógico FRIDGE (MEDEIRO et al., 1994) também foi realizada. O circuito de teste escolhido foi um OTA do tipo *folded cascode* de única saída. Todos os resultados de simulação foram bem sucedidos, atendendo as especificações desejadas.

Em outro estudo, Severo, Longaretti e Girardi (2012) propuseram um sistema de otimização baseado em algoritmo genético usando funções de aptidão lineares para projetos de CIs CMOS analógicos. Os autores otimizaram um OTA Miller CMOS usando o processo de fabricação CMOS de CIs XFAB de 0,18 µm. Em seguida, eles validaram com sucesso a robustez do projeto do OTA pela análise de Monte Carlo (rendimento de cerca de 99%).

Em 2012, Martins et al. (2012) apresentaram uma plataforma para a automação do projeto do CI analógico, AIDA, que implementou um fluxo de projeto da especificação a nível de circuito até a descrição do leiaute físico. A fim de validar o sistema proposto, um OTA do tipo *folded-cascode* foi dimensionado pela ferramenta de otimização GENOM usando a tecnologia UMC de 0,13 µm. Em seguida, os parâmetros do CI dimensionado foram fornecidos para outra ferramenta, LAYGEN II, para gerar automaticamente o leiaute no formato GDSII, que é o formato padrão usado pela indústria de microeletrônica. Em 2015, os mesmos autores (MARTINS et al., 2015) apresentaram uma versão mais nova do AIDA, que integra as duas ferramentas, a de otimização de CIs analógicos (AIDA-C) e a de geração de leiaute (AIDA-L).

O AIDA-C é constituído por algoritmos de otimização de múltiplos objetivos, dentre os quais o mais usado é o NSGA-II (DEB et al., 2002), que gera na saída um conjunto Pareto ótimo de CIs dimensionados com diferentes compromissos entre os diversos objetivos de otimização. A característica mais importante desse sistema é a sua capacidade de incluir efeitos parasitários de leiaute durante o processo de otimização, assim como a possibilidade de considerar variações extremas do processo de fabricação (*croner analysis*). O AIDA-L implementa uma metodologia de geração de leiaute totalmente automatizada que assegura a conformidade dos leiautes gerados com as regras de projeto (DRC)²⁷. Dessa forma, o AIDA verifica a robustez das soluções nos níveis de circuito e de leiaute. Para validar o sistema proposto, um OTA de dois estágios do tipo *folded cascode* foi otimizado. O circuito foi dimensionado usando otimização tradicional (primeiro o dimensionamento e depois o leiaute) e o processo de otimização incluindo efeitos do leiaute. Comparando ambos os métodos considerando os efeitos do leiaute, observou-se que o método proposto atendeu as especificações de forma mais adequada que o método tradicional, especialmente a frequência de ganho de tensão unitário. Esse resultado é devido aos efeitos parasitários do leiaute não terem sido considerados no processo de otimização tradicional. No entanto, os resultados somente foram validados através de simulações SPICE.

Além disso, Jafari et al. (2012) propuseram um algoritmo SFLA melhorado baseado em funções de aptidão degrau para a otimização de CIs CMOS analógicos. Dois amplificadores operacionais CMOS foram otimizados na tecnologia do processo CMOS de CIs de 0,18 μm para qualificar o sistema proposto. Ele foi validado com sucesso em relação a outros algoritmos evolucionários tais como o SFLA convencional, o algoritmo genético (GA) e o ICA.

Finalmente, é importante mencionar que atualmente diversos algoritmos de otimização evolucionários da área de IA estão sendo desenvolvidos, que imitam aspectos humanos, sociais ou da natureza, similarmente ao algoritmo genético, como meio de buscar mais rapidamente soluções robustas para problemas de otimização complexos. Por exemplo, o algoritmo da otimização da colônia de formigas (ACO)²⁸ é baseado no comportamento de uma colônia de formigas, o método do enxame de partículas (PSO)²⁹ é baseado no comportamento social de animais, como um cardume de peixes ou um bando de pássaros (ATASHPAZ-GARGARI; LUCAS, 2007) e o algoritmo do “sapo pulando embaralhado” (SFLA)³⁰ é inspirado no

²⁷ Design-rule-check.

²⁸ Ant colony optimization.

²⁹ Particle swarm optimization.

³⁰ Shuffled frog leaping algorithm.

comportamento social dos sapos (JAFARI et al., 2012; ELBELTAGI; HEGAZY; GRIERSON, 2007). Atashpaz-Gargari e Lucas (2007) propuseram um algoritmo evolucionário chamado algoritmo competitivo imperialista (ICA)³¹, baseado na competição imperialista entre impérios, onde prevalece no final do processo de busca apenas o império (solução) mais forte e suas colônias com poderes similares ao do império.

Observou-se através desse estudo bibliográfico, que a grande maioria dos estudos conduzidos pela aplicação de técnicas “*a priori*” para projetos de CIs CMOS analógicos usam funções de aptidão degrau ou linear (SEVERO; LONGARETTI; GIRARDI, 2012; JAFARI et al., 2012; BARROS; GUILHERME; HORTA, 2010a, 2010b). Nesse contexto, baseado nos resultados promissores obtidos pelo uso de funções de aptidão não lineares exponenciais para problemas de otimização complexos (SOMANI; CHAKRABARTI; PATRA, 2007), parece imperativo investigar de forma mais aprofundada atualmente o uso de novas funções de aptidão não lineares combinadas com a ideia de mensurar a relação entre os valores das funções de aptidão das melhores soluções encontradas pelos processos de otimização e sua robustez do desempenho elétrico para melhor compreender o problema complexo de projetar na prática CIs CMOS analógicos eficientemente. Além disso, observou-se progressos significativos referentes às ferramentas de otimização para o projeto dos CIs CMOS analógicos. Porém, a efetividade dessas novas ferramentas não tem sido demonstrada através de caracterização elétrica experimental e usando processos de fabricação CMOS de CIs atuais (abaixo de 1 µm). Além disso, detalhes sobre o leiaute de fabricação dos CIs protótipos e do sistema de caracterização elétrica experimental também não têm sido reportados na literatura.

³¹ *Imperialist competitive algorithm.*

3 CONCEITOS FUNDAMENTAIS

A subseção 3.1 tem por objetivo descrever o fluxo básico do projeto do circuito integrado CMOS analógico seguido nesse trabalho, assim como a topologia dos amplificadores operacionais otimizados nos estudos. Posteriormente, apresentam-se as figuras de mérito usadas para mensurar o desempenho elétrico e a qualidade dos OTAs que serão projetados, fabricados e caracterizados eletricamente, onde também são apresentados os procedimentos usados para obtenção dessas figuras de mérito. A subseção 3.2 tem por objetivo apresentar as diversas classificações dos algoritmos evolucionários de múltiplos objetivos. Em seguida, apresentam-se os diversos algoritmos de otimização utilizados nesse trabalho.

3.1 PROJETO DOS CIRCUITOS INTEGRADOS CMOS ANALÓGICOS

As próximas subseções apresentarão os CI's CMOS analógicos usados nesse trabalho, assim como os conceitos fundamentais relacionados ao projeto desses circuitos.

3.1.1 Fluxo básico do projeto dos circuitos integrados analógicos e de sinais misturados

Para assegurar o funcionamento dos circuitos integrados analógicos e de sinais misturados deve-se seguir um fluxo básico de projeto, que é constituído por cinco níveis hierárquicos (BARROS; GUILHERME; HORTA, 2010a):

- a) Nível de sistema: Neste estágio de desenvolvimento, as especificações requeridas pelo sistema ou produto e a tecnologia do processo de fabricação são definidos (BARROS; GUILHERME; HORTA, 2010a);
- b) Nível de bloco: Neste estágio, descrições em alto nível dos blocos básicos são efetivamente traduzidos na arquitetura de blocos funcionais requeridos para realizar a descrição do comportamento especificado (BARROS; GUILHERME; HORTA, 2010a);
- c) Nível de circuito: Nesta fase realiza-se um processo de otimização para cada bloco básico analógico, onde a otimização é um processo iterativo para determinar as dimensões físicas em nível de dispositivo, por exemplo, as dimensões dos transistores. A tolerância do projeto deverá ser obtida levando em conta as variações ambientais e do processo de fabricação para garantir que o CI atenderá às

especificações após o processo de fabricação. As especificações de desempenho elétrico requeridas do circuito final são verificadas usando um simulador SPICE (BARROS; GUILHERME; HORTA, 2010a);

- d) Nível de leiaute: Nesse estágio, os blocos básicos otimizados no passo anterior são mapeados na representação física do circuito de cada bloco. Leiaute é um conjunto de formas geométricas que devem obedecer às regras de projeto especificadas pelo processo de fabricação (BARROS; GUILHERME; HORTA, 2010a);
- e) Fabricação e teste: Nesse estágio, o projeto do leiaute produzido na etapa anterior é enviado para fabricação e o CI é finalmente produzido. O teste e validação são passos fundamentais para assegurar a operação correta do circuito integrado e, assim, um sistema de caracterização elétrica adequado deve ser definido (BARROS; GUILHERME; HORTA, 2010a).

Para validar o AGSPICE através da caracterização elétrica experimental do projeto de OTAs com diferentes características elétricas, tais como micropotência ($5 \mu\text{W}$), alto ganho de tensão (60 dB) e alta frequência (60 MHz), e assegurar o funcionamento dos OTAs projetados seguiu-se o fluxo básico de projeto descrito acima. Segundo esse fluxo de projeto, a arquitetura de um OTA de único estágio e única saída foi escolhida (EGGERMONT et al., 1996) como principal objetivo de estudo, devido a ela ser comumente usada como um bloco básico analógico em inúmeras aplicações (SÁNCHEZ-AZQUETA et al., 2014; KHUMSAT; WORAPISRET, 2012; LIM et al., 2011; LEE et al., 2011; KIM et al., 2010; HWANG; LIN, 2009; CHATTERJEE; TSIVIDIS; KINGET, 2005). Em seguida, o AGSPICE foi utilizado para encontrar as dimensões ótimas dos MOSFETs para otimizar as diferentes especificações de projeto dos OTAs. Além desse passo, para assegurar a tolerância do desempenho elétrico dos OTAs em relação às variações das dimensões dos MOSFETs foram realizados testes de sensibilidade (MORETO et al., 2013). A tolerância do projeto em relação aos descasamentos, às varrições ambientais e do processo de fabricação CMOS de CIs foram realizadas por meio de análises de Monte Carlo. Em seguida, diversos leiautes foram implementados usando as regras de projeto do processo de fabricação CMOS de CIs de $0,35 \mu\text{m}$ da ON Semiconductor (MOSIS, 2015). Durante a fabricação do CI, um sistema de medidas simples e preciso foi desenvolvido para realizar as caracterizações elétricas dos OTAs. Além disso, os resultados experimentais foram comparados com os resultados de simulação SPICE obtidos pelo AGSPICE.

Dos cinco passos principais envolvidos no fluxo de projeto dos CIs CMOS analógicos, se o desempenho do CI fabricado após a última etapa (etapa 5) não for aceitável, as etapas anteriores podem ser reavaliadas em ordem reversa, ou seja, da etapa 4 até a etapa 1, até que o desempenho do CI fabricado seja considerado aceitável.

3.1.2 Amplificadores operacionais

O amplificador operacional (AMP OP) é o bloco básico analógico de importância universal. Devido à sua versatilidade, é largamente utilizado na eletrônica analógica e sistemas de sinais misturados (ZEBULUM; PACHECO; VELLASCO, 2002; RAZAVI, 2001; SEDRA; SMITH, 2000). Consistem de amplificadores diferenciais diretamente acoplados, ou seja, amplificam sinais de baixa frequência ou até mesmo sinais de frequência igual à zero. Dependendo do tipo, esses amplificadores podem apresentar características distintas. AMP OPs de uso geral normalmente apresentam alto ganho de tensão em malha aberta, alta impedância de entrada e baixa impedância de saída (ZEBULUM; PACHECO; VELLASCO, 2002; SEDRA; SMITH, 2000). No entanto, os amplificadores operacionais de transcondutância (OTAs) usualmente apresentam alta impedância de saída, podendo funcionar como uma fonte de corrente controlada por tensão, daí o nome transcondutância dado a esse tipo de AMP OP (RAZAVI, 2001). Esses dois tipos de amplificadores serão otimizados nesse trabalho. A fim de controlar o ganho de tensão e a banda passante, os amplificadores operacionais frequentemente empregam realimentação externa (ZEBULUM; PACHECO; VELLASCO, 2002; RAZAVI, 2001; SEDRA; SMITH, 2000). Tipicamente são fabricados em circuitos integrados de diferentes tecnologias, tais como bipolar, CMOS e BiCMOS (bipolar e CMOS) (ZEBULUM; PACHECO; VELLASCO, 2002). Esses CIs são empregados em diversos blocos básicos da eletrônica tais como, conversores digitais-analógicos, comparadores, amplificadores, entre outros (ZEBULUM; PACHECO; VELLASCO, 2002; SEDRA; SMITH, 2000).

As próximas subseções desta subseção têm por objetivo apresentar as topologias dos amplificadores operacionais (AMP OPs) CMOS que serão implementados e dimensionados nesse trabalho.

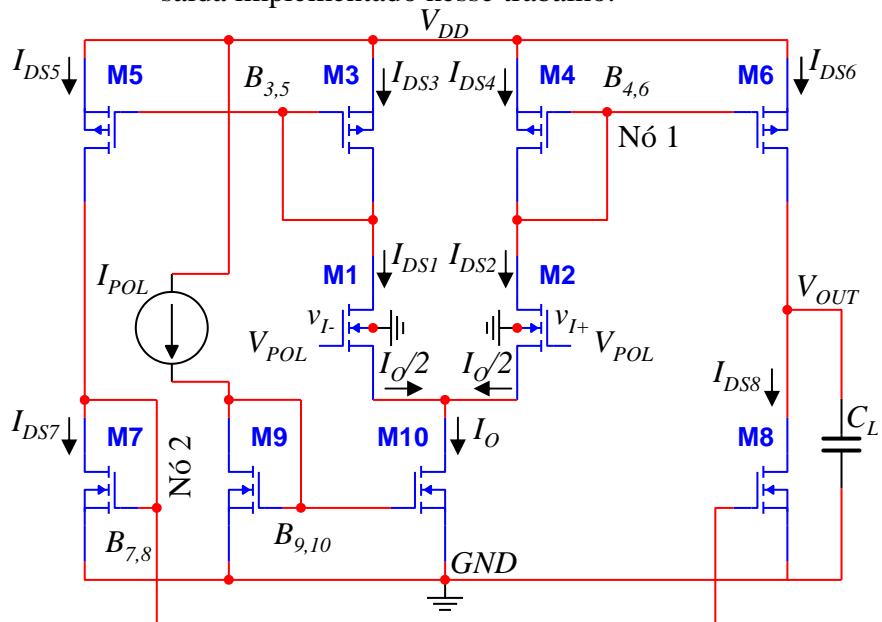
3.1.2.1 OTA de único estágio e única saída (SESS)

Nesta subseção é apresentado em detalhes a arquitetura do OTA que será o principal objetivo de estudo nesse trabalho, devido a ele ser um dos blocos básicos analógicos mais

importantes para aplicações de CI's CMOS analógicos. Normalmente são usados em inúmeros subsistemas, tais como estágios amplificadores de ganho de tensão, circuitos comparadores, circuitos de recuperação de dados em dispositivos de identificação por radiofrequência (RFID) (LIM et al., 2011; LEE et al., 2011; KIM et al., 2010; HWANG; LIN, 2009), osciladores controlados por tensão (VCO)³² usados em receptores ópticos (SÁNCHEZ-AZQUETA et al., 2014) e a construção de filtros RC ativos (KHUMSAT; WORAPISHET, 2012; CHATTERJEE; TSIVIDIS; KINGET, 2005).

O primeiro circuito implementado nesse trabalho é um amplificador operacional de transcondutância (OTA) de único estágio e única saída (SESS)³³, cuja arquitetura é apresentada na Figura 1 (MORETO et al., 2012; MORETO; THOMAZ; GIMENEZ, 2011; MORETO, 2011; GIMENEZ et al., 2006; GIMENEZ, 2004; ZEBULUM; PACHECO; VELLASCO, 2002; EGGERMONT et al., 1996).

Figura 1 – Arquitetura do OTA CMOS de único estágio e única saída implementado nesse trabalho.



Fonte: Autor “adaptado de” Eggermont et al., 1996.

Na Figura 1, C_L é a carga capacitiva, V_{DD} é a tensão de alimentação, GND é o terminal de terra (potencial de referência de 0 V), v_{I+} e v_{I-} são as entradas diferenciais, onde v_{I+} representa o terminal da entrada não inversora e v_{I-} o terminal da entrada inversora. M1, M2, M7, M8, M9 e M10 são MOSFETs canal tipo n (nMOSFETs), M3, M4, M5 e M6 são MOSFETs canal tipo

³² Voltage-controlled oscillators.

³³ Single-ended single-stage.

p (pMOSFETs). Mais especificamente, os transistores M1 e M2 são definidos como par diferencial; os transistores M3 e M4 são definidos como cargas em espelho de corrente do par diferencial; os transistores M5, M6, M7 e M8 são definidos como transistores do estágio de saída. Os pares M3-M5, M4-M6, M7-M8 e M9-M10 formam espelhos de corrente, e os fatores de ganho de corrente correspondentes são identificados por $B_{3,5}$, $B_{4,6}$, $B_{7,8}$ e $B_{9,10}$, respectivamente (MORETO et al., 2012; MORETO; THOMAZ; GIMENEZ, 2011; MORETO, 2011; GIMENEZ et al., 2006; GIMENEZ, 2004; EGGERMONT et al., 1996).

Aplicando um pequeno sinal diferencial de tensão nas entradas diferenciais, o espelho de corrente pMOSFET formado pelo par M3-M5 espelha a corrente diferencial da entrada inversora para os transistores do estágio de saída M5 e M7 e o espelho de corrente nMOSFET formado pelo par M7-M8 espelha esta corrente para o transistor de saída M8. O outro espelho de corrente pMOSFET, M4-M6, espelha a corrente diferencial da entrada não inversora para o transistor de saída M6. Uma vez que os transistores de saída M6 e M8 possuem resistências de saída proporcionais às suas respectivas tensões Early e estando conectados ao nó de saída (V_{OUT}) produzem um sinal de tensão amplificado na saída proporcional ao valor da tensão Early destes transistores, conforme detalhado em Moreto (2011, subseção 3.2.5). O espelho de corrente nMOSFET formado pelo par M9-M10 é responsável pela corrente de polarização do par diferencial. Neste projeto, o circuito será considerado simétrico, ou seja, os pares M1-M2, M3-M4, M5-M6 e M7-M8 serão considerados casados (mesmas dimensões e características elétricas). Porém, os transistores M9 e M10 não serão obrigatoriamente casados, ou seja, poderão apresentar dimensões W e L diferentes a fim de forçar o M10 a operar na região de saturação.

Adicionalmente, I_{POL} é a corrente de polarização de referência, a qual é implementada por uma fonte de corrente externa ao circuito do OTA, I_O é a corrente de saída do espelho de corrente composto dos transistores M9 e M10, a qual polariza o par diferencial por corrente elétrica, V_{POL} é a tensão de polarização que deve ser aplicada às entradas diferenciais, I_{DS1} e I_{DS2} são as correntes entre dreno e fonte do par diferencial; I_{DS3} e I_{DS4} são as correntes entre dreno e fonte das cargas ativas do par diferencial; I_{DS5} , I_{DS6} , I_{DS7} e I_{DS8} são as correntes entre dreno e fonte dos transistores do estágio de saída M5, M6, M7 e M8, respectivamente. Os terminais de corpo dos nMOSFETs estão conectados ao terminal negativo da fonte de alimentação (GND) e os terminais de corpo dos pMOSFETs estão conectados ao terminal positivo da fonte de alimentação (V_{DD}) (MORETO et al., 2012; MORETO; THOMAZ; GIMENEZ, 2011; MORETO, 2011; GIMENEZ et al., 2006; GIMENEZ, 2004; EGGERMONT et al., 1996).

Uma característica importante desse tipo de OTA é que o polo dominante é determinado pela capacidade de carga e sua compensação interna é desnecessária, o que resulta em uma maior facilidade de projeto, menor consumo de potência e menor tamanho do CI (KRUMMENACHER, 1981). Além disso, é projetado para apresentar estabilidade para cargas capacitivas pequenas. Nesse caso, uma carga capacitiva de apenas 5 pF pode ser suficiente para compensação (DEGRAUWE; RIJMENTANTS; VITTOZ, 1982).

O espaço de busca de soluções possíveis dessa topologia de OTA é aproximadamente 10^{35} .

3.1.2.1.1 Funcionamento do OTA SESS

O procedimento do projeto manual usado neste trabalho foi baseado na metodologia do projeto de circuitos integrados analógicos g_m/I_{DS} em função de $I_{DS}/(W/L)$ (SILVEIRA; FLANDRE; JESPERS, 1996), o qual foi descrito em detalhes em Moreto (2011, seção 2). O funcionamento dos espelhos de corrente do OTA CMOS apresentado na Figura 1 foi detalhado na subseção 3.2.1 em Moreto (2011). O funcionamento do bloco do par diferencial e do bloco do estágio de saída foram descritos em Moreto (2011, subseções 3.2 e 3.3).

3.1.2.1.2 Equações básicas do OTA SESS

A relação entre a corrente I_O e I_{POL} pode ser expressa em função das dimensões dos transistores, conforme a equação (1) (SEDRA; SMITH, 2000, p. 379; EGGERMONT et al., 1996):

$$B_{9,10} = \frac{I_O}{I_{POL}} = \frac{(W/L)_{10}}{(W/L)_9}, \quad (1)$$

onde $(W/L)_9$ e $(W/L)_{10}$ correspondem às razões de aspecto, respectivamente dos transistores M9 e M10.

Similarmente, o fator de ganho de corrente do espelho de corrente pMOSFET formado por M4 e M6 ($B_{4,6}$) é dado pela seguinte equação (EGGERMONT et al., 1996):

$$B_{4,6} = \frac{I_{DS6}}{I_{DS4}} = \frac{(W/L)_6}{(W/L)_4}, \quad (2)$$

onde $(W/L)_4$ e $(W/L)_6$ correspondem às razões de aspecto, respectivamente dos transistores M4 e M6. Dada a simetria do circuito, será considerado o ganho de corrente do outro espelho de corrente pMOSFET ($B_{3,5}$), formado por M3 e M5, igual a $B_{4,6}$. Também devido à simetria do circuito, o fator de ganho de corrente do espelho de corrente nMOSFET formado por M7 e M8, $B_{7,8}$, correspondente ao par M7-M8, será considerado igual a 1.

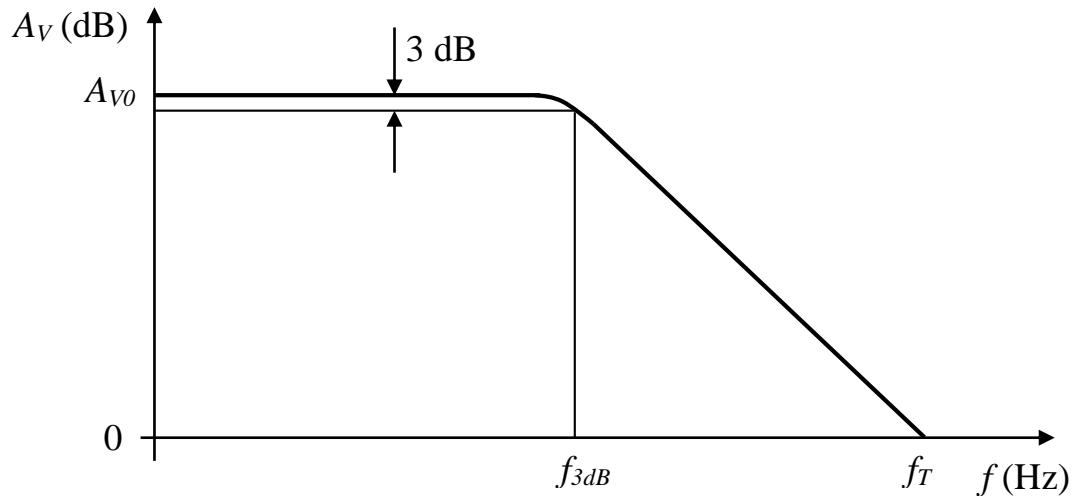
O ganho de tensão em malha aberta em baixas frequências (A_{V0}) do OTA SESS ilustrado na Figura 1 é definido como sendo a razão entre a componente alternada da tensão de saída (v_{out}) e a componente alternada da tensão diferencial de entrada (v_{id}), como mostra a equação (3) (MORETO, 2011; GIMENEZ, 2004; EGGERMONT et al., 1996):

$$A_{V0} = \frac{v_{out}}{v_{id}} = B_{4,6} \cdot \left(\frac{g_m}{I_{DS}} \right)_{1,2} \cdot \left(\frac{V_{A6} \cdot V_{A8}}{V_{A6} + V_{A8}} \right), \quad (3)$$

onde $B_{4,6}$ é o fator de ganho de corrente do espelho de corrente pMOSFET, formado pelos transistores M4 e M6; $(g_m/I_{DS})_{1,2}$ é o valor da razão da transcondutância pela corrente entre dreno e fonte do par diferencial M1-M2; V_{A6} e V_{A8} são as tensões Early dos transistores M6 e M8, respectivamente.

A frequência de ganho de tensão unitário (f_T), também denominada frequência de transição, é a frequência do sinal em que o ganho de tensão em malha aberta de um circuito ou dispositivo se torna unitário (SEDRA; SMITH, 2000). A freqüência f_{3dB} é a freqüência de corte, onde o ganho de tensão é reduzido em 3 dB do ganho de tensão em malha aberta e baixas frequências (SEDRA; SMITH, 2000). A Figura 2 ilustra a curva do ganho de tensão em função da frequência do sinal aplicado às entradas diferenciais do OTA.

Figura 2 – Esboço da curva do ganho de tensão em malha aberta em função da frequência do sinal de entrada diferencial de um OTA.



Fonte: Autor.

A frequência de ganho de tensão unitário (f_T) do OTA é obtida pela aproximação de sistema de polo simples, ou seja, f_T depende apenas do polo principal do sistema, o qual é devido à capacidade de carga, C_L . Assim, f_T é dada pelo produto do ganho de tensão (A_{V0}) pela frequência de corte (f_{3dB}), também conhecido por GBW³⁴, como mostra a equação (4) (MORETO, 2011; GIMENEZ, 2004; EGGERMONT et al., 1996):

$$f_T = A_{V0} \cdot f_{3dB} = B_{4,6} \cdot \left(\frac{g_m}{I_{DS}} \right)_{1,2} \left(\frac{I_{DS1,2}}{2 \cdot \pi \cdot C_L} \right), \quad (4)$$

onde $B_{4,6}$ é o fator de ganho de corrente do espelho de corrente pMOSFET, formado pelos transistores M4 e M6; $(g_m/I_{DS})_{1,2}$ é o valor da razão da transcondutância pela corrente entre dreno e fonte do par diferencial M1-M2; $I_{DS1,2}$ é a corrente entre dreno e fonte do par diferencial M1-M2 e C_L é a capacidade da carga conectada ao nó de saída V_{OUT} do circuito da Figura 1. Embora os polos e zeros parasitas tenham sido desprezados nesta equação, os quais ocorrem devido às capacidades intrínsecas dos transistores do circuito, normalmente essa equação é válida quando o projeto do OTA é estável, pois estes polos e zeros, que ocorrem devido às capacidades intrínsecas localizadas nos nós 1 e 2, devem estar posicionados suficientemente além de f_T para garantir margem de fase positiva e operação estável do OTA (MORETO, 2011; GIMENEZ, 2004; EGGERMONT et al., 1996).

³⁴ Gain bandwidth product.

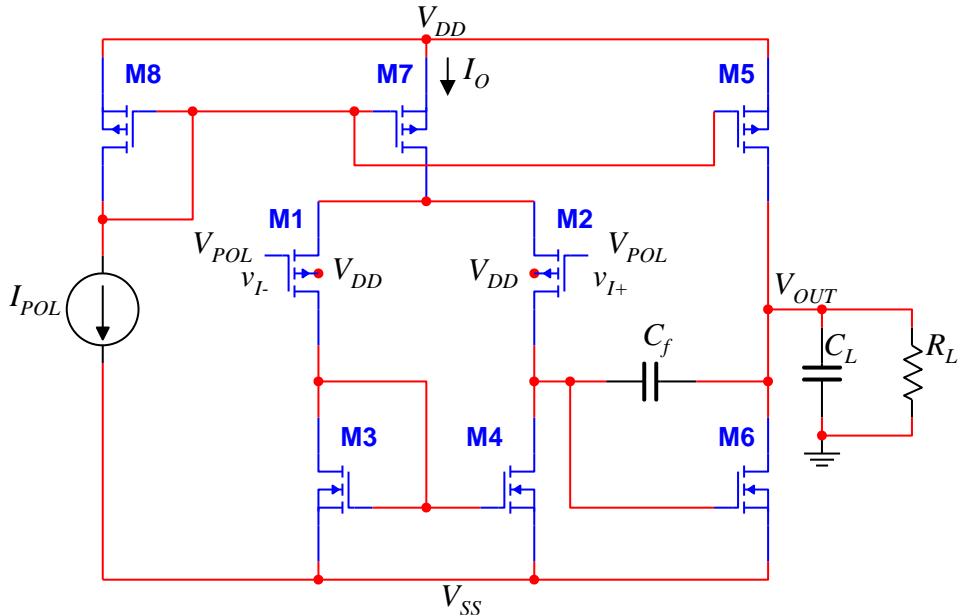
As equações (1), (2), (3) e (4) são de primeira ordem e formam a base do projeto tradicional manual realizado através da metodologia g_m/I_{DS} em função de $I_{DS}/(W/L)$ e posterior processo interativo e repetitivo com um simulador SPICE na tentativa de alcançar um bom compromisso entre diversas especificações de projeto (MORETO, 2011; SILVEIRA; FLANDRE; JESPERS, 1996). Porém, o AGSPICE não utiliza a metodologia g_m/I_{DS} em função de $I_{DS}/(W/L)$ para determinar as dimensões dos MOSFETs e também não utiliza as equações de primeira ordem para avaliar os resultados de desempenho alcançados por uma possível solução encontrada. Nesse caso, as variáveis de entrada desse sistema (dimensões dos MOSFETs e condições de polarização) são geradas de forma direta através de um algoritmo de busca e otimização, por exemplo o algoritmo genético (GA), e os resultados alcançados por uma determinada solução são obtidos através do simulador de circuitos integrados Spice Opus (2010), para posteriormente serem avaliados através das equações de avaliação (MORETO, 2011, subseção 5.3) com o objetivo de quantificar o grau de adequação dos resultados obtidos pelo simulador.

É importante mencionar que a cada nova geração da tecnologia CMOS, as dimensões dos MOSFETs são reduzidas, assim como as tensões de alimentação, que torna cada vez mais difícil o projeto dos AMP OPs CMOS, pois as equações do circuito obtidas em primeira aproximação preveem o comportamento elétrico com cada vez menor precisão e requerem modelos SPICE cada vez mais sofisticados (RAZAVI, 2001).

3.1.2.2 OTA Miller

A Figura 3 ilustra o circuito elétrico da segunda topologia de OTA CMOS dimensionada nesse trabalho, conhecida como OTA Miller, que também é um bloco básico amplamente utilizado na eletrônica analógica (ZEBULUM; PACHECO; VELLASCO, 2002). Essa segunda arquitetura foi incluída apenas para demonstrar a eficiência e flexibilidade da ferramenta de otimização desenvolvida nesse trabalho, cujas especificações são difíceis de serem alcançadas (ZEBULUM; PACHECO; VELLASCO, 2002), dessa forma, não será fabricada e medida experimentalmente. A otimização desse OTA é apresentada na subseção 6.2.3.

Figura 3 – Arquitetura do OTA Miller otimizado nesse trabalho.



Fonte: Autor “adaptado de” Zebulum, Pacheco e Vellasco, 2002.

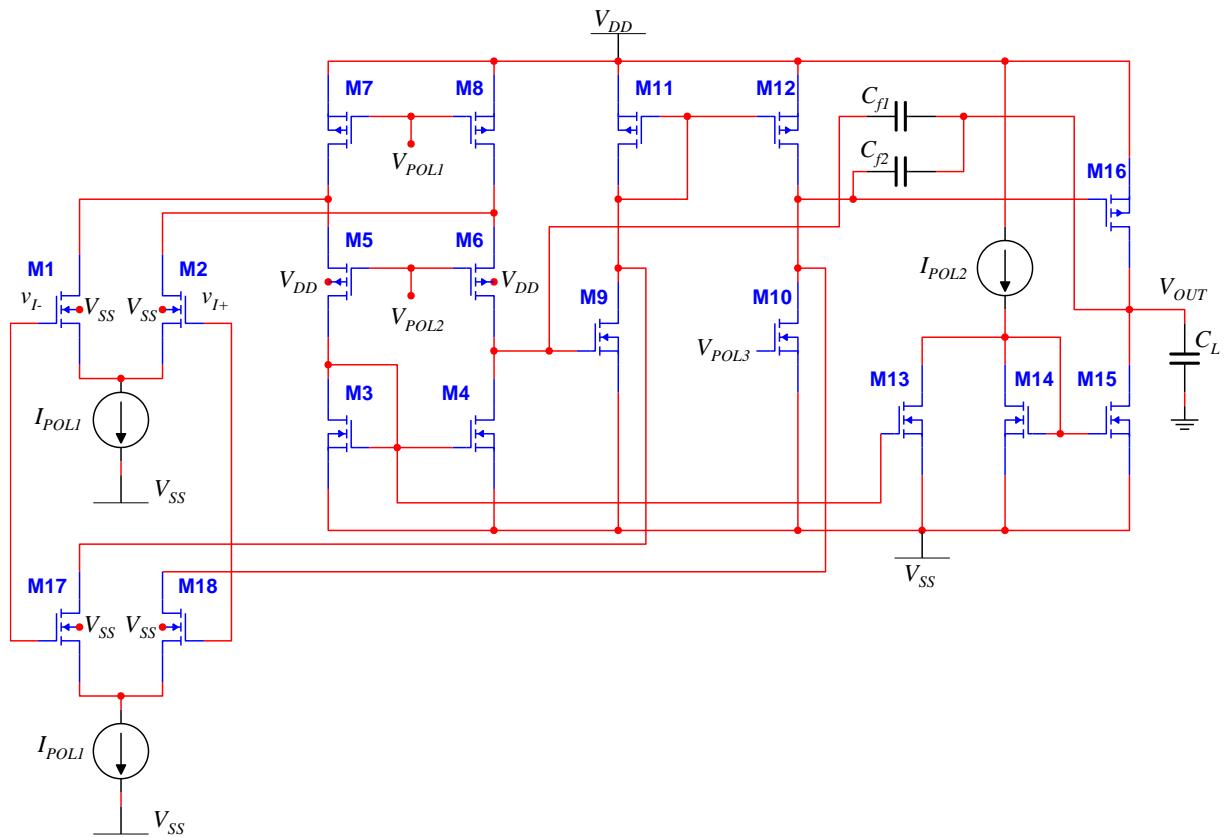
Na Figura 3, C_L e R_L são as cargas capacitiva e resistiva, respectivamente, V_{DD} e V_{SS} são tensões de alimentação simétricas positiva e negativa, respectivamente. As identificações de todos os terminais do OTA Miller são as mesmas descritas para o OTA de único estágio e única saída (correntes de alimentação, as entradas diferenciais e a saída). O primeiro estágio é composto pelo par diferencial casado M1-M2 (pMOSFETs) e suas correspondentes cargas ativas M3-M4 (nMOSFETs), em configuração de espelho de corrente, os quais são também casados. O estágio de saída (segundo estágio) é composto por M5 (pMOSFET) e M6 (nMOSFET). Os pares M7-M8 e M5-M8 (pMOSFETs) operam como espelhos de corrente polarizando o primeiro e o segundo estágio, respectivamente. Eles não são necessariamente casados nesse trabalho. A capacidade de compensação C_f é conectada entre o primeiro e o segundo estágio, a qual é usada por considerações de estabilidade (ajuste da margem de fase). O OTA Miller apresenta uma baixa impedância de saída em sua frequência de operação (ZEBULUM; PACHECO; VELLASCO, 2002).

O espaço de busca de soluções possíveis dessa topologia de OTA é aproximadamente 10^{36} .

3.1.2.3 AMP OP double pole-zero cancellation-compensated (DPZCC)

A terceira topologia de amplificador operacional (AMP OP) otimizado nesse trabalho é compensado em frequência por cancelamento do duplo de polo e zero (DPZCC)³⁵ que é mostrado na Figura 4 (JALALI; BANA; ELAHI, 2011; JAFARI et al., 2012).

Figura 4 – Arquitetura do AMP OP DPZCC otimizado nesse trabalho.



Fonte: Autor “adaptado de” Jafari et al., 2012.

Essa topologia é notavelmente mais complexa em relação às duas apresentadas anteriormente, com muitos parâmetros de projeto adicionais e foi incluída apenas para mostrar a capacidade da ferramenta de otimização desenvolvida nesse trabalho para lidar com problemas de otimização de grande complexidade atuais. O espaço de busca de soluções possíveis dessa topologia de OTA é aproximadamente 10^{70} . Dessa forma, assim como o OTA Miller, essa terceira arquitetura também não será fabricada e medida experimentalmente. A otimização desse OTA também é realizada na subseção 6.2.3.

³⁵ Double pole-zero cancellation-compensated.

Na Figura 4, C_L é a carga capacitiva, v_{I+} e v_{I-} são as entradas diferenciais, não inversora e inversora, respectivamente. As fontes de corrente de polarização desse AMP OP são representadas por I_{POL1} e I_{POL2} e as tensões de polarização são representadas por V_{POL1} , V_{POL2} e V_{POL3} . O DPZCC possui três estágios. O primeiro estágio é composto pelos pares nMOSFETs casados M3-M4 e pelos pares pMOSFETs casados M5-M6 e M7-M8, onde o par diferencial desse primeiro estágio é composto por M1-M2 (nMOSFETs). O segundo estágio é composto pelos pares casados M9-M10 (nMOSFETs) e M11-M12 (pMOSFETs), cujo par diferencial é composto por M17-M18 (nMOSFETs), o qual está conectado diretamente à entrada diferencial do primeiro estágio. O estágio de saída (terceiro estágio) é composto por M15 (nMOSFET) e M16 (pMOSFET). Os nMOSFETs M13 e M14 desempenham a função do par diferencial do terceiro estágio e também possuem a função de economizar energia e reduzir a tensão de *offset* de entrada. Finalmente, C_{f1} e C_{f2} são capacitores de compensação e estão localizados entre o nó de saída (V_{OUT}) e a saída do primeiro e do segundo estágio, respectivamente (JALALI; BANA; ELAHI, 2011).

3.1.2.4 OTA Miller-compensado de polarização cascode (MC)

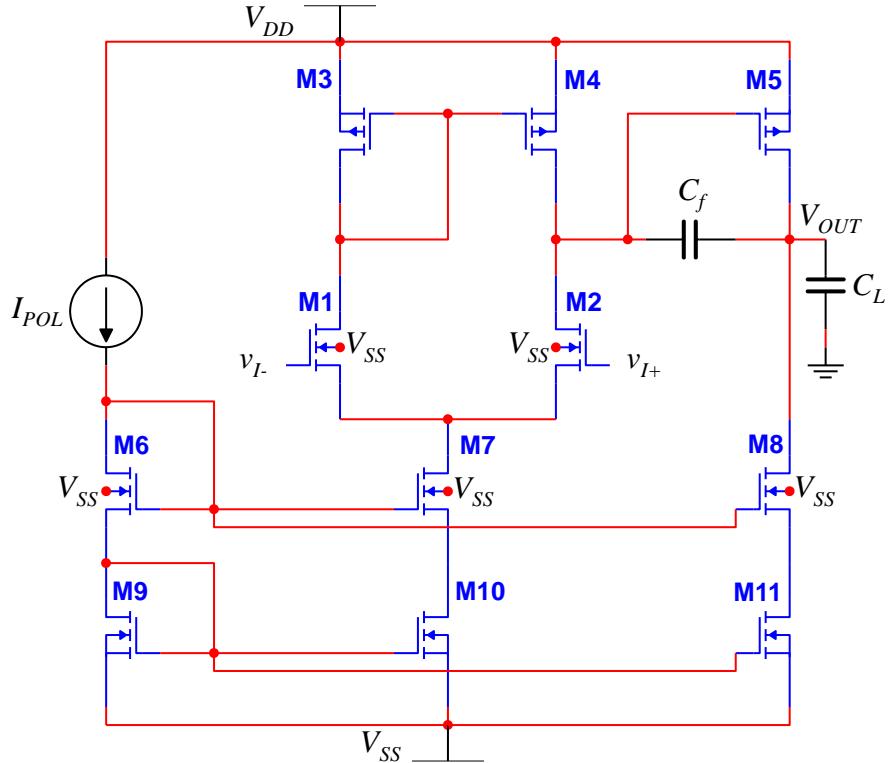
Essa quarta topologia de OTA foi incluída como um exemplo adicional ao OTA de único estágio e única saída, que foi apresentado na subseção 3.1.2.1, para realizar os estudos do MTGSPICE na subseção 6.2. O circuito elétrico do OTA Miller-compensado de polarização cascode (MC)³⁶ é mostrado na Figura 5 (POLLISSARD-QUATREMÈRE; GOSSET; FLANDRE, 2013).

Na Figura 5, C_L é a carga capacitiva, V_{DD} e V_{SS} são tensões de alimentação simétricas positiva e negativa, respectivamente. As identificações de todos os terminais do OTA Miller-compensado são as mesmas descritas para o OTA de único estágio e única saída (tensões e correntes de alimentação, as entradas diferenciais e a saída). O primeiro estágio é composto pelo par diferencial casado (nMOSFETs M1-M2) e suas correspondentes cargas ativas (pMOSFETs M3-M4), em configuração de espelho de corrente, os quais são também casados. O estágio de saída (segundo estágio) é composto por M5 (pMOSFET) e M11 (nMOSFET). Os nMOSFETs M6, M7 e M8 são os transistores cascode (POLLISSARD-QUATREMÈRE; GOSSET; FLANDRE, 2013). Os pares M9-M10 e M9-M11 (nMOSFETs) operam como espelhos de corrente polarizando o primeiro e o segundo estágio, respectivamente. Eles não são

³⁶ Cascoded-bias Miller-compensated.

necessariamente casados nesse trabalho. A capacidade de compensação C_f é conectada entre o primeiro e o segundo estágio, a qual é ajustada para obter a margem de fase desejada (POLLISSARD-QUATREMÈRE; GOSSET; FLANDRE, 2013).

Figura 5 – Arquitetura do OTA Miller-compensado de polarização cascode otimizado nesse trabalho.



Fonte: Autor “adaptado de” Pollissard-Quatremère, Gosset e Flandre, 2013.

O espaço de busca de soluções possíveis dessa topologia de OTA é da ordem de 10^{43} .

3.1.3 Figuras de mérito dos OTAs

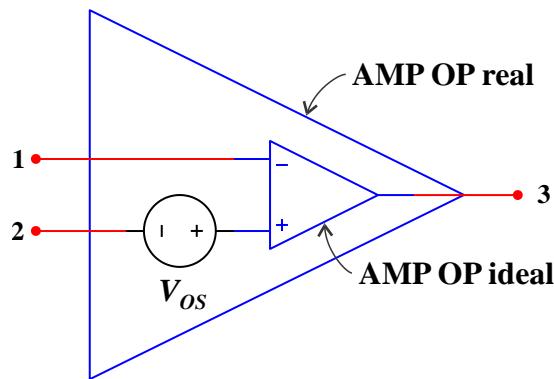
Nas próximas subseções serão apresentadas as principais figuras de mérito usadas para medir o desempenho elétrico e a qualidade dos OTAs apresentados na subseção anterior.

3.1.3.1 Tensão de offset de entrada

Pelo fato de os AMP OPs serem dispositivos diretamente acoplados com alto ganho de tensão em corrente contínua (DC), eles estão propensos a problemas em condições de operação em corrente contínua. O principal deles é a tensão de *offset* de entrada (V_{os}), que resulta de um inevitável desequilíbrio presente no estágio diferencial da entrada pelo fato das correntes no par

diferencial não serem iguais devido à influência do processo de fabricação sobre os transistores que compõem esse circuito (SEDRA; SMITH, 2000). Os AMP OPs de uso geral apresentam V_{OS} na faixa de 1 a 5 mV (SEDRA; SMITH, 2000). Além disso, o valor de V_{OS} também é dependente da temperatura (SEDRA; SMITH, 2000). Outra característica importante de V_{OS} é que diferentes amostras de AMP OPs do mesmo tipo podem apresentar polaridades positivas ou negativas de V_{OS} , pois os descasamentos entre componentes que fazem surgir V_{OS} não são conhecidos *a priori* (SEDRA; SMITH, 2000). A Figura 6 mostra um modelo de circuito para AMP OP com tensão de *offset* de entrada (V_{OS}):

Figura 6 – Representação elétrica de um AMP OP com tensão de *offset* de entrada (V_{OS}).



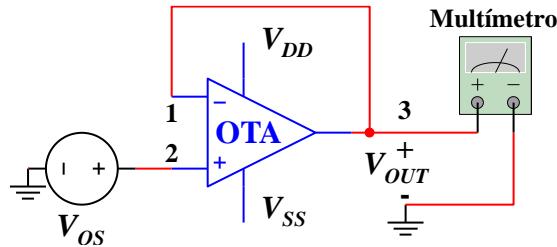
Fonte: Autor “adaptado de” Sedra e Smith, 2000.

O modelo de um AMP OP real (com *offset*), mostrado na Figura 6, consiste em uma fonte de tensão DC com valor V_{OS} ligada em série com o terminal positivo de entrada de um AMP OP ideal (sem *offset*) (SEDRA; SMITH, 2000). Os terminais 1, 2 e 3 representam os terminais da entrada inversora, da entrada não inversora e da tensão de saída, respectivamente, de um AMP OP real (SEDRA; SMITH, 2000).

A consideração desse modelo é muito importante, pois os OTAs que serão caracterizados eletricamente nesse trabalho para a obtenção do ganho de tensão em malha aberta (A_V) precisarão ter a tensão de *offset* de entrada (V_{OS}) anulada, pois devido ao valor alto do A_V , uma tensão de *offset* na entrada de apenas alguns milivolts (mV) é suficiente para saturar o amplificador em um de dois níveis de tensão possíveis, positivo ou negativo da fonte de alimentação do OTA, dependendo da polaridade de V_{OS} , impossibilitando a caracterização elétrica do ganho de tensão do OTA. Por exemplo, considerando $V_{OS} = \pm 5$ mV e $A_V = 1000$ V/V, já que a tensão de saída DC (V_{OUT}) é dada pelo ganho de tensão DC (A_{VO}) multiplicado pela tensão diferencial de entrada (v_{ID}), ou seja, $V_{OUT} = A_{VO} \cdot v_{ID}$, resultaria V_{OUT} igual a ± 5 V. Porém,

como os OTAs nesse trabalho serão alimentados por fonte simétrica de no máximo ± 2 V, a saída do OTA saturaria em um nível de tensão DC próximo de 2V ou -2V. Portanto, nesse trabalho foi adotado um sistema de medidas em malha fechada (circuito seguidor de tensão) para a determinação de V_{OS} , conforme mostra a Figura 7:

Figura 7 – Circuito elétrico usado para determinar a tensão de offset de entrada dos OTAs.



Fonte: Autor “adaptado de” Sedra e Smith, 2000.

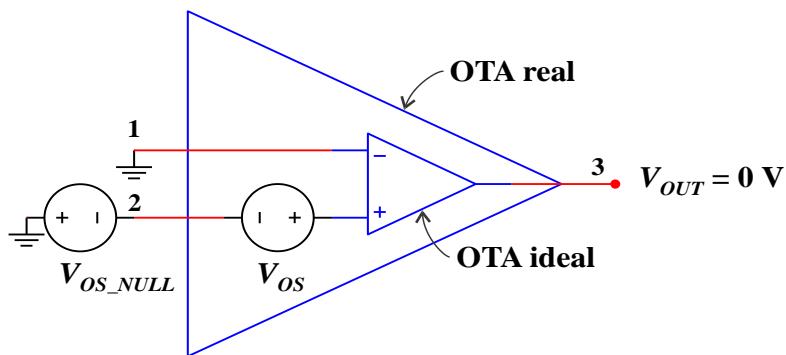
O ganho de tensão desse circuito é unitário, ou seja, a tensão de saída deve ser igual à tensão de entrada. Dessa forma, aplicando o potencial de referência de 0 V (*GND*) ao terminal não inversor (terminal 2) a tensão de saída (V_{OUT}), em princípio, será inteiramente devida à tensão de *offset* de entrada do OTA (V_{OS}), que pode ser medida através de um voltímetro conforme mostra a Figura 7, ou seja V_{OUT} é igual a V_{OS} , como mostra a equação (5) (SEDRA; SMITH, 2000):

$$V_{OUT} = V_{OS} . \quad (5)$$

Alternativamente, o modelo especificado em Sedra e Smith (2000, p. 98) poderia ser usado, onde um fator de ganho de tensão pode ser especificado pelo projetista, por exemplo 100. Porém, esse trabalho usou um fator de ganho de tensão unitário, pois, dependendo do valor da tensão de *offset* de entrada do OTA, a tensão de saída do OTA pode saturar com uma tensão próxima da fonte de alimentação e, dessa forma, V_{OS} seria medido incorretamente.

Determinado o valor de V_{OS} (interno ao OTA), o circuito elétrico simplificado utilizado para zerar a tensão DC na saída do OTA, devido a V_{OS} , é mostrado na Figura 8:

Figura 8 – Circuito elétrico usado para zerar a tensão DC de saída devido à tensão de *offset* de entrada de um OTA.



Fonte: Autor “adaptado de” Sedra e Smith, 2000.

Observando a Figura 8, deve-se seguir o seguinte procedimento para zerar a tensão de saída DC do OTA (V_{OUT}): aterra-se o terminal inversor do OTA real, terminal 1, e em série com o terminal da entrada não inversora do OTA real, terminal 2, liga-se uma fonte de tensão DC (externa ao OTA) com o mesmo valor de V_{OS} , mas com polaridade oposta, denominada de V_{OS_NULL} , conforme indicado na Figura 8.

O procedimento acima foi utilizado para zerar V_{OUT} devido a V_{OS} de todos os OTAs caracterizados eletricamente para a determinação da resposta em frequência. Assim, após o ajuste da tensão de *offset*, o terminal inversor foi ligado a uma fonte de sinal de corrente alternada (AC)³⁷ para a determinação da resposta frequêncial. O sistema de medidas utilizado para a determinação da resposta em frequência dos OTAs será apresentado em detalhes mais adiante nesse trabalho na subseção 5.9.2 (sistema de medidas).

Porém, um procedimento diferente do apresentado anteriormente foi adotado para o ajuste da tensão de saída DC (V_O) devido à tensão de *offset* de entrada no caso do AMP OP de uso geral CA3140 (INTERSIL, 1998), que foi usado nesse trabalho para amplificar a tensão de saída dos OTAs para o cálculo da CMRR. Nesse caso, seguiu-se o procedimento descrito na folha de dados técnicos (*datasheet*) desse dispositivo.

3.1.3.2 Resposta em frequência e da estabilidade dos OTAs

Na subseção 3.1.2.1.2 foi apresentado um resumo da determinação da resposta em frequência dos OTAs usando as equações básicas de primeira ordem desse circuito. Esta subseção focará na descrição da metodologia utilizada para determinar experimentalmente a

³⁷ Alternating current.

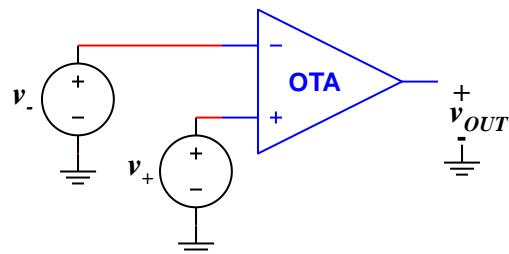
resposta em frequência (diagrama de Bode) e a margem de fase (critério da estabilidade) dos OTAs projetados e fabricados nesse trabalho.

3.1.3.2.1 Diagrama de Bode

O diagrama de Bode consiste na construção do gráfico do módulo do ganho de tensão $|Av|$ em decibéis (dB) em função da frequência (f) e no gráfico do ângulo da fase (ϕ) em função da frequência (SEDRA; SMITH, 2000). A seguir será apresentada em detalhes a metodologia usada para obter o diagrama de Bode experimental dos OTAs.

A Figura 9 mostra o circuito elétrico conceitual usado para obter o ganho de tensão diferencial em malha aberta de um AMP OP, onde o circuito do ajuste do *offset* de saída e os terminais da fonte de alimentação foram suprimidos por motivo de simplicidade (SEDRA; SMITH, 2000):

Figura 9 – Circuito elétrico conceitual usado para obter o ganho de tensão diferencial em malha aberta de um AMP OP.



Fonte: Autor “adaptado de” Sedra e Smith, 2000.

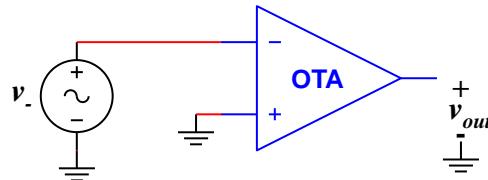
onde v_- e v_+ representam os sinais de tensão aplicados aos terminais inversor e não inversor de entrada e v_{OUT} é o correspondente sinal na saída do OTA. O ganho de tensão diferencial do OTA em malha aberta (A_V) é definido como a razão da tensão de saída (v_{OUT}) pela tensão diferencial de entrada ($v_+ - v_-$), conforme mostra a equação (6) (SEDRA; SMITH, 2000):

$$A_V = \frac{v_{OUT}}{(v_+ - v_-)}. \quad (6)$$

Porém, os OTAs caracterizados eletricamente nesse trabalho utilizarão apenas o terminal da entrada inversora, que liga a fonte do sinal de entrada (v_-) para a obtenção do ganho

de tensão em malha aberta, enquanto que o terminal não inversor é ligado ao potencial de terra (0 V), conforme mostra a Figura 10:

Figura 10 – Circuito elétrico usado para obter o ganho de tensão diferencial em malha aberta dos OTAs caracterizados eletricamente nesse trabalho.



Fonte: Autor.

Nesse caso, o ganho de tensão diferencial do OTA em malha aberta (A_V) é calculado através da razão da tensão de saída (v_{out}) pela tensão de entrada (v_-), conforme mostra a equação (7):

$$A_V = -\frac{v_{out}}{v_-}. \quad (7)$$

O sinal negativo da equação (7) indica apenas que o sinal de saída está defasado 180° em relação ao sinal de entrada em baixas frequências, visto que a tensão de entrada (v_-) é aplicada ao terminal inversor do OTA. Como será aplicada na entrada do OTA uma forma de onda senoidal, v_- em função do tempo será representada por $v_-(t)$ e a correspondente forma de onda na saída por $v_{out}(t)$, cujas formas de onda são dadas pelas equações (8) e (9), respectivamente (SEDRA; SMITH, 2000):

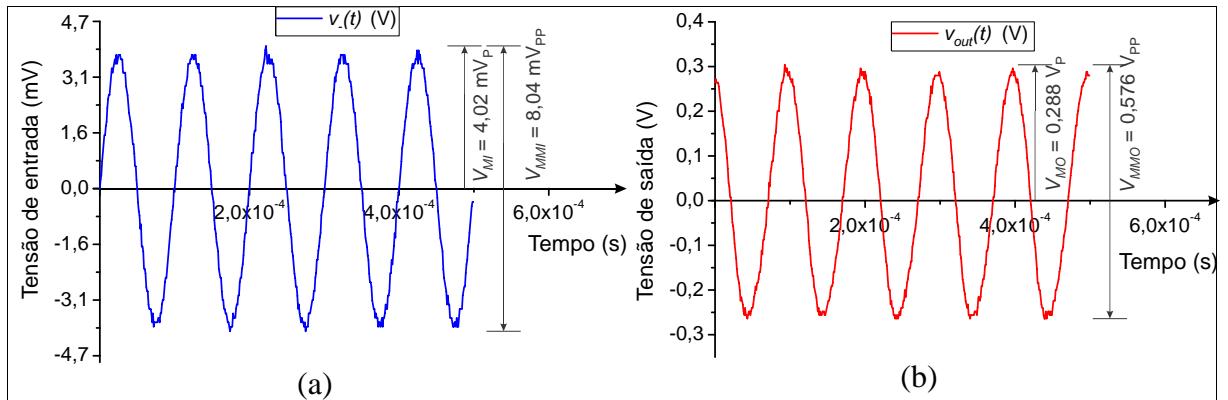
$$v_-(t) = V_{MI} \operatorname{sen}(\omega t + \phi_I). \quad (8)$$

$$v_{out}(t) = V_{MO} \operatorname{sen}(\omega t + \phi_O). \quad (9)$$

Nas equações (8) e (9) V_{MI} e V_{MO} representam a tensão de pico (amplitude) das formas de onda de entrada e saída, $v_-(t)$ e $v_{out}(t)$, respectivamente, cujos valores medidos em volts são identificados por V_P , ω representa a frequência angular do sinal em radianos por segundo (rad/s), isto é, $\omega = 2\pi f$, em que f é a frequência do sinal em hertz (Hz) e ϕ_I e ϕ_O representam os ângulos de fase das formas de onda senoidais de entrada e saída, respectivamente, em radianos (rad). A Figura 11 (a) mostra a forma de onda na entrada do OTA em função do tempo [$v_-(t)$], na qual estão indicadas a amplitude do sinal (V_{MI}), medida em volts (V_P). A tensão de pico-a-pico,

obtida entre os picos superior e inferior da forma de onda (V_{MMI}) é medida em volts e identificada como V_{PP} , em que o valor da amplitude de pico-a-pico representa o dobro da amplitude de pico, ou seja, $V_{MMI} = 2V_{MI}$. Similarmente, a Figura 11 (b) mostra a forma de onda na saída do OTA em função do tempo [$v_{out}(t)$], na qual estão indicadas a amplitude de pico do sinal (V_{MO}) e a amplitude de pico-a-pico da forma de onda (V_{MMO}):

Figura 11 – Exemplo de formas de onda de entrada [$v_{-}(t)$] (a) e de saída [$v_{out}(t)$] (b) do OTA em função do tempo, com os principais valores de tensão indicados: as amplitudes de pico dos sinais (V_P) e as amplitudes de pico-a-pico (V_{PP}).



Fonte: Autor.

As principais características do sinal de entrada do OTA [$v_{-}(t)$], no exemplo da Figura 11 (a), são: $V_{MI} = 4,02 \text{ mV}_P$, $V_{MMI} = 8,04 \text{ mV}_{PP}$, $f = 10 \text{ kHz}$ e $\phi_I = 0^\circ$ (sinal de referência). As principais características do sinal de saída [$v_{out}(t)$], na Figura 11 (b), são: $V_{MO} = 0,288 \text{ V}_P$, $V_{MMO} = 0,576 \text{ V}_{PP}$, $f = 10 \text{ kHz}$ e $\phi_O = 100,8^\circ$.

Portanto, o módulo do ganho de tensão diferencial do OTA em malha aberta $|A_V|$ experimental pode ser calculado através da razão da tensão pico-a-pico do sinal de saída (V_{MMO}) pela tensão pico-a-pico do sinal de entrada (V_{MMI}), conforme mostra a equação (10):

$$|A_V| = \frac{V_{MMO}}{V_{MMI}}. \quad (10)$$

Porém, no diagrama de Bode plota-se o gráfico do módulo do ganho de tensão em decibéis (dB). Dessa forma, o ganho de tensão (A_V) em dB é obtido pela equação (11) (SEDRA; SMITH, 2000):

$$A_V (\text{dB}) = 20 \log |A_V|. \quad (11)$$

É importante notar que ganhos de tensão menores que 1 V/V resultam negativos em dB na equação (11).

Portanto, no exemplo da Figura 11, o módulo do ganho de tensão diferencial do OTA em malha aberta ($|A_V|$) é igual a 71,6 V/V, ou seja, 37,1 dB.

No diagrama de Bode plota-se também o gráfico da defasagem do sinal de saída em relação ao sinal de entrada ($\Delta\phi$), a qual é definida conforme a equação (12) (SEDRA; SMITH, 2000):

$$\Delta\phi = \phi_O - \phi_I , \quad (12)$$

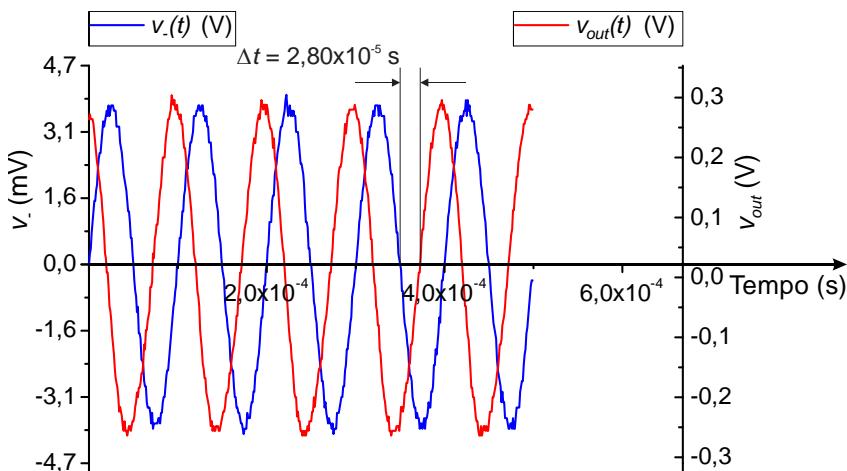
onde ϕ_O e ϕ_I representam os ângulos de fase das formas de onda senoidais de saída e entrada, respectivamente.

O cálculo experimental da defasagem entre o sinal de entrada (v_i) e o sinal de saída (v_{out}) em radianos foi baseado no intervalo de tempo correspondente a esta defasagem (Δt) medido em segundos (s), conforme mostra a equação (13):

$$\Delta\phi = \omega \Delta t = 2\pi f \Delta t , \quad (13)$$

onde $\Delta\phi$ representa a defasagem entre os sinais de entrada e saída, medido em radianos, f representa a frequência do sinal (entrada ou saída) em Hz, o intervalo de tempo Δt correspondente a defasagem entre os sinais de entrada e saída é medido em segundos (s). O procedimento usado para obter Δt é mostrado na Figura 12:

Figura 12 – Medida do intervalo de tempo Δt correspondente a defasagem entre o sinal de entrada (v_i) e o sinal de saída (v_{out}).



Fonte: Autor.

Para a obtenção do intervalo de tempo Δt , primeiramente deve-se ajustar a escala de tensão (eixo vertical) do sinal de entrada v_{-} , assim como a escala de tensão do sinal de saída v_{out} de forma que v_{-} e v_{out} tenham a mesma amplitude na tela do osciloscópio, como mostra a Figura 12. Em seguida, Δt é obtido medindo-se o tempo entre pontos correspondentes da forma de onda de entrada e saída, por exemplo, o tempo entre os cruzamentos de v_{-} e v_{out} com o eixo horizontal (tempo), onde as tensões são iguais a 0V. No exemplo da Figura 12, substituindo $f = 10$ kHz e $\Delta t = 2,80 \times 10^{-5}$ s na equação (13) resulta $\Delta\phi = 1,76$ rad, que convertido para graus resulta $100,8^\circ$.

Finalmente, para obter o diagrama de Bode (gráficos do módulo do ganho de tensão $|A_V|$ em dB e da fase ϕ em função da frequência) pode ser adotado o seguinte procedimento:

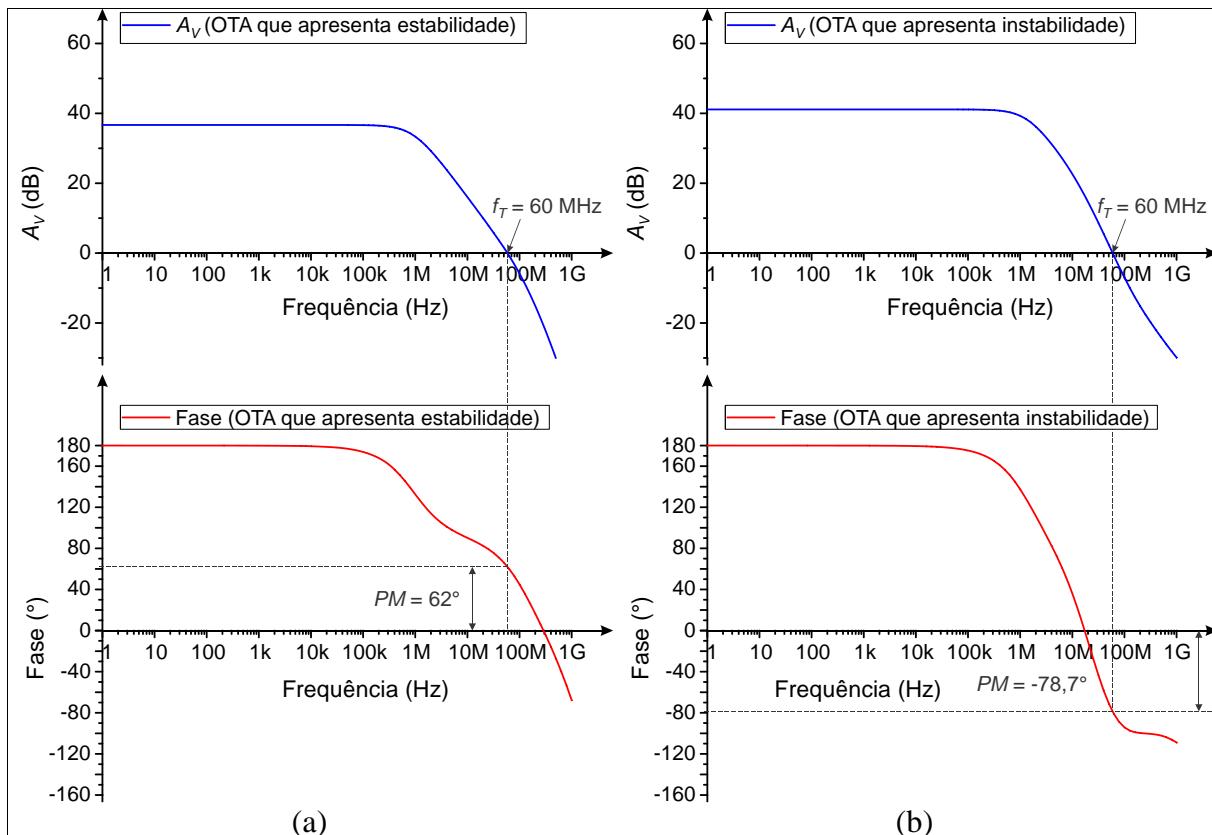
- a) Aplicar na entrada do OTA (v_{-}) uma tensão senoidal de baixa frequência ($f = 5$ Hz) com uma amplitude tal que a tensão de saída (v_{out}) não apresente distorção devido à saturação da tensão de saída e ao *slew-rate*;
- b) Calcular o ganho de tensão (A_V) em dB usando as equações (10) e (11);
- c) Calcular a diferença de fase ($\Delta\phi$) usando a equação (13), medindo o intervalo de tempo Δt da defasagem entre v_{-} e v_{out} conforme a Figura 12;
- d) Repetir os passos 1, 2 e 3 para diversos valores de $f = (10; 20; 50; 100; 200; 500; 1k; 2k; 5k; 10k, 20k; 50k; 100k; 200k; 500k; 1M ...)$ Hz até que o ganho de tensão se torne unitário (0 dB);
- e) Construir as curvas A_V (dB) versus f e ϕ ($^\circ$) versus f utilizando escala linear para A_V e ϕ e escala logarítmica para f .

3.1.3.2.2 Margem de fase (PM)

Para determinar se um amplificador realimentado apresenta estabilidade ou instabilidade, deve-se investigar o ganho de tensão em função da frequência (f) e da fase em função de f . Portanto, um dos meios mais simples e eficazes de fazer essa avaliação é através do uso do diagrama de Bode (RAZAVI, 2001; SEDRA; SMITH, 2000). Como a estabilidade depende da malha de realimentação negativa usada no amplificador (RAZAVI, 2001; SEDRA; SMITH, 2000), os diagramas de Bode dos OTAs desenvolvidos nesse trabalho serão plotados com o ganho de tensão em malha aberta (A_V) em função da frequência.

Uma das formas de estudar a estabilidade e expressar seu grau é examinando o diagrama de Bode na frequência em que o ganho de tensão se torna unitário, ou seja, em $f = f_T$ e $A_V = 0$ dB. Se nessa frequência o ângulo de fase for menor do que 180° , então o amplificador apresenta estabilidade. A diferença entre o ângulo de fase nessa frequência e 180° é chamada margem de fase (*PM*). Por outro lado, se em $f = f_T$ o atraso na fase exceder a 180° , o amplificador apresenta instabilidade (SEDRA; SMITH, 2000). A fim de evitar oscilações na tensão de saída, normalmente os amplificadores são projetados com margem de fase de pelo menos 45° , porém valores considerados ótimos situam em torno de 60° , devido à resposta rápida e estável da tensão de saída em função do tempo, em resposta a um degrau da tensão aplicado na entrada do amplificador (RAZAVI, 2001, p. 354). Os diagramas de Bode de um OTA que apresenta estabilidade e de outro OTA que apresenta instabilidade, de acordo com os seus valores de margem de fase (*PM*), são apresentados na Figura 13, itens (a) e (b):

Figura 13 – Diagramas de Bode um OTA que apresenta estabilidade (a) e de um OTA que apresenta instabilidade (b) ilustrando a definição de margem de fase (*PM*).



Fonte: Autor.

A Figura 13 mostra dois OTAs que possuem especificações semelhantes: ganho de tensão em malha aberta (A_{V0}) em torno de 40 dB e f_T em torno de 60 MHz.

É importante observar que os OTAs em questão utilizam a configuração inversora (Figura 10), dessa forma, em baixas frequências o sinal de saída está defasado de 180° em relação ao sinal de entrada. Portanto, o OTA da Figura 13 (a) apresenta estabilidade, pois em $f = f_T$ o ângulo de fase do sinal de saída e a margem de fase são iguais a 62° , resultado muito positivo, pois é significativamente superior ao limite inferior de 0° do critério de estabilidade, porém o OTA da Figura 13 (b) apresenta instabilidade, visto que em $f = f_T$ o ângulo de fase é igual a $-78,7^\circ$, ou seja, a defasagem do sinal de saída é maior que 180° , resultando na margem de fase negativa.

3.1.3.3 Slew-rate (SR)

Quando sinais de grandes amplitudes estão presentes na saída de um AMP OP, a limitação da taxa máxima de variação da tensão de saída em função do tempo (SR)³⁸ pode causar distorção não linear no sinal de saída, sendo definida através da equação (14) (SEDRA; SMITH, 2000).

$$SR = \left(\frac{dv_o}{dt} \right)_{max}, \quad (14)$$

onde v_o representa a tensão de saída do AMP OP e o SR normalmente é calculado em V/ μ s (SEDRA; SMITH, 2000). Outro modo de calcular o SR é através da razão entre a variação da tensão de saída e o tempo de subida do sinal (15) (TUMA; BÜRMEN, 2009):

$$SR_r = \frac{\Delta v_o}{t_r} = \frac{v_{o90} - v_{o10}}{t_{90} - t_{10}}, \quad (15)$$

onde SR_r representa valor do *slew-rate* calculado a partir da rampa de subida do sinal de saída, Δv_o é a variação da tensão de saída que ocorre na rampa de subida, ou seja é a diferença entre os níveis de 90% (v_{o90}) e 10% (v_{o10}) do sinal de saída e t_r é o tempo de subida do sinal de saída, ou seja, é a diferença entre o tempo correspondente a 90% do sinal de saída (t_{90}) e o tempo correspondente a 10% do sinal de saída (t_{10}). Analogamente, o *slew-rate* calculado a partir da rampa de descida do sinal de saída é calculado por (16) (TUMA; BÜRMEN, 2009):

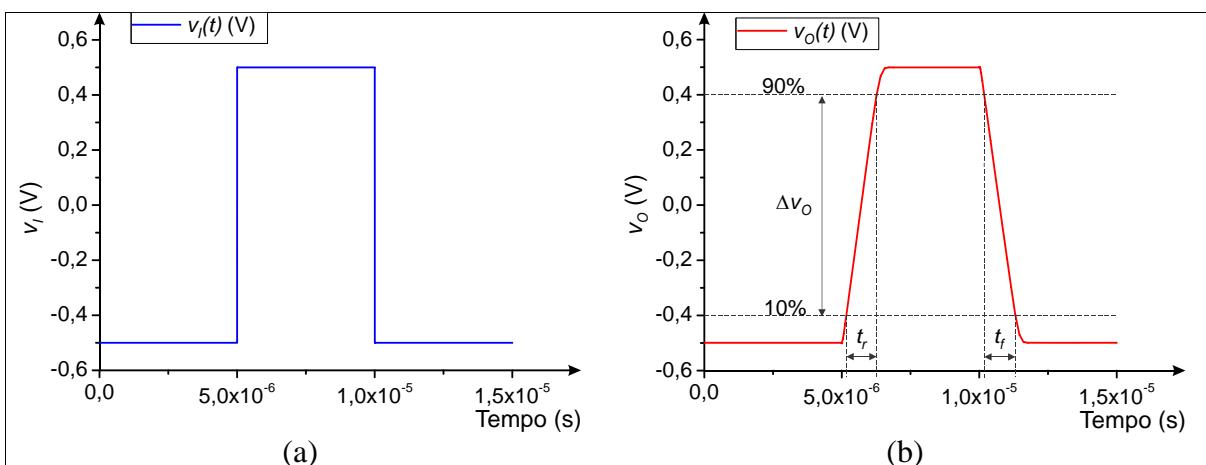
³⁸ Slew-rate.

$$SR_f = -\frac{\Delta v_O}{t_f} = -\frac{v_{O90} - v_{O10}}{t_{10} - t_{90}}, \quad (16)$$

onde SR_f representa o *slew-rate* calculado a partir da rampa de descida do sinal de saída, que resulta em um valor negativo, Δv_O é a variação da tensão de saída que ocorre na rampa de descida e t_f é o tempo de descida do sinal de saída.

Visto que normalmente o SR é medido com o AMP OP em malha fechada (SEDRA; SMITH, 2000), todos os OTAs caracterizados eletricamente nesse trabalho para a obtenção do SR utilizarão a configuração seguidor de ganho de tensão unitário (SEDRA; SMITH, 2000). Se um sinal for aplicado na entrada de um AMP OP e demandar uma resposta com uma taxa de variação da tensão de saída em função do tempo maior que o valor especificado pelo seu SR, resulta na saída um sinal distorcido com uma taxa definida pelo seu SR (SEDRA; SMITH, 2000). Considerando como exemplo um OTA desenvolvido nesse trabalho e supondo que na entrada esteja sendo aplicada um pulso de tensão (v_I), a tensão de saída do OTA (v_O) não consegue subir instantaneamente para o valor final e em vez disso, sua saída será uma rampa linear com inclinação limitada pelo seu SR_r . Analogamente, v_O também não consegue descer instantaneamente para o valor inicial, assim sua saída será uma rampa linear com inclinação limitada pelo seu SR_f . A Figura 14 (a) mostra a tensão de entrada e a Figura 14 (b) mostra a tensão de saída limitada pelo SR_r na rampa de subida e pelo SR_f na rampa de descida:

Figura 14 – Pulso de tensão de entrada (v_I) (a) e a tensão de saída (v_O) limitada pelo *slew-rate* na rampa de subida do sinal (SR_r) e pelo *slew-rate* na rampa de descida do sinal (SR_f) (b).



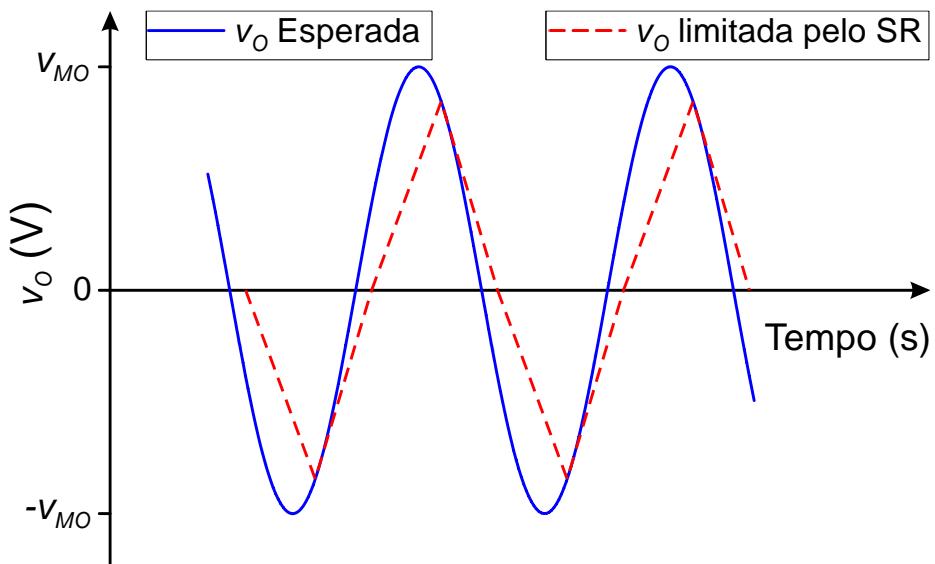
Fonte: Autor.

Nota: O sinal de entrada (v_I) e o sinal de saída (v_O) foram obtidos por meio de simulação SPICE.

A Figura 14 (b) indica os pontos principais que são utilizados para o cálculo do SR_r : a diferença entre os níveis de 90% e 10% do sinal de saída (Δv_O) e o tempo de subida (t_r), assim como os pontos principais que são utilizados para o cálculo do SR_f : a variação da tensão de saída que ocorre na rampa de descida (Δv_O) e o tempo de descida (t_f). Assim, o SR_r é calculado pela equação (15) e o SR_f é calculado pela equação (16). Porém, o SR_r e o SR_f dos OTAs caracterizados eletricamente nesse trabalho para obtenção do *slew-rate* serão calculados pelo método do valor máximo da derivada da tensão de saída, equação (14), que no caso do SR_r , o cálculo é realizado para a rampa de subida e no caso do SR_f , o cálculo é realizado para a rampa de descida, que nesse exemplo resultaram em $SR_r = 0,74 \text{ V}/\mu\text{s}$ e $SR_f = -0,72 \text{ V}/\mu\text{s}$.

Considerando novamente o seguidor de tensão (SEDRA; SMITH, 2000), a limitação pelo SR também pode provocar distorção não linear no sinal de entrada senoidal (v_I). Se v_I for dado pela equação (8), sua taxa máxima de variação poderá ser calculada pela equação (14), que resulta $2\pi f \cdot V_{MI}$ (SEDRA; SMITH, 2000). Dessa forma, se sua frequência (f) e amplitude (V_{MI}) forem tais que resulte $2\pi f \cdot V_{MI}$ maior que o SR do AMP OP, a tensão de saída (v_O) apresentará distorção (SEDRA; SMITH, 2000). A Figura 15 ilustra a tensão de saída senoidal esperada, assim como a tensão de saída real (triangular) devido à limitação do *slew-rate* do AMP OP, onde V_{MO} representa a amplitude da tensão de saída senoidal esperada, que devido ao ganho do AMP OP ser unitário, $V_{MO} = V_{MI}$ (SEDRA; SMITH, 2000).

Figura 15 – Efeito da limitação pelo *slew-rate* em formas de onda de saída senoidais.

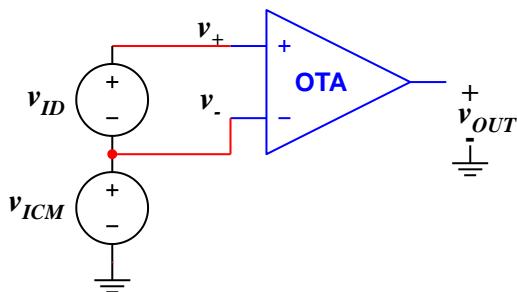


Fonte: Autor “adaptado de” Sedra e Smith, 2000.

3.1.3.4 Razão de rejeição em modo comum (CMRR)

Idealmente, espera-se que um AMP OP amplifique sinais de entrada em modo diferencial (v_{ID}) e rejeite totalmente sinais de entrada em modo comum (v_{ICM}) (RAZAVI, 2001; SEDRA; SMITH, 2000). Porém, devido aos descasamentos dos transistores, tais como as variações das dimensões (W e L) e nos parâmetros tecnológicos dos MOSFETs do AMP OP, principalmente a tensão de limiar (V_{th}), que ocorrem durante o processo de fabricação, uma pequena amplificação ocorre devido ao sinal comum a ambas as entradas do AMP OP (RAZAVI, 2001; SEDRA; SMITH, 2000). A Figura 16 mostra o circuito elétrico conceitual usado para realizar a caracterização elétrica do ganho de tensão diferencial em malha aberta, assim como do ganho de tensão em modo comum de um AMP OP, onde os terminais da fonte de alimentação foram suprimidos por motivo de simplicidade do circuito que está apresentado aqui (RAZAVI, 2001):

Figura 16 – Circuito usado para realizar a caracterização elétrica do ganho de tensão diferencial em malha aberta e do ganho de tensão em modo comum de um AMP OP.



Fonte: Autor “adaptado de” Razavi, 2001.

onde v_- e v_+ representam os sinais de tensão aplicados aos terminais inversor e não inversor de entrada, v_{ID} representa a tensão de entrada em modo diferencial ($v_+ - v_-$), v_{ICM} é a tensão de entrada em modo comum e v_{OUT} é a tensão de saída do AMP OP. O ganho de tensão diferencial em malha aberta (A_V) é definido como a razão da tensão de saída (v_{OUT}) pela tensão diferencial de entrada (v_{ID}), conforme mostra a equação (17) (RAZAVI, 2001; SEDRA; SMITH, 2000):

$$A_V = \frac{v_{OUT}}{v_{ID}}. \quad (17)$$

O ganho de tensão em modo comum, A_{CM} , é definido como a razão da tensão de saída (v_{out}) pela tensão de entrada em modo comum (v_{ICM}), conforme mostra a equação (18) (RAZAVI, 2001; SEDRA; SMITH, 2000):

$$A_{CM} = \frac{v_{out}}{v_{ICM}}, \quad (18)$$

Uma importante medida da qualidade de um AMP OP é a razão de rejeição em modo comum (CMRR), que expressa a capacidade de um AMP OP de rejeitar sinais de entrada em modo comum, que é definida conforme mostra a equação (19) (RAZAVI, 2001; SEDRA; SMITH, 2000):

$$CMRR = \left| \frac{A_V}{A_{CM}} \right|, \quad (19)$$

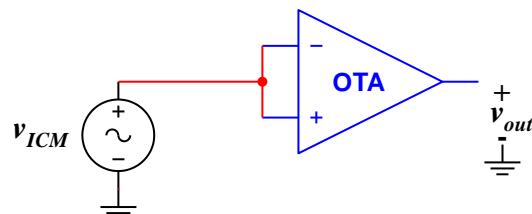
que, normalmente, é calculada em dB, como mostra a equação (20) (SEDRA; SMITH, 2000):

$$CMRR = 20\log \left| \frac{A_V}{A_{CM}} \right|. \quad (20)$$

Valores típicos da CMRR estão na faixa de 70 a 100 dB (NATIONAL SEMICONDUCTORS, 2004, 1998; INTERSIL, 1998).

O circuito elétrico utilizado para caracterizar eletricamente os OTAs nesse trabalho para a obtenção da CMRR é mostrado na Figura.17:

Figura.17 – Circuito elétrico usado para caracterização elétrica da CMRR dos OTAs desenvolvidos nesse trabalho.



Fonte: Autor.

Para a caracterização elétrica da CMRR foi adotado o seguinte procedimento:

- a) Curto-circuitar os terminais de entrada do OTA para aplicar um sinal de entrada em modo comum (v_{ICM});
- b) Aplicar uma tensão de entrada senoidal com uma determinada frequência (por exemplo, $f = 200$ Hz) e com uma amplitude (por exemplo, 1 V_{PP}) tal que a tensão de saída (v_{out}) não apresente distorção devido à saturação da tensão de saída. Se necessário, aplicar um nível de tensão DC (positivo ou negativo) ao sinal de entrada para evitar a saturação da tensão de saída;
- c) Calcular o ganho de tensão em modo comum (A_{CM}) usando a equação (18), onde a medição da tensão de saída (v_{out}) usualmente requer um circuito auxiliar amplificador (por exemplo, o circuito amplificador mostrado no APÊNDICE A);
- d) Calcular a CMRR através da equação (20), onde o ganho de tensão diferencial (A_V) pode ser obtido seguindo o procedimento descrito na subseção 3.1.3.2.1.

3.1.3.5 Excursão máxima do sinal de saída

A excursão máxima do sinal de saída de um AMP OP está diretamente relacionada aos níveis de saturação da tensão de saída e à sua característica de transferência, que permanece linear apenas em uma faixa limitada de tensões de entrada e saída (SEDRA; SMITH, 2000). Quando um AMP OP opera com uma fonte simétrica, a tensão de saída não pode exceder o nível de saturação positivo (L_+) e também não pode ser menor que o nível de saturação negativo (L_-) (SEDRA; SMITH, 2000). Os níveis de saturação L_+ e L_- de AMP OPs disponíveis comercialmente normalmente encontram-se dentro da faixa de 1 a 3 volts menores, em módulo, que as fontes de alimentação positiva e negativa, respectivamente (SEDRA; SMITH, 2000).

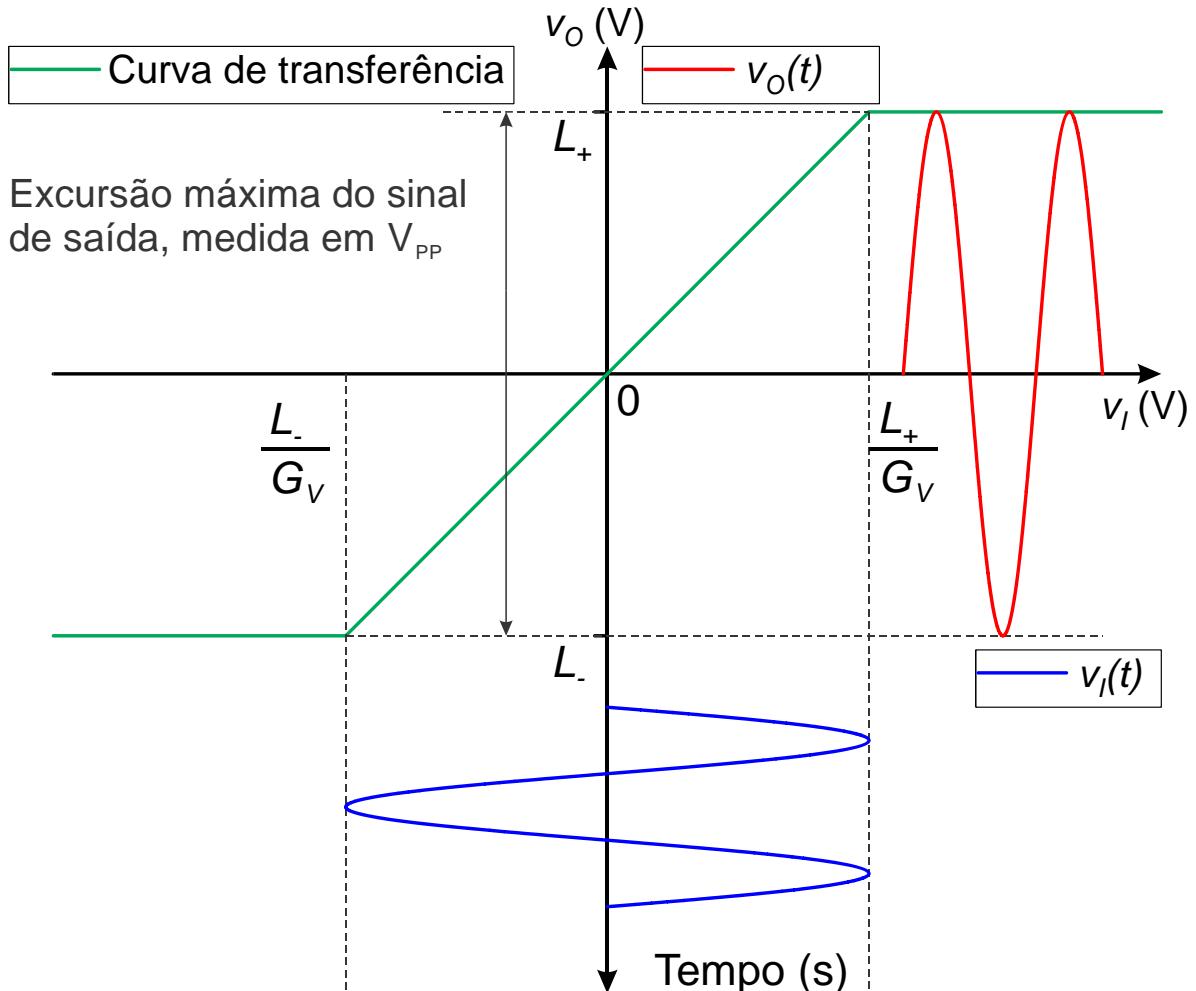
A fim de evitar distorções na forma de onda da tensão de saída, o sinal de entrada deve se manter dentro da faixa linear de operação mostrada na equação (21) (SEDRA; SMITH, 2000):

$$\frac{L_-}{G_V} \leq v_I \leq \frac{L_+}{G_V}, \quad (21)$$

onde v_I é a tensão de entrada e G_V é o ganho de tensão em malha fechada do AMP OP.

A Figura 18 ilustra a característica de transferência de um AMP OP configurado como um seguidor de tensão com uma tensão de entrada senoidal, v_I e uma correspondente tensão de saída, v_O .

Figura 18 – Característica de transferência de um amplificador operacional com uma tensão de entrada senoidal, v_I e uma correspondente tensão de saída, v_O



Fonte: Autor “adaptado de” Sedra e Smith, 2000.

Baseado na curva de transferência mostrada na Figura 18, a excursão máxima do sinal de saída dos OTAs caracterizados eletricamente nesse trabalho foi obtida seguindo o procedimento descrito a seguir:

- Configurar o OTA como um seguidor de ganho de tensão unitário (SEDRA; SMITH, 2000);
- Ajustar a tensão de saída do OTA em 0 V seguindo o procedimento descrito na subseção 3.1.3.1;
- Aplicar uma tensão de entrada senoidal (v_I) com uma determinada frequência (por exemplo, $f = 1$ kHz);
- A excursão máxima do sinal de saída é medida pela tensão pico-a-pico (V_{PP}) da forma de onda. Ela é obtida aumentando a tensão de entrada (v_I) até o ponto em que a tensão

de saída (v_O) se mantém aproximadamente igual a tensão de entrada, ou seja, até o ponto em que v_O não apresenta distorção devido à saturação do OTA nos níveis L_+ e L_- , como mostra a Figura 18. A distorção no sinal de saída é identificada pelo ceifamento dos picos da forma de onda, situação em que o v_O medido é menor que v_I .

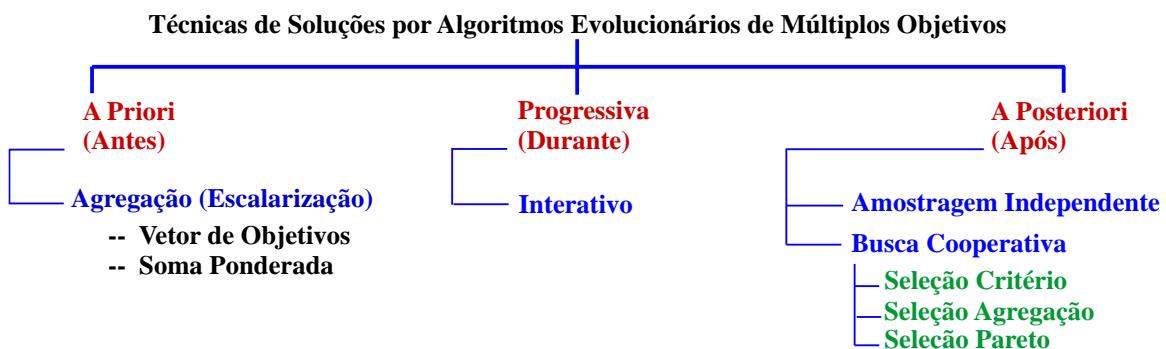
3.2 ALGORITMOS DE OTIMIZAÇÃO

As próximas subseções apresentarão as classificações dos algoritmos evolucionários de múltiplos objetivos e os algoritmos de otimização usados nesse trabalho.

3.2.1 Classificações dos algoritmos evolucionários de múltiplos objetivos

Os algoritmos evolucionários de múltiplos objetivos (MOEAs) na área de IA são classificados em três categorias: “*a priori*”, “progressiva” e “*a posteriori*” (COELLO; LAMONT; VELDHUIZEN, 2007), conforme mostra a Figura 19, as quais são definidas a seguir:

Figura 19 – Categorias dos algoritmos evolucionários de múltiplos objetivos.



Fonte: Autor “adaptado de” Coello, Lamont e Veldhuizen, 2007, p. 55.

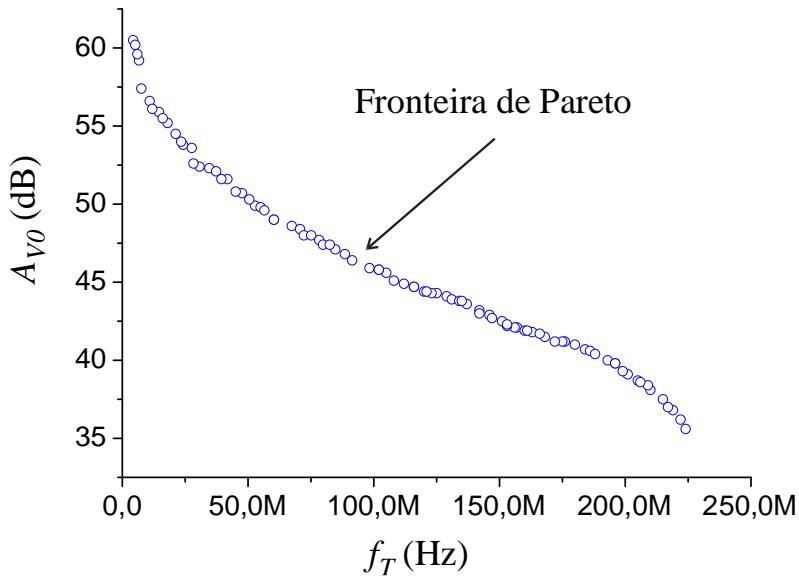
- a) *A priori*: Técnicas que dependem da definição dos objetivos de projeto antes do processo de otimização (métodos não interativos). Trata-se de uma técnica de otimização de um único objetivo adaptada para lidar com múltiplos objetivos. Nesse caso, os diferentes resultados de desempenho obtidos para os objetivos são combinados por uma soma ponderada para formar um único objetivo escalar. Essa técnica produz no final do processo de otimização soluções que melhor atendem todos os objetivos desejados ao mesmo tempo, conforme a prioridade estabelecida pelo projetista para cada objetivo através do ajuste do peso de cada objetivo

(COELLO; LAMONT; VELDHUIZEN, 2007). Como exemplos dessa categoria pode-se citar Moreto, Gimenez e Thomaz (2013); Severo, Longaretti e Girardi (2012); Trentin et al. (2012); Lenwari, Sumner e Zanchetta (2009) e Somaní, Chakrabarti e Patra (2007);

- b) *A posteriori*: Técnicas de geração de soluções nas quais as preferências em relação aos objetivos de um determinado projeto são definidas após o processo de otimização. O processo de otimização realiza uma busca tão ampla quanto possível para fornecer ao usuário um conjunto de soluções candidatas eficientes e com diferentes compromissos entre os diversos objetivos de projeto. Após o término do processo de otimização, o projetista define as preferências em relação aos objetivos de projeto, escolhendo uma ou mais soluções que atendem determinados objetivos de interesse. Diferentemente de técnicas “*a priori*”, os diversos objetivos são amostrados e avaliados independentemente, posteriormente as amostras são reunidas e as melhores soluções podem ser selecionadas usando um dos vários métodos de seleção, tais como critério (por objetivo), agregação (soma ponderada dos objetivos com pesos diferentes entre gerações) e dominância Pareto (COELLO; LAMONT; VELDHUIZEN, 2007). Alguns trabalhos que utilizam esse tipo de abordagem estão descritos em Lourenço e Horta (2012); Weber e Van Noije (2011); Golmakani, Mafinejad e Kouzani (2009); Pereira-Arroyo, Alvarado-Moya e Krautschneider (2006) e De Smedt e Gielen (2003). A Figura 20 ilustra um exemplo de fronteira de Pareto correspondente às figuras de mérito do ganho de tensão em malha aberta (A_{V0}) e da frequência de ganho de tensão unitário (f_T), que foram obtidos no processo de otimização de um OTA usando a técnica NSGA-II³⁹. Os objetivos de projeto são as maximizações dessas figuras de mérito. Observe que a fronteira de Pareto representa o melhor compromisso entre essas figuras de mérito, ou seja, somente é possível melhorar o desempenho de uma figura de mérito em detrimento da outra figura de mérito;

³⁹ *Nondominated sorting genetic algorithm II.*

Figura 20 – Fronteira de Pareto correspondente aos objetivos A_{V0} e f_T .

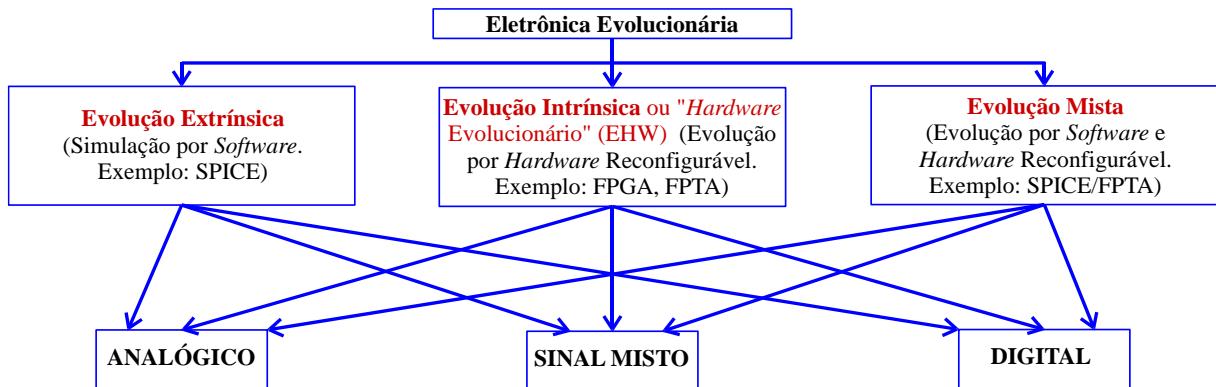


Fonte: Autor.

- c) *Progressiva*: Técnicas baseadas na interação com usuário, que pode definir progressivamente os objetivos de projeto durante o processo de busca e pode inclusive interagir avaliando soluções potenciais apresentadas. Informação parcial de preferência é fornecida pelo usuário sob a qual ocorre a otimização, de forma que o sistema evolucionário fornece um conjunto de soluções atualizadas para o usuário considerar. O usuário, então, define objetivos ou preferências em um processo interativo para restringir a busca em uma determinada região de interesse (COELLO; LAMONT; VELDHUIZEN, 2007). A técnica “progressiva” pode ser aplicada quando não é possível elaborar uma função de avaliação apropriada matematicamente, onde o projetista deve interagir no processo de otimização avaliando as possíveis soluções encontradas. Um exemplo dessa categoria é aplicado na área de processamento de imagem (MIST; GIBSON, 2013). Além disso, é importante observar que tanto as técnicas “*a priori*” quanto as “*a posteriori*” podem ser usadas interativamente (COELLO; LAMONT; VELDHUIZEN, 2007).

Além disso, existem três modos diferentes para evoluir um CI CMOS através do uso da eletrônica evolucionária: extrínseca, intrínseca e mista, como mostra a Figura 21 (MILLER et al., 2000), os quais são definidos em seguida:

Figura 21 – Modos de evolução de CIs na eletrônica evolucionária.



Fonte: Autor “adaptado de” Miller et al., 2000.

- a) Evolução Extrínseca: significa evoluir o CI CMOS usando *software* de simulação para modelos do *hardware*. As soluções potenciais de uma metodologia evolucionária utilizada são avaliadas continuamente por *software* (programa de computador) (MILLER et al., 2000). Como exemplo desta metodologia, pode-se citar o trabalho publicado por Stomeo, Kalganova e Lambert (2007) que usa um sistema de *hardware* evolucionário extrínseco baseado em uma estrutura de portas (MOSFETs de um único tipo) programáveis por campo elétrico (FPGA)⁴⁰ para evoluir circuitos lógicos digitais. Outros trabalhos que usam evolução extrínseca estão descritos em Moreto, Gimenez e Thomaz (2013); Severo, Longaretti e Girardi (2012); Trentin et al. (2012) e Lenwari, Sumner e Zanchetta (2009);
- b) Evolução Intrínseca: as possíveis soluções de uma metodologia evolucionária utilizada são avaliadas continuamente usando um *hardware* reconfigurável, usualmente realizado em FPGA, que normalmente é usada para circuitos integrados digitais, arranjo de transistores (MOSFETs de diferentes tipos) programáveis por campo elétrico (FPTA)⁴¹, que normalmente é usado para circuitos integrados analógicos, e arranjo analógico programável por campo elétrico (FPAA)⁴², que normalmente é constituído por um amplificador operacional em combinação com configuração programável de componentes eletrônicos, tais como transistores bipolares, capacitores e resistores, usado somente para circuitos integrados analógicos (MILLER et al., 2000). Dentre os trabalhos baseados na evolução intrínseca pode-se citar Santini et al. (2002, 2001);

⁴⁰ Field programmable gate array.

⁴¹ Field programmable transistor array.

⁴² Field programmable analog array.

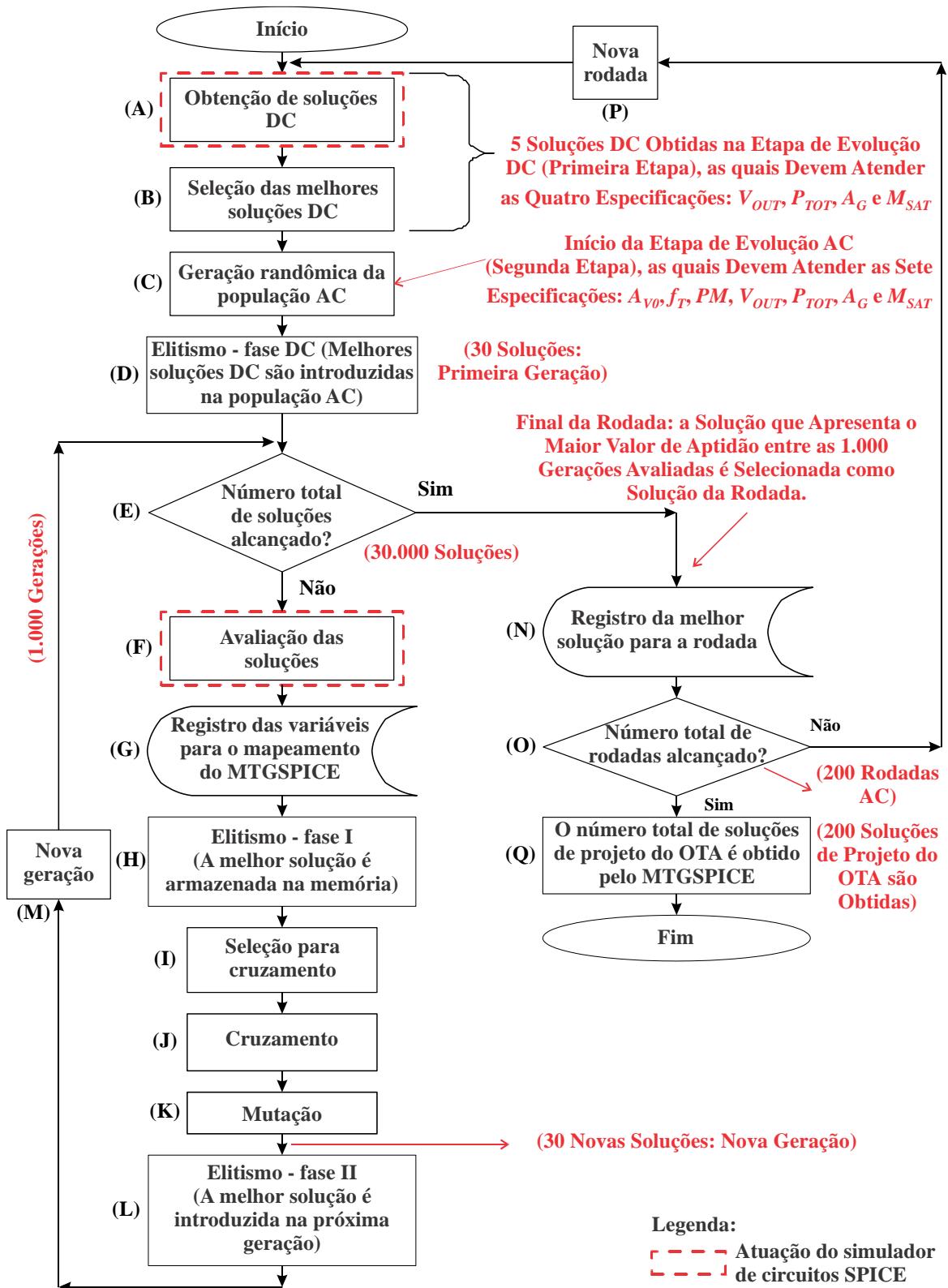
c) Evolução Mista: a evolução acontece com populações híbridas na qual alguns indivíduos (soluções) são avaliados intrinsecamente e alguns outros extrinsecamente, dentro da mesma geração ou em gerações consecutivas (GUO et al., 2003; MILLER et al., 2000). Um exemplo desta metodologia é discutido em Coello, Aguirre e Buckles (2000), onde circuitos integrados lógicos combinatórios são evoluídos. Como outro exemplo, poder-se citar o trabalho publicado por Keymeulen et al. (2000), que descreve um sistema de *hardware* evolucionário para realizar a síntese de filtros passa-banda, usando o simulador SPICE e um *hardware* do tipo FPTA. Similarmente, o trabalho descrito em Stoica et al. (1999) realiza um estudo para evoluir um circuito computacional analógico e um inverSOR lógico. Nesse caso, o circuito computacional analógico é um circuito que exibe uma característica entrada-saída corrente-tensão (I-V) Gaussiana.

3.2.2 Processo de evolução das soluções em duas etapas (DC e AC) através do algoritmo genético (GA)

Na Figura 50 da subseção 6.1 é apresentado o diagrama de blocos da ferramenta de otimização proposta nesse trabalho, denominada MTGSPICE. A Figura 22 mostra em detalhes o fluxograma do algoritmo genético (GA)⁴³ do MTGSPICE, que é representado de forma simplificada no Bloco 5 do diagrama de blocos da Figura 50 na subseção 6.1. O simulador SPICE atua gerando os resultados das simulações das soluções potenciais geradas pelo GA para posteriormente serem avaliadas pelo sistema evolucionário (Blocos 5, 6 e 7 da Figura 50 na subseção 6.1). O fluxograma da Figura 22 mostra os blocos nos quais o simulador SPICE atua destacados com linha tracejada.

⁴³ *Genetic algorithm.*

Figura 22 – Fluxograma do algoritmo genético no MTGSPICE.



Fonte: Autor.

O MTGSPICE realiza o processo de busca das soluções de projeto de um OTA em duas etapas, a etapa DC⁴⁴ e a etapa AC⁴⁵. A etapa DC permite aumentar a velocidade do processo de busca. Este procedimento é baseado na técnica que é utilizada para realizar a análise da resposta em frequência de um amplificador por um projetista de CI analógico, ou seja, primeiramente a etapa DC é realizada para determinar o ponto de operação dos transistores por tensão e corrente elétrica na região de saturação para depois ser realizada a análise de pequenos sinais (etapa AC). A etapa AC no MTGSPICE é definida como o processo de busca de soluções no qual são avaliadas todas as especificações de projeto, ou seja, o ganho de tensão em malha aberta (A_{V0}), a frequência de ganho de tensão unitário (f_T), a margem de fase (PM), a tensão de saída DC (V_{OUT}), o consumo de potência (P_{TOT}), a área de porta total dos MOSFETs (A_G), e a região de operação de todos os transistores do circuito (M_{SAT}), os quais devem operar na região de saturação. A evolução da etapa DC ocorre de maneira similar à etapa AC. A única diferença é que na etapa DC somente são avaliadas as especificações relacionadas ao ponto de operação do OTA, ou seja, V_{OUT} , P_{TOT} , A_G e M_{SAT} . Dessa forma, a etapa DC é representada de forma simplificada no fluxograma da Figura 22.

O processamento do MTGSPICE ocorre como segue: inicialmente as soluções DC são obtidas através dos operadores genéticos de seleção, cruzamento e mutação. Nesse caso, as variáveis de projeto são a largura (W) e o comprimento de canal (L) dos MOSFETs, e as correntes e tensões de polarização do OTA, representados por I_{POL} e V_{POL} , respectivamente. O número de soluções DC que são apresentadas no final do processo de evolução DC é igual ao número de rodadas (N_R) DC definido no MTGSPICE, onde N_R é igual a 5, nesse caso. O processo de evolução DC das soluções, que foi aprimorado nesse trabalho, é descrito em maiores detalhes na subseção 5.2 e os operadores genéticos de seleção, cruzamento e mutação são detalhados no APÊNDICE B. Esta etapa é indicada no processo A da Figura 22.

Então, o sistema evolucionário ordena as 5 soluções DC da melhor para a pior solução, utilizando como critério da melhor solução aquela que apresenta o maior valor da função de aptidão. Dessa forma, as melhores soluções DC geradas na etapa de evolução DC anterior são identificadas e selecionadas, conforme indicado no processo B da Figura 22. Esse processo garante que apenas as melhores soluções DC serão usadas na etapa do elitismo DC (processo D da Figura 22). Inicia-se, então, a etapa AC com uma população de N_P soluções potenciais,

⁴⁴ Corrente contínua (*direct current*).

⁴⁵ Corrente alternada (*alternating current*).

definida como 30 nesse exemplo, gerada com valores randômicos, conforme indicado no processo C da Figura 22.

O passo seguinte é a etapa do elitismo DC. Nesta etapa, as melhores soluções DC do OTA, selecionadas no processo B, substituem indivíduos da população AC inicial, os quais são sorteados aleatoriamente, conforme indicado no processo D da Figura 22 e ilustrado na Figura 31 da subseção 5.2. Dessa forma, a principal ideia do elitismo DC é acelerar o processo de busca de soluções de projeto do OTA utilizando informações *à priori* a respeito do processo de otimização. Assim, a população é iniciada com algumas soluções que atendem as especificações de projeto relacionados ao ponto de polarização DC, em vez de começar com uma população inteiramente aleatória.

No GA, a representação das soluções é chamada cromossomo (MORETO; GIMENEZ; THOMAZ, 2013; MORETO et al., 2012; MORETO, 2011), sendo que cada cromossomo contém as variáveis de projeto de uma solução (W , L , I_{POL} e V_{POL}) e cada variável de projeto é chamada gene. A representação do cromossomo binário e sua decodificação nos valores reais que eles representam são discutidos em detalhes no APÊNDICE B. A Figura 31 da subseção 5.2 exemplifica a etapa do elitismo DC considerando o número de rodadas DC igual a 5, ou seja, inicialmente são obtidas 5 soluções DC e o tamanho da população AC, nesse caso, é igual a 30 indivíduos. Com a população AC inicial gerada (primeira geração), os valores de W , L , I_{POL} e V_{POL} de cada indivíduo são incluídos em arquivos de simulação (*netlist*) do Spice Opus (2010) (Bloco 6 da Figura 50 na subseção 6.1). *Netlist* é um arquivo texto que contém a descrição do circuito do OTA, juntamente com os parâmetros tecnológicos dos nMOSFETs e pMOSFETs, por exemplo, o modelo BSIM3 versão 3.1 fornecido pelo MOSIS (2015) para a tecnologia CMOS de 0,35 μm da ON Semiconductor. Dessa forma, o MTGSPICE cria um arquivo *netlist* com as variáveis de projeto do circuito para cada indivíduo dessa população, juntamente com os valores de V_{DD} e C_L , configurados pelo projetista, os quais são mantidos fixos durante o processo de busca (Bloco 2 da Figura 50 na subseção 6.1). Vide exemplo de um arquivo *netlist* do Spice Opus (2010) no APÊNDICE C. Em seguida, o arquivo *netlist* cada indivíduo da população é simulado no Spice Opus (Bloco 7 da Figura 50 na subseção 6.1). Com os resultados gerados através do simulador, cada indivíduo é avaliado utilizando funções de aptidão, Bloco 5 da Figura 50 e processo F da Figura 22. As funções de aptidão são apresentadas em detalhes na seção 4.

As variáveis de projeto e os resultados obtidos para as especificações de projeto (A_{VO} , f_T , PM , V_{OUT} , P_{TOT} , A_G e M_{SAT}) correspondente ao indivíduo com o maior valor da função de

aptidão da geração atual são registrados em arquivo com a finalidade de realizar o mapeamento do processo de otimização do MTGSPICE, conforme indicado no processo G da Figura 22.

Na próxima etapa, ocorre a primeira fase do elitismo convencional, indicado no processo H da Figura 22, em que o melhor indivíduo avaliado é armazenado na memória para ser utilizado futuramente, na segunda fase do elitismo convencional (processo L da Figura 22). O processo do elitismo convencional é detalhado no APÊNDICE B.

Em seguida, o processo de seleção é realizado, conforme indicado no processo I da Figura 22. Este processo seleciona pares de indivíduos, que são usados no processo de cruzamento (*crossover*). Os indivíduos são selecionados através do método da roleta (COELLO; LAMONT; VELDHUIZEN, 2007; GOLDBERG, 1989), o qual é apresentado no APÊNDICE B. Neste método, as soluções com melhores aptidões possuem maiores chances de serem selecionadas para cruzamento que as outras. Embora os indivíduos com melhores valores de aptidão tenham maior probabilidade de serem escolhidos, os indivíduos com menores valores de aptidão também podem ser escolhidos, garantindo a diversidade de soluções apresentadas pelo MTGSPICE.

Na etapa do cruzamento do sistema evolucionário, indicada no processo J da Figura 22, grupos de *bits* dos genes *W*, *L*, *IPOL* e *V_{POL}* dos indivíduos selecionados são trocados utilizando o cruzamento de um ponto (COELLO; LAMONT; VELDHUIZEN, 2007; ZEBULUM; PACHECO; VELLASCO, 2002; GOLDBERG, 1989), conforme foi detalhado no APÊNDICE B. A taxa do processo de cruzamento (P_C) é um parâmetro de entrada do algoritmo e deve ser selecionado pelo projetista no MTGSPICE, sendo utilizada uma faixa de 65% a 70% para este parâmetro nos projetos realizados. Então, ocorre a mutação de alguns indivíduos, conforme indicado no processo K da Figura 22. Como a representação do cromossomo é realizada em números binários, a etapa da mutação essencialmente inverte alguns *bits* que compõem os genes *W*, *L*, *IPOL* e *V_{POL}*, conforme detalhado no APÊNDICE B. Analogamente à taxa de cruzamento, a taxa de mutação (P_M) também é um parâmetro de entrada e deve ser configurado pelo projetista no MTGSPICE, sendo utilizada uma taxa de 3% em todos os projetos realizados neste trabalho.

Após as etapas de seleção, cruzamento e mutação, uma nova geração é criada, ou seja, 30 novas soluções são geradas. A fim de garantir que esta nova população gerada tenha avaliação no mínimo igual à geração anterior aplica-se a segunda etapa do elitismo, indicada no processo L da Figura 22, em que o sistema evolucionário escolhe aleatoriamente um indivíduo desta nova geração, substituindo pelo indivíduo com o melhor valor da função de

aptidão da geração anterior. A nova geração obtida é finalizada e está pronta para ser avaliada (processo M da Figura 22).

O MTGSPICE continua processando novas gerações até alcançar o número total de indivíduos (N_{Tot}) definido pelo projetista, conforme indicado nos processos E e M da Figura 22. N_{Tot} é um parâmetro de entrada do MTGSPICE e representa o total de indivíduos que deve ser gerado pelo algoritmo, considerando que cada geração cria um número de indivíduos igual ao tamanho da população (N_P), ou seja, uma nova população. Por exemplo, neste trabalho, foi considerado $N_{Tot} = 30000$ indivíduos, onde N_P é igual a 30. Consequentemente, o MTGSPICE precisa avaliar 1000 gerações de 30 indivíduos para alcançar o final do processo de evolução das soluções. No final destas 1000 gerações, uma rodada do algoritmo é finalizada e a melhor solução encontrada representa a melhor solução do MTGSPICE para esta rodada particular. A solução e os resultados de desempenho obtidos para a rodada são, então, registrados em arquivo, conforme indicado no processo N da Figura 22. Uma nova rodada significa começar o processo de evolução do MTGSPICE novamente, ou seja, inicia-se uma nova etapa DC e, em seguida, uma nova etapa AC é iniciada com uma população gerada randomicamente, conforme indicado nos processos O e P da Figura 22. O projetista pode escolher o número de rodadas (N_R) do processo de evolução AC das soluções (200, nesse exemplo), que define o número de soluções de projeto do OTA apresentadas no final do processo de busca do MTGSPICE, conforme indicado no processo Q da Figura 22.

3.2.3 Processo de busca das especificações através da busca aleatória (RS)

A busca aleatória (RS)⁴⁶ é um método de busca global que tem como principal vantagem ser a forma de busca heurística mais fácil de ser implementada. Consiste em selecionar aleatoriamente soluções potenciais para avaliá-las. Porém, limita-se em realizar uma busca “cega”, visto que não usa nenhuma informação específica do problema de otimização para guiar a busca na obtenção de melhores soluções de projeto, dessa forma, o processo de busca é normalmente lento. No entanto, em vez de ser considerada como o método de otimização mais fraco, a busca aleatória possui alguma importância, pois frequentemente é usada como um método de referência (BARROS; GUILHERME; HORTA, 2010a).

O fluxograma do processo de otimização através da busca aleatória realizada nesse trabalho é semelhante ao da Figura 52 da subseção 6.1, exceto que os operadores de seleção,

⁴⁶ Random search.

cruzamento e mutação do algoritmo genético (blocos F, G e H do fluxograma) são substituídos por uma simples inicialização aleatória do conjunto de soluções, similarmente ao bloco A.

3.2.4 Processo de busca das especificações através do arrefecimento simulado (SA)

O princípio de funcionamento do método arrefecimento simulado (SA)⁴⁷ é uma analogia com a termodinâmica, especificamente com o modo que os líquidos congelam e cristalizam ou os metais resfriam e formam uma estrutura cristalina. Inicialmente o material (líquido ou metal) é aquecido em altas temperaturas. Se o material é resfriado lentamente, os átomos frequentemente são capazes de se alinharem e formarem uma estrutura cristalina pura, que é o estado de mínima energia para esse sistema (ótimo global). Por outro lado, se o material é resfriado rapidamente ele não alcança esse estado e acaba em um estado policristalino ou amorfo tendo de alguma forma maior energia (PRESS et al., 2007).

Diferentemente do algoritmo genético, o SA é inicializado com apenas uma solução aleatória e realiza pequenas modificações em cada iteração do algoritmo. Caso a nova solução obtida seja melhor que a solução anterior ela é aceita com probabilidade igual a 1, caso contrário, ela é aceita com uma determinada probabilidade *Prob*, que é baseada na distribuição de probabilidade de Boltzmann, conforme mostra a equação (22) (PRESS et al., 2007, p. 550):

$$Prob = \min \left\{ 1, \exp \left(\frac{Eval_{Sol(t+1)} - Eval_{Sol(t)}}{T} \right) \right\}, \quad (22)$$

onde $Eval_{Sol(t)}$ representa o valor da função de aptidão global de uma solução de projeto em uma determinada iteração t do algoritmo e $Eval_{Sol(t+1)}$ representa o valor da função de aptidão da solução na iteração subsequente do algoritmo e T é um parâmetro de controle, análogo à temperatura. No início do processo de otimização, T é alto fazendo com que o sistema tenha altas probabilidades de aceitar uma solução pior, obtida em uma determinada iteração, em relação a uma solução obtida em uma iteração anterior. Esse procedimento é realizado com o objetivo de sair de uma solução ótima local para ir em busca de soluções próximas do ótimo global (PRESS et al., 2007). Após sucessivas iterações do algoritmo T é gradualmente reduzido tornando as modificações mais permanentes ao longo do processo de otimização (PRESS et al.,

⁴⁷ Simulated annealing.

2007). O esquema de resfriamento adotado para o parâmetro T é mostrado na equação (23) (PRESS et al., 2007, p. 554):

$$T = T_0 \left(1 - \frac{N_{Sol}}{N_{Tot}}\right)^\alpha, \quad (23)$$

onde T_0 é a temperatura inicial (parâmetro de entrada do SA), N_{Sol} é o número de soluções avaliadas pelo sistema em um determinado instante, N_{Tot} é o número total de soluções a serem avaliadas e α é uma constante tipicamente igual a 1, 2 ou 4 (PRESS et al., 2007). Visto que nesse trabalho deseja-se comparar o SA com o algoritmo genético, N_{Tot} é adotado igual ao número total de indivíduos do GA (30000) e T_0 e α são adotados com valores iguais a 80 e 4, respectivamente, os quais foram determinados experimentalmente para esse estudo.

O gerador de mudanças aleatórias nas variáveis de projeto que foi utilizado nesse trabalho altera o vetor das variáveis de projeto Var_Proj para $Var_Proj + \Delta Var_Proj$, onde Var_Proj representa as dimensões dos MOSFETs e as condições de polarização (W , L , I_{POL} e V_{POL}) do CI CMOS analógico, que nesse caso é um OTA. Dessa forma, ΔVar_Proj foi gerado usando a equação (24):

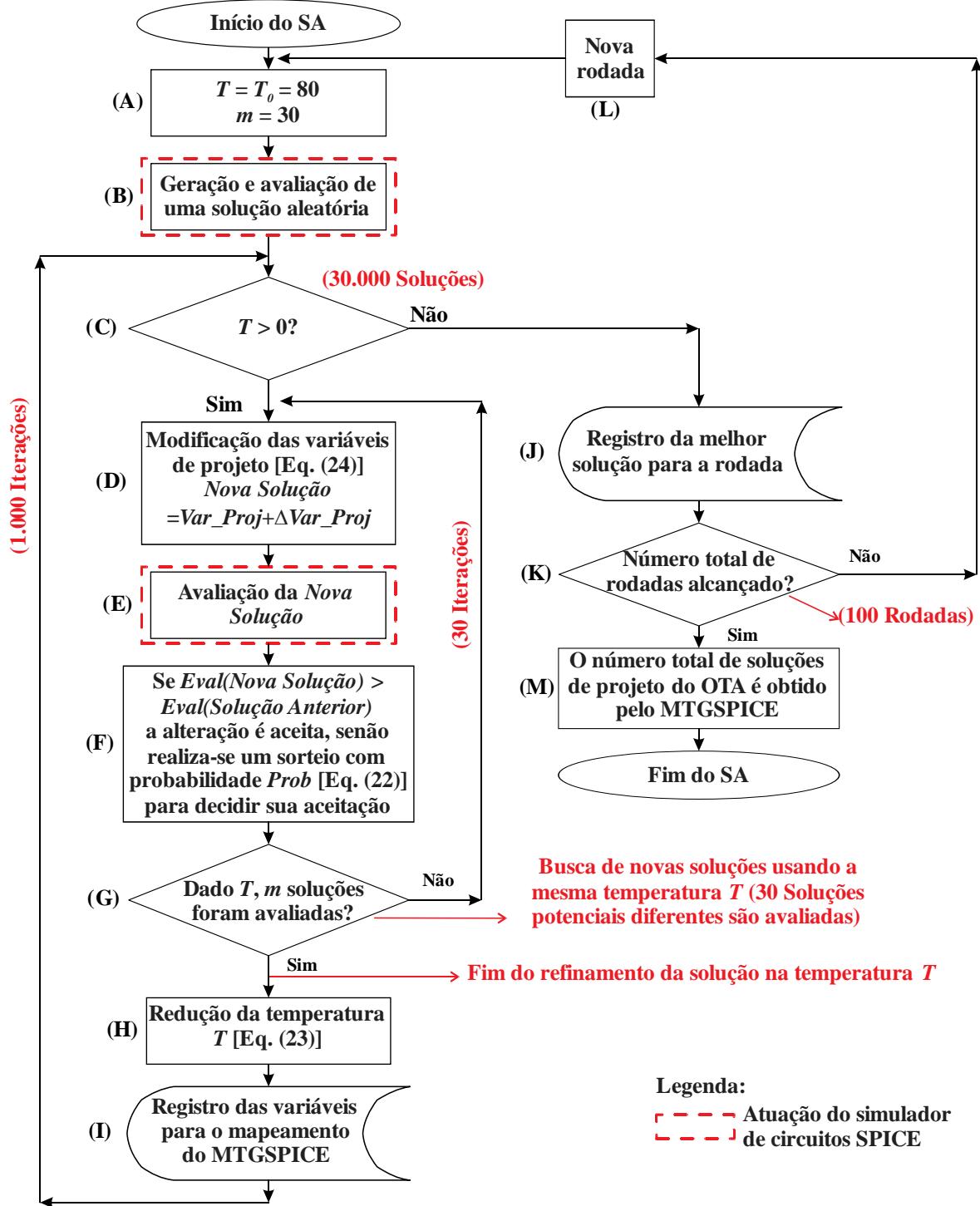
$$\Delta Var_Proj = \pm rand(0; 1) C [Var_Proj_{max} - Var_Proj_{min}], \quad (24)$$

onde, ΔVar_Proj representa o valor da mudança realizada em uma determinada variável de projeto, que pode ser positivo ou negativo (sorteado de forma aleatória), $rand(0; 1)$ representa um gerador de números reais aleatórios na faixa $[0; 1]$, Var_Proj_{max} e Var_Proj_{min} representam os valores máximo e mínimo, respectivamente, da variável e C é uma constante de ajuste que limita o incremento ou o decremento máximo da variável a uma determinada porcentagem da faixa de valores que essa variável pode assumir. Nesse trabalho, C foi ajustado experimentalmente para 0,1, devido ao melhor desempenho obtido pelas soluções de projeto do OTA.

O fluxograma do processo de otimização através do arrefecimento simulado⁴⁸ no MTGSPICE é detalhado na Figura 23.

⁴⁸ Simulated annealing.

Figura 23 – Fluxograma de execução do arrefecimento simulado no MTGSPICE.



Fonte: Autor.

O processo de otimização através do SA é iniciado com o parâmetro T (temperatura) igual a 80 (alta temperatura) e com o parâmetro m igual a 30, onde m representa o número de soluções que devem ser avaliadas pelo sistema em uma determinada temperatura T , que são ajustados experimentalmente (PRESS et al., 2007), porém, com o objetivo de realizar uma

comparação compatível com o algoritmo genético, m foi adotado igual ao parâmetro tamanho da população do GA (processo A da Figura 23).

Em seguida, gera-se aleatoriamente apenas uma solução inicial para ser usada na primeira iteração do algoritmo (processo B da Figura 23), cujo resultado de desempenho é obtido através do simulador Spice Opus (2010), para posteriormente, o processo de avaliação quantificar o grau de proximidade da solução em relação às especificações desejadas. Esta quantificação, $Eval_{Sol}$, é realizada por uma função de aptidão que atribui à solução, um valor entre 0 e 100, que é definido pela soma ponderada do valor da função de aptidão de cada especificação de projeto [$Eval(FoM_j)$], onde FoM_j representa $A_{V0}, f_T, PM, V_{OUT}, P_{TOT}, A_G$ e M_{SAT} , da mesma forma que é realizado no GA (vide equação (30) na subseção 4.1). Em seguida, gera-se uma nova solução modificando-se levemente a solução anterior (inicial) através da equação (24), processo D da Figura 23, a qual é, em seguida, avaliada (processo E da Figura 23), cujo valor da função de aptidão é representado por $Eval(Nova\ Solução)$.

No processo F da Figura 23, o valor da função de aptidão da solução inicial [$Eval(Solução\ Anterior)$] é comparado com o valor da função de aptidão da nova solução gerada no processo D [$Eval(Nova\ Solução)$]. Se $Eval(Nova\ Solução)$ for maior que $Eval(Solução\ Anterior)$, a nova solução é aceita, caso contrário, um sorteio com uma probabilidade dada por $Prob$ [equação (22)] é realizado para decidir se a solução é aceita ou rejeitada. Então, gera-se um número aleatório r ($0 \leq r \leq 1$). Se r é menor que $Prob$ a solução é aceita, caso contrário é rejeitada.

Para um determinado valor de temperatura (inicialmente, $T = T_0 = 80$), no processo G da Figura 23, os processos dos blocos D, E, e F são repetidos m vezes ($m = 30$) para o sistema avaliar 30 soluções distintas. Como inicialmente T é alto, soluções com valores baixos de aptidão têm alta probabilidade de serem aceitas com a finalidade de explorar o espaço de busca com inúmeras soluções distintas para tentar localizar soluções ótimas globais em vez de permanecer estagnado em soluções ótimas locais. Porém, conforme T é gradualmente reduzido as modificações tendem a tornar-se permanente, quando somente as melhores soluções tendem a ser aceitas para o refinamento da solução.

No processo H da Figura 23, a temperatura T é reduzida segundo o esquema de resfriamento da equação (23). Em seguida, no processo I, as variáveis de projeto e os resultados obtidos para as especificações de projeto ($A_{V0}, f_T, PM, V_{OUT}, P_{TOT}, A_G$ e M_{SAT}) correspondentes à solução encontrada no final de cada iteração são registrados em arquivo com a finalidade de realizar o mapeamento do processo de otimização do SA no MTGSPICE.

No processo C da Figura 23, os processos D até I são repetidos novamente, a cada nova redução da temperatura T . Após 1000 reduções na temperatura (1000 iterações neste caso), 30000 soluções terão sido avaliadas e T é reduzido até zero, quando o processo de busca da solução final de projeto é concluído. A solução e os resultados de desempenho obtidos para a rodada são, então, registrados em arquivo, conforme indicado no processo J da Figura 23.

Uma nova rodada significa começar o processo de otimização do MTGSPICE novamente, ou seja, a temperatura T é reiniciada ao seu valor inicial (T_0) e uma nova solução inicial é gerada randomicamente, conforme indicado nos processos K e L da Figura 23. O projetista pode escolher o número de rodadas do processo de otimização das soluções ($N_R = 100$, nesse caso), que define o número de soluções de projeto do OTA apresentadas no final do processo de busca do MTGSPICE, conforme indicado no processo M da Figura 23.

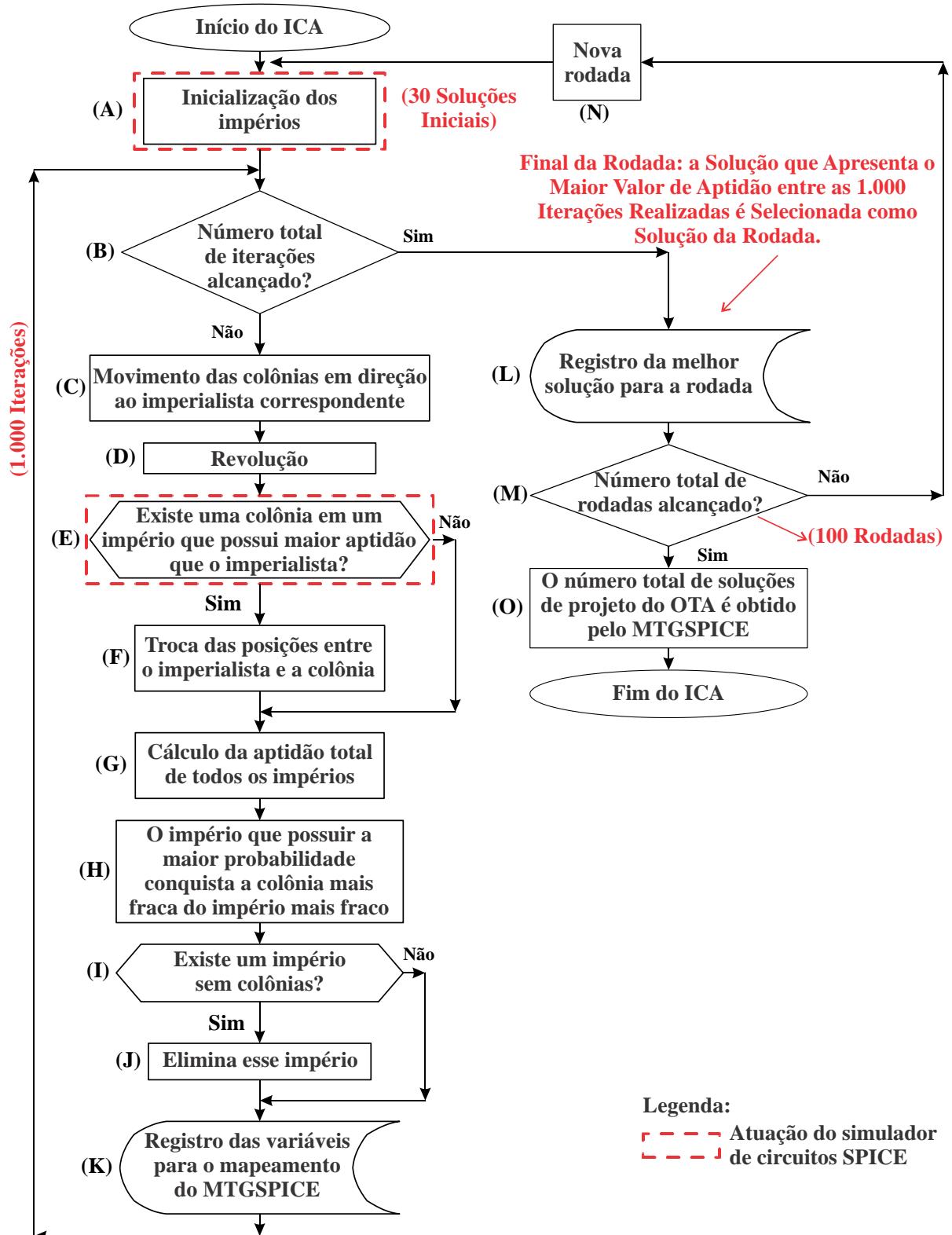
3.2.5 Processo de busca das especificações através do algoritmo competitivo imperialista (ICA)

O algoritmo competitivo imperialista (ICA)⁴⁹ é um dos algoritmos de otimização evolucionários mais recentes, proposto por Atashpaz-Gargari e Lucas (2007). Ele é inspirado pelo processo sócio-político da competição imperialista. Comparado com outros algoritmos evolucionários convencionais, o ICA tem demonstrado desempenho superior, ou seja, convergência mais rápida e maior capacidade para alcançar a solução ótima global (BIJAMI et al., 2014; ATASHPAZ-GARGARI; LUCAS, 2007).

Similarmente ao algoritmo genético, o ICA é iniciado com uma população (conjunto de soluções potenciais). Os indivíduos (soluções) são chamados países, que são divididos em dois grupos distintos: colônias e imperialistas, que juntos formam os impérios. A competição imperialista entre esses impérios forma a base desse algoritmo. Durante essa competição, impérios fracos são reduzidos, enquanto que os impérios mais poderosos tomam posse de suas colônias. No final do processamento do algoritmo, espera-se que a competição imperialista converja para um estado no qual existe somente um império e suas colônias possuem poderes semelhantes ao do imperialista (ATASHPAZ-GARGARI; LUCAS, 2007). A Figura 24 mostra o fluxograma do ICA no MTGSPICE.

⁴⁹ *Imperialist competitive algorithm.*

Figura 24 – Fluxograma de execução do algoritmo competitivo imperialista no MTGSPICE.



Fonte: Autor “adaptado de” Atashpaz-Gargari e Lucas, 2007, p. 2.

Similarmente ao GA, o ICA é iniciado com um conjunto de soluções aleatórias (países do mundo). Alguns dos melhores países da população são selecionados para serem os imperialistas e o restante formam as colônias desses imperialistas (ATASHPAZ-GARGARI; LUCAS, 2007). O tamanho da população e o número de imperialistas são parâmetros do ICA, que nos experimentos realizados nesse trabalho foram adotados com os valores 30 e 3, respectivamente. Todas as colônias da população inicial são divididas entre os imperialistas mencionados, onde o número de colônias de cada império é diretamente proporcional ao poder (valor da função de aptidão) do imperialista (ATASHPAZ-GARGARI; LUCAS, 2007). Nesse trabalho, o valor da função de aptidão de cada solução (país) é calculado por uma função que atribui à solução, um valor entre 0 e 100, que é definido pela soma ponderada do valor da função de aptidão de cada especificação de projeto, da mesma forma que é realizado no GA (vide equação (30) na subseção 4.1). Após o cálculo do número de colônias de cada imperialista, a divisão das colônias entre os imperialistas é realizada por meio de um sorteio aleatório. Os imperialistas junto com as colônias correspondentes formam os impérios (ATASHPAZ-GARGARI; LUCAS, 2007). No caso desse trabalho, as três melhores soluções das 30 iniciais são selecionadas como imperialistas e as 27 restantes são as colônias que são divididas entre os imperialistas para formarem 3 impérios (processo A da Figura 24).

No processo C da Figura 24, os países imperialistas começam a melhorar suas colônias movendo cada colônia em direção ao imperialista. A direção do movimento é o vetor da colônia para o imperialista e a variação da posição de cada colônia é dada pela equação (25) (ATASHPAZ-GARGARI; LUCAS, 2007):

$$\Delta Var_Proj_{col} = rand(0; 1) C_A [Var_Proj_{imp} - Var_Proj_{col}], \quad (25)$$

onde, ΔVar_Proj_{col} representa o valor da mudança realizada em uma determinada variável de projeto (dimensões dos MOSFETs e condições de polarização) correspondente a uma determinada colônia, $rand(0; 1)$ representa um gerador de números reais aleatórios na faixa [0; 1], Var_Proj_{imp} e Var_Proj_{col} representam os valores das variáveis de projeto do imperialista e da colônia, respectivamente e C_A é o coeficiente de assimilação, que deve ser um número maior que 1 para permitir que as colônias se aproximem de ambos os lados do estado imperialista. Nesse trabalho, C_A foi ajustado experimentalmente para 2, devido ao melhor desempenho obtido pelas soluções de projeto do OTA. Portanto, a nova posição da colônia é obtida pela soma da posição atual com a correspondente variação dada pela equação (25), ou seja $Var_Proj_{col} = Var_Proj_{col} + \Delta Var_Proj_{col}$.

Em seguida, algumas colônias de cada império podem passar por um processo chamado revolução (processo D da Figura 24). Esse operador é semelhante à mutação do GA e tem como objetivo explorar melhor o espaço de busca de soluções possíveis (busca das melhores soluções globais). Primeiramente, o número de colônias de cada império que passam pela revolução é calculado pela equação (26) (ROCHE et al., 2012):

$$N_{Rev} = \text{round}(P_{Rev} N_{Col}), \quad (26)$$

onde, N_{Rev} representa o número de colônias revoltosas do império, P_{Rev} é a taxa de revolução (análogo à taxa de mutação do GA), N_{Col} é o número total de colônias do império e *round* é uma função que arredonda N_{Rev} para o número inteiro mais próximo. Nesse trabalho, P_{Rev} é adotado igual a 0,1. Em seguida, N_{Rev} países (soluções) são gerados aleatoriamente e substituem aleatoriamente algumas colônias do império.

No processo E da Figura 24, o valor da função de aptidão de cada uma das colônias de cada império é calculado através do uso do simulador SPICE para verificar se a melhor colônia do império possui avaliação maior que o imperialista. Em caso afirmativo, troca-se as posições entre o imperialista e a melhor colônia, processo F da Figura 24 (ATASHPAZ-GARGARI; LUCAS, 2007).

Em seguida, calcula-se o valor da aptidão total de cada império (processo G da Figura 24). O valor da função de aptidão total de um império é dado pelo valor da função de aptidão do imperialista adicionado a uma porcentagem do valor médio da aptidão de suas colônias, conforme mostra a equação (27) (ATASHPAZ-GARGARI; LUCAS, 2007):

$$Eval_{TOT(i)} = Eval(Imp_{(i)}) + \zeta \text{mean}[Eval(Col_{(i)})], \quad (27)$$

onde, $Eval_{TOT(i)}$ é a aptidão total do i-ésimo império, $Eval(Imp_{(i)})$ é o valor da função de aptidão do i-ésimo imperialista, $\text{mean}[Eval(Col_{(i)})]$ é o valor médio da aptidão das colônias do império i e ζ é um número positivo menor que 1 que representa a porcentagem da contribuição do valor médio de aptidão das colônias no valor da função de aptidão do império. O valor de 0,02 (2%) para ζ foi usado nos experimentos realizados nesse trabalho.

No processo H da Figura 24 ocorre a competição imperialista, que simula a tentativa dos impérios de tomar posse de colônias de outros impérios e controlá-las. Essa competição imperialista gradualmente diminui o poder dos impérios mais fracos e aumenta o poder dos

impérios mais fortes (ATASHPAZ-GARGARI; LUCAS, 2007). No ICA, esse processo é modelado através da escolha de uma das colônias mais fracas do império mais fraco e realiza-se um sorteio para decidir qual dos impérios receberá a colônia. Nesse sorteio, os impérios com os maiores valores de aptidão terão maiores probabilidades de conquistarem a colônia do império mais fraco. Para realizar esse sorteio, calcula-se a probabilidade de cada império dominar a colônia, representada por P_i , cujo cálculo é baseado no poder de cada império. Para realizar o cálculo de P_i , primeiramente identifica-se o valor da função de aptidão do império mais fraco. Em seguida, o poder de cada império é calculado subtraindo-se o valor da função de aptidão de cada império desse valor. Assim, P_i é obtido dividindo-se o valor do poder de cada império pelo valor da soma total do poder de todos os impérios. Em seguida, gera-se um número aleatório r_i ($0 \leq r_i \leq 1$) para cada império. Finalmente, a probabilidade de posse de cada império é subtraída de r_i , ou seja, calcula-se o valor da diferença ($P_i - r_i$) para cada império, onde o império escolhido é o que apresenta o maior valor da diferença. Semelhantemente à taxa de cruzamento do algoritmo genético, a competição imperialista ocorre com uma determinada taxa de incidência (P_{Comp}). Uma taxa de 11% foi adotada nos experimentos realizados nesse trabalho.

Em seguida, a etapa I da Figura 24 verifica se o império mais fraco não possui colônia. Caso afirmativo, o império é eliminado (processo J da Figura 24).

No processo K, as variáveis de projeto e os resultados obtidos para as especificações de projeto (A_{V0} , f_T , PM , V_{OUT} , P_{TOT} , A_G e M_{SAT}), correspondentes à melhor solução encontrada (imperialista mais forte), obtidos no final de cada iteração, são registrados em arquivo com a finalidade de realizar o mapeamento do processo de otimização do ICA no MTGSPICE.

O processo B da Figura 24 verifica se um determinado número de iterações foi realizado. Caso negativo, os processos C até K são repetidos novamente até a obtenção do número de iterações desejadas do algoritmo. Nos experimentos realizados nesse trabalho, 1000 iterações do ICA são realizadas, onde aproximadamente 30000 soluções são avaliadas, quando o processo de busca da solução final de projeto é concluído. A solução e os resultados de desempenho obtidos para a rodada são, então, registrados em arquivo, conforme indicado no processo L da Figura 24.

Uma nova rodada significa começar o processo de otimização do MTGSPICE novamente, ou seja, uma nova população inicial é gerada randomicamente, conforme indicado nos processos M e N da Figura 24. O projetista pode escolher o número de rodadas do processo de otimização das soluções (100, nesse caso), que define o número de soluções de projeto do OTA apresentadas no final do processo de busca, conforme indicado no processo O da Figura 24.

3.2.6 Processo de busca das especificações através do algoritmo do “sapo pulando embaralhado” (SFLA)

Assim como o GA e o ICA, o algoritmo do “sapo pulando embaralhado” (SFLA)⁵⁰ também é um algoritmo de otimização evolucionário, que foi desenvolvido por Eusuff e Lansey (2003), e representa uma nova tentativa de reduzir o tempo de otimização e melhorar a qualidade das soluções (ELBELTAGI; HEGAZY; GRIERSON, 2007). O SFLA é baseado na evolução de subconjuntos de indivíduos para posterior troca global de informação entre a população, ou seja, combina os benefícios da busca local do algoritmo do enxame de partículas (PSO)⁵¹ e a idéia de misturar informação de buscas locais paralelas para alcançar uma solução global (ELBELTAGI; HEGAZY; GRIERSON, 2007). O uso do SFLA em problemas de otimização complexos tem se mostrado vantajoso em relação a outros algoritmos de otimização, tal como o GA (JAFARI et al., 2012; ELBELTAGI; HEGAZY; GRIERSON, 2007).

O algoritmo SFLA é iniciado com um conjunto de soluções possíveis (população de sapos) que é particionado em subconjuntos, denominados *memeplexes*. Os diferentes subconjuntos são considerados como diferentes culturas de sapos, cada uma realizando uma busca local (evolução memética). Após um determinado número de passos de evolução, ideias são passadas entre subconjuntos em um processo de embaralhamento (ELBELTAGI; HEGAZY; GRIERSON, 2007). A busca local e o processo de embaralhamento continuam até que o critério de convergência seja alcançado (ELBELTAGI; HEGAZY; GRIERSON, 2007). A Figura 25 mostra o fluxograma geral de execução do SFLA implementado no MTGSPICE e a Figura 26 mostra o correspondente processo de busca local do algoritmo.

Inicialmente, os parâmetros de entrada do SLF são definidos, que são o tamanho da população (N_P), o número de subconjuntos (*mem*) e o número de iterações realizadas para cada subconjunto no processo da busca local (*it_mem*), processo A da Figura 25. Nos experimentos realizados nesse trabalho N_P , *mem* e *it_mem* foram adotados com os valores 30, 3 e 10, respectivamente.

Em seguida, uma população de N_P sapos (soluções) é criada aleatoriamente [processo B da Figura 25]. Então, o resultado do desempenho de cada solução é obtido através do simulador SPICE e, posteriormente, o processo de avaliação de aptidão quantifica a proximidade desses resultados em relação às especificações desejadas atribuindo um valor numérico para cada sapo (solução). Uma função de aptidão atribui a cada solução um valor entre 0 e 100, que é definido

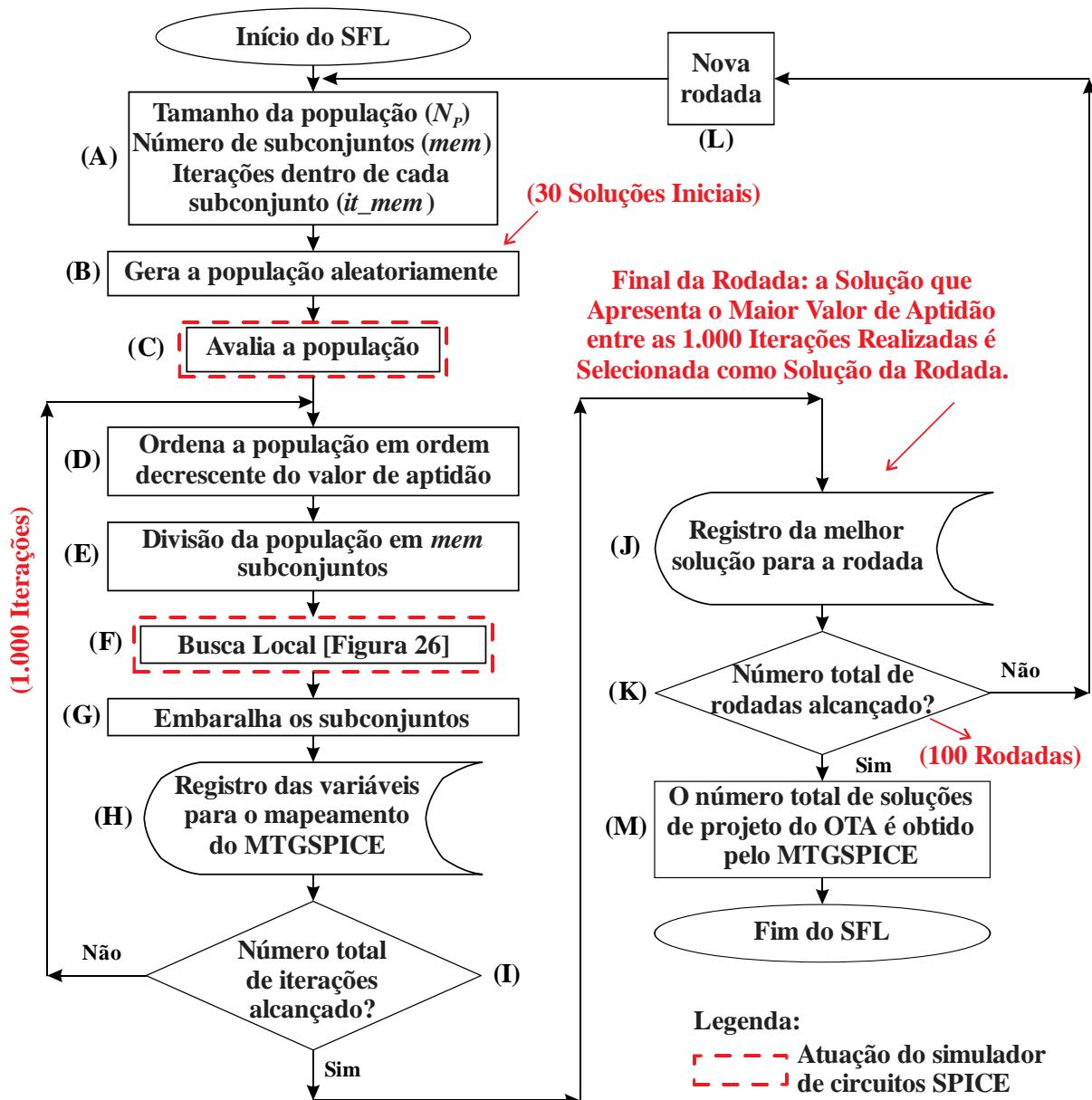
⁵⁰ *Shuffled frog leaping algorithm*.

⁵¹ *Particle swarm optimization*.

pela soma ponderada do valor da função de aptidão de cada especificação de projeto, da mesma forma que é realizado no GA (vide equação (30) na subseção 4.1), processo C da Figura 25.

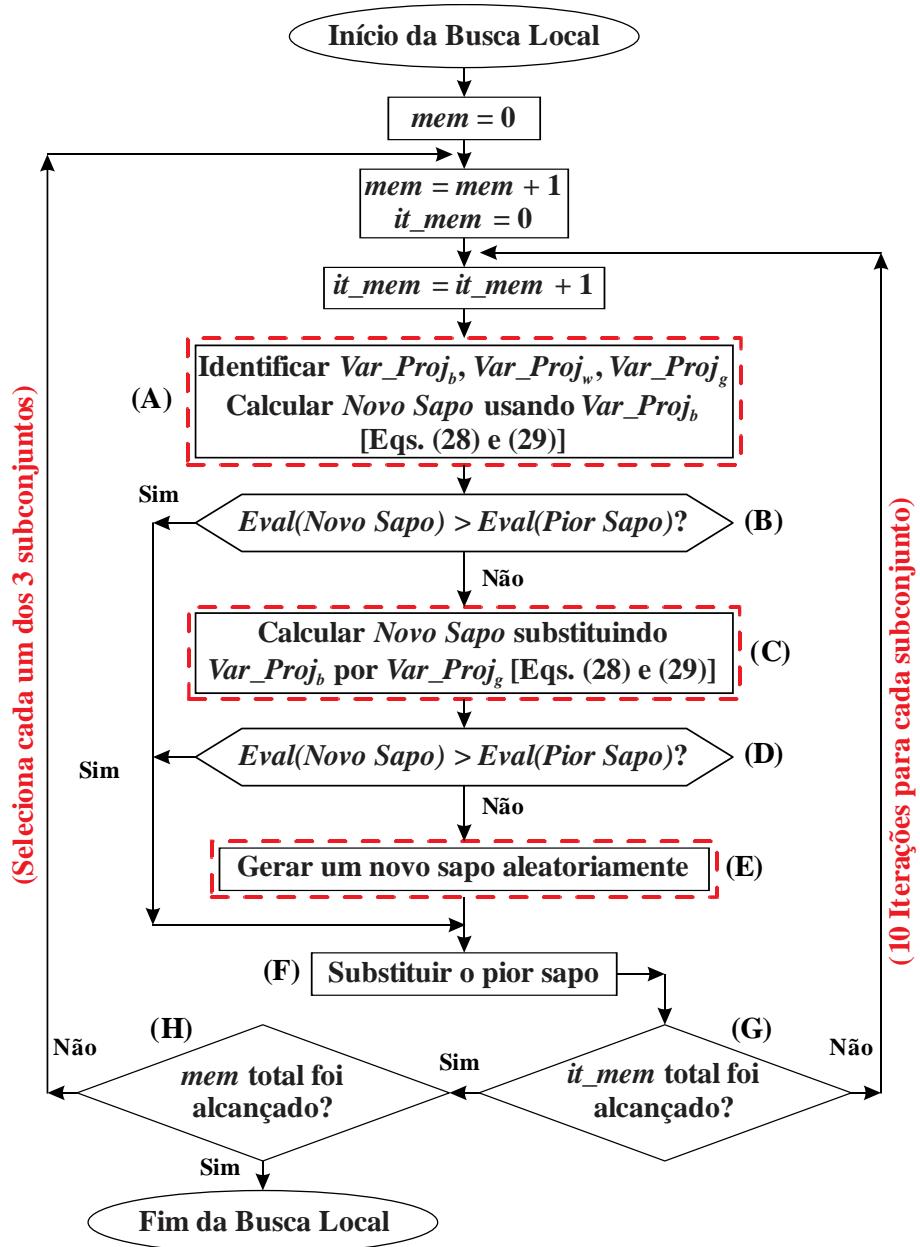
No processo D da Figura 25, os sapos são ordenados em ordem decrescente do valor da função de aptidão. Então, no processo E da Figura 25, a população inteira é dividida em *mem* subconjuntos, cada um contendo *n* sapos ($n = N_p / mem$). Essa divisão é realizada como segue: o primeiro sapo vai para o primeiro subconjunto, o segundo sapo vai para o segundo subconjunto o sapo *mem* vai para o *mem*-ésimo subconjunto, e o sapo *mem* + 1 vai para o primeiro subconjunto, e assim por diante (ELBELTAGI; HEGAZY; GRIERSON, 2007).

Figura 25 – Fluxograma de execução do algoritmo do “sapo pulando embaralhado” no MTGSPICE.



Fonte: Autor “adaptado de” Elbeltagi, Hegazy e Grierson, 2007, p. 55.

Figura 26 – Fluxograma da etapa da busca local do algoritmo do “sapo pulando embaralhado” no MTGSPICE.



Fonte: Autor “adaptado de” Elbeltagi, Hegazy e Grierson, 2007, p. 55.

Em seguida, o processo de busca local é iniciado [processo F da Figura 26]. O objetivo da busca local é melhorar os piores sapos (soluções) de cada subconjunto (mem) realizando-se it_mem iterações para cada subconjunto. Inicialmente, o primeiro subconjunto é selecionado e o melhor e o pior sapo desse subconjunto são identificados por Var_Proj_b e Var_Proj_w , respectivamente [processo A da Figura 26]. Além disso, o melhor sapo global é identificado por Var_Proj_g . O ajuste da posição do sapo com o menor valor da função de aptidão é dado pela equação Figura 28 (ELBELTAGI; HEGAZY; GRIERSON, 2007):

$$\Delta Var_Proj_w = rand(0; 1) C_{AC} [Var_Proj_b - Var_Proj_w], \quad (28)$$

onde, ΔVar_Proj_w representa o valor da mudança realizada em uma determinada variável de projeto (dimensões dos MOSFETs e condições de polarização) correspondente ao pior sapo, $rand(0; 1)$ representa um gerador de números reais aleatórios na faixa [0; 1], Var_Proj_b e Var_Proj_w representam os valores das variáveis de projeto do melhor sapo e do pior sapo, respectivamente e C_{AC} é o fator de aceleração de busca, proposto por Elbeltagi, Hegazy e Grierson (2007) para prevenir a estagnação do processo de busca em soluções ótimas locais quando a diferença entre o melhor e o pior sapo se torna muito pequena. O fator C_{AC} é uma constante positiva que deve ser ligeiramente maior que 1 (SFLA convencional) para acelerar a busca global, onde uma faixa entre 1,3 e 2,1 para esse parâmetro é sugerida para balancear eficientemente os processos de busca global e local. Nesse trabalho, C_{AC} foi ajustado experimentalmente para 2, devido ao melhor desempenho obtido pelas soluções de projeto dos OTAs. Portanto, a nova posição do pior sapo é dada pela equação (29) (ELBELTAGI; HEGAZY; GRIERSON, 2007):

$$Var_Proj_w = Var_Proj_w + \Delta Var_Proj_w, \quad (29)$$

Um novo sapo (solução) é calculado usando as equações (28) e (29) que é, em seguida, avaliado com o uso do simulador SPICE [processo A da Figura 26]. O processo B da Figura 26 (b) verifica se o novo sapo é melhor que o pior sapo, ou seja, se o novo sapo possui maior valor da função de aptidão que o pior sapo [$Eval(Novo Sapo) > Eval(Pior Sapo)$]. Caso afirmativo, o novo sapo substitui o pior sapo [processo F da Figura 26], caso contrário, um novo sapo é calculado usando as equações (28) e (29), porém, substituindo o melhor sapo local (Var_Proj_b) pelo melhor sapo global (Var_Proj_g), o qual é avaliado novamente com o uso do simulador SPICE [processo C da Figura 26]. O processo D da Figura 26 (b) verifica novamente se o novo sapo é melhor que o pior sapo. Caso afirmativo, o novo sapo substitui o pior sapo [processo F da Figura 26], caso contrário, um novo sapo é gerado aleatoriamente e avaliado com o uso do simulador SPICE [processo E da Figura 26] e, em seguida, substitui o pior sapo [processo F da Figura 26]. O processo G da Figura 26 verifica se o número total de iterações (it_mem) para o subconjunto selecionado foi alcançado. Nesse caso, como it_mem é igual a 10, após a realização de 10 iterações dos processos A até F para o subconjunto selecionado, o processo H da Figura 26 é executado e verifica se todos os subconjuntos foram processados pela busca local. Caso

negativo, seleciona o próximo subconjunto para realizar a busca local (processos A até F), caso contrário, o processo de busca local é finalizado.

Após a evolução independente de cada subconjunto no processo de busca local, os subconjuntos são embaralhados [processo G da Figura 25] e o processamento do algoritmo se repete, ou seja, os sapos (soluções) são reordenados em ordem decrescente do valor da função de aptidão e são redivididos novamente em novos subconjuntos, que resulta em um processo de busca global devido à troca de informação entre os subconjuntos.

No processo H da Figura 25, as variáveis de projeto e os resultados obtidos para as especificações de projeto (A_{V0} , f_T , PM , V_{OUT} , P_{TOT} , AG e M_{SAT}), correspondentes à melhor solução encontrada (melhor sapo), obtidos no final de cada iteração são registrados em arquivo com a finalidade de realizar o mapeamento do processo de otimização do SFLA no MTGSPICE.

O processo I da Figura 25, verifica se um determinado número de iterações do processo de busca global foi realizado. Caso negativo, os processos D até H são repetidos novamente até a obtenção do número de iterações desejadas do algoritmo. Nos experimentos realizados nesse trabalho, 1000 iterações do SFLA são realizadas, quando o processo de busca da solução final de projeto é concluído. A solução e os resultados de desempenho obtidos para a rodada são, então, registrados em arquivo, conforme indicado no processo J da Figura 25.

Uma nova rodada significa começar o processo de otimização do MTGSPICE novamente, ou seja, uma nova população inicial é gerada aleatoriamente, conforme indicado nos processos K e L da Figura 25. O projetista pode escolher o número de rodadas (N_R) do processo de otimização das soluções ($N_R = 100$, nesse caso), que define o número de soluções de projeto do OTA apresentadas no final do processo de busca, conforme indicado no processo M da Figura 25.

4 FUNÇÕES DE AVALIAÇÃO DE APTIDÃO PROPOSTAS

Essa seção descreve as novas funções de aptidão não lineares propostas nesse trabalho com o objetivo de aumentar a eficiência do processo de otimização e a robustez do projeto dos CIIs CMOS analógicos considerando as variações dos processos de fabricação CMOS de CIIs.

4.1 AVALIAÇÃO DAS MÚLTIPLAS ESPECIFICAÇÕES DE PROJETO

Uma das etapas mais importantes de uma ferramenta de CAD referente aos processos de otimização de projetos de CI CMOS analógicos é a avaliação das soluções potenciais obtidas pela função de aptidão (BARROS; GUILHERME; HORTA, 2010a, 2010b). Os projetistas devem formular as funções de aptidão que melhor representam as especificações do projeto e eles precisam definir suas preferências na presença de especificações conflitantes (BARROS; GUILHERME; HORTA, 2010a, 2010b).

A ferramenta CAD desenvolvida nesse trabalho para a otimização das múltiplas especificações de um projeto de CI CMOS analógico, chamada MTGSPICE, é capaz de realizar um processo de busca das diferentes soluções potenciais em um espaço de busca muito grande, que são capazes de atender todas as especificações de projeto simultaneamente (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013). A função de aptidão tem por objetivo retornar um valor numérico, que indica o grau de proximidade entre os resultados de desempenho obtidos pelo processo de otimização e os valores das especificações desejadas. A função de aptidão considerando uma solução potencial obtida pelo processo de otimização ($Eval_{Sol}$) é a soma ponderada das funções de aptidão de cada figura de mérito (FoM), conforme indicado na equação (30).

$$Eval_{Sol} = \sum_{j=1}^{N_{FoM}} Eval(FoM_j) W_j , \quad (30)$$

onde $Eval(FoM_j)$ é o valor da função de aptidão de cada figura de mérito encontrada pelo processo de otimização, j é o índice de uma figura de mérito; N_{FoM} é o número de figuras de mérito (especificações) avaliadas e W_j são os pesos relacionados a cada figura de mérito.

Além disso, a soma dos pesos relacionados às figuras de mérito é normalizada para ser igual a 1 $[0 \leq W_j \leq 1, \text{ onde } (\sum_{j=1}^{N_{FoM}} W_j) = 1]$. $Eval(FoM_j)$ é também normalizada para

retornar valores entre 0 (valor da função de aptidão mínimo) e 100 (valor da função de aptidão máximo). Esses valores dependem do desvio relativo entre os valores obtidos pelo processo de otimização e os valores das especificações desejadas (BARROS; GUILHERME; HORTA, 2010a, 2010b; KOH; SÉQUIN; GRAY, 1990). Se esse valor é mais próximo de 100, tem-se maior proximidade entre o valor obtido pela solução potencial encontrada pelo processo de otimização e o valor da especificação desejada. O projetista pode estabelecer a importância relativa para cada especificação desejada. Isso é feito ajustando o valor de cada peso (W_j) (BARROS; GUILHERME; HORTA, 2010a, 2010b; KOH; SÉQUIN; GRAY, 1990). Geralmente, duas abordagens distintas podem ser realizadas: I- atribuir pesos iguais para todas as especificações de projeto quando elas possuírem a mesma prioridade; II- atribuir os maiores pesos para as especificações mais importantes (BARROS; GUILHERME; HORTA, 2010a, 2010b).

O valor de avaliação da aptidão de $\text{Eval}(F_{\text{OM}}_j)$ deve ser calculado por uma função que possui um perfil adequado para a especificação considerada (BARROS; GUILHERME; HORTA, 2010a, 2010b). As três categorias principais para as funções de avaliação de aptidão para quantificar as diferentes especificações de projeto de um CI CMOS analógico são: “valor central”, “valor limite superior”, e “valor limite inferior”, onde as funções dos tipos linear, degrau, exponencial e quadrática podem ser aplicadas (JAFARI et al., 2012; SEVERO; LONGARETTI; GIRARDI, 2012; BARROS; GUILHERME; HORTA, 2010a, 2010b; KOH; SÉQUIN; GRAY, 1990).

4.2 DESCRIÇÃO DAS FUNÇÕES DE APTIDÃO

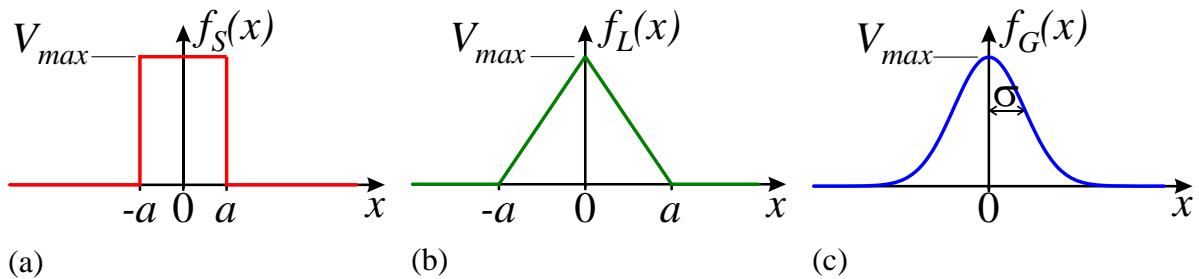
Nessa subseção, apresenta-se os diferentes perfis das funções de aptidão propostas objetivando a melhoria dos processos de otimização.

4.2.1 Funções de aptidão “valor central”

A função de aptidão da categoria “valor central” (BARROS; GUILHERME; HORTA, 2010a, 2010b; KOH; SÉQUIN; GRAY, 1990) prioriza somente soluções iguais ou na vizinhança do valor desejado, como por exemplo a tensão de saída (tipicamente em torno de 0V, se o CI é polarizado com fonte simétrica) e a margem de fase (tipicamente em torno de 60°) de um amplificador operacional. Essa abordagem pode ser usada para qualquer perfil de função,

tais como degrau, linear, Gaussiana, quadrática, etc. Nesse trabalho, considera-se três tipos diferentes de funções: degrau, linear, e Gaussiana, conforme ilustrado na Figura 27.

Figura 27 – Representação gráfica das funções de aptidão usadas nesse trabalho para uma figura de mérito específica: degrau (a), linear (triangular) (b) e Gaussiana (c).



Fonte: Autor.

onde $f_S(x)$, $f_L(x)$ e $f_G(x)$ representam funções de aptidão dos tipos degrau, linear e Gaussiana, respectivamente; x é o desvio relativo, que é calculado pelo valor da figura de mérito encontrada pelo processo de otimização subtraído da especificação desejada e dividido pela especificação desejada; a é o desvio relativo máximo da figura de mérito considerada; e V_{max} é o valor máximo da função de aptidão utilizada [$f_S(x)$ ou $f_L(x)$ ou $f_G(x)$], que representa o atendimento total das especificações.

A função degrau [$f_S(x)$] na Figura 27 (a), que é definida pela equação (31) (OLIVEIRA JR. et al., 2007), pode representar o perfil da função de aptidão de uma figura de mérito (especificação) de um CI CMOS analógico, como segue:

$$f_S(x) = \begin{cases} 0, & x < -a \\ V_{max}, & -a \leq x \leq a \\ 0, & x > a. \end{cases} \quad (31)$$

O perfil de $f_S(x)$ é ilustrado na Figura 27 (a). Essa função de avaliação de aptidão fornece dois valores: V_{max} , quando a figura de mérito obtida pelo processo de otimização está entre o intervalo de $-a$ até a ; e 0, quando esse valor está fora dessa faixa.

A função linear (triangular) [$f_L(x)$] na Figura 27 (b) é definida pela equação (32) (OLIVEIRA JR. et al., 2007),

$$f_L(x) = \begin{cases} 0, & x < -a \\ -\left(\frac{V_{max}}{a}\right)|x| + V_{max}, & -a \leq x \leq a \\ 0, & x > a, \end{cases} \quad (32)$$

é importante notar que a razão (V_{max}/a) define a inclinação da função linear.

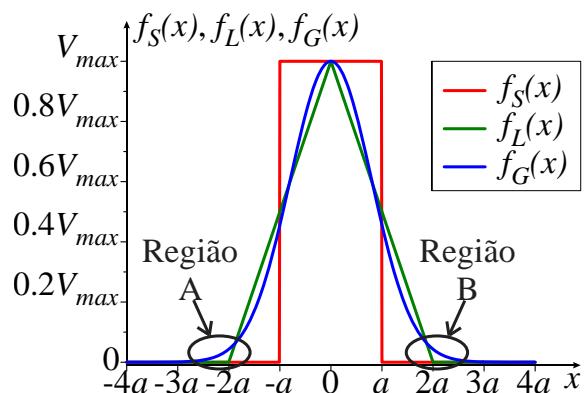
A função Gaussiana [$f_G(x)$] na Figura 27 (c) é definida pela equação (33) (OLIVEIRA JR. et al., 2007),

$$f_G(x) = V_{max} \exp\left(-\frac{x^2}{2\sigma^2}\right), \quad (33)$$

onde V_{max} é o valor máximo de $f_G(x)$ e σ representa o desvio padrão de $f_G(x)$.

Para realizar um estudo comparativo do desempenho do processo de otimização usando essas diferentes funções de aptidão, os valores de V_{max} e a referente à $f_S(x)$ são 100⁵² e 0,1⁵³, respectivamente. Consequentemente, os valores de V_{max} e a de $f_L(x)$ são 100 e 0,2 (=2 a) para manter a mesma área sob essas funções de aptidão. Além disso, os valores de V_{max} e σ referente à $f_G(x)$ para manter a mesma área de $f_S(x)$ e $f_L(x)$ são respectivamente 100 e 0,07979 [=2 $a/\sqrt{2\pi}$], conforme demonstrado no APÊNDICE D. Assim, a Figura 28 mostra as curvas $f_S(x)$, $f_L(x)$, e $f_G(x)$ da categoria “valor central” em função do desvio relativo (x), considerando a mesma área sob essas curvas, para fins de comparação, que serão usadas nos diferentes algoritmos de otimização.

Figura 28 – Perfis das curvas $f_S(x)$, $f_L(x)$ e $f_G(x)$ da categoria “valor central” em função do desvio relativo, referente à mesma área com o propósito de comparar o desempenho do processo de otimização, considerando $a = 0,1$; $V_{max} = 100$ e $\sigma = 0,07979$.



Fonte: Autor.

⁵² Adotou-se V_{max} igual a 100 para representar em porcentagem o atendimento das especificações de projeto.

⁵³ Ajustou-se a para $\pm 0,1$ para lidar na prática com um erro relativo máximo de $\pm 10\%$ para todas as figuras de mérito em relação às especificações desejadas.

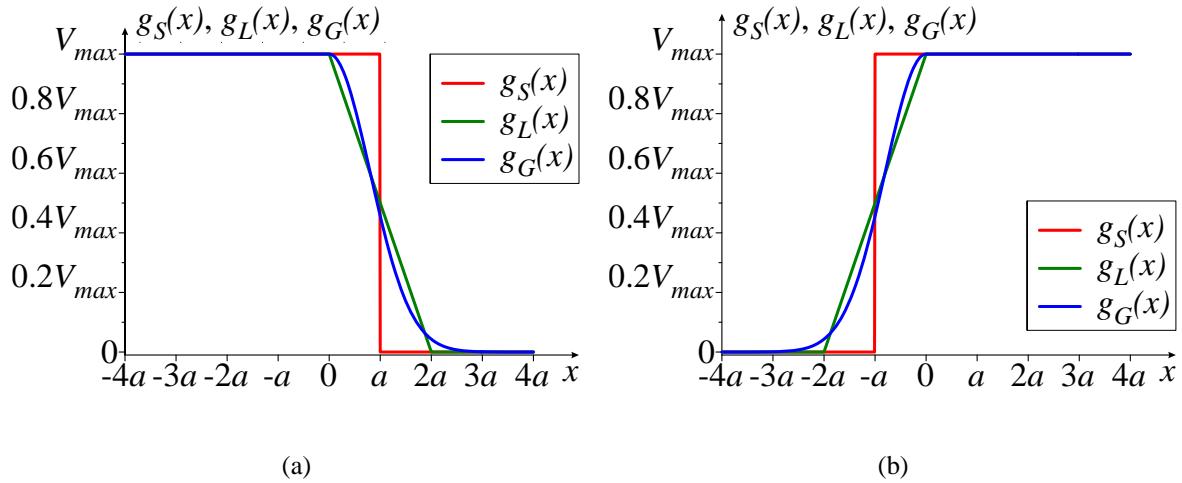
Uma característica importante da função de aptidão [$f_G(x)$] é que ela é capaz de considerar pequenas regiões do espaço de busca, indicadas pelas regiões A e B na Figura 28, que as outras [$f_S(x)$ e $f_L(x)$] são incapazes de considerar.

4.2.2 Funções de aptidão “valores limites superior e inferior”

Esse tipo de função de aptidão são especialmente projetados para modelar a maximização ou a minimização das especificações desejadas, que são responsáveis por melhorar ainda mais o desempenho elétrico dos CIs CMOS analógicos (JAFARI et al., 2012; SEVERO; LONGARETTI; GIRARDI, 2012; BARROS; GUILHERME; HORTA, 2010a, 2010b; KOH; SÉQUIN; GRAY, 1990). Para ilustrar, a função de aptidão limite superior é geralmente usada para avaliar as figuras de mérito da área de silício total e do consumo de potência elétrica. Isso acontece porque quanto menor os valores, melhor o desempenho elétrico dos CIs CMOS analógicos. Analogamente, a função de aptidão limite inferior é normalmente aplicada para avaliar as figuras de mérito tais como a do ganho de tensão e da frequência de ganho de tensão unitário, onde quanto maiores são os seus valores, melhor é o desempenho elétrico dos CIs CMOS analógicos (JAFARI et al., 2012; SEVERO; LONGARETTI; GIRARDI, 2012; BARROS; GUILHERME; HORTA, 2010a, 2010b; KOH; SÉQUIN; GRAY, 1990). Além disso, é possível usar uma combinação das funções de aptidão limite inferior e limite superior para avaliar especificações de projeto que devem situar dentro de uma determinada faixa de valores, por exemplo, a margem de fase de um amplificador operacional entre 50° e 90°.

Baseado nos “valores limites” das especificações de projeto (JAFARI et al., 2012; SEVERO; LONGARETTI; GIRARDI, 2012; BARROS; GUILHERME; HORTA, 2010a, 2010b; KOH; SÉQUIN; GRAY, 1990), considera-se duas funções de aptidão distintas nesse estudo, denominadas “valor limite superior” e “valor limite inferior”. Os perfis dessas funções de aptidão são baseados em funções dos tipos degrau, linear e Gaussiana, que são obtidos por meio de simples mudanças em seus formatos do “valor central”, agora com formatos de saturação, conforme a Figura 29.

Figura 29 – As funções de aptidão de minimização (a) e de maximização (b) com três formatos diferentes {degrau: $[g_S(x)]$, linear $[g_L(x)]$, e Gaussiano $[g_G(x)]$ } em função do desvio relativo (x), respectivamente, referente à mesma área.



Fonte: Autor.

A Figura 29 ilustra as funções de aptidão de minimização na Figura 29 (a) e de maximização na Figura 29 (b) com três formatos diferentes {degrau: $[g_S(x)]$, linear $[g_L(x)]$, e Gaussiano $[g_G(x)]$ } em função do desvio relativo (x), respectivamente, considerando que elas apresentam a mesma área, por motivo de comparação.

Para a função de aptidão limite superior, que é capaz de realizar o processo de minimização, o valor V_{max} é obtido pelo processo de otimização quando a figura de mérito é menor ou igual à especificação desejada. Analogamente, quando considera-se a função de aptidão limite inferior, que é capaz de realizar o processo de maximização, o valor V_{max} é alcançado pelo processo de otimização quando a figura de mérito é maior ou igual à especificação desejada. Visto que o objetivo desse trabalho é alcançar precisamente todas as especificações de projeto simultaneamente, os cálculos dos desvios em relação às especificações são realizados para mostrar ao projetista o quão bem os parâmetros e figuras de mérito que usam o perfil ilustrado na Figura 29 são alcançados em relação às especificações desejadas.

5 DA ARQUITETURA ATÉ A FABRICAÇÃO: UM AR CABOUÇO PRECISO PARA PROJETO ÓTIMO DE OTAs

As próximas subseções abordam o arcabouço completo requerido para o projeto automático de um OTA, desde sua arquitetura até sua fabricação. Propõe-se e implementa-se uma ferramenta computacional baseada em algoritmo genético com o operador de elitismo modificado, que realiza os processos de otimização e simulação dos CI's CMOS analógicos em duas etapas. Diversos estudos são realizados para demonstrar a efetividade do sistema de otimização proposto e a tolerância do desempenho elétrico das soluções obtidas. Em seguida, as melhores soluções são selecionadas pelo valor da função de aptidão para a realização do projeto dos leiautes dos OTAs para fabricação usando a tecnologia CMOS de 0,35 μm da ON Semiconductor (MOSIS, 2015). Posteriormente, um sistema de medidas é proposto para realizar a caracterização elétrica experimental dos OTAs. Finalmente, apresentam-se os resultados experimentais.

5.1 PROCESSO DE EVOLUÇÃO DC

Algoritmo Genético (GA) é uma técnica de otimização de inteligência artificial (IA) bastante conhecida, que foi idealizada por John Holland em 1975 e é baseada nos princípios da seleção natural e da evolução, que foi proposto por Charles Darwin (MORETO, 2011; GOLDBERG, 1989).

O GA é basicamente composto de um conjunto de soluções iniciais (ou indivíduos), também denominado população inicial, geradas randomicamente e combinadas pelo processo denominado cruzamento (*crossover*), análogo ao da reprodução natural. Após o cruzamento, os indivíduos da população do GA sofrem modificações aleatórias pelo processo denominado mutação, de maneira iterativa e em frequências pré-fixadas por parâmetros, até tornarem-se soluções satisfatórias para o problema em questão, ou até atingirem um determinado número de ciclos, denominado gerações. Através de uma função denominada função de aptidão, quantifica-se o grau de proximidade de cada solução (ou indivíduo), em relação aos objetivos requeridos no processo de busca do GA. Devido às suas características, o GA é amplamente aplicado em problemas de busca complexos, com grande número de variáveis de entrada e múltiplos objetivos de projeto a serem atingidos (COELLO; LAMONT; VELDHUIZEN, 2007; ZEBULUM; PACHECO; VELLASCO, 2002; GOLDBERG, 1989).

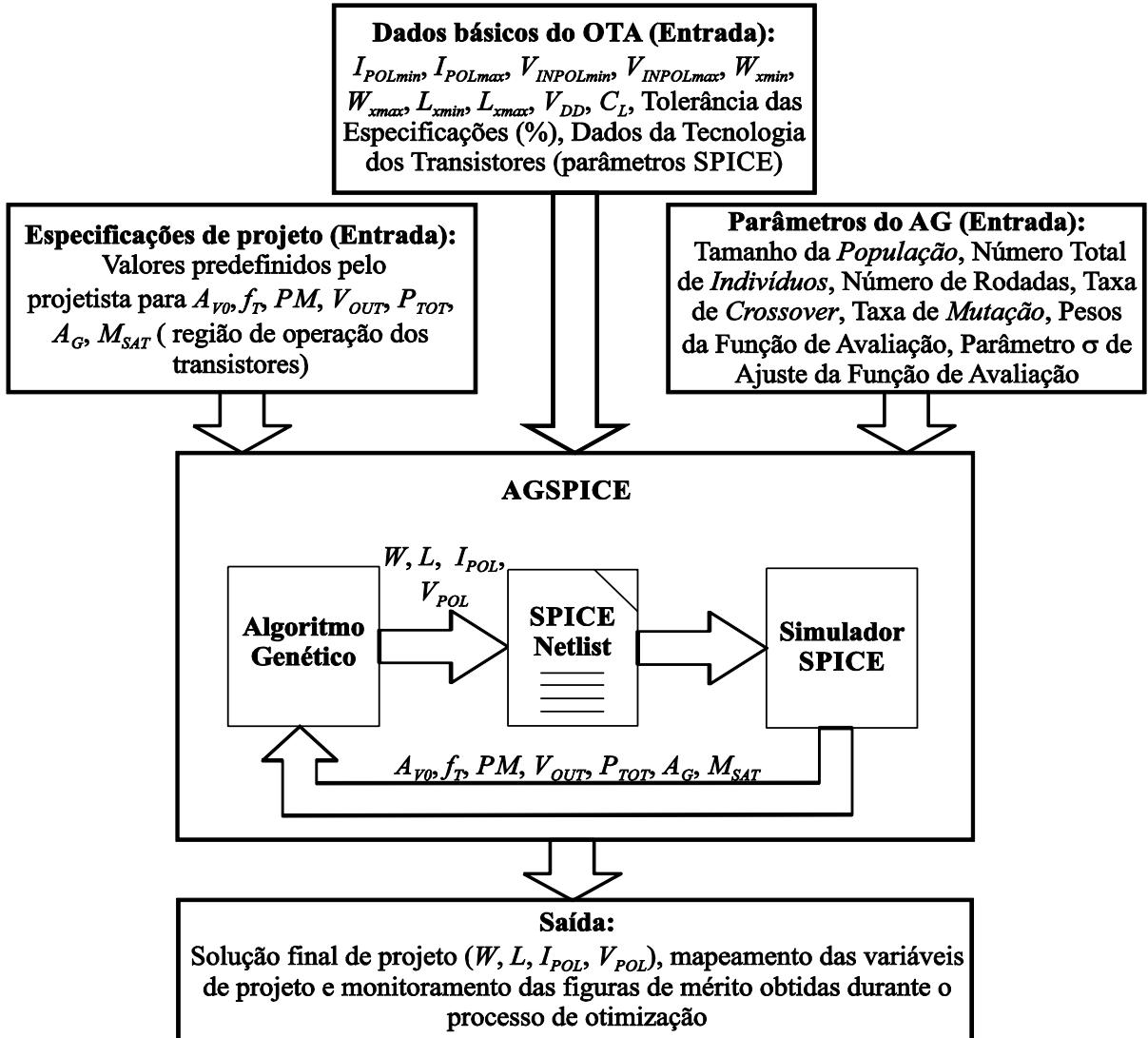
Nesse trabalho foi utilizado o sistema evolucionário constituído por um GA integrado ao simulador de circuitos integrados Spice Opus (2010), intitulado de AGSPICE, que foi utilizado em diversos trabalhos anteriores: Moreto et al. (2012); Moreto, Thomaz e Gimenez (2012, 2011) e Moreto (2011). Porém, nesse trabalho, o processo de evolução DC do AGSPICE foi aprimorado e foi elaborado um artigo sobre esse assunto: *Analysis of a New Evolutionary System Elitism for Improving the Optimization of a CMOS OTA* (MORETO; GIMENEZ; THOMAZ, 2013). Esse GA não convencional realiza o processo de busca das soluções de projeto em duas etapas, em que o sistema evolui o ponto de operação do circuito (análise DC) na primeira etapa e usa essas informações para evoluir a resposta em frequência (análise AC) na segunda etapa, em um processo chamado de elitismo DC. A diferença do AGSPICE usado nesse trabalho em relação aos trabalhos anteriores é que em vez de a etapa de evolução DC ser usada para gerar apenas uma solução para a etapa de evolução AC, no sistema AGSPICE aprimorado, o projetista tem a possibilidade de escolher o número de soluções que são geradas pela etapa de evolução DC.

Na próxima subseção, o AGSPICE e o processo do elitismo DC serão descritos e nas subseções posteriores são apresentados três estudos com o objetivo de demonstrar a efetividade do elitismo DC: 1) estudo do ganho em relação aos valores da função de aptidão (subseção 5.5); 2) estudo das características das soluções obtidas através de uma análise estatística (média, desvio padrão, erro relativo e coeficiente de variação) (subseção 5.6) e 3) estudo da robustez das soluções obtidas relativo ao desempenho elétrico, considerando as variações dos parâmetros geométricos dos transistores (subseções 5.7 e 5.8). Finalmente, o sistema AGSPICE é qualificado por meio de caracterização elétrica experimental na subseção 5.9.

5.2 PROCESSO DE BUSCA DAS ESPECIFICAÇÕES ATRAVÉS DO AGSPICE

A Figura 30 ilustra o diagrama de blocos do AGSPICE (MORETO; GIMENEZ; THOMAZ, 2013).

Figura 30 – Diagrama de blocos do AGSPICE.



Fonte: Autor “adaptado de” Moreto, Gimenez e Thomaz, 2013.

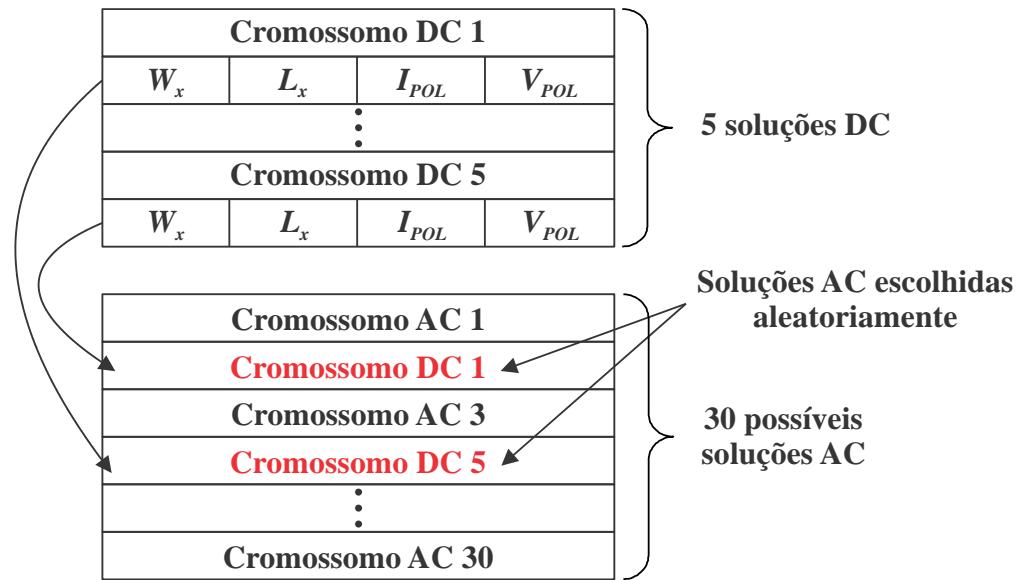
Conforme mostrado na Figura 30, diversos parâmetros de projeto devem ser fornecidos para o AGSPICE antes do início do processo de otimização: as especificações de projeto desejadas: o ganho de tensão em malha aberta (A_{V0}), a frequência de ganho de tensão unitário (f_T), a margem de fase (PM), a tensão de saída DC (V_{OUT}), a potência dissipada (P_{TOT}), a área total de porta de todos os transistores do OTA (A_G) e a região de operação dos transistores do circuito (M_{SAT}), que, nesse caso, devem operar na região de saturação. Além disso, são fornecidos: a tensão de alimentação (V_{DD}), a carga capacitiva (C_L), as restrições geométricas, que são os valores mínimos e máximos da largura e comprimento de canal dos MOSFETs (W_{min} e W_{max}) e (L_{min} e L_{max}), as restrições funcionais de projeto, que são os valores mínimo e máximo da corrente de polarização (I_{POLmin} e I_{POLmax}) e da tensão de entrada em modo comum (V_{POLmin} e V_{POLmax}). O AGSPICE também inclui os parâmetros tecnológicos dos transistores do OTA,

nesse caso, o modelo SPICE BSIM3 versão 3.1 da ON Semiconductor (MOSIS, 2015). Além disso, os parâmetros do GA também devem ser fornecidos pelo projetista, tais como o tamanho da população (N_P), a taxa de cruzamento (P_C) e a taxa de mutação (P_M).

No AGSPICE, o algoritmo genético (GA) atua gerando soluções potenciais para o projeto do OTA, baseado nos operadores genéticos de seleção, cruzamento (*crossover*), mutação e elitismo (MORETO; GIMENEZ; THOMAZ, 2013). Então, o simulador SPICE gera os resultados de simulação das soluções potenciais geradas pelo algoritmo genético. Os resultados obtidos através das simulações realimentam o GA para serem avaliadas. O processo de busca do AGSPICE, neste caso, se propõe a avaliar sete especificações de projeto do OTA simultaneamente: A_{V0} , f_T , PM , V_{OUT} , P_{TOT} , A_G e M_{SAT} . O processo de avaliação de cada solução potencial de projeto é realizado por uma soma ponderada do valor da função de aptidão de cada figura de mérito obtida do processo de otimização, considerando que quanto maior a proximidade dos resultados obtidos para os respectivos objetivos de projeto, maior o valor da função de aptidão da solução correspondente, onde o valor máximo é igual a 100, conforme mostra a subseção 5.3 da referência Moreto (2011, p. 90). Durante o processo de otimização, as variáveis de projeto, W , L , I_{POL} e V_{POL} são sequencialmente registradas em arquivos texto, assim como as figuras de mérito obtidas durante o processo de otimização (A_{V0} , f_T , PM , P_{TOT} , A_G e M_{SAT}). No final do processo de otimização, a solução que apresenta o maior valor da função de aptidão é selecionada como solução de projeto (MORETO, 2011).

O AGSPICE realiza o processo de busca em duas etapas, a etapa de evolução DC e a etapa de evolução AC. A etapa de evolução DC permite o AGSPICE aumentar a efetividade do processo de busca baseado na técnica que é utilizada para fazer a análise da resposta em frequência de um amplificador por um projetista de CI analógico, ou seja, primeiro realiza-se a etapa de evolução DC (ponto de polarização por corrente contínua) para depois ser realizada a etapa de evolução AC (análise de pequenos sinais). A etapa de evolução AC no AGSPICE é definida como o processo de busca de soluções no qual são avaliadas todas as especificações de projeto, ou seja, A_{V0} , f_T , PM , V_{OUT} , P_{TOT} , A_G e M_{SAT} . A evolução da etapa DC ocorre de maneira similar à etapa AC. A única diferença é que na etapa DC somente são avaliadas as especificações relacionadas ao ponto de operação do OTA. Dessa forma, as melhores soluções DC do OTA previamente obtidas são selecionadas, substituindo indivíduos da população AC inicial, os quais são escolhidos aleatoriamente. Essa etapa é chamada de elitismo DC, que é ilustrada na Figura 31, onde os cromossomos representam as soluções potenciais obtidas pelo AGSPICE, conforme mostrado no APÊNDICE B.

Figura 31 – Elitismo DC.



Fonte: Autor.

Dessa forma, a principal ideia do elitismo DC é iniciar a população com algumas soluções que atendem as especificações de projeto relacionadas ao ponto de polarização DC, em vez de começar com uma população inteiramente aleatória. O número de soluções DC pode ser ajustado no AGSPICE. Com o objetivo de analisar a eficiência do elitismo DC, neste trabalho serão realizados cinco experimentos, nos quais serão usadas zero, uma, cinco, dez e quinze soluções DC, respectivamente, e os resultados de desempenho de cada grupo serão comparados entre si, conforme será discutido nas próximas subseções. É importante notar que quando nenhuma solução DC é usada a população inicial é inteiramente aleatória, semelhante ao GA convencional (MORETO; GIMENEZ; THOMAZ, 2013).

5.3 CONDIÇÕES EXPERIMENTAIS DA FERRAMENTA DE AUXÍLIO AO DESENVOLVIMENTO DE CIS ANALÓGICOS (AGSPICE)

Para os testes experimentais, a metodologia descrita nesta seção foi desenvolvida em linguagem C++, utilizando-se o ambiente de programação Microsoft Visual Studio (2008). A execução do código compilado foi realizado em uma máquina de arquitetura IBM-PC, equipada com processador Intel(R) Core(TM) i5 com 2.8 GHz de clock e 8 GB RAM instalada. O sistema operacional utilizado foi o Windows 7 Ultimate (64 bits). Vide ilustração das janelas do AGSPICE no APÊNDICE B da referência Moreto (2011).

5.4 MODOS DE OPERAÇÃO DOS OTAS E AS CONFIGURAÇÕES DOS PARÂMETROS DE BUSCA NO AGSPICE

Com o objetivo de avaliar a capacidade do AGSPICE para projetar OTAs com características elétricas distintas, três modos de operação dos OTAs foram investigados, sendo denominados de μ P (micropotência)⁵⁴, HG (alto ganho de tensão)⁵⁵ e HF (alta frequência)⁵⁶. Comparativamente aos demais OTAs aqui estudados, o μ P opera em micropotência (5 μ W), com ganho de tensão mediano (44 dB) e com baixa frequência de ganho de tensão unitário (0,35 MHz). O HG opera em média potência (100 μ W), com alto ganho de tensão (65 dB) e com média frequência de ganho de tensão unitário (1,8 MHz). E, por último, o amplificador HF opera em alta potência (29000 μ W), com baixo ganho de tensão (35 dB) e com alta frequência de ganho de tensão unitário (93 MHz). Esses modos e suas características são descritos na Tabela 1. Os amplificadores μ P, HG e HF foram adaptados de Eggermont et al. (1996).

Tabela 1 – Especificações desejadas para os OTAs Micropotência (μ P), Alto Ganho (HG) e Alta Frequência (HF).

Especificações de projeto	μ P	HG	HF
Ganho de tensão em malha aberta (A_{V0})	44 (dB)	65 (dB)	35 (dB)
Frequência de ganho de tensão unitário (f_T)	0,35 (MHz)	1,8 (MHz)	93 (MHz)
Margem de fase (PM)	87°	66°	55°
Tensão de saída DC (V_{OUT})	$V_{DD}/2$ (1,25 V)	$V_{DD}/2$ (1,5 V)	$V_{DD}/2$ (2 V)
Consumo de potência (P_{TOT})	5 (μ W)	100 (μ W)	29000 (μ W)
Área de porta total dos MOSFETs (A_G)	9500 μ m ²	96000 μ m ²	82800 μ m ²
Região de operação dos MOSFETs (M_{SAT})	Saturação	Saturação	Saturação

Fonte: Autor.

A tecnologia CMOS de 0,35 μ m da ON Semiconductor (MOSIS, 2015) foi utilizada para a implementação dos OTAs, a capacitância de carga (C_L) foi adotada igual a 10 pF, em conformidade com o valor definido pelos autores do estudo em Eggermont et al. (1996) e as tensões de alimentação (V_{DD}) aplicadas aos OTAs μ P, HG e HF são 2,5V, 3V e 4V, respectivamente.

A seguir serão descritos os parâmetros do AGSPICE e os correspondentes procedimentos para ajustá-los precisamente. O conhecimento e o ajuste preciso desses parâmetros é essencial para a realizar uma busca por soluções potenciais (variáveis de projeto) que melhor atendem as especificações requeridas para o projeto. É importante ressaltar que a

⁵⁴ *Micropower*.

⁵⁵ *High voltage gain*.

⁵⁶ *High frequency*.

maioria dos parâmetros varia de um projeto para o outro. Por exemplo, o número de *bits* das variáveis de projeto depende da faixa de valores e da precisão adotados em cada projeto. Os valores dos pesos adotados para as especificações em cada projeto dependem das especificações que devem ser priorizadas em cada projeto, em detrimento das demais especificações. Assim, para o modo μ P deve-se priorizar a potência dissipada, para o modo HG deve-se priorizar o ganho de tensão e para o modo HF deve-se priorizar a frequência de ganho de tensão unitário. Porém, os valores dos pesos das especificações em um determinado projeto podem ser determinados de forma experimental, de forma a obter o melhor compromisso entre todas as especificações do projeto, conforme a necessidade do projetista.

A Tabela 2 mostra as faixas de valores (mínimo e máximo) adotados para as variáveis de projeto dos OTAs, que foram definidos no AGSPICE a fim de limitar o espaço de busca de soluções e evitar soluções impraticáveis.

Tabela 2 – Faixas de valores das variáveis de projeto utilizadas no processo de busca dos OTAs μ P, HG e HF.

Variáveis de projeto	μ P	HG	HF	Unidade
W	[1; 500]	[1; 500]	[1; 500]	μ m
L	[1; 20]	[1; 20]	[1; 20]	μ m
I_{POL}	[0,01; 1]	[1; 20]	[1000; 3000]	μ A
V_{POL}	[0,7; 2,5]	[0,7; 3]	[0,7; 4]	V

Fonte: Autor.

Nota: todas as faixas de parâmetros significam [valor mínimo e valor máximo].

A faixa de valores assumida pela corrente de polarização I_{POL} pode ser estimada com base na potência dissipada pelo circuito (P_{TOT}), na tensão de alimentação (V_{DD}) e nas simplificações que são adotadas em um projeto manual desse tipo de OTA, considerando os fatores de ganho dos espelhos de corrente pMOSFETs e nMOSFETs unitários ($B_{4,6} = B_{9,10} = 1$). A faixa de valores assumida pela tensão de polarização V_{POL} pode ser baseada na tensão de limiar dos nMOSFETs e na tensão de alimentação do circuito, porém, geralmente limitada em valores próximos a $V_{DD}/2$ para maximizar a excursão do sinal de entrada do OTA, conforme foi detalhado na subseção 5.2 da referência Moreto (2011).

As faixas de valores dos parâmetros dimensionais W e L são definidas em função da tecnologia CMOS que é usada para fabricar o CI, das regras de projeto e das especificações de projeto. Assim, os valores mínimos de W e L devem ser especificados sempre maiores ou iguais às dimensões mínimas da tecnologia utilizada, além disso, devem ser seguidas as recomendações das regras de projeto da tecnologia, como por exemplo, adotar a largura de

canal de um MOSFET maior que a dimensão mínima possibilitada pelo processo de fabricação para evitar problemas de convergência que podem comprometer a precisão dos resultados da simulação SPICE. Por outro lado, os valores máximos de W e L devem ser especificados de forma a evitar dimensões extremamente grandes.

Além das restrições citadas anteriormente, existe também a restrição da margem de fase, a qual deve ser sempre positiva, a fim de garantir a estabilidade dos OTAs projetados. Dessa forma, soluções que apresentam margem de fase negativa são penalizadas com valor igual a zero para a avaliação correspondente a este objetivo, conforme foi descrito na subseção 5.3 da referência Moreto (2011).

Vale ressaltar também que, no AGSPICE, foram adotadas as restrições de V_{OUT} e de P_{TOT} nas faixas dadas por $V_{DD}/2 \pm 5\%$ e $P_{TOT} \pm 20\%$, respectivamente, que podem ser ajustadas a critério do projetista, onde P_{TOT} é o valor da especificação do consumo de potência definido pelo projetista. Conforme foi detalhado na subseção 5.3 em Moreto (2011), estas restrições são aplicadas somente nas funções de aptidão correspondentes a estas especificações, no sentido de penalizar as soluções que apresentam valores fora dessas faixas de tolerâncias especificadas com valores iguais a zero, o que não impede dessas soluções serem escolhidas, caso a soma ponderada de todas as especificações resultar em um valor significativo.

A Tabela 3 mostra os valores atribuídos para a precisão e o tamanho correspondente para cada gene que constitui a estrutura dos cromossomos (soluções potenciais) no AGSPICE nos experimentos dos projetos dos OTAs. Vide detalhes da estrutura dos cromossomos no APÊNDICE B.

Tabela 3 – Configuração da precisão e tamanho dos genes W , L , I_{POL} e V_{POL} para os modos μP , HG e HF.

Parâmetro	μP		HG		HF	
	Precisão	Tamanho	Precisão	Tamanho	Precisão	Tamanho
Gene W	0,35 μm	11 bits	0,35 μm	11 bits	0,35 μm	11 bits
Gene L	0,35 μm	6 bits	0,35 μm	6 bits	0,35 μm	6 bits
Gene I_{POL}	0,01 μA	7 bits	0,1 μA	8 bits	1 μA	11 bits
Gene V_{POL}	0,01 V	8 bits	0,01 V	8 bits	0,01 V	9 bits

Fonte: Autor.

O número de *bits* utilizado para cada gene do cromossomo foi calculado automaticamente pelo AGSPICE em função dos valores máximo e mínimo de cada gene do cromossomo (variável de projeto), assim como da precisão adotada para a representação desses genes, conforme mostrado na subseção B.1.1 do APÊNDICE B.

A Tabela 4 mostra os valores atribuídos para os parâmetros do algoritmo genético utilizados no AGSPICE nos experimentos dos projetos dos OTAs para a etapa da evolução DC. Esses parâmetros são descritos nas seções 4 e 6.

Tabela 4 – Configuração dos parâmetros referentes às especificações da etapa DC do AGSPICE para os modos μ P, HG e HF.

Parâmetro	μP	HG	HF	Unidade
Tamanho da população (N_P)	10	10	10	–
Número total de indivíduos (N_{Tot})	10000	10000	10000	–
Número de rodadas (N_R)	0; 1; 5; 10; 15			–
Taxa de cruzamento (P_C)	70	70	65	%
Taxa de mutação (P_M)	3	3	3	%
σ	0,3	0,3	0,3	–
W_{VOUT}	33	45	40	%
W_{PTOT}	32	40	39	%
W_{AG}	32	0	0	%
W_{MSAT}	3	15	21	%

Fonte: Autor.

Considerando a Tabela 4, N_P é o tamanho da população do GA, N_R é o número de rodadas (execuções) independentes do algoritmo, N_{Tot} é o número máximo de soluções avaliadas por rodada do GA, P_C é a taxa de cruzamento, P_M é a taxa de mutação, σ é desvio padrão das funções de aptidão das soluções, que usam o perfil Gaussiano nos experimentos, W_{VOUT} , W_{PTOT} , W_{AG} , e W_{MSAT} , correspondem aos pesos das especificações da etapa DC (V_{OUT} , P_{TOT} , AG , e $MSAT$), que foram representados genericamente por W_i na seção 4. É importante lembrar que na etapa da evolução DC somente são avaliados os valores de V_{OUT} , P_{TOT} , AG e $MSAT$ das soluções obtidas. Por outro lado, na etapa da evolução AC, todos os objetivos da etapa DC são avaliados, além dos valores de A_{vo} , f_T e PM . Visto que as duas etapas são independentes, possuem um número de especificações de projeto diferentes e como a soma total dos pesos foi normalizado em 100%, implica que os valores dos pesos da etapa DC são diferentes dos pesos da etapa AC.

Os experimentos realizados no AGSPICE foram divididos em cinco grupos: no primeiro grupo, o elitismo DC não é usado (número de rodadas DC igual a zero), no segundo grupo, o elitismo DC é aplicado com apenas uma solução DC, no terceiro grupo, o elitismo DC é aplicado com cinco soluções DC, no quarto grupo, o elitismo DC é aplicado com dez soluções DC e no quinto grupo, o elitismo DC é aplicado com quinze soluções DC. Dessa forma, os experimentos dos grupos 1 a 5 utilizam zero; uma; cinco; dez e quinze rodadas DC, respectivamente, conforme mostrado na Tabela 4.

A Tabela 5 mostra os valores atribuídos para os parâmetros do algoritmo genético utilizados no AGSPICE nos experimentos dos projetos dos OTAs para a etapa da evolução AC. Esses parâmetros são descritos nas seções 4 e 6. Observe que os parâmetros da etapa AC são os mesmos em cada um dos cinco grupos, ou seja, o único parâmetro que muda em cada grupo é o número de soluções DC utilizadas no processo do elitismo DC.

Tabela 5 – Configuração dos parâmetros referentes às especificações da etapa AC do AGSPICE para os modos μ P, HG e HF.

Parâmetro	μ P	HG	HF	Unidade
Tamanho da população (N_P)	30	30	30	–
Número total de indivíduos (N_{Tot})	30000	30000	30000	–
Número de rodadas (N_R)	400	200	300	–
Taxa de cruzamento (P_C)	70	70	65	%
Taxa de mutação (P_M)	3	3	3	%
σ	0,3	0,3	0,3	–
W_{AVO}	2	20	1	%
W_{fT}	26	20	31	%
W_{PM}	15	30	29	%
W_{VOUT}	25	15	16	%
W_{PTOT}	24	10	15	%
W_{AG}	5	0	0	%
W_{MSAT}	3	5	8	%

Fonte: Autor.

Na Tabela 5, W_{AVO} , W_{fT} , W_{PM} , W_{VOUT} , W_{PTOT} , W_{AG} , e W_{MSAT} , correspondem aos pesos das especificações da etapa AC (AVo , f_T , PM , V_{OUT} , P_{TOT} , AG , e M_{SAT}), que foram representados genericamente por W_i na seção 4. É importante observar que os pesos para os OTAs μ P, HG e HF são diferentes e foram ajustados de forma a obter o melhor compromisso entre todas as especificações de projeto. O ajuste dos pesos das especificações foi realizado da seguinte forma: inicialmente a mesma prioridade foi dada a todas as especificações de projeto, ou seja pesos iguais foram atribuídos para todos as especificações. Porém, na prática, verificou-se que existem especificações de projeto que são mais fáceis de serem atendidas que outras, dependendo das características elétricas do CI analógico. Dessa forma, os pesos foram redistribuídos experimentalmente conforme o desempenho obtido em um determinado processo de busca com pesos iguais. Baseado nos resultados obtidos, os pesos foram alterados, iterativamente diminuindo os pesos das especificações mais atendidas e aumentando os pesos das especificações menos atendidas. Por exemplo, os pesos correspondentes à avaliação da área de porta (W_{AG}) e da região de operação dos transistores (W_{MSAT}) são baixos em todos os projetos (no máximo 10%), embora sejam obtidas soluções satisfatórias para praticamente todas as

soluções obtidas. Pra realizar esse ajuste iterativo, diversas rodadas de otimização foram realizadas para os OTAs μ P, HG e HF.

O tamanho da população e o número total de indivíduos são parâmetros de entrada do AGSPICE ajustados experimentalmente. O tamanho da população afeta o desempenho global e a velocidade de convergência do GA. Com uma população pequena o desempenho pode cair, pois deste modo a população fornece uma cobertura pequena do espaço de busca do problema. Uma população grande geralmente fornece uma cobertura representativa do domínio do problema, além de prevenir convergências prematuras para soluções locais ao invés de globais. No entanto, para se trabalhar com populações grandes é necessário que o algoritmo trabalhe por um período de tempo muito maior. Por exemplo, Inicialmente foram adotadas populações de diferentes tamanhos (100; 75; 50; 30) indivíduos e diversos valores para o parâmetro do número total de indivíduos (100000, 75000, 50000, 30000), mantendo o número total de 1000 gerações. Diversas soluções foram obtidas para cada diferente parâmetro do GA. No final desse experimento foram analisados o tempo de processamento e a proximidade das soluções obtidas em relação aos valores desejados para as especificações de projeto. Levando-se em conta um bom compromisso entre o tempo de processamento do GA e a obtenção de soluções que atendem satisfatoriamente todas as especificações de projeto, nesse caso foi adotada uma população de 10 indivíduos e um número total de 10000 indivíduos para a evolução da etapa DC e uma população de 30 indivíduos e um número total de 30000 indivíduos para a evolução da etapa AC.

A taxa de cruzamento (P_C) é um parâmetro de entrada do GA, ajustado experimentalmente, que tem o objetivo de tirar proveito das melhores soluções da população do GA durante o processo de evolução das soluções. Quanto maior a taxa de cruzamento, mais rapidamente novos indivíduos são introduzidos na população. Mas se esta for muito alta, indivíduos com boas aptidões poderão ser rapidamente retirados da população, pois a maior parte da população é substituída, conforme foi discutido na subseção 5.6 da referência Moreto (2011). Porém, com um valor baixo, o algoritmo pode tornar-se muito lento, pois poucos indivíduos diferentes são criados a cada nova geração do GA. Nesse trabalho, uma faixa de 65% a 70% foi adotada para esse parâmetro.

A taxa de mutação (P_M) é um parâmetro de entrada do GA, ajustado experimentalmente, que tem o objetivo de explorar o espaço de busca de soluções possíveis, ou seja, permite diversificar as soluções da população do GA durante o processo de evolução das soluções, conforme foi discutido na subseção 5.7 em Moreto (2011). Uma taxa baixa de mutação previne que o GA fique estagnado em um determinado valor, além de possibilitar que se chegue a

qualquer ponto do espaço de busca, explorando soluções diferentes daquelas possibilitadas apenas através do uso do operador genético cruzamento, aumentando o desempenho do GA. Porém, com uma taxa muito alta, a busca se torna essencialmente aleatória, prejudicando o desempenho do GA. Nesse trabalho, uma taxa de 3% foi utilizada para esse parâmetro.

Nos experimentos dessa seção, somente funções de aptidão com o perfil Gaussiano foram utilizadas. O parâmetro σ dessas funções de aptidão é um parâmetro de entrada do GA que modifica o seu espalhamento. Assim, essa variável pode ser configurada experimentalmente por uma análise de desempenho do AGSPICE, através da análise do tempo de convergência do sistema na busca de soluções satisfatórias e também da proximidade das soluções obtidas em relação às especificações, conforme foi discutido na subseção 5.3 da referência Moreto (2011). Nos estudos dessa seção, esse parâmetro foi adotado igual a 0,3.

5.5 ANÁLISE DA EFICIÊNCIA DO ELITISMO DC NO PROCESSO DE OTIMIZAÇÃO DOS OTAS

Esta subseção focará no estudo do ganho de desempenho obtido pelo algoritmo genético modificado do AGSPICE, que realiza dois tipos de elitismo: o convencional e o não convencional, denominado elitismo DC, que foi apresentado na subseção 5.2. O estudo do desempenho do elitismo não convencional é realizado comparando o desempenho alcançado por vários grupos diferentes, nos quais em um deles é aplicado somente o elitismo convencional e nos demais são aplicados também o elitismo não convencional em diferentes configurações. Os resultados são analisados estatisticamente para os diferentes modos de operação dos OTAs (μ P, HG e HF).

Primeiramente, os experimentos foram divididos em cinco grupos: no primeiro o elitismo DC não foi aplicado (número de soluções DC igual a zero), no segundo o elitismo DC foi aplicado com somente uma solução DC, no terceiro o elitismo DC foi aplicado com cinco soluções DC, no quarto o elitismo DC foi aplicado com dez soluções DC e no quinto o elitismo DC foi aplicado com quinze soluções DC. Esses grupos serão identificados por Grupo I, Grupo II, Grupo III, Grupo IV e Grupo V, respectivamente. Então, foi obtido um grande conjunto de soluções para os modos de operação μ P, HG e HF utilizando o AGSPICE. Mais especificamente, foi obtido um conjunto de 100 soluções finais de projeto distintas para cada grupo, que atendem as especificações de projeto com erros menores que 20%, conforme o critério de aceitação que será detalhado a seguir no próximo parágrafo. O estudo do

desempenho do elitismo DC é realizado comparando o desempenho alcançado pelos vários grupos diferentes.

Baseado na dificuldade de um projeto de um OTA, verificado na prática e confirmado pela literatura, onde erros em relação às especificações desejadas tipicamente podem alcançar 20% (RAZAVI, 2001, p. 293), o seguinte critério de aceitação foi adotado para cada solução que compõe o conjunto das 100 melhores soluções de cada um dos cinco grupos que foram apresentados:

- a) Os valores de A_{VO} , f_T e PM não podem apresentar valores inferiores a 20% dos respectivos valores objetivos;
- b) Os valores de P_{TOT} e A_G não podem exceder 20% as respectivas especificações desejadas.
- c) Os valores de V_{OUT} não podem apresentar um desvio superior a $\pm 20\%$ em relação às respectivas especificações desejadas
- d) Todos os transistores do circuito devem estar operando na região de saturação.

De forma a obter 100 soluções finais de projeto, que atendam aos requisitos acima, para o OTA μ P projetado foram necessárias 400 soluções. Para o OTA HG foram necessárias 200 soluções e para o OTA HF foram necessárias 300 soluções, obtidas pelo AGSPICE. O mesmo número de soluções foi utilizado para cada um dos cinco grupos definidos anteriormente. Nesse caso, o tempo do processo de busca do AGSPICE por rodada, ou seja, o tempo total do processo de busca normalizado em função do número de rodadas, necessário para obtenção das soluções em cada grupo de cada modo de operação analisado é mostrado na Tabela 6.

Tabela 6 – Tempo do processo de busca do AGSPICE por rodada para cada modo de operação.

Modo	Tempo de busca do AGSPICE por rodada				
	Grupo I	Grupo II	Grupo III	Grupo IV	Grupo V
μP	00:33:33	00:43:02	01:27:38	03:16:59	04:17:55
HG	00:32:16	00:49:52	01:59:11	03:10:41	04:18:15
HF	00:29:18	00:37:53	01:27:56	02:36:41	03:38:56

Fonte: Autor.

Na Tabela 6 o tempo está no seguinte formato: $hh:mm:ss$, onde hh representa o número de horas (dois dígitos), mm representa o número de minutos (dois dígitos) e ss representa o número de segundos (dois dígitos). Conforme pode-se observar, o tempo de busca do AGSPICE por rodada aumenta de cada grupo para grupos subsequentes (por exemplo, do Grupo I para o

Grupo II) em todos os modos de operação (μ P, HG e HF). Esse resultado é decorrente do uso de um número crescente de soluções DC em grupos subsequentes na etapa do elitismo DC, conforme descrito anteriormente, uma vez que os demais parâmetros não foram alterados, tais como o tamanho da população e o número de gerações, que foram descritos na subseção 5.4. Dessa forma, o acréscimo de tempo de um grupo para o outro representa o tempo necessário para a obtenção de um determinado número adicional de soluções DC. Conforme será demonstrado nos experimentos seguintes, o elitismo DC aumenta a eficiência do processo de busca do AGSPICE, possibilitando obter soluções que convergem para os valores finais de avaliação, próximos de 100 em um número menor de gerações em relação ao processo que não usa o elitismo DC. Com o objetivo de quantificar a eficiência de cada processo de otimização em relação ao tempo, um outro experimento foi realizado, onde o critério de parada foi alterado de um número fixo de gerações para o atendimento de todas as especificações de projeto de forma satisfatória. A Tabela 7 mostra o tempo busca por rodada desse experimento.

Tabela 7 – Tempo do processo de busca do AGSPICE por rodada para cada modo de operação usando como critério de parada o atendimento de todas as especificações de projeto de forma satisfatória.

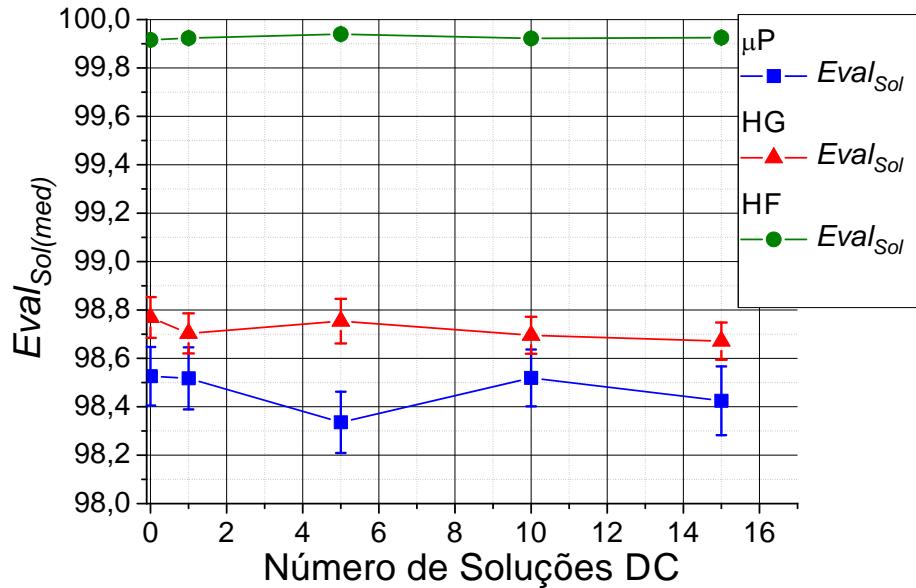
Modo	Tempo de busca do AGSPICE por rodada				
	Grupo I	Grupo II	Grupo III	Grupo IV	Grupo V
μP	00:08:04	00:06:30	00:09:41	00:16:09	00:17:21
HG	00:03:09	00:02:08	00:03:08	00:04:21	00:04:56
HF	00:07:50	00:08:52	00:16:13	00:29:21	00:41:08

Fonte: Autor.

A Tabela 7 mostra que o tempo de desenvolvimento do projeto mencionado através do AGSPICE é factível e promissor, pois utilizou-se uma máquina básica de arquitetura IBM-PC, conforme descrito na subseção 5.3. Além disso, observa-se ganhos de tempo dos processos de otimização do Grupo II em relação ao Grupo I de 19% e 32% para os modos μ P e HG, respectivamente. No entanto, o processo de otimização do modo HF requer maior tempo do Grupo II em relação ao Grupo I. Observa-se também que o modo HF requer maior tempo em relação aos modos μ P e HG. Esses resultados estão relacionados à maior dificuldade para a etapa do elitismo DC encontrar os regimes de inversão de todos os transistores do circuito do OTA HF em relação aos OTAs μ P e HG, conforme mostra a análise estatística das soluções encontradas pelo AGSPICE na Tabela 13 da subseção 5.6, onde observa-se que o grau de liberdade dos regimes de inversão de todos os transistores do OTA HF são menores em relação aos OTAs μ P e HG.

A Figura 32 mostra as curvas médias dos valores da função de aptidão global das soluções [$Eval_{Sol(med)}$] em função do número de soluções DC para os modos de operação μP , HG e HF.

Figura 32 – Curvas médias dos valores da função de aptidão em função do número de soluções DC.



Fonte: Autor.

Os resultados são representados pelas curvas médias e pelos intervalos de confiança de 95%, representados pelas barras superiores e inferiores em torno dos valores médios, ou seja, $\mu_S \pm 1,96 SE$, onde μ_S representa a média aritmética e SE (standard error) representa o erro padrão, calculado através da razão do desvio padrão (σ_S) pela raiz quadrada do tamanho da amostra (N_{Am}) (STREINER, 1996). O desvio padrão (σ_S) e o erro padrão (SE) são calculados pelas equações (34) e (35), respectivamente (STREINER, 1996):

$$\sigma_S = \sqrt{\frac{\sum_{i=1}^{N_{Am}} (X_i - \mu_S)^2}{N_{Am} - 1}}, \quad (34)$$

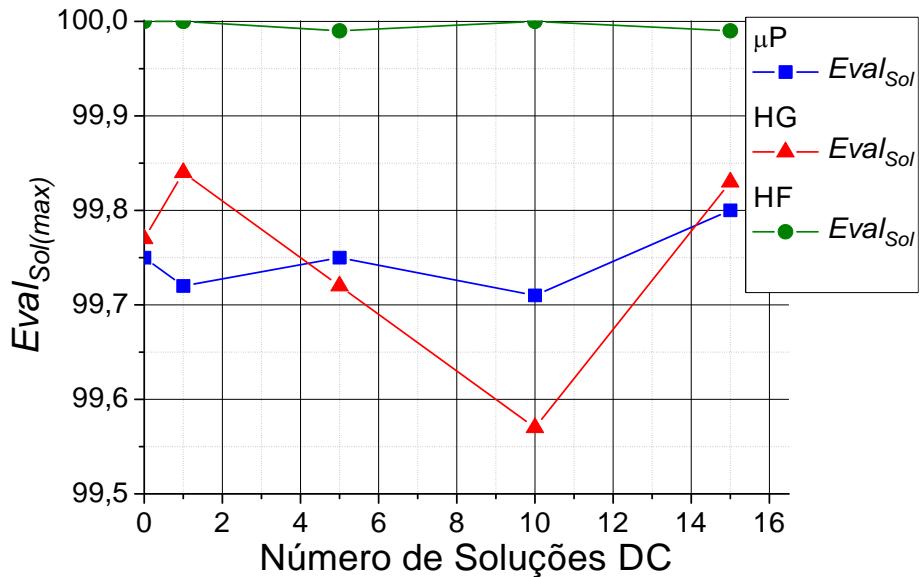
$$SE = \frac{\sigma_S}{\sqrt{N_{Am}}}, \quad (35)$$

onde X_i representa um elemento do conjunto de uma amostra, onde o índice i identifica cada um dos elementos pertencentes ao conjunto da amostra, N_{Am} representa o tamanho da amostra e μ_S representa a média aritmética do conjunto da amostra.

Analizando a Figura 32, pode-se observar que para todos os modos de operação μP , HG e HF, independentemente do uso de soluções DC, as curvas de aptidão médias das soluções finais obtidas pelo AGSPICE, após 1000 gerações, mostram diferenças não significativas (menores que 0,2%) e, considerando que o sistema evolucionário apresenta uma determinada aleatoriedade no processo de busca, estas soluções podem ser consideradas estatisticamente equivalentes. É interessante notar que curva média dos valores da função de aptidão do modo de operação HF apresenta valores acima de 99,8, que são maiores em relação aos modos μP e HG, indicando que os erros das soluções de projeto obtidas para o modo HF em relação às respectivas especificações do projeto são normalmente menores que os erros das soluções nos modos μP e HG, conforme será mostrado na próxima subseção (subseção 5.6). Além disso, as dispersões em torno da média do OTA HF são próximas de zero. Esses resultados mostram que as especificações de projeto do OTA HF são menos críticas para serem alcançadas em relação às especificações definidas para os OTAs μP e HG, considerando as limitações da topologia de OTA considerada nesse estudo.

A Figura 33 mostra as curvas dos valores máximos da função de aptidão global das soluções [$Eval_{Sol(max)}$] em função do número de soluções DC.

Figura 33 – Curvas dos valores máximos da função de aptidão em função do número de soluções DC.



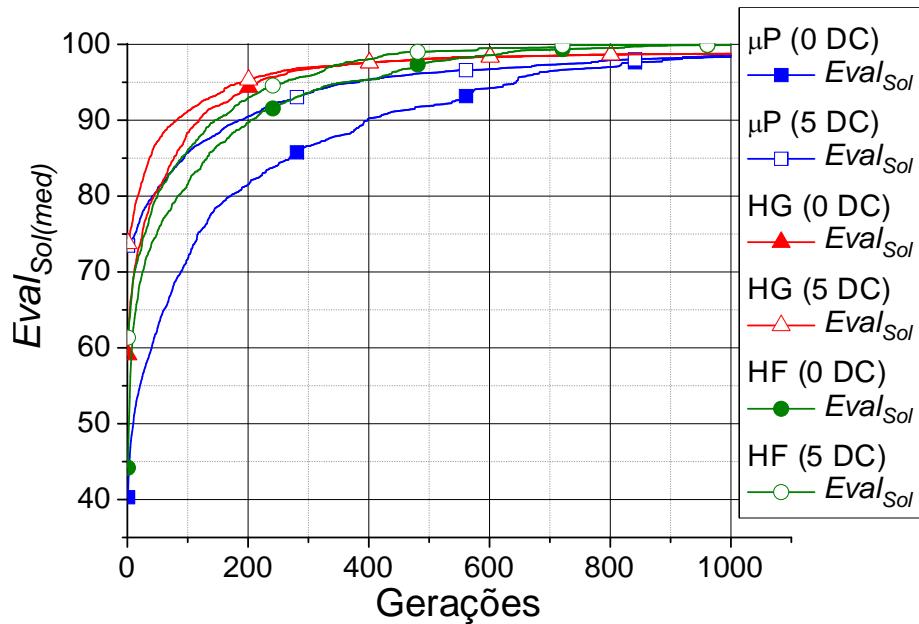
Fonte: Autor.

A Figura 33 mostra que para todos os modos de operação (μP , HG e HF), independentemente do número de soluções DC utilizadas, as curvas dos valores máximos da função de aptidão das soluções finais obtidas pelo AGSPICE, após 1000 gerações, também

mostram diferenças não significativas (menores que 0,2%). Apesar das diferenças pequenas, os resultados podem indicar a possibilidade de se obter melhores soluções finais de projeto quando os processos de evolução DC são utilizados, principalmente quando eles são usados para gerar um número de soluções DC maior que dez.

A Figura 34 mostra as curvas dos valores médios da função de aptidão global das soluções [$Eval_{Sol(med)}$] em função do número de gerações para os modos de operação μP , HG e HF quando o elitismo DC não é aplicado (número de soluções DC igual a zero) e quando o elitismo DC é aplicado com cinco soluções DC. As curvas médias são calculadas baseadas em um conjunto de 100 soluções que atendem plenamente todas as especificações de projeto com erros menores que 20%, conforme os critérios de aceitação definidos anteriormente.

Figura 34 – Curvas dos valores médios da função de aptidão em função do número de gerações para os modos de operação μP , HG e HF quando o elitismo DC não é aplicado e quando o elitismo DC é aplicado com cinco soluções DC.



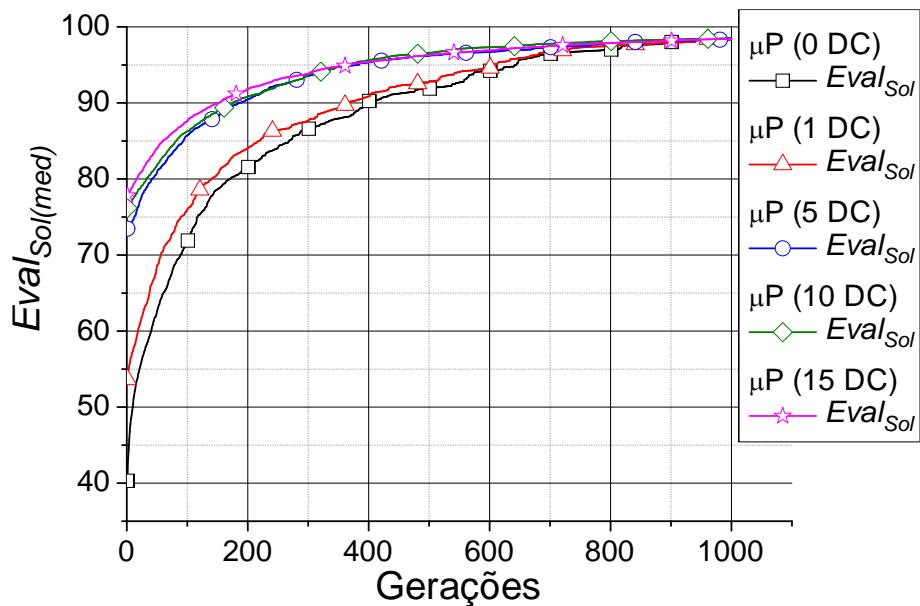
Fonte: Autor.

Analizando a Figura 34, pode-se observar que quando o elitismo DC é usado o AGSPICE requer um número de gerações menor para alcançar as soluções finais com valores de aptidão próximos de 100 para todos os modos de operação dos OTAs (μP , HG e HF). Estes resultados demonstram que o elitismo DC aumenta a velocidade do processo de busca do AGSPICE. Por exemplo, considerando o pior caso modo μP , visto que ele requer um número maior de gerações para alcançar o valor da função de aptidão final próximo de 100, quando o processamento do GA com o elitismo DC desabilitado alcança a geração de número 200 o valor

da função de aptidão alcança um valor em torno de 80, enquanto que o processamento do GA com o elitismo DC habilitado alcança um valor em torno de 90, que representa um aumento em torno de 10% no valor da função de aptidão.

A Figura 35 mostra as curvas dos valores médios da função de aptidão global das soluções [$Eval_{Sol(med)}$] em função do número de gerações para o modo de operação μP quando o elitismo DC é aplicado em diferentes configurações, considerando o número de soluções DC igual a zero, um, cinco, dez e quinze, respectivamente.

Figura 35 – Curvas dos valores médios da função de aptidão em função do número de gerações para o modo de operação μP quando o elitismo DC é aplicado em diferentes configurações, considerando o número de soluções DC igual a 0, 1, 5, 10 e 15.



Fonte: Autor.

Analizando a Figura 35, observa-se que quando o elitismo DC é usado o AGSPICE sempre requer um menor número de gerações para alcançar as soluções finais com valores de aptidão próximos de 100 para o modo de operação μP , independentemente do número de soluções DC utilizadas. Estes resultados confirmam que o elitismo DC aumenta a velocidade de convergência dos processos de busca do AGSPICE, que, nesse caso, é avaliada em função do número de gerações dos processos de otimização. A Tabela 8 mostra os valores médios da função de aptidão global e os ganhos nos valores da função de aptidão em função do número de soluções DC para o OTA μP quando o AGSPICE alcança a geração de número 200.

Tabela 8 – Valores médios da função de aptidão e os valores de ganho de aptidão em função do número de soluções DC para o OTA μP na geração de número 200.

Número de Soluções DC	$Eval_{Sol(med)}$	Ganho nos valores de aptidão (%)
0	81,54	–
1	84,00	3,02
5	90,48	10,97
10	90,86	11,43
15	91,85	12,64

Fonte: Autor.

Nota: Os ganhos nos valores de aptidão tendem a saturar quando mais de 15 soluções DC são usadas.

Na Tabela 8 $Eval_{Sol(med)}$ representa o valor da função de aptidão médio e *Ganho* representa o aumento no valor da função de aptidão, em porcentagem, em relação ao processo do GA convencional (número de soluções DC igual a zero). Analisando esses dados, conclui-se que o valor da função de aptidão aumenta conforme aumentamos o número de soluções DC e o maior passo no aumento do ganho de aptidão é obtido quando são utilizadas de uma para cinco soluções DC, pois quando somente uma solução é usada o ganho é de 3,02% e quando cinco soluções DC são usadas o ganho aumenta para 10,97%. Porém, o aumento do ganho quando se utiliza mais que cinco soluções DC é menos expressivo, visto que o ganho continua aumentando levemente até 12,64%, quando quinze soluções DC são utilizadas.

Concluindo, os resultados experimentais demonstraram que este novo estágio de *elitismo* foi capaz de aumentar a eficiência do processo de busca do AGSPICE, permitindo ao projetista obter soluções que melhor atendem as especificações de projeto quando se usa o mesmo número de gerações do GA convencional ou obtendo soluções similares ao GA convencional, quando se usa um número de gerações menor.

5.6 ANÁLISE ESTATÍSTICA DAS SOLUÇÕES ENCONTRADAS PELO AGSPICE

Para a análise das soluções apresentadas pelo AGSPICE, os valores médios e os valores de desvio padrão consideram as 100 melhores soluções de cada um dos cinco grupos definidos na subseção anterior (Grupo I, Grupo II, Grupo III, Grupo IV e Grupo V), selecionadas pelo critério do maior valor da função de aptidão, totalizando 500 soluções. O tempo médio do processo de busca do AGSPICE por rodada necessário para obtenção das soluções de cada modo de operação analisado, em cada grupo, foi apresentado na seção anterior (5.5).

A melhor solução do OTA μP recebeu o valor da função de aptidão em torno de 99,80. Vide ilustração desta solução apresentada pelo *software* desenvolvido neste trabalho no APÊNDICE E. Adicionalmente, considera-se como a melhor solução gerada pelo AGSPICE

aquela que apresenta o maior valor da função de aptidão, de acordo com a função de aptidão global que foi apresentada na equação (30) da subseção 4.1, que é semelhante àquela apresentada na subseção 5.3 em Moreto (2011).

Nessa subseção serão apresentados os resultados obtidos pelo AGSPICE para diversos parâmetros importantes para o projeto dos OTAs μP , HG e HF que são os fatores de ganho de corrente dos espelhos de corrente ($B_{4,6}$ e $B_{9,10}$), a corrente e a tensão de entrada de polarização, representadas por I_{POL} e V_{POL} , respectivamente e as dimensões de largura (W) e comprimento de canal (L) de todos os MOSFETs do circuito. Além disso, serão apresentados os resultados de desempenho alcançados pelas soluções obtidas pelo AGSPICE. As tabelas que serão apresentadas a seguir mostrarão diversas colunas identificadas por *Melhor*, ε_r , e C_V , onde a coluna *Melhor* apresentará a solução que alcançou o melhor desempenho dentre todas as rodadas em cada modo de operação, a coluna μ_S apresentará o valor médio, a coluna ε_r (%) apresentará o erro relativo (em porcentagem) da melhor solução em relação à média e a coluna C_V (%) apresentará o coeficiente de variação (em porcentagem).

O erro relativo (ε_r) da melhor solução em relação à média é calculado conforme a equação (36):

$$\varepsilon_r = \frac{Melhor - \mu_S}{\mu_S}, \quad (36)$$

onde *Melhor* representa a melhor solução relativo ao valor da função de aptidão e μ_S o valor médio de uma determinada figura de mérito obtida pelo processo de otimização, considerando um conjunto de soluções geradas pelo AGSPICE, nesse caso, as 500 melhores soluções obtidas para cada processo de otimização realizado na subseção anterior. O coeficiente de variação (C_V) é calculado conforme mostra a equação (37):

$$C_V = \frac{\sigma_S}{\mu_S}, \quad (37)$$

onde σ_S representa o desvio padrão e μ_S o valor médio da figura de mérito. O coeficiente de variação quantifica a dispersão do conjunto de soluções em relação à média. Assim, valores altos do coeficiente de variação indica alta dispersão das soluções em torno da média e valores baixos do coeficiente de variação indica que as soluções do conjunto apresentam valores em torno da média. Além disso, para selecionar as 500 melhores soluções avaliadas, que

apresentam erros relacionados aos objetivos de projeto menores que 20%, foram obtidos 2000, 1000 e 1500 soluções para os modos de operação μP , HG e HF, respectivamente.

Antes da apresentação dos valores de W , L , I_{POL} , V_{POL} e as regiões de inversão dos transistores, serão apresentados os fatores de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho de corrente nMOSFET da fonte de corrente do par diferencial do OTA ($B_{9,10}$). O fator de ganho do espelho nMOSFET formado pelos transistores de saída M7 e M8 ($B_{7,8}$) foi definido para ser igual a 1, devido aos transistores M7 e M8 serem casados. A apresentação desses resultados é conveniente, pois os resultados obtidos, para cada modo de operação do OTA, estão relacionados a estes fatores. A Tabela 9 mostra os valores dos fatores de ganho dos espelhos de corrente do circuito do OTA para cada modo de operação desejado.

Tabela 9 – Fatores de ganho dos espelhos de corrente pMOSFETs ($B_{4,6}$) e do espelho de corrente nMOSFET fonte de corrente do par diferencial ($B_{9,10}$): melhor solução, média, erro relativo e coeficiente de variação obtidos para cada modo de operação desejado.

Modo de Operação	$B_{4,6}$				$B_{9,10}$			
	Melhor	μs	ϵ_r (%)	C_v (%)	Melhor	μs	ϵ_r (%)	C_v (%)
μP	6,04	4,99	20,9	29,6	1,88	2,55	-26,2	88,5
HG	0,65	0,67	-3,0	34,5	3,11	2,46	26,3	97,5
HF	1,77	1,58	11,7	41,4	2,00	1,35	48,1	44,9

Fonte: Autor.

A Tabela 9 mostra que os erros relativos da melhor solução em relação à média para $B_{4,6}$ nos modos μP , HG e HF variam de -3,0% até 20,9%, por outro lado, os erros relativos da melhor solução para $B_{9,10}$ nos modos μP , HG e HF são significativamente maiores, variam de -26,2% até 48,1%. Os coeficientes de variação referentes a $B_{4,6}$ nos modos μP , HG e HF são da ordem de 30% a 40%, porém, os coeficientes de variação referentes a $B_{9,10}$ nos modos μP , HG são significativamente maiores, da ordem de 90% a 100%. Embora o coeficiente de variação de $B_{4,6}$ e $B_{9,10}$ no modo HF sejam da mesma ordem de grandeza (40%), o erro relativo de $B_{9,10}$ (48,1%) é significativamente maior em relação ao erro relativo de $B_{4,6}$ (11,7%). Estes resultados mostram que devido à elevada dispersão das soluções de $B_{4,6}$ e $B_{9,10}$, visto que os valores dos coeficientes de variação são sempre maiores que 20%, conclui-se que existem diversas soluções que atendem as mesmas especificações de projeto. Entretanto, os resultados mostram que o dimensionamento dos espelhos pMOSFETs é crítico, pois o número de soluções possíveis para o fator de ganho de corrente $B_{4,6}$ é muito menor em relação ao fator de ganho de corrente $B_{9,10}$. Dessa forma, a dispersão dos valores de $B_{4,6}$ (destacados na tabela) são muito menores em relação aos valores correspondentes de $B_{9,10}$.

A Tabela 10 apresenta os valores das soluções obtidas pelo AGSPICE para a corrente de polarização (I_{POL}) e tensão de polarização (V_{POL}) do circuito: melhor solução, média, erro relativo e coeficiente de variação para cada modo de operação desejado.

Tabela 10 – Corrente de polarização (I_{POL}) e tensão de polarização (V_{POL}) do circuito: melhor solução, média, erro relativo e coeficiente de variação para cada modo de operação desejado.

Modo de Operação	V_{DD} (V)	I_{POL} (μA)				V_{POL} (V)			
		Melhor	μs	ε_r (%)	C_V (%)	Melhor	μs	ε_r (%)	C_V (%)
μP	2,50	0,13	0,17	-23,8	49,0	1,98	2,05	-3,6	14,1
HG	3,00	4,95	8,95	-44,7	45,4	1,54	2,18	-29,4	21,7
HF	4,00	1049,83	1792,24	-41,4	29,7	2,75	2,92	-5,7	15,0

Fonte: Autor.

Pode-se observar na Tabela 10 que existe uma grande diferença entre as melhores soluções e os respectivos valores médios para I_{POL} , uma vez que os erros relativos são maiores que 20%, e a dispersão das soluções em relação aos respectivos valores médios também é alta, pois os coeficientes de variação são maiores que 20%. Por outro lado, os erros relativos das melhores soluções e a dispersão das soluções para V_{POL} nos modos de operação μP e HF são menores que 20% (destacados na tabela), porém, o erro relativo da melhor solução e a dispersão das soluções para V_{POL} no modo de operação HG maiores que 20% indicam que o dimensionamento dessa variável de projeto no modo HG é menos restritiva em relação aos modos μP e HF. Os resultados encontrados para V_{POL} e I_{POL} mostram que existem muitas soluções diferentes que são capazes de alcançar as especificações de projeto desejadas dos OTAs, definidas pelo projetista de CI CMOS analógico. Além disso, as tensões e correntes de polarização dos OTAs (V_{POL} e I_{POL}) devem ser encontrados de forma que todos os MOSFETs do circuito operem na região de saturação, distante da região tríodo, especialmente o transistor M10, para garantir o espelhamento correto da corrente de polarização (I_{POL}) para o par diferencial e portanto, para garantir que todo o circuito esteja operando no ponto de polarização correto. Adicionalmente, os valores de V_{POL} e I_{POL} devem ser ajustados a fim de produzir uma tensão de saída do OTA (V_{OUT}) em torno de $V_{DD}/2$ para garantir a máxima excursão do sinal de saída e os valores de A_{VO} desejados (ALLEN; HOLBERG, 2002).

A Tabela 11 apresenta os valores das figuras de mérito V_{OUT} , P_{TOT} , e A_G (a) e A_{VO} , f_T , e PM (b), obtidas pelo AGSPICE para os modos de operação μP , HG e HF.

Tabela 11 – Melhor solução, média, erro relativo e coeficiente de variação correspondentes aos valores das figuras de mérito V_{OUT} , P_{TOT} , e A_G (a) e A_{V0} , f_T , e PM (b) obtidas para os modos de operação μP , HG e HF.

Modo de Operação	V_{OUT} (V)				P_{TOT} (μW)				A_G (μm^2)			
	Melhor	μ_S	ε_r (%)	C_V (%)	Melhor	μ_S	ε_r (%)	C_V (%)	Melhor	μ_S	ε_r (%)	C_V (%)
μP	1,24	1,24	-0,3	1,6	5,05	5,20	-2,9	1,9	9335,38	9224,09	1,2	5,4
HG	1,52	1,50	1,1	1,5	96,90	101,17	-4,2	2,4	6182,88	10366,74	-40,4	33,3
HF	1,99	2,00	-0,5	0,9	28985,41	29092,51	-0,4	0,9	10026,69	11086,04	-9,6	31,7

Modo de Operação	A_{V0} (dB)				f_T (MHz)				PM (•)			
	Melhor	μ_S	ε_r (%)	C_V (%)	Melhor	μ_S	ε_r (%)	C_V (%)	Melhor	μ_S	ε_r (%)	C_V (%)
μP	47,72	45,70	4,4	5,4	0,35	0,34	4,1	2,0	84,17	78,83	6,8	3,0
HG	63,24	58,52	8,1	2,2	1,81	1,79	1,2	1,3	65,50	65,14	0,5	1,5
HF	34,84	36,95	-5,7	5,5	93,05	92,84	0,2	0,6	55,04	54,86	0,3	0,8

Fonte: Autor.

O valor da corrente de polarização (I_{POL}) está diretamente relacionado ao consumo de potência do CI (P_{TOT}) e conforme pode-se observar na Tabela 11, o AGSPICE é capaz de apresentar erros relativos e coeficientes de variação menores que 8,1% (destacados na Tabela 11) para todas as figuras de mérito, com exceção da A_G nos modos HG e HF, que apresentaram coeficientes de variação da ordem de 30% e erros relativos de 40,4% e 9,6%, respectivamente, pois essa figura de mérito não é avaliada nesses dois modos de operação, ou seja, o peso de avaliação é igual a zero ($W_{AG} = 0$). Dessa forma, as figuras de mérito V_{OUT} , P_{TOT} , A_G (modo μP), A_{V0} , f_T e PM apresentadas pelas melhores soluções estão próximas dos seus respectivos valores médios (erros relativos menores que 8,1%) e a dispersão dessas figuras de mérito em torno dos respectivos valores médios também é pequena, visto que os coeficientes de variação não ultrapassam 5,5%. Esses resultados são muito positivos, visto que as dispersões das figuras de mérito obtidas pelos processos de otimização são inferiores a 10%.

A Tabela 12 mostra as dimensões dos MOSFETs dos OTAs μP , HG e HF.

Tabela 12 – Dimensões dos transistores dos OTAs: melhor solução, média, erro relativo e coeficiente de variação para os modos μP (a); HG (b) e HF (c).

Transistor	μP											
	W (μm)				L (μm)				W/L			
	Melhor	μ_s	ε_r (%)	C_v (%)	Melhor	μ_s	ε_r (%)	C_v (%)	Melhor	μ_s	ε_r (%)	C_v (%)
M₁, M₂	18,25	100,14	-81,8	79,8	2,00	1,93	3,4	57,7	9,13	55,84	-83,6	72,2
M₃, M₄	6,75	28,03	-75,9	68,1	6,00	3,89	54,4	67,6	1,13	11,28	-90,0	98,3
M₅, M₆	8,50	56,95	-85,1	75,8	1,25	1,30	-4,2	30,9	6,80	48,57	-86,0	83,6
M₇, M₈	1,50	1,31	14,3	21,9	9,75	7,15	36,3	63,5	0,15	0,26	-41,3	50,9
M₉	415,50	292,51	42,0	45,7	13,75	14,16	-2,9	31,1	30,22	22,33	35,3	55,7
M₁₀	441,00	365,84	20,5	28,7	7,75	11,17	-30,6	46,9	56,90	45,54	25,0	83,7

Transistor	HG											
	W (μm)				L (μm)				W/L			
	Melhor	μ_s	ε_r (%)	C_v (%)	Melhor	μ_s	ε_r (%)	C_v (%)	Melhor	μ_s	ε_r (%)	C_v (%)
M₁, M₂	26,75	267,53	-90,0	46,9	1,00	2,26	-55,7	91,5	26,75	170,00	-84,3	64,0
M₃, M₄	5,25	118,94	-95,6	64,4	5,00	6,73	-25,7	47,2	1,05	21,51	-95,1	75,7
M₅, M₆	10,75	75,42	-85,7	58,2	15,75	6,41	145,8	30,3	0,68	12,70	-94,6	63,8
M₇, M₈	3,75	2,84	32,2	20,7	17,75	13,64	30,1	26,5	0,21	0,21	-1,4	11,7
M₉	264,25	241,11	9,6	53,9	16,50	12,40	33,0	40,5	16,02	23,63	-32,2	86,5
M₁₀	249,00	309,20	-19,5	39,6	5,00	10,49	-52,3	51,0	49,80	42,59	16,9	93,4

Transistor	HF											
	W (μm)				L (μm)				W/L			
	Melhor	μ_s	ε_r (%)	C_v (%)	Melhor	μ_s	ε_r (%)	C_v (%)	Melhor	μ_s	ε_r (%)	C_v (%)
M₁, M₂	173,25	270,90	-36,0	44,7	2,25	2,48	-9,3	46,3	77,00	120,02	-35,8	49,2
M₃, M₄	209,75	297,89	-29,6	38,7	2,00	1,86	7,5	43,8	104,88	179,69	-41,6	48,3
M₅, M₆	186,00	295,38	-37,0	37,5	1,00	1,17	-14,7	17,7	186,00	257,41	-27,7	40,0
M₇, M₈	150,75	91,47	64,8	40,2	6,25	4,72	32,4	40,8	24,12	19,79	21,9	16,9
M₉	260,50	301,48	-13,6	40,0	18,75	10,98	70,7	46,6	13,89	35,34	-60,7	85,9
M₁₀	187,75	313,42	-40,1	39,0	6,75	9,55	-29,3	51,0	27,81	42,71	-34,9	86,6

Fonte: Autor.

Analizando a Tabela 12, similarmente a I_{POL} e V_{POL} , podemos observar que os erros relativos, em relação à média, das melhores soluções encontradas pelo AGSPICE para os valores de W e L dos MOSFETs são altos (acima de 20%), em todos os OTAs projetados (μP , HG e HF). Existem algumas exceções, nas quais os erros relativos são inferiores a 20% e que estão destacadas na tabela, como por exemplo, no caso do OTA μP , a largura de canal do par M7-M8 apresenta erro relativo de 14,3%, o comprimento de canal dos pares M1-M2, M5-M6 e M9 apresentam erros relativos de 3,4%, -4,2% e -2,9%, respectivamente. Observa-se também que a razão de aspecto (W/L) do MOSFET M10 do OTA μP apresenta erro relativo de 25,0%, que é expressivamente menor em relação às razões de aspecto dos outros MOSFETs, que são maiores que 35%. Além disso, os valores dos coeficientes de variação de W , L e W/L são muito altos (acima de 20%), que mostra que o conjunto de soluções obtidas pelo AGSPICE apresenta

uma grande dispersão em torno da média. Estes resultados demonstram que o AGSPICE é capaz de buscar várias soluções distintas que são capazes de alcançar as especificações desejadas dos OTAs definidas pelo projetista de CI analógico. Dessa forma, devido à grande quantidade de erros relativos e coeficientes de variação das dimensões W e L e das razões de aspectos (W/L) de todos os transistores do circuito do OTA com valores acima de 20%, observados em todos os modos de operação, conclui-se que existem diversas possibilidades para o dimensionamento dos transistores do OTA. Porém, a Tabela 12 mostra que o dimensionamento do par nMOSFET de saída M7-M8 dos OTAs HG e HF, assim como o dimensionamento do comprimento de canal do par pMOSFET de saída M5-M6 do OTA HF são críticos, pois apresentam coeficientes de variação inferiores a 20%. É importante observar que, embora o coeficiente de variação do par M7-M8 do OTA μ P seja superior a 20% (50,9%), ele é menor em relação aos demais transistores do circuito. Os valores críticos estão destacados nessa tabela.

A Tabela 13 mostra os valores da corrente entre dreno e fonte normalizada em função da razão de aspecto [$I_{DS}/(W/L)$] de todos os MOSFETs do circuito de cada OTA projetado. Esses valores definem o regime de inversão de cada transistor do circuito do OTA. Para determinar se um transistor está na região de inversão fraca, moderada ou forte, pode ser adotado o critério descrito em Moreto (2011, subseção 2.2.5), que resulta nas interfaces definidas abaixo:

- Na interface entre as regiões de inversão fraca e moderada, as correntes entre dreno e fonte normalizadas [$I_{DS}/(W/L)$] são iguais a $4,91 \times 10^{-8}$ (A) para o nMOSFET e $2,00 \times 10^{-8}$ (A) para o pMOSFET;
- Na interface entre as regiões de inversão moderada e forte, as correntes entre dreno e fonte normalizadas [$I_{DS}/(W/L)$] são iguais a $2,32 \times 10^{-5}$ (A) para o nMOSFET e $8,75 \times 10^{-6}$ (A) para o pMOSFET.

Tabela 13 – Corrente entre dreno e fonte normalizada em função da razão de aspecto [$I_{DS}/(W/L)$] dos transistores dos OTAs μ P, HG e HF.

Transistor	μ P				HG				HF			
	$I_{DS}/(W/L)$ (A)				$I_{DS}/(W/L)$ (A)				$I_{DS}/(W/L)$ (A)			
	Melhor	μ_s	ε_r (%)	C_V (%)	Melhor	μ_s	ε_r (%)	C_V (%)	Melhor	μ_s	ε_r (%)	C_V (%)
M₁, M₂	$1,43 \times 10^{-8}$	$4,76 \times 10^{-9}$	200,1	106,1	$3,02 \times 10^{-7}$	$8,24 \times 10^{-8}$	266,6	119,7	$1,35 \times 10^{-5}$	$1,01 \times 10^{-5}$	33,0	30,7
M₃, M₄	$1,16 \times 10^{-7}$	$3,79 \times 10^{-8}$	205,9	125,3	$7,70 \times 10^{-6}$	$6,80 \times 10^{-7}$	1032,4	120,5	$9,90 \times 10^{-6}$	$7,45 \times 10^{-6}$	32,9	57,6
M₅, M₆	$1,20 \times 10^{-7}$	$3,97 \times 10^{-8}$	202,3	121,8	$8,19 \times 10^{-6}$	$6,82 \times 10^{-7}$	1101,5	122,9	$1,11 \times 10^{-5}$	$7,97 \times 10^{-6}$	39,3	56,6
M₇, M₈	$5,29 \times 10^{-6}$	$3,96 \times 10^{-6}$	33,5	45,5	$2,65 \times 10^{-5}$	$2,25 \times 10^{-5}$	18,0	10,2	$8,54 \times 10^{-5}$	$8,46 \times 10^{-5}$	1,0	3,4
M₉	$4,30 \times 10^{-9}$	$9,24 \times 10^{-9}$	-53,5	56,7	$3,09 \times 10^{-7}$	$5,63 \times 10^{-7}$	-45,1	86,8	$7,56 \times 10^{-5}$	$6,99 \times 10^{-5}$	8,2	53,7
M₁₀	$4,59 \times 10^{-9}$	$9,86 \times 10^{-9}$	-53,4	56,0	$3,25 \times 10^{-7}$	$5,85 \times 10^{-7}$	-44,5	83,1	$7,47 \times 10^{-5}$	$6,94 \times 10^{-5}$	7,7	53,4

Legenda: Região de inversão fraca Região de inversão moderada Região de inversão forte

Fonte: Autor.

Os valores apresentados na Tabela 13 mostram que os erros relativos das melhores soluções em relação à média são altos (normalmente acima de 20%). Os desvios dos valores de $[IDS/(W/L)]$ de todos os transistores também são altos em relação aos valores médios correspondentes, em todos os OTAs projetados, com algumas exceções, que apresentam valores menores que 20% e estão destacadas na tabela. Os resultados mais críticos reportados nesta tabela, ou seja, que não apresentam grande dispersão em torno da média são os regimes de inversão do par nMOSFET de saída M7-M8 dos OTAs HG e HF, que apresentam baixas dispersões em torno da média, dispersões menores que 20% para o OTA HG e menores que 4% para o OTA HF. No caso do OTA μ P, o regime de inversão do par M7-M8 também pode ser considerado crítico, pois apresenta dispersões em torno da média da ordem de 30% a 40%, enquanto que as dispersões dos demais transistores do circuito são maiores que 50%. Além disso, os resultados mostrados na Tabela 13 mostram que o AGSPICE fornece dicas importantes para o projetista alcançar mais facilmente as especificações de projeto explorando eficientemente todos os regimes de inversão (fraca, moderada e forte) para os transistores do CI analógico, que são menos restritivas em relação aos métodos tradicionais de projeto que supõem todos os transistores operando ou na região de inversão fraca ou na região de inversão forte (SILVEIRA; FLANDRE; JESPERS, 1996).

Portanto, analisando os resultados anteriores, podemos observar que o AGSPICE permite ao projetista obter muitas soluções diferentes que atendem as mesmas especificações de projeto com pequenas dispersões. Devido a essa característica, esse sistema permite analisar estatisticamente as diferenças apresentadas para cada variável de projeto entre um grande conjunto de soluções apresentadas pelo AGSPICE que atendem as mesmas especificações de projeto, permitindo identificar os blocos mais críticos de projeto dos OTAs, ou seja, aqueles que apresentam as menores dispersões, de forma que todas as especificações de projeto sejam atendidas. Além disso, esse sistema permite que o projetista escolha a solução mais adequada para a implementação de diversos tipos de leiautes, por exemplo, a solução que apresenta o maior valor da função de aptidão ou a solução mais robusta às variações do processo CMOS de fabricação. A robustez é definida como a capacidade da ferramenta computacional de construir e testar circuitos tolerantes aos erros do processo de fabricação e variações ambientais (ponto de operação, temperatura, etc.) (BARROS; GUILHERME; HORTA, 2010a, p. 36). Os estudos que abordam esse assunto serão descritos nas próximas seções.

5.7 ANÁLISE DE SENSIBILIDADE DA MELHOR SOLUÇÃO ENCONTRADA PELO AGSPICE

Para um primeiro estudo, a melhor solução apresentada pelo AGSPICE, relativo ao maior valor da função de aptidão, será selecionada para realizar um teste de variação dos parâmetros geométricos dos MOSFETs (W e L) para cada tipo de OTA desenvolvido nesse trabalho (μ P, HG e HF) a fim de identificar os blocos mais sensíveis dos OTAs relacionados às suas características elétricas, visto que a melhor solução para cada modo de operação será usada para implementar os leiautes dos OTAs com MOSFETs de geometria de portas convencionais (retangular) e não-convencionais (circular do tipo O-CGT). Alguns destes leiautes serão fabricados pelo MOSIS (2015). Porém, sabe-se que a solução que apresenta o maior valor da função de aptidão, obtida considerando os valores médios dos parâmetros do processo de fabricação, chamada de solução nominal, nem sempre é a solução mais adequada para ser implementada na prática devido às variações paramétricas e ambientais do processo de fabricação (JANTOS; GRZECHCA; RUTKOWSKI, 2012, 2010; NICOSIA; RINAUDO; SCIACCA, 2008). Dessa forma, na próxima subseção também será realizado um estudo para identificar as soluções menos sensíveis às variações do processo de fabricação.

Uma vez que as variações do processo de fabricação não foram consideradas durante a fase de simulação no AGSPICE e como os amplificadores operacionais de transcondutância (OTAs) serão submetidos a processos de fabricação CMOS estarão sujeitos a variações dos parâmetros tecnológicos assim como das dimensões dos transistores (NICOSIA; RINAUDO; SCIACCA, 2008). O objetivo desse estudo é verificar os efeitos da variação da largura (W) e comprimento (L) de canal dos transistores no desempenho elétrico dos OTAs projetados pelo AGSPICE e também para avaliar a capacidade do AGSPICE de realizar projetos de OTAs que apresentam robustez em relação às variações do processo de fabricação CMOS. A mesma análise de variação é também realizada para o projeto manual que foi apresentado em Moreto, Thomaz e Gimenez (2012), Moreto et al. (2012) e Moreto (2011) com o objetivo de comparar com os resultados obtidos pelo AGSPICE. O procedimento usado para realizar este estudo é descrito em seis passos:

- a) Aumentar somente a largura de canal de um transistor ou par de transistores, por exemplo, o par diferencial M1-M2, em 10% ($W + 10\%$) e, em seguida, reduzir em 10% ($W - 10\%$). Adotar o mesmo procedimento para os demais transistores ou par de transistores (M3-M4, M5-M6, M7-M8, M9 e M10);

- b) Aumentar somente o comprimento de canal de um transistor ou par de transistores, por exemplo, o par diferencial M1-M2, em 10% ($L + 10\%$) e, em seguida, reduzir em 10% ($L - 10\%$). Adotar o mesmo procedimento para os demais transistores ou par de transistores (M3-M4, M5-M6, M7-M8, M9 e M10);
- c) Aumentar a largura de canal de todos os transistores (M1 a M10) em 10% ($W + 10\%$), assim como o comprimento de canal de todos os transistores ($L + 10\%$);
- d) Reduzir a largura de canal de todos os transistores (M1 a M10) em 10% ($W - 10\%$), assim como o comprimento de canal de todos os transistores ($L - 10\%$);
- e) Aumentar a largura de canal de todos os transistores (M1 a M10) em 10% ($W + 10\%$) e reduzir o comprimento de canal de todos os transistores em 10% ($L - 10\%$);
- f) Reduzir a largura de canal de todos os transistores (M1 a M10) em 10% ($W - 10\%$) e aumentar o comprimento de canal de todos os transistores em 10% ($L + 10\%$).

Nesse caso, os testes serão realizados para os modos de operação μ P, HG e HF, que foram apresentados na subseção 5.4, considerando os valores de largura e comprimento de canal da melhor solução encontrada (maior valor da função de aptidão), dentre todas as soluções obtidas pelo AGSPICE, que foi apresentada na subseção anterior. Além disso, o mesmo teste foi realizado para os OTAs que foram desenvolvidos manualmente em Moreto (2011), que operam com características elétricas semelhantes, com a finalidade de avaliar a capacidade do AGSPICE em produzir projetos de OTAs robustos às variações do processo de fabricação CMOS. Os resultados obtidos pelo projeto manual descrito em Moreto (2011) para as dimensões dos MOSFETs e as condições de polarização dos OTAs μ P, HG e HF são apresentados na Tabela 14. É importante mencionar que, devido ao grande espaço de busca de soluções possíveis, houve uma redução nos graus de liberdade do projeto desses OTAs, imposta pelo projetista (MORETO, 2011, p. 71).

Tabela 14 – Dimensões dos MOSFETs e condições de polarização obtidas pelo projeto manual para os OTAs μ P, HG e HF.

Projeto Manual									
Condições de Polarização	μ P			HG			HF		
I_{POL} (μ A)	3,907			11,111			6714,600		
V_{POL} (V)	1,25			1,50			2,00		
Transistor	W (μ m)	L (μ m)	W/L	W (μ m)	L (μ m)	W/L	W (μ m)	L (μ m)	W/L
M_1, M_2	2,83	3,00	0,94	73,75	3,00	24,58	200,05	3,00	66,68
M_3, M_4	2,62	3,00	0,87	7,44	3,00	2,48	274,72	3,00	91,57
M_5, M_6	2,62	3,00	0,87	49,60	20,00	2,48	274,72	3,00	91,57
M_7, M_8	1,30	3,00	0,43	4,50	20,00	0,23	100,00	3,00	33,33
M_9	5,17	10,00	0,52	14,70	10,00	1,47	800,60	3,00	266,87
M_{10}	5,17	10,00	0,52	14,70	10,00	1,47	800,60	3,00	266,87

Fonte: Autor.

Os valores de variação em todas as tabelas referentes ao estudo de sensibilidade estão expressos em porcentagem. Os valores positivos de variação indicam aumento e os valores negativos indicam redução em relação aos valores nominais de referência obtidos pelo AGSPICE para a largura (W) e comprimento (L) de canal dos MOSFETs.

A Tabela 15 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função da variação em $\pm 10\%$ da largura de canal dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f), conforme o passo 1 do procedimento acima. Os valores de variações mais expressivos estão destacados nessa tabela segundo dois níveis de significância: os valores mais significativos de variação estão destacados em vermelho, que são variações iguais ou maiores que 10% e os valores que variam na faixa de 5% até 10% (excluindo este último) são destacados em amarelo. Os valores de variação pouco significativos (menores que 5%) são apresentados em verde. Esta mesma abordagem é adotada na representação das demais tabelas apresentadas nessa subseção.

Tabela 15 – Variações das principais figuras de mérito em função da variação de $\pm 10\%$ da largura de canal dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).

Transistor	(a) μ P (AGSPICE)									
	$W + 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$	$W - 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	20,1	0,0	0,3	-0,1	0,0	16,4	-0,1	-0,3	0,1	0,0
M_3, M_4	7,4	-0,3	-11,8	0,7	-1,9	6,1	0,3	13,8	-0,8	2,3
M_5, M_6	9,4	0,0	11,2	-1,0	1,8	7,7	0,0	-12,0	1,0	-1,9
M_7, M_8	1,7	0,0	0,5	0,0	-3,9	1,4	0,0	-0,6	0,0	5,0
M_9	457,1	-0,2	-9,6	0,3	-1,5	374,0	0,3	10,9	-0,3	1,7
M_{10}	485,1	0,2	9,8	-0,3	1,6	396,9	-0,3	-10,5	0,3	-1,6
Transistor	(b) HG (AGSPICE)									
	$W + 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$	$W - 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	29,4	0,2	1,2	-0,5	0,0	24,1	-0,2	-1,5	0,6	0,0
M_3, M_4	5,8	-0,1	-9,6	3,3	-3,0	4,7	0,0	10,4	-3,6	3,5
M_5, M_6	11,8	0,1	9,2	-4,4	3,0	9,7	-0,1	-10,3	4,6	-3,1
M_7, M_8	4,1	-0,1	0,0	-0,3	-3,6	3,4	0,1	0,0	0,3	4,1
M_9	290,7	0,1	-7,6	1,2	-2,6	237,8	-0,2	8,2	-1,1	3,1
M_{10}	273,9	-0,2	7,5	-1,0	2,8	224,1	0,1	-8,5	1,3	-2,9
Transistor	(c) HF (AGSPICE)									
	$W + 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$	$W - 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	190,6	1,4	4,4	-2,9	0,0	155,9	-1,5	-4,8	3,2	0,0
M_3, M_4	230,7	0,6	-6,8	2,7	-3,1	188,8	-0,9	7,4	-3,0	3,6
M_5, M_6	204,6	-0,6	7,2	-3,9	3,5	167,4	0,6	-8,1	4,2	-3,6
M_7, M_8	165,8	0,5	-0,4	-0,8	-3,3	135,7	-0,7	0,3	0,9	3,8
M_9	286,6	1,9	-2,6	-0,8	-3,0	234,5	-2,3	2,8	0,9	3,5
M_{10}	206,5	-2,2	2,7	1,0	3,3	169,0	2,2	-3,0	-1,0	-3,5
Transistor	(d) μ P (Manual)									
	$W + 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$	$W - 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	3,1	0,9	6,8	-0,1	0,4	2,6	-1,0	-7,8	0,1	-0,5
M_3, M_4	2,9	-0,5	-11,8	0,1	-1,7	2,4	0,4	15,3	-0,1	2,1
M_5, M_6	2,9	0,4	13,5	-0,1	1,8	2,4	-0,4	-13,6	0,1	-1,9
M_7, M_8	1,4	-0,6	0,1	0,0	-4,1	1,2	0,6	-0,2	0,0	5,3
M_9	5,7	0,5	-4,3	0,0	-1,2	4,7	-0,5	4,2	0,0	1,3
M_{10}	5,7	-0,6	4,7	0,0	1,4	4,7	0,6	-5,8	0,0	-1,5
Transistor	(e) HG (Manual)									
	$W + 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$	$W - 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	81,1	0,2	0,8	-1,8	0,0	66,4	-0,2	-1,0	2,1	0,0
M_3, M_4	8,2	-0,3	-6,7	12,9	-2,9	6,7	0,4	7,0	-13,7	3,4
M_5, M_6	54,6	0,2	5,0	-15,8	2,8	44,6	-0,2	-6,2	18,2	-3,0
M_7, M_8	5,0	-0,2	-0,1	-0,7	-3,4	4,1	0,3	0,0	0,7	4,0
M_9	16,2	-0,2	-8,3	6,4	-2,9	13,2	0,2	9,5	-6,9	3,4
M_{10}	16,2	0,2	8,6	-6,2	3,1	13,2	-0,2	-9,1	7,1	-3,2
Transistor	(f) HF (Manual)									
	$W + 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$	$W - 10\% (\mu\text{m})$	$\Delta A_{v0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	220,1	0,4	5,7	-2,5	1,3	180,1	-0,4	-6,5	2,8	-1,5
M_3, M_4	302,2	1,1	-7,0	3,8	-3,3	247,3	-1,8	7,3	-3,9	3,9
M_5, M_6	302,2	-0,5	7,1	-5,8	3,6	247,3	0,4	-8,2	6,3	-3,8
M_7, M_8	110,0	0,3	0,2	-0,5	-3,4	90,0	-0,5	-0,3	0,5	4,0
M_9	880,7	1,2	-1,4	-0,1	-1,6	720,5	-1,3	1,2	0,2	1,6
M_{10}	880,7	-1,7	1,6	0,3	2,1	720,5	1,8	-2,1	-0,2	-2,4

Fonte: Autor.

A Tabela 15 (a) mostra que para o modo de operação μ P quando aumentamos ou reduzimos a largura de canal de apenas um par ou de apenas um transistor do circuito do OTA de cada vez, conforme mostra cada linha da tabela, os únicos blocos que apresentaram pouca sensibilidade, pois todas as figuras de mérito apresentam variação menor que 5%, são os blocos do par diferencial (M1-M2) e o par nMOSFET de saída (M7-M8). Porém, a Tabela 15 (d) mostra que no projeto manual todos os blocos apresentam alta sensibilidade. Neste caso, somente o M9 apresenta pouca sensibilidade, porém o M9 é parte do bloco da fonte de corrente (par M9-M10).

A Tabela 15 (b) mostra que o modo de operação HG apresenta resultados similares ao modo de operação μ P. A Tabela 15 (e) mostra que no projeto manual os únicos blocos que apresentam pouca sensibilidade são o bloco do par diferencial (M1-M2) e o par M7-M8.

A Tabela 15 (c) mostra que para o modo HF os únicos blocos que apresentaram sensibilidade significativa são as cargas ativas do par diferencial (M3-M4) e o par pMOSFET de saída (M5-M6), os quais apresentaram variações maiores que 5%. A Tabela 15 (f) mostra que no projeto manual, adicionalmente aos pares M3-M4 e M5-M6, o par diferencial (M1-M2) apresenta também alta sensibilidade.

No experimento acima (passo 1) observamos que, no caso do AGSPICE, o ganho de tensão em malha aberta (A_{V0}), a margem de fase (PM) e a tensão de saída (V_{OUT}) praticamente não variam em todos os modos de operação (μ P, HG e HF). As maiores variações são observadas na frequência de ganho de tensão unitário (f_T), em todos os modos de operação, com variações máximas inferiores a 14%. No entanto, no projeto manual, adicionalmente ao f_T , a margem de fase (PM) apresenta também valores altos de variações nos modos de operação HG e HF. Neste caso, os valores de variação mais significativos são -13,7% e 18,2% correspondentes aos pares M3-M4 e M5-M6, respectivamente, no OTA HG.

A Tabela 16 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função da variação em $\pm 10\%$ do comprimento de canal dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f), conforme o passo 2 do procedimento acima.

Tabela 16 – Variações das principais figuras de mérito em função da variação de $\pm 10\%$ do comprimento de canal dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).

Transistor	μ P (AGSPICE)									
	$L + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	2,2	0,0	-0,2	-0,1	0,0	1,8	0,0	0,2	0,1	0,0
M₃, M₄	6,6	0,3	9,7	-1,1	1,5	5,4	-0,3	-10,3	1,1	-1,5
M₅, M₆	1,4	1,9	-10,9	0,6	-1,7	1,1	-2,1	12,4	-0,7	2,0
M₇, M₈	10,7	0,2	-0,2	-0,2	1,6	8,8	-0,2	0,2	0,2	-1,6
M₉	15,1	0,2	10,0	-0,3	1,6	12,4	-0,3	-10,6	0,3	-1,6
M₁₀	8,5	-0,3	-10,2	0,3	-1,6	7,0	0,3	11,5	-0,3	1,8

Transistor	HG (MTGSPICE)									
	$L + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	1,1	-0,2	-1,2	0,4	0,0	0,9	0,2	1,1	-0,3	0,0
M₃, M₄	5,5	0,0	8,4	-3,2	2,8	4,5	-0,1	-9,5	3,5	-2,9
M₅, M₆	17,3	0,3	-9,1	-0,3	-2,7	14,2	-0,4	10,1	0,4	3,1
M₇, M₈	19,5	0,4	-0,5	-1,3	2,8	16,0	-0,5	0,4	1,3	-2,9
M₉	18,2	-0,2	7,5	-1,0	2,8	14,9	0,1	-8,4	1,3	-2,9
M₁₀	5,5	0,1	-8,0	1,3	-2,8	4,5	-0,2	8,6	-1,1	3,2

Transistor	HF (AGSPICE)									
	$L + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	2,5	-1,4	-4,2	1,6	0,0	2,0	1,5	4,6	-1,7	0,0
M₃, M₄	2,2	-0,9	6,6	-4,9	3,5	1,8	0,7	-7,7	5,2	-3,7
M₅, M₆	1,1	3,2	-8,7	2,0	-4,1	0,9	-3,9	10,2	-2,1	4,9
M₇, M₈	6,9	-0,4	-2,7	-1,6	3,5	5,6	0,3	2,6	1,9	-3,6
M₉	20,6	-2,1	2,5	0,9	3,1	16,9	2,1	-2,9	-0,9	-3,3
M₁₀	7,4	2,0	-2,7	-0,9	-3,1	6,1	-2,4	2,9	1,1	3,5

Transistor	μ P (Manual)									
	$L + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	3,3	-0,9	-5,5	0,0	-0,2	2,7	1,0	6,0	-0,1	0,2
M₃, M₄	3,3	0,5	10,3	-0,1	1,3	2,7	-0,6	-10,4	0,1	-1,3
M₅, M₆	3,3	0,1	-9,4	0,0	-1,2	2,7	-0,2	11,7	0,0	1,4
M₇, M₈	3,3	0,9	-0,1	0,0	1,5	2,7	-1,1	0,1	0,0	-1,6
M₉	11,0	-0,4	2,8	0,0	0,8	9,0	0,4	-3,4	0,0	-0,9
M₁₀	11,0	0,4	-3,9	0,0	-1,0	9,0	-0,5	4,0	0,0	1,2

Transistor	HG (Manual)									
	$L + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	3,3	-0,2	-1,0	1,3	0,0	2,7	0,2	1,0	-1,3	0,0
M₃, M₄	3,3	0,4	5,9	-12,2	2,8	2,7	-0,4	-7,0	14,2	-2,9
M₅, M₆	22,0	0,2	-8,5	-4,7	-2,7	18,0	-0,3	10,1	4,5	3,1
M₇, M₈	22,0	0,5	-0,6	-2,7	2,8	18,0	-0,6	0,5	2,8	-3,0
M₉	11,0	0,2	7,7	-5,6	2,7	9,0	-0,2	-8,2	6,3	-2,9
M₁₀	11,0	-0,2	-7,5	5,7	-2,6	9,0	0,2	8,5	-6,1	3,0

Transistor	HF (Manual)									
	$L + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	3,3	-0,2	-5,4	1,3	-1,4	2,7	0,2	5,8	-1,3	1,4
M₃, M₄	3,3	-1,7	5,8	-5,3	3,6	2,7	1,3	-7,3	6,0	-3,8
M₅, M₆	3,3	1,4	-8,4	0,8	-3,5	2,7	-2,0	9,2	-0,7	4,1
M₇, M₈	3,3	0,1	-0,5	-1,3	3,5	2,7	-0,3	0,4	1,3	-3,7
M₉	3,3	-1,2	1,2	0,2	1,5	2,7	1,4	-1,6	-0,1	-1,8
M₁₀	3,3	1,6	-1,8	-0,3	-2,1	2,7	-1,9	1,7	0,4	2,3

Fonte: Autor.

No Segundo passo do procedimento acima, os resultados são similares àqueles encontrados no primeiro passo, para todos os modos de operação, porém, as variações estão em direções opostas, conforme mostra a Tabela 16. No caso do AGSPICE as variações são menores que 13% e no projeto manual o maior valor de variação alcança 14,2%.

A Tabela 17 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função do aumento em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f), conforme o passo 3 do procedimento acima.

Tabela 17 – Variações das principais figuras de mérito em função do aumento em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).

Transistor	μ P (AGSPICE)					
	$W + 10\%$ (μ m)	$L + 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	20,1	2,2	2,2	-3,0	-1,1	-3,0
M₃, M₄	7,4	6,6				
M₅, M₆	9,4	1,4				
M₇, M₈	1,7	10,7				
M₉	457,1	15,1				
M₁₀	485,1	8,5				

Transistor	HG (AGSPICE)					
	$W + 10\%$ (μ m)	$L + 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	29,4	1,1	0,8	-1,7	-6,7	-1,2
M₃, M₄	5,8	5,5				
M₅, M₆	11,8	17,3				
M₇, M₈	4,1	19,5				
M₉	290,7	18,2				
M₁₀	273,9	5,5				

Transistor	HF (AGSPICE)					
	$W + 10\%$ (μ m)	$L + 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	190,6	2,5	3,0	-4,6	-7,9	-0,6
M₃, M₄	230,7	2,2				
M₅, M₆	204,6	1,1				
M₇, M₈	165,8	6,9				
M₉	286,6	20,6				
M₁₀	206,5	7,4				

Transistor	μ P (Manual)					
	$W + 10\%$ (μ m)	$L + 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	3,1	3,3	0,9	1,5	-0,1	-2,5
M₃, M₄	2,9	3,3				
M₅, M₆	2,9	3,3				
M₇, M₈	1,4	3,3				
M₉	5,7	11,0				
M₁₀	5,7	11,0				

Transistor	HG (Manual)					
	$W + 10\%$ (μ m)	$L + 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	81,1	3,3	0,7	-4,9	-24,8	-0,9
M₃, M₄	8,2	3,3				
M₅, M₆	54,6	22,0				
M₇, M₈	5,0	22,0				
M₉	16,2	11,0				
M₁₀	16,2	11,0				

Transistor	HF (Manual)					
	$W + 10\%$ (μ m)	$L + 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	220,1	3,3	1,8	-1,7	-10,2	0,0
M₃, M₄	302,2	3,3				
M₅, M₆	302,2	3,3				
M₇, M₈	110,0	3,3				
M₉	880,7	3,3				
M₁₀	880,7	3,3				

Fonte: Autor.

No terceiro passo do procedimento acima, no caso do AGSPICE, observa-se que para o modo μ P nenhuma figura de mérito apresentou variação maior que 5% e a margem de fase (PM) é a única figura de mérito que apresenta variações significativas para os modos de operação HG e HF, com valores de -6,7% e -7,9%, respectivamente. Estes resultados são muito promissores, visto que as variações são inferiores a 10%, conforme observado na Tabela 17, itens (a), (b), e (c). Similarmente, no projeto manual observa-se que para o modo μ P nenhuma figura de mérito apresentou variação maior que 5% [Tabela 17 (d)] e a margem de fase é também a única figura de mérito que apresenta variações significativas para os modos de operação HG e HF, com valores de -24,8% e -10,2%, respectivamente, porém, o projeto manual apresenta valores de variação significativamente maiores que o AGSPICE, conforme observado na Tabela 17, itens (e) e (f).

A Tabela 18 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função da redução em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f), conforme o passo 4 do procedimento acima.

Tabela 18 – Variações das principais figuras de mérito em função da redução em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).

Transistor	μ P (AGSPICE)					
	W - 10% (μ m)	L - 10 % (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	16,4	1,8	-2,3	3,0	1,0	3,8
M₃, M₄	6,1	5,4				
M₅, M₆	7,7	1,1				
M₇, M₈	1,4	8,8				
M₉	374,0	12,4				
M₁₀	396,9	7,0				

Transistor	HG (AGSPICE)					
	W - 10% (μ m)	L - 10 % (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	24,1	0,9	-0,9	1,3	6,4	1,3
M₃, M₄	4,7	4,5				
M₅, M₆	9,7	14,2				
M₇, M₈	3,4	16,0				
M₉	237,8	14,9				
M₁₀	224,1	4,5				

Transistor	HF (AGSPICE)					
	W - 10% (μ m)	L - 10 % (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	155,9	2,0	-3,4	4,1	8,6	0,8
M₃, M₄	188,8	1,8				
M₅, M₆	167,4	0,9				
M₇, M₈	135,7	5,6				
M₉	234,5	16,9				
M₁₀	169,0	6,1				

Transistor	μ P (Manual)					
	W - 10% (μ m)	L - 10 % (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	2,6	2,7	-1,1	-1,9	0,1	3,2
M₃, M₄	2,4	2,7				
M₅, M₆	2,4	2,7				
M₇, M₈	1,2	2,7				
M₉	4,7	9,0				
M₁₀	4,7	9,0				

Transistor	HG (Manual)					
	W - 10% (μ m)	L - 10 % (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	66,4	2,7	-0,8	4,8	26,1	1,1
M₃, M₄	6,7	2,7				
M₅, M₆	44,6	18,0				
M₇, M₈	4,1	18,0				
M₉	13,2	9,0				
M₁₀	13,2	9,0				

Transistor	HF (Manual)					
	W - 10% (μ m)	L - 10 % (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	180,1	2,7	-2,0	1,2	10,1	0,1
M₃, M₄	247,3	2,7				
M₅, M₆	247,3	2,7				
M₇, M₈	90,0	2,7				
M₉	720,5	2,7				
M₁₀	720,5	2,7				

Fonte: Autor.

No quarto passo do procedimento acima, apresentado na Tabela 18, observa-se resultados similares em relação ao terceiro passo, porém, em direções opostas. No caso do AGSPICE, o modo de operação μP apresenta variações inferiores a 5% [Tabela 18 (a)] e os modos de operação HG e HF apresentam variações de 6,4% e 8,6% para a margem de fase, respectivamente, conforme observado na Tabela 18, itens (b) e (c). Estes resultados são muito promissores, visto que as variações são inferiores a 10%. Porém, no projeto manual as variações para os modos de operação HG e HF são mais expressivas, com valores de 26,1% e 10,1%, respectivamente, conforme observado na Tabela 18, itens (e) e (f).

A Tabela 19 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função do aumento da largura em 10% e redução do comprimento de canal em 10% de todos os transistores dos OTAs μP , HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f), conforme o passo 5 do procedimento acima.

Tabela 19 – Variações das principais figuras de mérito em função do aumento da largura em 10% e redução do comprimento de canal em 10% dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).

Transistor	μ P (AGSPICE)					
	$W + 10\%$ (μ m)	$L - 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)
M₁, M₂	20,1	1,8	-2,7	2,6	0,4	-5,2
M₃, M₄	7,4	5,4				
M₅, M₆	9,4	1,1				
M₇, M₈	1,7	8,8				
M₉	457,1	12,4				
M₁₀	485,1	7,0				

Transistor	HG (AGSPICE)					
$W + 10\%$ (μ m)	$L - 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)	

29,4 -0,9 | 3,3 | 3,0 | -6,4 || **M₁, M₂** | 29,4 | 0,9 | | | | |
M₃, M₄	5,8	4,5				
M₅, M₆	11,8	14,2				
M₇, M₈	4,1	16,0				
M₉	290,7	14,9				
M₁₀	273,9	4,5				

Transistor	HF (AGSPICE)					
$W + 10\%$ (μ m)	$L - 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)	

190,6 0,4 | 16,0 | -1,6 | -5,5 || **M₁, M₂** | 190,6 | 2,0 | | | | |
M₃, M₄	230,7	1,8				
M₅, M₆	204,6	0,9				
M₇, M₈	165,8	5,6				
M₉	286,6	16,9				
M₁₀	206,5	6,1				

Transistor	μ P (Manual)					
$W + 10\%$ (μ m)	$L - 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)	

3,1 -0,7 | 16,3 | 0,0 | -4,7 || **M₁, M₂** | 3,1 | 2,7 | | | | |
M₃, M₄	2,9	2,7				
M₅, M₆	2,9	2,7				
M₇, M₈	1,4	2,7				
M₉	5,7	9,0				
M₁₀	5,7	9,0				

Transistor	HG (Manual)					
$W + 10\%$ (μ m)	$L - 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)	

81,1 -1,3 | 4,1 | 14,2 | -6,3 || **M₁, M₂** | 81,1 | 2,7 | | | | |
M₃, M₄	8,2	2,7				
M₅, M₆	54,6	18,0				
M₇, M₈	5,0	18,0				
M₉	16,2	9,0				
M₁₀	16,2	9,0				

Transistor	HF (Manual)					
$W + 10\%$ (μ m)	$L - 10\%$ (μ m)	ΔA_{vo} (%)	Δf_T (%)	ΔPM (%)	ΔV_{out} (%)	

220,1 0,7 | 17,1 | 0,5 | -3,6 || **M₁, M₂** | 220,1 | 2,7 | | | | |
M₃, M₄	302,2	2,7				
M₅, M₆	302,2	2,7				
M₇, M₈	110,0	2,7				
M₉	880,7	2,7				
M₁₀	880,7	2,7				

Fonte: Autor.

No quinto passo do procedimento acima, no caso do AGSPICE, observa-se que a tensão de saída DC (V_{OUT}) é a única figura de mérito que apresenta variação significativa para os modos μ P e HG, com variações de -5,2% e -6,4%, respectivamente, conforme mostra a Tabela 19, itens (a) e (b). Porém, o modo de operação HF apresenta variações significativas para a frequência de ganho de tensão unitário (f_T) e a tensão de saída DC (V_{OUT}), com variações de 16,0% e -5,5%, respectivamente, conforme mostra a Tabela 19 (c). Com exceção da frequência de ganho de tensão unitário no modo de operação HF, estes resultados são muito promissores, visto que as variações são inferiores a 10%. No projeto manual, observamos que a frequência de ganho de tensão unitário é a única figura de mérito que varia de forma significativa nos modos de operação μ P e HF, com variações de 16,3% e 17,1%, respectivamente, conforme mostra a Tabela 19, itens (d) e (f), e o modo de operação HG apresenta variações significativas na margem de fase (PM) e na tensão de saída DC (V_{OUT}), com variações de 14,2% e -6,3%, respectivamente, conforme mostra a Tabela 19 (e).

A Tabela 20 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função da redução da largura em 10% e aumento do comprimento de canal em 10% de todos os transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f), conforme o passo 6 do procedimento acima.

Tabela 20 – Variações das principais figuras de mérito em função da redução da largura em 10% e aumento do comprimento de canal em 10% dos transistores dos OTAs μ P, HG e HF obtidos pelo AGSPICE (a), (b), e (c) e pelo projeto manual (d), (e), e (f).

Transistor	μ P (AGSPICE)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	16,4	2,2	2,6	-2,3	-0,3	6,4
M₃, M₄	6,1	6,6				
M₅, M₆	7,7	1,4				
M₇, M₈	1,4	10,7				
M₉	374,0	15,1				
M₁₀	396,9	8,5				

Transistor	HG (AGSPICE)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	24,1	1,1	0,3	-4,1	-2,2	7,2
M₃, M₄	4,7	5,5				
M₅, M₆	9,7	17,3				
M₇, M₈	3,4	19,5				
M₉	237,8	18,2				
M₁₀	224,1	5,5				

Transistor	HF (AGSPICE)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	155,9	2,5	-1,6	-13,7	2,2	6,1
M₃, M₄	188,8	2,2				
M₅, M₆	167,4	1,1				
M₇, M₈	135,7	6,9				
M₉	234,5	20,6				
M₁₀	169,0	7,4				

Transistor	μ P (Manual)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	2,6	3,3	0,5	-15,9	0,0	5,5
M₃, M₄	2,4	3,3				
M₅, M₆	2,4	3,3				
M₇, M₈	1,2	3,3				
M₉	4,7	11,0				
M₁₀	4,7	11,0				

Transistor	HG (Manual)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	66,4	3,3	1,1	-4,1	-11,3	7,2
M₃, M₄	6,7	3,3				
M₅, M₆	44,6	22,0				
M₇, M₈	4,1	22,0				
M₉	13,2	11,0				
M₁₀	13,2	11,0				

Transistor	HF (Manual)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	180,1	3,3	-0,7	-15,5	0,9	3,0
M₃, M₄	247,3	3,3				
M₅, M₆	247,3	3,3				
M₇, M₈	90,0	3,3				
M₉	720,5	3,3				
M₁₀	720,5	3,3				

Fonte: Autor.

No sexto passo do procedimento acima observa-se resultados similares em relação ao quinto passo, porém, em direções opostas. No caso do AGSPICE, o resultado mais importante é a variação da frequência de ganho de tensão unitário (f_T), com variação de -13,7%, para o modo de operação HF, conforme mostra a Tabela 20 (c). As variações das demais figuras de mérito são menores que 10% [Tabela 20, itens (a), (b) e (c)]. No projeto manual a f_T apresenta variações de -15,9% e -15,5%, respectivamente, para os modos de operação μ P e HF, conforme mostra a Tabela 20, itens (d) e (f), e os resultados mais importantes do modo de operação HG são as variações da margem de fase (PM) e da tensão de saída DC (V_{OUT}), com variações de -11,3% e 7,2%, respectivamente, conforme mostra a Tabela 20 (e).

Adicionalmente, durante os testes de variação de W e L , conforme o procedimento dos passos 1 até 6 acima, o MOSFET M10 dos OTAs μ P e HF do projeto manual permaneceu na região de tríodo em todos os testes realizados, enquanto que para os OTAs projetados pelo AGSPICE todos os MOSFETs permaneceram na região de saturação.

No caso do AGSPICE, a única figura de mérito do OTA que apresenta variações maiores que 10% é a f_T (uma redução máxima de 13,7% devido às variações do pior caso quando W e L variaram em direções opostas). Além disso, as outras figuras de mérito do OTA (A_{V0} , PM e V_{OUT}) sempre apresentam variações menores que 10%. Assim, observa-se que o AGSPICE é capaz de realizar o projeto de um OTA, no qual o desempenho elétrico do OTA apresenta uma boa tolerância em relação às variações de W e L devido à dispersão do processo de fabricação de CI CMOS. Portanto, o resultado desse estudo demonstra que o AGSPICE pode aumentar a robustez do desempenho elétrico do OTA (cerca de 13,7%), referente às dispersões do processo de fabricação CMOS nas dimensões dos transistores, em relação ao projeto manual (normalmente da ordem de 20% a 30%), que frequentemente requer que um novo projeto do OTA seja realizado pelo projetista de CI analógico, aumentando o tempo e o custo do projeto.

5.8 ANÁLISE DE SENSIBILIDADE DA SOLUÇÃO MAIS ROBUSTA ENCONTRADA PELO AGSPICE

Diferentemente da subseção anterior, em que foi avaliada a robustez da melhor solução apresentada pelo AGSPICE (maior valor da função de aptidão), o objetivo desse estudo é identificar a solução mais robusta apresentada por essa ferramenta, considerando as 500 melhores soluções que foram descritas e analisadas na subseção 5.6, as quais satisfazem satisfatoriamente os objetivos de projeto. Nesse caso, o critério para identificar a solução mais robusta é aquela que apresenta o menor pico absoluto de variação, relativo às principais figuras

de mérito consideradas (A_{V0} , f_T , PM e V_{OUT}), devido às variações das dimensões W e L dos MOSFETs dos OTAs decorrentes do processo de fabricação CMOS, pois esse critério permite prever até que ponto uma determinada figura de mérito pode variar e pode fornecer informações ao projetista para avaliar se o desempenho elétrico do CI será aceitável após o processo de fabricação.

Para realizar esse estudo foi desenvolvido um aplicativo que permite selecionar somente as 500 melhores soluções obtidas pelo AGSPICE, relativo ao valor da função de aptidão, dentre todas as soluções obtidas. Após a seleção das 500 melhores soluções, as dimensões W e L de cada solução foram variadas em $\pm 10\%$ conforme os seis passos do procedimento descrito na subseção anterior. Após a finalização dos testes, as soluções foram ordenadas do menor para o maior valor do pico de variação ocorrido durante os testes realizados, sendo consideradas como as soluções mais robustas, as primeiras soluções assim classificadas.

Adicionalmente, a solução mais robusta dos OTAs μP , HG e HF possuem as seguintes classificações em relação ao valor da função de aptidão das 500 soluções analisadas: 453, 476 e 455, respectivamente. Convém mencionar que os resultados que serão apresentados para o OTA HF correspondem à solução classificada na terceira posição, dentre as soluções que apresentam os menores valores de variação, pois a primeira e a segunda solução apresentaram o MOSFET M10 na região de tríodo durante os testes de variação das dimensões dos MOSFETs. Os resultados obtidos para as soluções mais robustas obtidas para os OTAs μP , HG e HF, que serão apresentadas a seguir, serão comparados com os resultados alcançados pelas melhores soluções apresentadas na subseção anterior.

A Tabela 21 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função da variação em $\pm 10\%$ da largura de canal dos transistores dos OTAs μP , HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c), conforme o passo 1 do procedimento descrito na subseção anterior. Os valores de variação mais expressivos estão destacados na tabela. A representação das tabelas apresentadas nessa subseção segue a mesma abordagem usada na representação das tabelas apresentadas na subseção anterior.

Tabela 21 – Variações das principais figuras de mérito em função da variação de $\pm 10\%$ da largura de canal dos transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).

Transistor	(a) μ P (AGSPICE)									
	$W + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$W - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	38,2	0,1	0,2	-0,3	0,0	31,3	-0,1	-0,3	0,3	0,0
M₃, M₄	30,0	-0,3	-9,3	1,9	-0,8	24,5	0,4	10,6	-2,3	1,0
M₅, M₆	108,1	0,3	8,2	-3,3	0,8	88,4	-0,3	-9,1	3,4	-0,8
M₇, M₈	1,1	-0,4	0,6	0,1	-4,8	0,9	0,5	-0,8	-0,1	6,4
M₉	262,9	-0,3	-9,2	0,5	-0,8	215,1	0,3	10,6	-0,4	0,9
M₁₀	410,9	0,3	9,5	-0,4	0,8	336,2	-0,3	-10,0	0,5	-0,8

Transistor	(b) HG (AGSPICE)									
	$W + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$W - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	276,7	0,0	0,2	-0,2	0,0	226,4	-0,1	-0,3	0,3	0,0
M₃, M₄	120,5	-0,2	-8,3	2,3	-2,5	98,6	0,2	9,2	-2,5	2,9
M₅, M₆	220,6	0,1	8,1	-4,1	2,7	180,5	-0,1	-9,2	4,3	-2,9
M₇, M₈	3,9	-0,1	0,2	-0,1	-3,5	3,2	0,1	-0,2	0,1	4,2
M₉	127,6	-0,2	-8,5	1,1	-2,6	104,4	0,2	9,4	-1,0	3,0
M₁₀	261,5	0,2	8,4	-0,9	2,7	214,0	-0,2	-9,3	1,2	-2,8

Transistor	(c) HF (AGSPICE)									
	$W + 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$W - 10\%$ (μ m)	ΔA_{V0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M₁, M₂	130,4	1,3	4,3	-3,0	0,0	106,7	-1,4	-4,7	3,2	0,0
M₃, M₄	102,0	0,4	-7,2	3,9	-3,3	83,5	-0,7	7,8	-4,4	3,8
M₅, M₆	336,1	-0,5	6,8	-5,0	3,5	275,0	0,4	-7,8	5,3	-3,6
M₇, M₈	177,4	0,4	-0,4	-0,7	-3,3	145,1	-0,5	0,4	0,8	3,9
M₉	232,4	1,7	-3,4	-0,5	-3,3	190,1	-2,1	3,7	0,7	3,8
M₁₀	324,2	-1,9	3,4	0,6	3,4	265,3	1,9	-3,8	-0,5	-3,6

Fonte: Autor.

No experimento acima, observamos que os mesmos blocos apresentam alta sensibilidade às variações da largura de canal dos MOSFETs em $\pm 10\%$, em comparação aos resultados obtidos pela melhor solução apresentada na subseção anterior (Tabela 15). Os blocos mais sensíveis dos OTAs μ P e HG são os pares M3-M4, M5-M6 e M9-M10 [Tabela 21, itens (a) e (b)] e no caso do OTA HF apenas os pares M3-M4 e M5-M6 [Tabela 21 (c)]. Nesse caso, o ganho de tensão em malha aberta (A_{V0}), a margem de fase (PM) e a tensão de saída (V_{OUT}) praticamente não variam em todos os modos de operação (μ P, HG e HF). As maiores variações são observadas na frequência de ganho de tensão unitário (f_T), em todos os modos de operação. O resultado mais importante é o aumento da robustez dos pares M3-M4 e M5-M6 do OTA μ P para -9,3% e 8,2% [Tabela 21 (a)], quando os valores de largura de canal (W) são aumentados em 10%, em comparação com os resultados da melhor solução [Tabela 15 (a)], cujos valores são -11,8% e 11,2%, respectivamente e quando os valores de W são reduzidos em 10%, a robustez é aumentada para 10,6% e -9,1%, em comparação com os resultados da melhor solução, cujos valores são 13,8% e -12,0%, respectivamente.

A Tabela 22 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída

DC (ΔV_{OUT}) em função da variação em $\pm 10\%$ do comprimento de canal dos transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c), conforme o passo 2 do procedimento apresentado na subseção anterior.

Tabela 22 – Variações das principais figuras de mérito em função da variação de $\pm 10\%$ do comprimento de canal dos transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).

Transistor	(a) μ P (AGSPICE)									
	$L + 10\%$ (μ m)	ΔA_{v0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{v0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M ₁ , M ₂	1,1	0,0	0,0	-0,1	0,0	0,9	0,0	-0,1	0,1	0,0
M ₃ , M ₄	3,9	0,3	7,7	-2,7	0,7	3,2	-0,3	-8,4	2,7	-0,7
M ₅ , M ₆	1,7	1,0	-9,0	1,0	-0,8	1,4	-1,3	10,9	-1,3	1,0
M ₇ , M ₈	2,2	0,6	-0,2	-0,1	1,3	1,8	-0,6	0,2	0,1	-1,4
M ₉	18,2	0,3	9,5	-0,4	0,8	14,9	-0,3	-10,0	0,5	-0,8
M ₁₀	13,5	-0,3	-9,4	0,5	-0,8	11,0	0,3	11,0	-0,5	0,9

Transistor	(b) HG (AGSPICE)									
	$L + 10\%$ (μ m)	ΔA_{v0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{v0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M ₁ , M ₂	1,7	0,0	-0,2	-0,1	0,0	1,4	0,0	0,0	0,2	0,0
M ₃ , M ₄	1,7	0,2	8,3	-2,6	2,6	1,4	-0,3	-9,6	3,0	-2,9
M ₅ , M ₆	5,5	0,6	-8,5	0,1	-2,5	4,5	-0,7	9,5	0,0	2,9
M ₇ , M ₈	20,1	0,2	-1,0	-1,3	2,7	16,4	-0,3	0,9	1,3	-2,9
M ₉	14,9	0,1	8,3	-0,9	2,6	12,2	-0,2	-9,3	1,2	-2,8
M ₁₀	14,3	-0,2	-8,6	1,1	-2,6	11,7	0,2	9,4	-1,0	3,0

Transistor	(c) HF (AGSPICE)									
	$L + 10\%$ (μ m)	ΔA_{v0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)	$L - 10\%$ (μ m)	ΔA_{v0} (%)	Δf_T (%)	ΔPM (%)	ΔV_{OUT} (%)
M ₁ , M ₂	2,5	-1,2	-4,0	1,6	0,0	2,0	1,4	4,5	-1,9	0,0
M ₃ , M ₄	1,1	-0,9	7,9	-5,0	4,2	0,9	0,7	-9,4	5,6	-4,6
M ₅ , M ₆	1,4	2,6	-8,8	1,3	-3,9	1,1	-3,3	10,1	-1,3	4,6
M ₇ , M ₈	6,6	-0,2	-2,4	-1,7	3,4	5,4	0,0	2,3	2,0	-3,6
M ₉	11,6	-1,9	3,3	0,6	3,4	9,5	1,9	-3,8	-0,6	-3,6
M ₁₀	10,7	1,7	-3,4	-0,5	-3,3	8,8	-2,1	3,7	0,7	3,8

Fonte: Autor.

No Segundo passo do procedimento de variação apresentado na subseção anterior, os resultados são similares àqueles encontrados no primeiro passo, para todos os modos de operação, porém, as variações estão em direções opostas, conforme mostra a Tabela 22. O resultado mais importante é o aumento da robustez dos pares M₃-M₄ e M₅-M₆ do OTA μ P para 7,7% e -9,0% [Tabela 22 (a)], quando os valores de comprimento de canal (L) são aumentados em 10%, em comparação com os resultados da melhor solução [Tabela 16 (a)], cujos valores são 9,7% e -10,9%, respectivamente e quando os valores de L são reduzidos em 10%, a robustez é aumentada para -8,4% e 10,9%, em comparação com os resultados da melhor solução, cujos valores são -10,3% e 12,4%, respectivamente.

A Tabela 23 mostra as variações do ganho de tensão em malha aberta (ΔA_{v0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída

DC (ΔV_{OUT}) em função do aumento em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c), conforme o passo 3 do procedimento apresentado na subseção anterior.

Tabela 23 – Variações das principais figuras de mérito em função do aumento em 10% da largura e do comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).

Transistor	μP (AGSPICE)					
	$W + 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	38,2	1,1				
M₃, M₄	30,0	3,9				
M₅, M₆	108,1	1,7				
M₇, M₈	1,1	2,2				
M₉	262,9	18,2				
M₁₀	410,9	13,5				

Transistor	HG (AGSPICE)					
	$W + 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	276,7	1,7				
M₃, M₄	120,5	1,7				
M₅, M₆	220,6	5,5				
M₇, M₈	3,9	20,1				
M₉	127,6	14,9				
M₁₀	261,5	14,3				

Transistor	HF (AGSPICE)					
	$W + 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{vo} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{out} (\%)$
M₁, M₂	130,4	2,5				
M₃, M₄	102,0	1,1				
M₅, M₆	336,1	1,4				
M₇, M₈	177,4	6,6				
M₉	232,4	11,6				
M₁₀	324,2	10,7				

Fonte: Autor.

No terceiro passo do procedimento apresentado na subseção anterior, as soluções mais robustas obtidas pelo AGSPICE para os modos de operação μ P, HG e HF [Tabela 23, itens (a), (b) e (c)] apresentaram resultados similares àqueles obtidos para as melhores soluções [Tabela 17, itens (a), (b) e (c)], ou seja, os resultados são muito promissores, pois no modo μ P nenhuma figura de mérito apresentou variação maior que 5% e as figuras de mérito nos modos de operação HG e HF apresentaram variações inferiores a 10%.

A Tabela 24 mostra as variações do ganho de tensão em malha aberta (ΔA_{vo}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função da redução em 10% da largura e comprimento de canal de todos os

transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c), conforme o passo 4 do procedimento apresentado na subseção anterior.

Tabela 24 – Variações das principais figuras de mérito em função da redução em 10% da largura e comprimento de canal de todos os transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do MTGSPICE (a), (b) e (c).

Transistor	μ P (AGSPICE)					
	$W - 10\% (\mu\text{m})$	$L - 10\% (\mu\text{m})$	$\Delta A_{V0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	31,3	0,9	-1,7	3,1	3,1	5,1
M_3, M_4	24,5	3,2				
M_5, M_6	88,4	1,4				
M_7, M_8	0,9	1,8				
M_9	215,1	14,9				
M_{10}	336,2	11,0				

Transistor	HG (AGSPICE)					
	$W - 10\% (\mu\text{m})$	$L - 10\% (\mu\text{m})$	$\Delta A_{V0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	226,4	1,4	-1,0	0,6	6,2	1,0
M_3, M_4	98,6	1,4				
M_5, M_6	180,5	4,5				
M_7, M_8	3,2	16,4				
M_9	104,4	12,2				
M_{10}	214,0	11,7				

Transistor	HF (AGSPICE)					
	$W - 10\% (\mu\text{m})$	$L - 10\% (\mu\text{m})$	$\Delta A_{V0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M_1, M_2	106,7	2,0	-2,8	3,2	9,3	-0,2
M_3, M_4	83,5	0,9				
M_5, M_6	275,0	1,1				
M_7, M_8	145,1	5,4				
M_9	190,1	9,5				
M_{10}	265,3	8,8				

Fonte: Autor.

No quarto passo do procedimento apresentado na subseção anterior, apresentado na Tabela 24, observa-se resultados similares em relação ao terceiro passo, porém, em direções opostas. Além disso, os resultados alcançados pelas soluções mais robustas do AGSPICE [Tabela 24, itens (a), (b) e (c)] são semelhantes àqueles obtidos pelas melhores soluções [Tabela 18, itens (a), (b) e (c)]. Os resultados são muito promissores, visto que as variações são inferiores a 10%.

A Tabela 25 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função do aumento da largura em 10% e redução do comprimento de canal em 10% de todos os transistores dos OTAs μP , HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c), conforme o passo 5 do procedimento apresentado na subseção anterior.

Tabela 25 – Variações das principais figuras de mérito em função do aumento da largura em 10% e redução do comprimento de canal em 10% dos transistores dos OTAs μP , HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).

Transistor	μP (AGSPICE)					
	$W + 10\% (\mu m)$	$L - 10\% (\mu m)$	$\Delta A_{V0} (%)$	$\Delta f_T (%)$	$\Delta PM (%)$	$\Delta V_{OUT} (%)$
M₁, M₂	38,2	0,9	-2,6	2,4	0,2	-6,0
M₃, M₄	30,0	3,2				
M₅, M₆	108,1	1,4				
M₇, M₈	1,1	1,8				
M₉	262,9	14,9				
M₁₀	410,9	11,0				

Transistor	HG (AGSPICE)					
	$W + 10\% (\mu m)$	$L - 10\% (\mu m)$	$\Delta A_{V0} (%)$	$\Delta f_T (%)$	$\Delta PM (%)$	$\Delta V_{OUT} (%)$
M₁, M₂	276,7	1,4	-1,4	1,3	2,3	-6,3
M₃, M₄	120,5	1,4				
M₅, M₆	220,6	4,5				
M₇, M₈	3,9	16,4				
M₉	127,6	12,2				
M₁₀	261,5	11,7				

Transistor	HF (AGSPICE)					
	$W + 10\% (\mu m)$	$L - 10\% (\mu m)$	$\Delta A_{V0} (%)$	$\Delta f_T (%)$	$\Delta PM (%)$	$\Delta V_{OUT} (%)$
M₁, M₂	130,4	2,0	0,5	12,2	-0,2	-6,9
M₃, M₄	102,0	0,9				
M₅, M₆	336,1	1,1				
M₇, M₈	177,4	5,4				
M₉	232,4	9,5				
M₁₀	324,2	8,8				

Fonte: Autor.

No quinto passo do procedimento apresentado na subseção anterior, observa-se que as soluções mais robustas obtidas pelo AGSPICE são muito promissoras para os modos μP e HG, pois as variações de todas as figuras de mérito são inferiores a 10%, conforme mostra a Tabela 25, itens (a) e (b). Esses resultados são similares aos obtidos pelas melhores soluções obtidas pelo AGSPICE que foram apresentados na Tabela 19, itens (a) e (b). Porém, o modo de operação HF apresenta variações significativas para a frequência de ganho de tensão unitário (f_T), com variação de 12,2%, conforme mostra a Tabela 25 (c). Esse resultado é muito positivo, em comparação com a melhor solução obtida pelo AGSPICE, cuja variação alcança 16,0%,

conforme foi mostrado na Tabela 19 (c). Portanto, com exceção da frequência de ganho de tensão unitário no modo de operação HF, estes resultados são muito promissores, visto que as variações são inferiores a 10%.

A Tabela 26 mostra as variações do ganho de tensão em malha aberta (ΔA_{V0}), da frequência de ganho de tensão unitário (Δf_T), da margem de fase (ΔPM) e da tensão de saída DC (ΔV_{OUT}) em função da redução da largura em 10% e aumento do comprimento de canal em 10% de todos os transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c), conforme o passo 6 do procedimento apresentado na subseção anterior.

Tabela 26 – Variações das principais figuras de mérito em função da redução da largura em 10% e aumento do comprimento de canal em 10% dos transistores dos OTAs μ P, HG e HF obtidos pela solução mais robusta do AGSPICE (a), (b) e (c).

Transistor	μ P (AGSPICE)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{V0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M₁, M₂	31,3	1,1	2,5	-1,4	-0,2	7,8
M₃, M₄	24,5	3,9				
M₅, M₆	88,4	1,7				
M₇, M₈	0,9	2,2				
M₉	215,1	18,2				
M₁₀	336,2	13,5				

Transistor	HG (AGSPICE)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{V0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M₁, M₂	226,4	1,7	1,2	-2,0	-1,6	6,9
M₃, M₄	98,6	1,7				
M₅, M₆	180,5	5,5				
M₇, M₈	3,2	20,1				
M₉	104,4	14,9				
M₁₀	214,0	14,3				

Transistor	HF (AGSPICE)					
	$W - 10\% (\mu m)$	$L + 10\% (\mu m)$	$\Delta A_{V0} (\%)$	$\Delta f_T (\%)$	$\Delta PM (\%)$	$\Delta V_{OUT} (\%)$
M₁, M₂	106,7	2,5	-1,8	-11,2	1,4	7,6
M₃, M₄	83,5	1,1				
M₅, M₆	275,0	1,4				
M₇, M₈	145,1	6,6				
M₉	190,1	11,6				
M₁₀	265,3	10,7				

Fonte: Autor.

No sexto passo do procedimento descrito na subseção anterior, observa-se resultados similares em relação ao quinto passo, porém, em direções opostas. O resultado mais importante obtido pela solução mais robusta obtida pelo AGSPICE é a variação da frequência de ganho de tensão unitário (f_T), com variação de -11,2%, para o modo de operação HF, conforme mostra a Tabela 26 (c). As variações das demais figuras de mérito são menores que 10% [Tabela 26,

itens (a), (b) e (c)]. Esse resultado é muito positivo, quando comparado com a melhor solução obtida pelo AGSPICE, cuja variação alcança -13,7%, conforme foi mostrado na Tabela 20 (c).

No caso da solução mais robusta apresentada pelo AGSPICE, a única figura de mérito do OTA que apresentou variações maiores que 10% é a f_T , com uma variação máxima de 12,2% devido às variações do pior caso quando W e L variam em direções opostas. Esse resultado é muito positivo, pois, conforme foi descrito na subseção anterior, o valor da f_T da solução com o maior valor da função de aptidão atingiu 16,0%, as outras figuras de mérito do OTA (A_{VO} , PM e V_{OUT}) sempre apresentam variações menores que 10%. Além disso, os maiores valores de variação da f_T dos OTAs μ P, HG e HF das melhores soluções (obtidos da subseção anterior) são: 13,8%, 10,4% e 16,0% e os maiores valores de variação da f_T das soluções mais robustas são: 11,0%, -9,6% e 12,2%. Assim, as soluções mais robustas obtidas pelo AGSPICE foram capazes de aumentar a robustez da f_T dos OTAs μ P, HG e HF em aproximadamente 3%, 1% e 4%, respectivamente, em relação às variações de W e L devido à dispersão do processo de fabricação de CI CMOS, quando comparado à melhor solução. Portanto, embora as soluções obtidas pelo AGSPICE que apresentam os maiores valores da função de aptidão não sejam as mais robustas, verifica-se que a variação na robustez é pequena (não significativa).

5.9 LEIAUTE, FABRICAÇÃO E CARACTERIZAÇÃO ELÉTRICA EXPERIMENTAL DOS OTAS SIMULADOS E PROJETADOS PELO AGSPICE

Os OTAs μ P e HF foram projetados conforme as especificações definidas na Tabela 1 da subseção 5.4, através do uso da ferramenta de auxílio ao projeto de CIs analógicos AGSPICE, que foi apresentada na subseção 5.1, cujas soluções (dimensões dos MOSFETs e condições de polarização) foram apresentadas na subseção 5.6. Nessa subseção, serão apresentados os leiautes dos OTAs, que foram implementados com diferentes estilos de leiaute para MOSFETs (multidedos, Waffle e O-CGT) e foram fabricados usando o processo CMOS de 0,35 μ m da ON Semiconductor através do programa educacional do MOSIS (MEP)⁵⁷ (2015). Em seguida, será descrito em detalhes o sistema de caracterização elétrica que foi desenvolvido nesse trabalho para a obtenção da resposta em frequência e das diversas figuras de mérito dos OTAs, as quais foram apresentadas na seção 3. Finalmente, serão realizadas comparações das figuras de mérito simuladas dos OTAs com as respectivas figuras de mérito obtidas através das caracterizações elétricas experimentais.

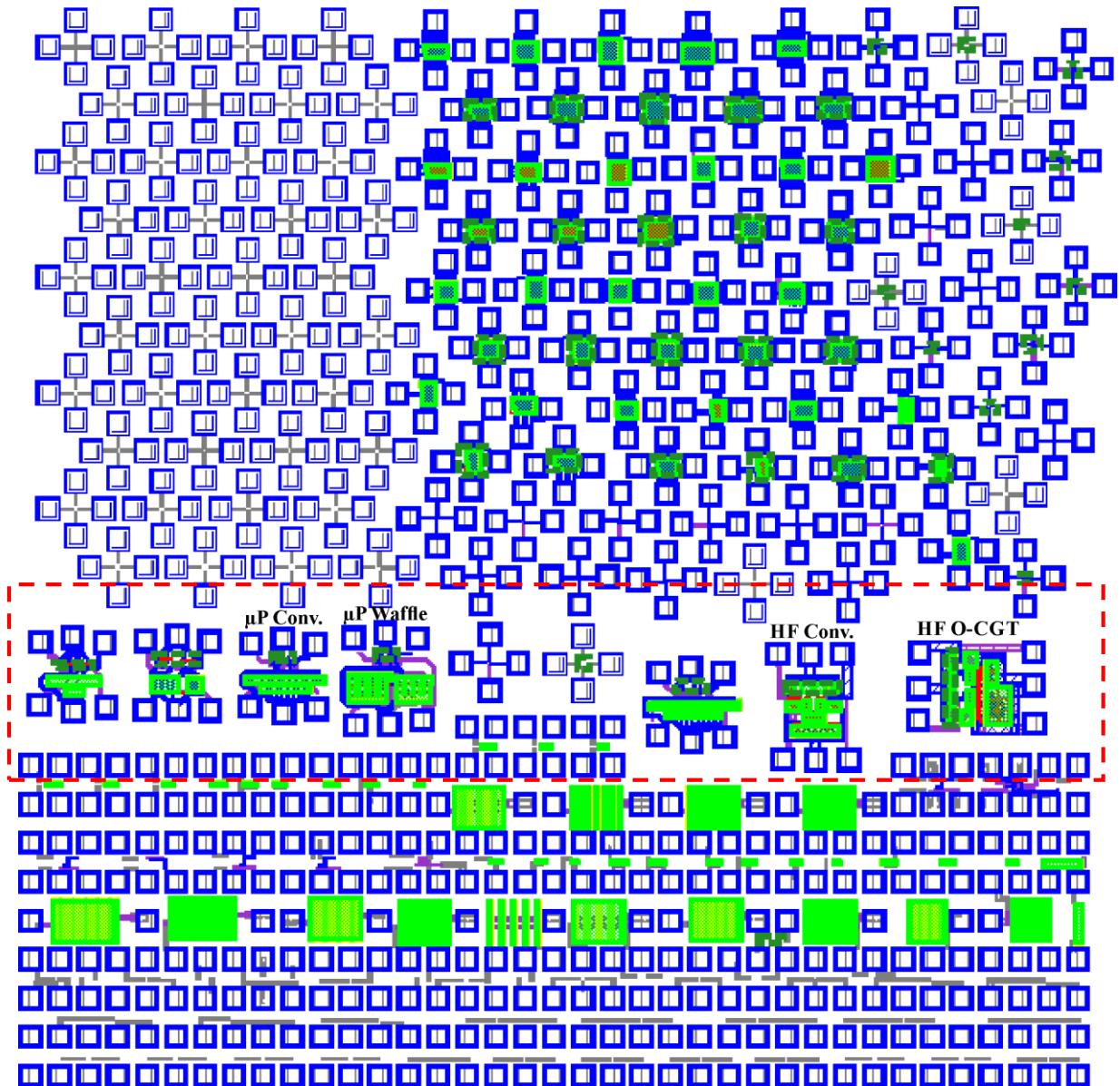
⁵⁷ MOSIS educational program.

5.9.1 Considerações dos leiautes dos OTAs

Para realizar esse estudo, a melhor solução obtida pelo AGSPICE, relativo ao valor da função de aptidão, foi selecionada para implementar os leiautes dos OTAs com MOSFETs de geometria de portas convencionais (retangular) e não-convencionais (circular do tipo O-CGT). A melhor solução para cada modo de operação (μ P e HF) foi apresentada na subseção 5.6, onde as condições de polarização dos OTAs μ P e HF (I_{POL} e V_{POL}) foram apresentadas na Tabela 10, nas colunas identificadas pelo título “*Melhor*”. As dimensões dos MOSFETs (W , L e W/L) desses OTAs foram apresentadas na Tabela 12, itens (a) e (c), respectivamente, onde as melhores soluções são apresentadas nas colunas identificadas pelo título “*Melhor*”.

Nesse trabalho, os leiautes dos MOSFETs foram implementados com o programa de edição de leiautes Pyxis Layout (2012) do fabricante Mentor Graphics (2016), seguindo as regras de projeto da tecnologia CMOS de 0,35 μ m da ON Semiconductor e foram fabricados através do programa educacional do MOSIS (2015). A Figura 36 mostra uma micrografia de uma das pastilhas de silício contendo os diversos tipos de OTAs, que foram utilizados para a realização da caracterização elétrica experimental.

Figura 36 – Micrografia de uma pastilha de silício contendo os diversos tipos de OTAs, que foi utilizada para a realização das caracterizações elétricas experimentais desses circuitos.



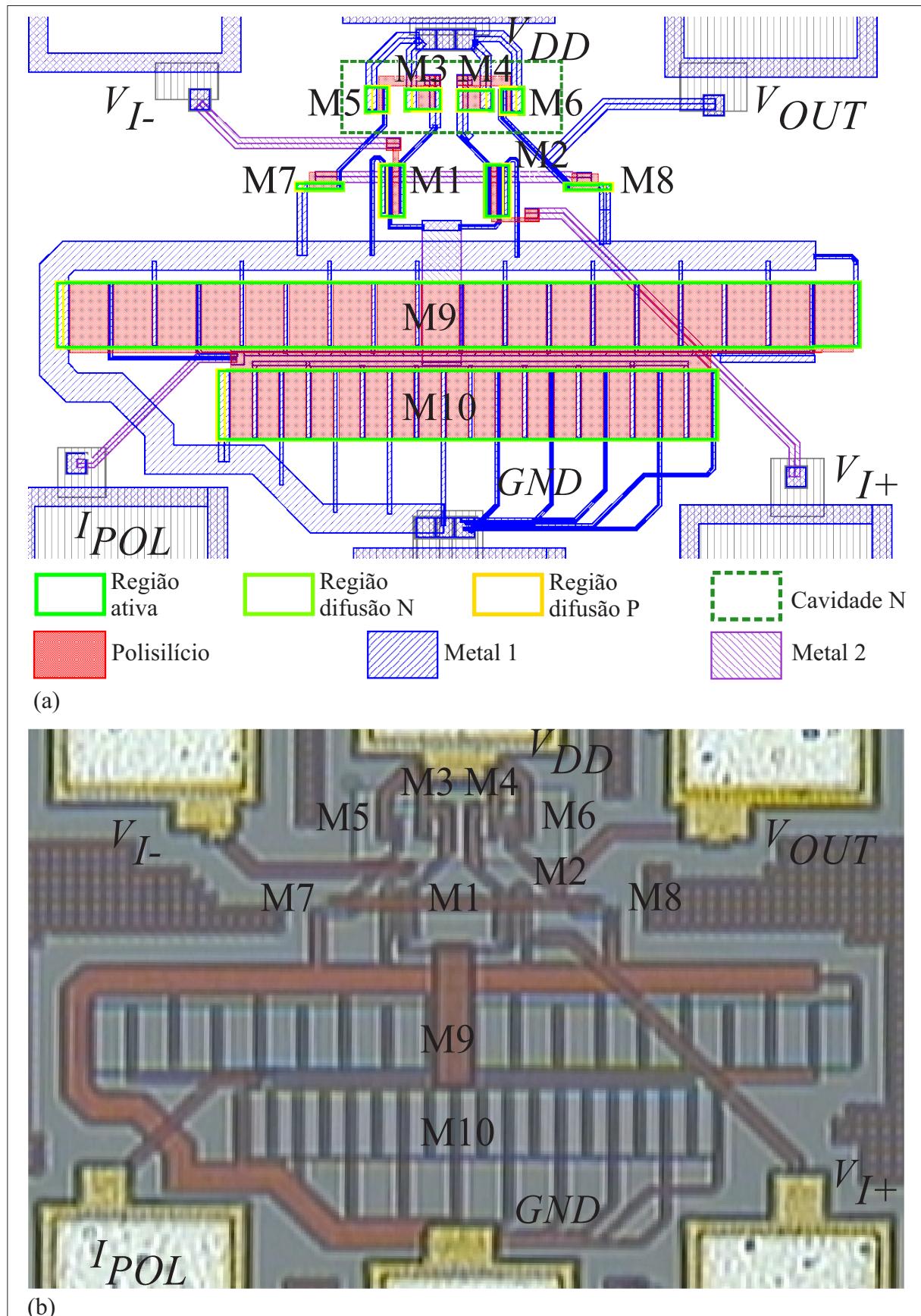
Fonte: Autor.

A fim de validar a ferramenta computacional (AGSPICE), que obtém o desempenho elétrico dos OTAs através do simulador Spice Opus (2010), o desempenho elétrico dos OTAs μ P e HF projetados e simulados por essa ferramenta computacional é comparado com o desempenho elétrico decorrente da caracterização elétrica experimental desses OTAs. Além disso, como o objetivo desse trabalho é também avaliar o desempenho elétrico (resposta em frequência) obtido por OTAs implementados com diferentes estilos de leiautes para MOSFETs, cada tipo de OTA foi fabricado com MOSFETs em estilo de leiaute convencional e outro do mesmo tipo implementado com estilo de leiaute não convencional, conforme descrito a seguir:

o modo de operação μ P foi implementado com o estilo de leiaute convencional (multidedos) e o *Waffle* e o modo de operação HF foi implementado com estilo de leiaute convencional (multidedos) e o circular do tipo O-CGT. Nesse último caso, o estilo de leiaute O-CGT foi usado porque permite obter melhor resposta em altas frequências em relação ao convencional (multidedos), visto que capacitâncias parasitas associadas às junções dreno-substrato são minimizadas (LIMA; GIMENEZ; CIRNE, 2012). Além disso, o estudo realizado para avaliar o desempenho elétrico do OTA μ P implementado com o uso do estilo de leiaute *Waffle*, somente leva em conta a implementação dos MOSFETs M9 e M10 (fonte de corrente) nesse estilo, devido ao grande fator geométrico (W/L) desses MOSFETs em relação aos demais MOSFETs do circuito.

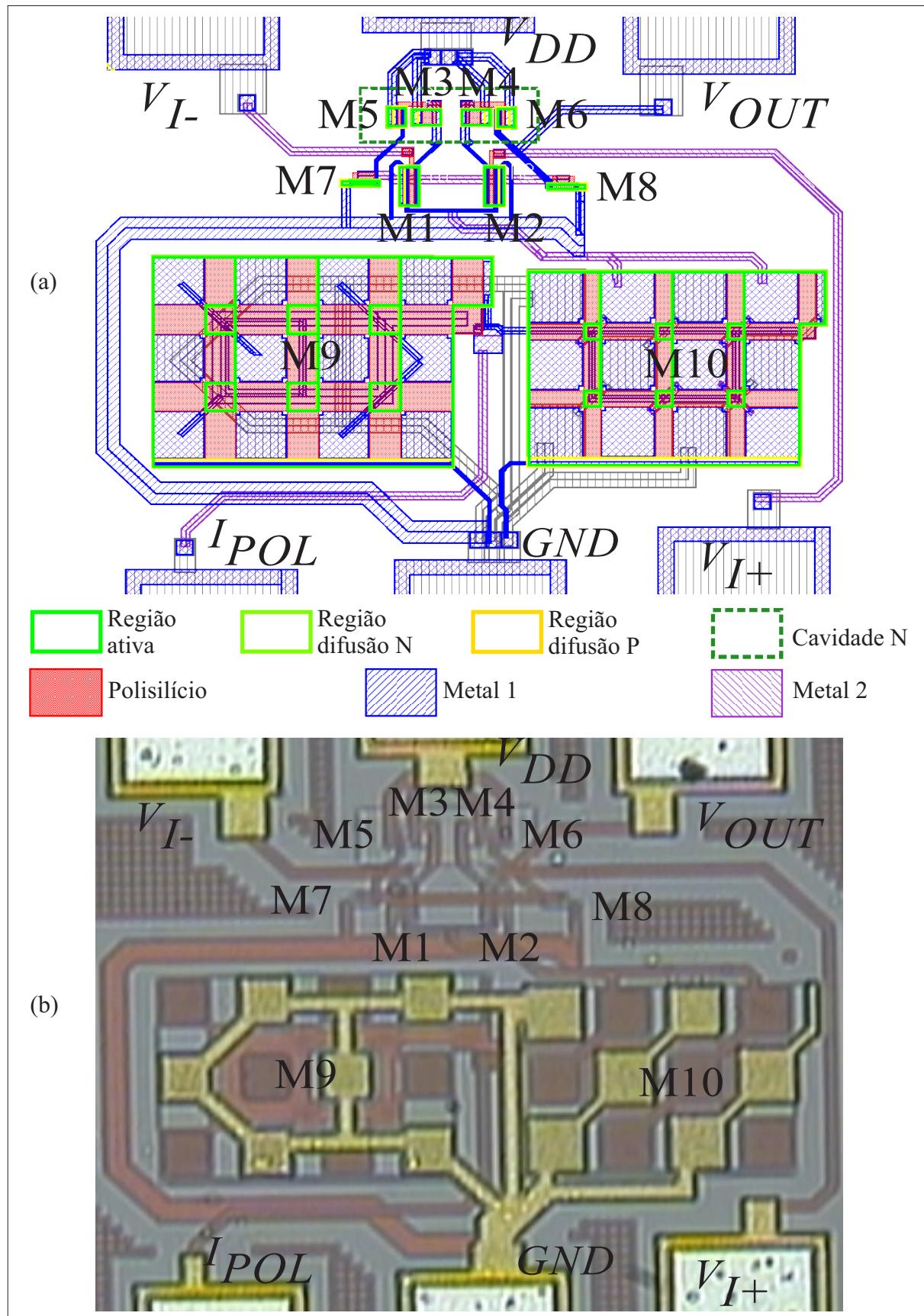
O OTA μ P foi implementado com MOSFETs nos estilos de leiaute multidedos e *Waffle*, os quais estão ilustrados no item (a) das Figuras 37 e 38, respectivamente. As micrografias correspondentes aos OTAs fabricados estão ilustradas no item (b) das Figuras 37 e 38, onde estão identificados os terminais de alimentação (V_{DD} e GND), os MOSFETs (M1 a M10), os terminais da entrada diferencial (v_{I-} e v_{I+}) e o terminal de saída (V_{OUT}). O mesmo esquema de identificação será utilizado na apresentação dos leiautes do OTA HF.

Figura 37 – OTA μ P: leiaute implementado com MOSFETs multidedos (a) e a micrografia correspondente do OTA fabricado (b).



Fonte: Autor.

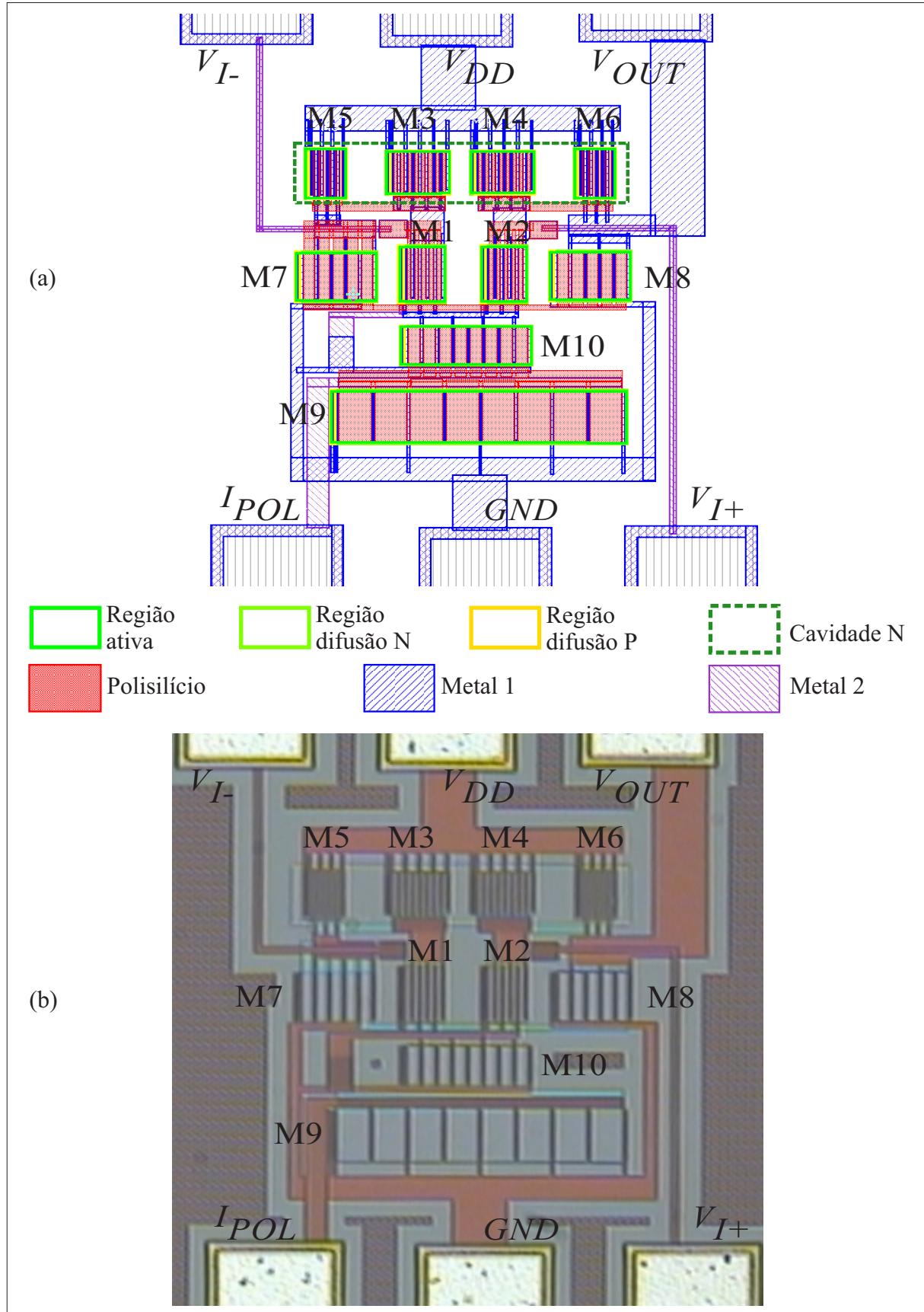
Figura 38 - OTA μ P: leiaute implementado com MOSFETs Waffle (a) e a micrografia correspondente do OTA fabricado (b).



Fonte: Autor.

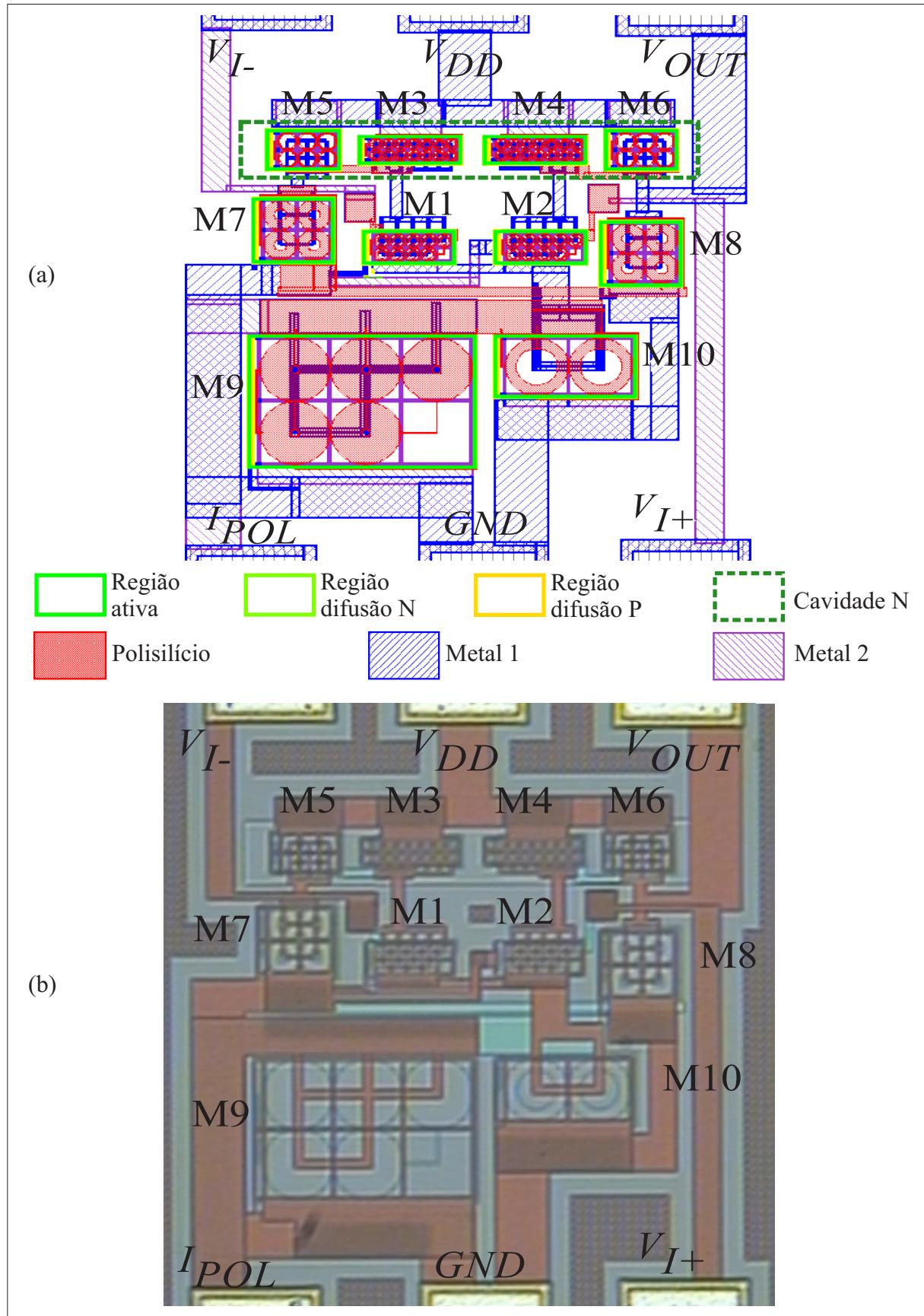
O OTA HF que foi implementado com MOSFETs no estilo de leiaute multidedos é ilustrado no item (a) da Figura 39 e a micrografia correspondente ao OTA fabricado é ilustrada no item (b). A Figura 40, item (a), ilustra o leiaute do OTA HF que foi implementado com células O-CGT e o item (b) apresenta a micrografia correspondente ao OTA fabricado.

Figura 39 – OTA HF: leiaute implementado com MOSFETs multidedos (a) e a micrografia correspondente do OTA fabricado (b).



Fonte: Autor.

Figura 40 – OTA HF: leiaute implementado com MOSFETs O-CGT (a) e a micrografia correspondente do OTA fabricado (b).



Fonte: Autor.

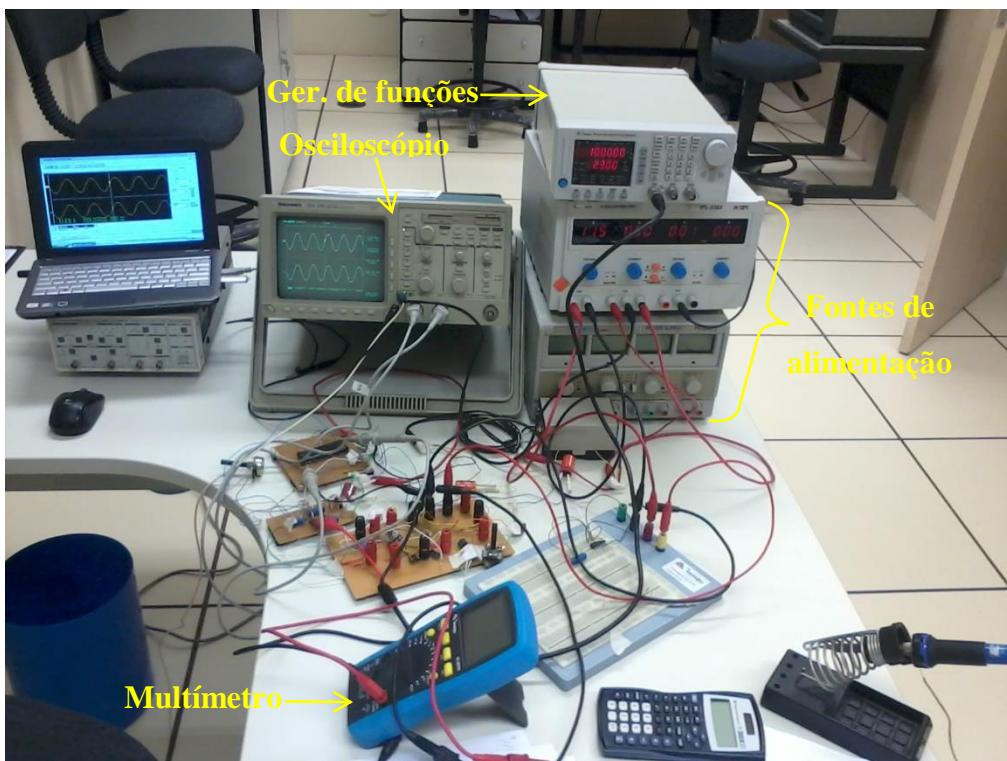
5.9.2 Sistema de medidas

Nesse trabalho foram desenvolvidos diversos sistemas de medidas, que utilizam a metodologia e os circuitos elétricos apresentados na seção 3, para a realização da caracterização elétrica experimental dos OTAs para a obtenção da resposta em frequência, do *slew-rate* e da *CMRR*, os quais serão descritos nas próximas subseções. Os seguintes equipamentos de medidas foram utilizados para realizar as caracterizações elétricas experimentais dos OTAs μ P, HG e HF:

- a) Osciloscópio: Tektronix TDS 380 (2 GS/s, largura de banda 400 MHz, 2 canais);
- b) Gerador de funções: Minipa MFG-4221 (20 MHz);
- c) Multímetro: Minipa ET-2075A;
- d) Fontes de alimentação: Minipa MPL-3303.

A Figura 41 mostra uma fotografia do sistema de medidas desenvolvido para realizar a caracterização elétrica das respostas em frequência dos OTAs.

Figura 41 – Fotografia do sistema de medidas

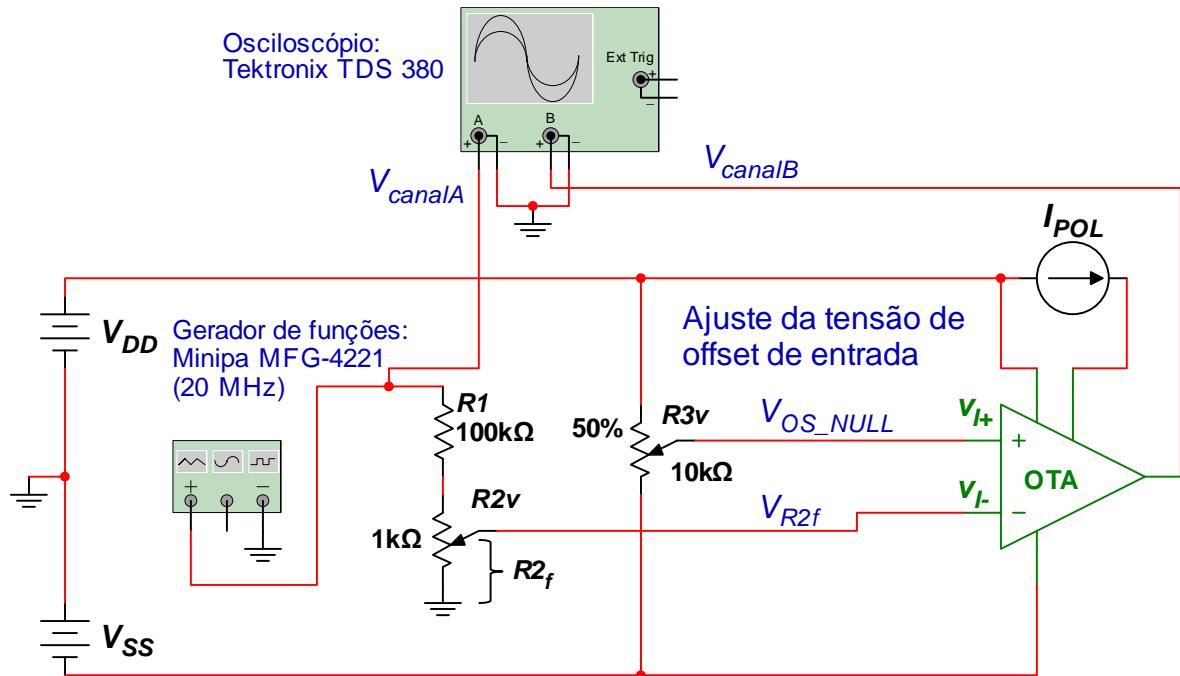


Fonte: Autor.

5.9.2.1 Circuito elétrico utilizado na caracterização elétrica experimental da resposta em frequência dos OTAs

O sistema de medidas desenvolvido nesse trabalho para realizar a caracterização elétrica experimental das respostas em frequência dos OTAs é mostrado na Figura 42:

Figura 42 – Sistema de medidas desenvolvido para realizar a caracterização elétrica das respostas em frequência dos OTAs.



Fonte: Autor.

Na Figura 42, I_{POL} é a corrente de polarização do OTA, implementada por uma fonte de corrente externa (detalhada na próxima subseção), V_{canalA} é a tensão de saída do gerador de funções, que é ligada à entrada do canal A do osciloscópio, V_{canalB} é a tensão de saída do OTA, que é ligada à entrada do canal B do osciloscópio, V_{OS_NULL} é a tensão aplicada ao terminal não inversor do OTA (v_{I+}) para anular a tensão de offset de entrada do OTA (conforme foi descrito na subseção 3.1.3.1), que apresenta tipicamente valores em torno de alguns mV, mas pode chegar a dezenas de mV, dependendo da amostra analisada, devido aos descasamentos dos MOSFETs, que ocorrem devido às variações do processo de fabricação CMOS de CIs. Além disso, um potenciômetro de precisão multivoltas, 10 nesse caso, ($R3v$) é usado para produzir um V_{OS_NULL} estável, pois devido ao alto ganho de tensão em malha aberta do OTA (em torno de 60 dB para o OTA HG), valores de V_{OS_NULL} um pouco acima ou um pouco abaixo da tensão de offset de entrada do OTA (V_{os}), por exemplo, 5 mV, conforme demonstrado na subseção

3.1.3.1, podem saturar o OTA em valores próximos ao valor máximo e mínimo, respectivamente, da tensão de alimentação, por exemplo, +1,5V ou -1,5V, no caso do OTA HG. Devido ao alto ganho de tensão em malha aberta em baixas frequências (A_{V0}), um divisor de tensão é incluído na saída do gerador de funções para aplicar somente uma pequena amostra do sinal de saída do gerador de funções ao terminal da entrada inversora do OTA (v_I). O divisor de tensão é constituído pelos resistores $R1$ e um potenciômetro $R2v$ e sua saída é o terminal central do potenciômetro $R2v$, o qual é conectado ao terminal v_I . A tensão de saída do divisor de tensão (V_{R2f}), aplicada ao terminal v_I , é calculada conforme a equação (38):

$$V_{R2f} = \frac{V_{canalA} \cdot R2_f}{R1 + R2v}, \quad (38)$$

onde $R1$ representa o valor do resistor fixo $R1$, $R2v$ representa o valor nominal da resistência do potenciômetro $R2v$ (1k Ω) e $R2_f$ é a resistência entre o terra (GND) e o terminal central do potenciômetro $R2v$.

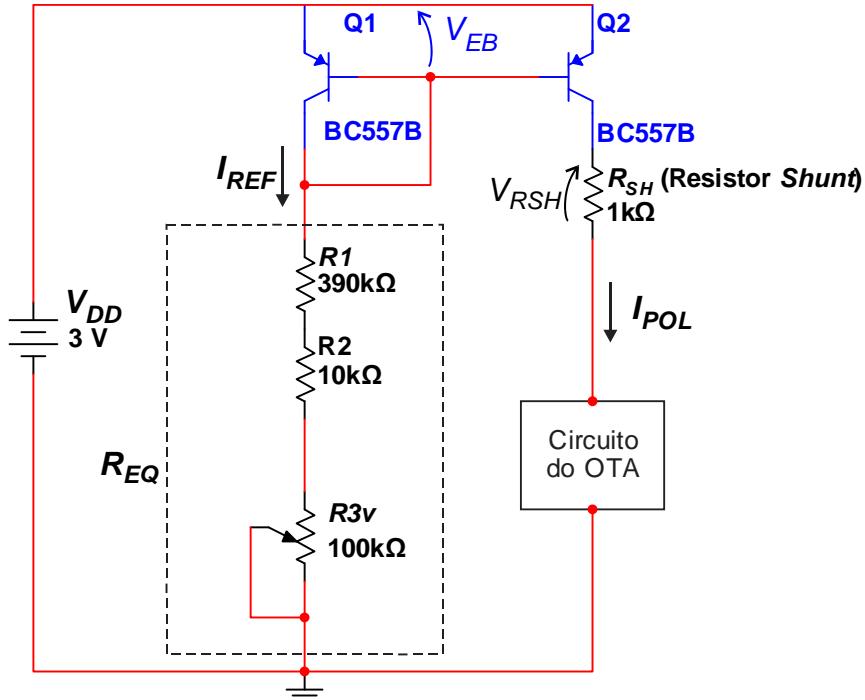
Para calcular o ganho de tensão (A_V) em baixas frequências dos OTAs μP e HF , $R2_f$ foi fixado em torno de 900 Ω e $R1$ em 100 k Ω . Para determinar o A_V em altas frequências, $R2_f$ foi mantido com os mesmos valores das medições em baixas frequências, porém $R1$ foi sendo substituído por resistores de 10k Ω e 1k Ω , respectivamente, pois o ganho de tensão (A_V) diminui quando a frequência aumenta. Finalmente, o módulo do ganho de tensão ($|A_V|$) é dado pela tensão de saída do OTA (V_{canalB}) dividido pela tensão aplicada no terminal da entrada inversora (V_{R2f}), conforme foi detalhado na subseção 3.1.3.2.1, que resulta na equação (39).

$$|A_V| = \frac{V_{canalB}}{\left(\frac{V_{canalA} \cdot R2_f}{R1 + R2v} \right)}. \quad (39)$$

5.9.2.2 Circuito elétrico da fonte de corrente dos OTAs

A fonte de corrente implementada nesse trabalho para fornecer a corrente de polarização I_{POL} dos OTAs é mostrada na Figura 43:

Figura 43 – Fonte de corrente desenvolvida para fornecer a corrente de polarização I_{POL} dos OTAs.



Fonte: Autor.

Na Figura 43, Q1 e Q2 são transistores bipolares tipo PNP, que nesse caso é usado o BC557, configurados como um espelho de corrente, sendo que Q1 espelha a corrente de referência (I_{REF}) para Q2, o qual fornece a corrente de saída de polarização dos OTAs (I_{POL}). O funcionamento desse circuito é semelhante ao dos espelhos de corrente dos OTAs implementados com MOSFETs canal p (pMOSFETs) na tecnologia CMOS, detalhados na subseção 3.2.1 da referência Moreto (2011). Como Q1 e Q2 tendem a ser casados e possuem praticamente a mesma tensão entre emissor e base (V_{EB}), a corrente de saída (I_{POL}) é semelhante à corrente de referência I_{REF} , cujo valor é determinado pelo resistor R_{EQ} , que no exemplo da Figura 43 é constituído pela associação série dos resistores $R1$, $R2$ e do potenciômetro de ajuste $R3v$. Por fim, R_{SH} é o resistor shunt de corrente, que é ligado em série com o circuito alimentado pela fonte de corrente, em que é usado para medir com precisão o valor da corrente I_{POL} , através da diferença de potencial medida em R_{SH} (V_{RSH}).

O cálculo do resistor R_{EQ} para obtenção da corrente de referência (I_{REF}) do espelho de corrente da Figura 43 é dado pela equação (40) (SEDRA; SMITH, 2000):

$$R_{EQ} = \frac{(V_{DD} - V_{EB})}{I_{REF}} \cong \frac{(V_{DD} - 0,7)}{I_{REF}}. \quad (40)$$

A Figura 43 exemplifica a fonte de corrente implementada para o OTA HG. Considerando os dados de projeto: $V_{DD} = 3V$ e considerando $I_{REF} = I_{POL} = 4,95 \mu A$, O cálculo do resistor R_{EQ} para obtenção da corrente de polarização do OTA (I_{POL}) é dado pela equação (41):

$$R_{EQ} = \frac{(3 - 0,7)}{4,95\mu} = 464,65K \Omega . \quad (41)$$

Na prática, o valor de R_{EQ} foi obtido pela associação série de $R1 = 390k \Omega$, $R2 = 10k \Omega$ e do potenciômetro de ajuste $R3v = 100k \Omega$, cujo valor é ajustado para gerar $I_{POL} = 4,95 \mu A$. O procedimento da medição de I_{POL} será descrito em detalhes nos próximos parágrafos.

A corrente elétrica de polarização do OTA (I_{POL}) que flui sobre o resistor *shunt* R_{SH} , ligado em série com o circuito do OTA HG na Figura 43, gera uma diferença de potencial igual a V_{RSH} . Como os valores de I_{POL} e R_{SH} são conhecidos, o potenciômetro $R3v$ é ajustado de forma que I_{POL} seja igual ao valor desejado para a corrente de polarização do OTA. Pela primeira lei de Ohm, isso ocorrerá quando a diferença de potencial entre os terminais do resistor *shunt* (V_{RSH}) for igual ao valor calculado na equação (42):

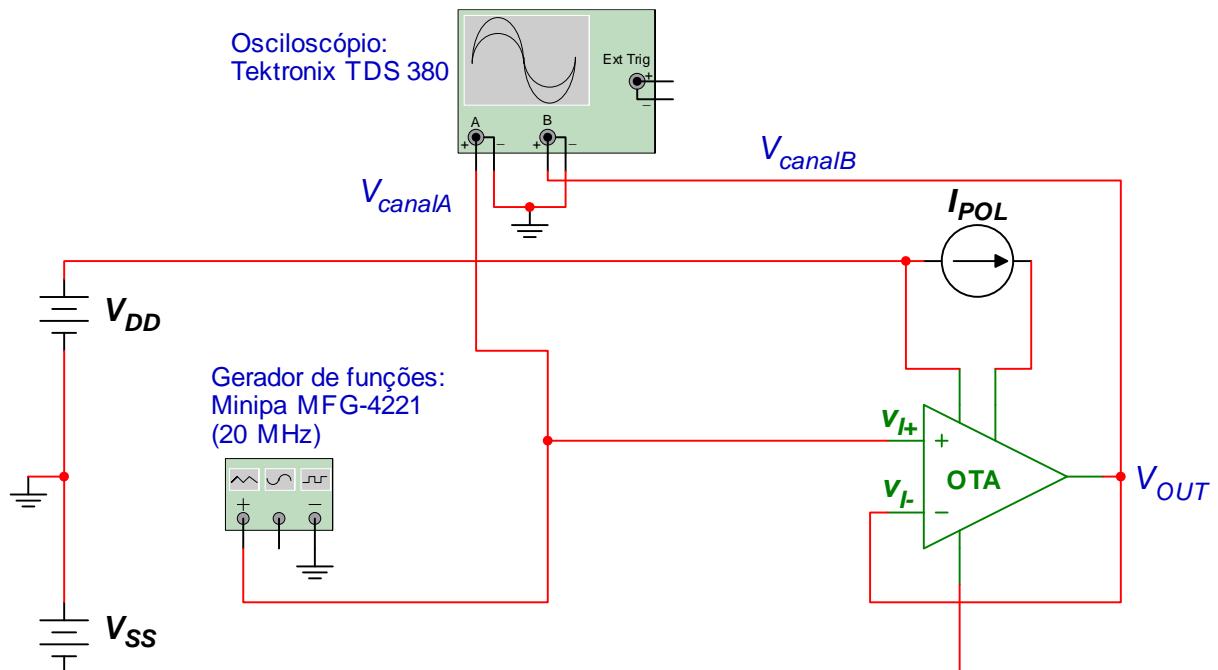
$$V_{RSH} = R_{SH} \cdot I_{POL} . \quad (42)$$

O valor de R_{SH} deve ser criteriosamente escolhido de forma a não interferir no funcionamento do circuito, ou seja, o valor da queda de tensão no resistor *shunt* deve ser desprezível em comparação com o valor da tensão de alimentação do circuito, porém a tensão medida entre seus terminais deve ser suficiente para ser medida através de um multímetro, por exemplo, a faixa de $1 mV \leq V_{RSH} \leq 10 mV$, considerando um circuito alimentado por uma fonte de alimentação de 3V. Para uma maior precisão, em vez de utilizar o valor R_{SH} especificado pelo fabricante, com uma determinada tolerância, por exemplo 5%, o valor de R_{SH} pode ser medido com um multímetro que possui uma precisão maior que a tolerância do R_{SH} (por exemplo, um multímetro com precisão de 0,5%). Seguindo o critério descrito anteriormente, nesse trabalho, o valor de R_{SH} foi escolhido de forma que a corrente que flui através dele (I_{POL}) gere uma tensão entre 1 mV e 10 mV. Considerando novamente o exemplo da Figura 43, adotando $R_{SH} = 1k \Omega$, a corrente $I_{POL} = 4,95 \mu A$ do OTA HG será obtida quando V_{RSH} for igual a 4,95 mV. Essa mesma abordagem foi utilizada para estimar a corrente I_{POL} dos OTAs μP e HF, em que os valores adotados para R_{SH} foram iguais a $10k \Omega$ e $8,2 \Omega$, respectivamente.

5.9.2.3 Circuito elétrico utilizado na caracterização elétrica do slew-rate dos OTAs

O sistema de medidas proposto e implementado nesse trabalho para realizar a caracterização elétrica do *slew-rate* dos OTAs é mostrado na Figura 44:

Figura 44 – Sistema de medidas proposto para realizar a caracterização elétrica do *slew-rate* dos OTAs.



Fonte: Autor.

Na Figura 44 I_{POL} é a corrente de polarização do OTA, implementada por uma fonte de corrente externa (detalhada na subseção anterior), V_{canalA} é a tensão de saída do gerador de funções, que é ligada à entrada do canal A do osciloscópio e ao terminal não inversor do OTA (v_{I+}), V_{canalB} é a tensão de saída do OTA, que é ligada à entrada do canal B do osciloscópio. Visto que a medição experimental do *slew-rate* dos OTAs nesse trabalho usam a configuração seguidor de ganho de tensão unitário (SEDRA; SMITH, 2000), o terminal inversor do OTA (v_{I-}) é ligado diretamente ao terminal de saída (V_{OUT}).

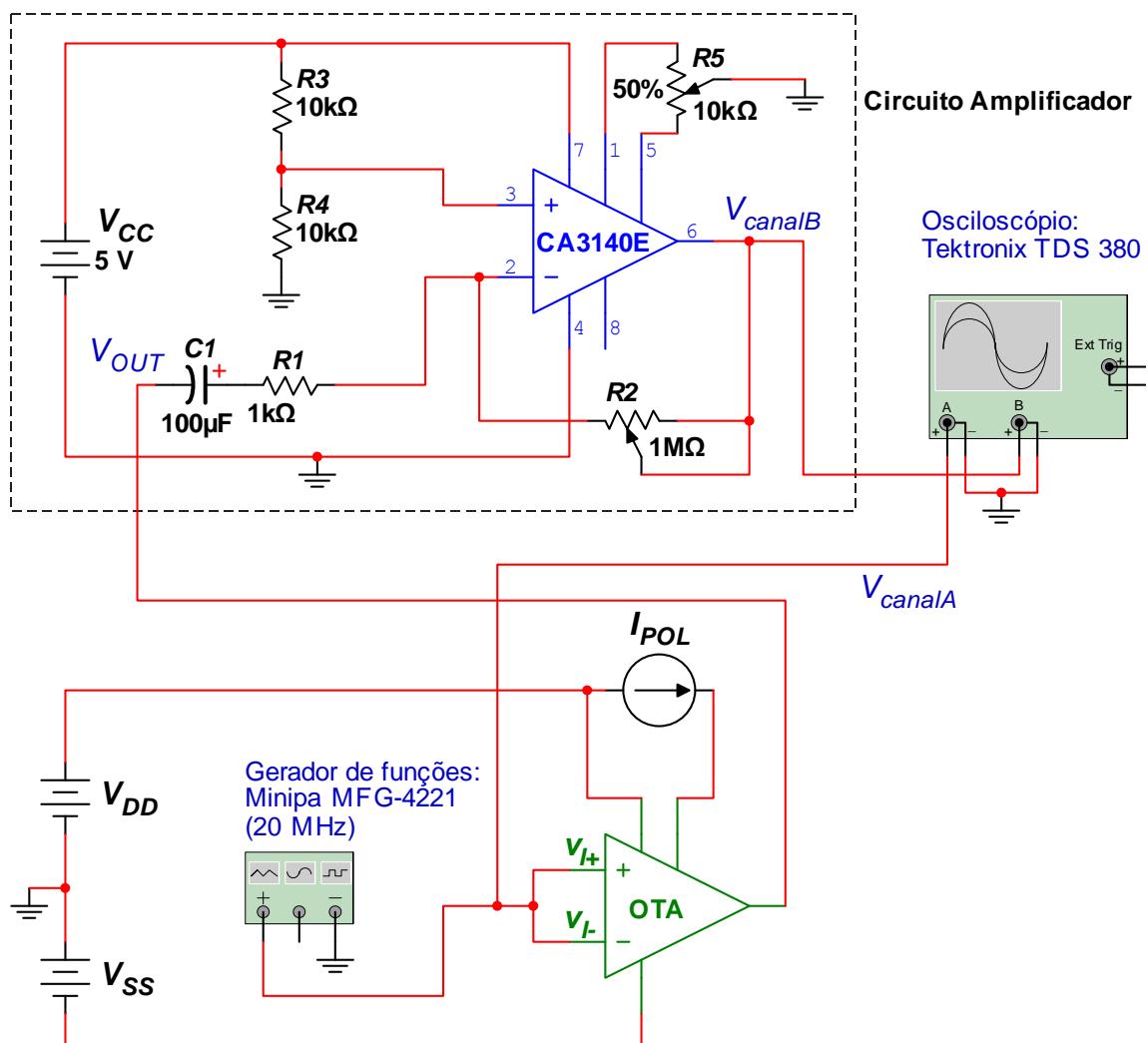
O método utilizado para calcular o *slew-rate* foi descrito em detalhes na subseção 3.1.3.3, onde as formas de onda de entrada e saída possuem as formas mostradas na Figura 14, itens (a) e (b), respectivamente. O gerador de funções foi configurado para gerar uma forma de onda quadrada com frequência e amplitude tais que produziram uma forma de onda na saída do OTA distorcida pelo *slew-rate*, por exemplo, na entrada (v_{I+}) do OTA HG foi aplicada uma forma de onda quadrada com amplitude de 1 V_{PP} e frequência de 30k Hz e em sua saída foi extraído o

pulso de tensão usado para o cálculo do *slew-rate*. Nesse trabalho, dois valores de *slew-rate* foram calculados: um valor considerando a rampa de subida do sinal de saída, designado por SR_r (valor positivo) e um outro considerando rampa de descida do sinal de saída, designado por SR_f (valor negativo).

5.9.2.4 Circuito elétrico utilizado na caracterização elétrica da CMRR dos OTAs

O sistema de medidas proposto e implementado nesse trabalho para realizar a caracterização elétrica da razão de rejeição em modo comum (CMRR) dos OTAs é mostrado na Figura 45.

Figura 45 – Sistema de medidas proposto para realizar a caracterização elétrica da CMRR dos OTAs.



Fonte: Autor.

Na Figura 45, o bloco do circuito amplificador desenvolvido para amplificar o sinal de saída do OTA, em destaque, é detalhado no APÊNDICE A, I_{POL} é a corrente de polarização do OTA, implementada por uma fonte de corrente externa, que foi detalhada na subseção 5.9.2.2, V_{canalA} é a tensão de saída do gerador de funções, que é ligada à entrada do canal A do osciloscópio e aos terminais da entrada diferencial do OTA (v_{I+} e v_{I-}), ou seja, o gerador de funções aplica uma tensão de entrada em modo comum, V_{canalB} é a tensão de saída do OTA (V_{OUT}) amplificada pelo circuito amplificador por um fator igual a $R2/R1$, que é ligada à entrada do canal B do osciloscópio.

O CMRR é calculado pelo método apresentado na subseção 3.1.3.4, ou seja, é calculado pelo módulo do ganho de tensão diferencial do OTA ($|A_V|$), obtido em uma determinada frequência f menor que a f_T do OTA, que foi calculado na resposta em frequência da subseção 5.9.2.1, dividido pelo módulo do ganho de tensão em modo comum ($|A_{CM}|$), obtido através do circuito da Figura 45, que resulta na equação (43), devido ao circuito amplificador introduzido no circuito.

$$CMRR = \frac{|A_V|}{\left| \frac{V_{canalB}/(R2/R1)}{V_{canalA}} \right|}. \quad (43)$$

A fim de ilustrar o cálculo da CMRR, foi aplicada uma tensão de entrada em modo comum no OTA μ P com uma amplitude de 62,4 mV_{PP} (V_{canalA}) e frequência de 200 Hz, em seguida, o fator de ganho do circuito amplificador foi ajustado através do potenciômetro $R2$ com um valor de 290,5k Ω , que resultou V_{canalB} igual a 536 mV_{PP}. Além disso, são dados $R1 = 1k \Omega$ (calculado no projeto do amplificador) e $|A_V| = 156,59$ V/V, obtido na resposta em frequência do OTA em $f = 200$ Hz. Finalmente, usando a equação (43), o valor da CMRR do OTA μ P resulta igual a 74,5 dB. Visto que a CMRR pode depender da frequência, a CMRR de todos os OTAs caracterizados nesse trabalho foi obtida para a mesma frequência $f = 200$ Hz.

5.9.3 Considerações da caracterização elétrica experimental dos OTAs

As especificações de projeto dos OTAs μ P e HF desenvolvidos nesse trabalho foram apresentadas na subseção 5.4. Porém, devido ao sistema de medidas e equipamentos utilizados, as especificações de projeto foram adaptadas levando em consideração a nova condição em que foram realizados os experimentos, os quais são mostrados na Tabela 27.

Tabela 27 – Especificações desejadas para os OTAs μ P e HF.

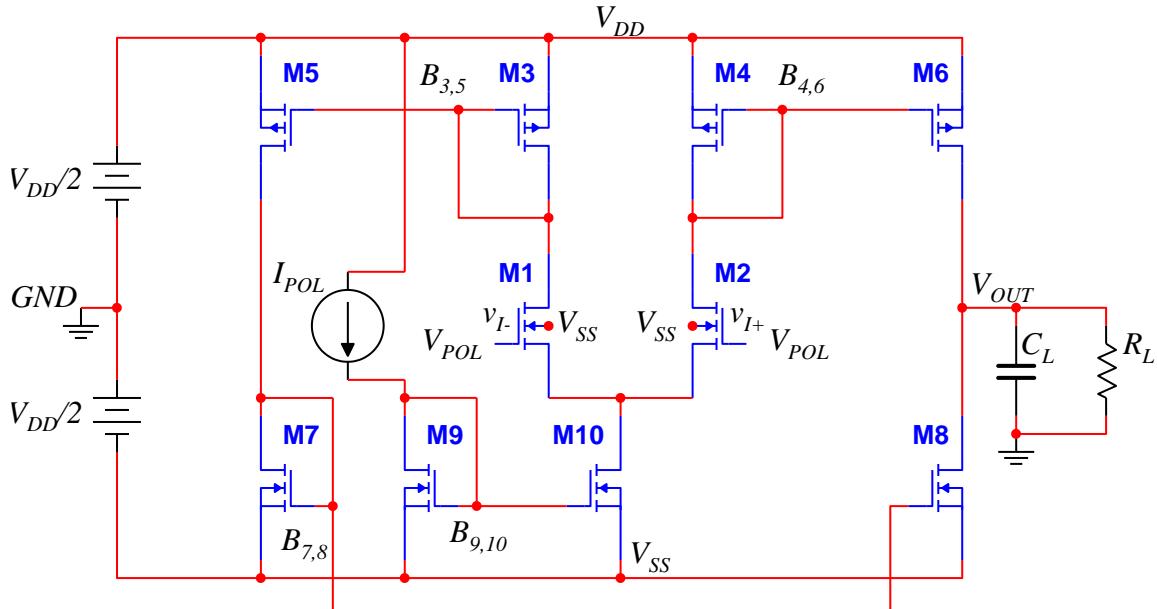
Especificações de projeto	μ P	HF
A_{vo}	44 (dB)	35 (dB)
f_T	0,25 (MHz)	60 (MHz)
PM	87°	55°
V_{OUT}	0 V	0 V
P_{TOT}	5 (μ W)	29000 (μ W)
A_G	$9500 \mu\text{m}^2$	$82800 \mu\text{m}^2$
M_{SAT}	Saturação	Saturação

Fonte: Autor.

Basicamente, as únicas especificações de projeto modificadas foram a frequência de ganho de tensão unitário (f_T) e a tensão de saída (V_{OUT}). Os novos valores da f_T dos OTAs μ P, HG e HF foram reduzidos devido ao aumento da capacidade de carga (C_L) de 10 pF para 15 pF, que é o valor da capacidade da ponta de prova do osciloscópio usado para realizar a caracterização elétrica dos OTAs e são baseados nos resultados de simulação SPICE para as soluções de projeto usadas no projeto do leiaute e fabricação dos OTAs. A outra especificação de projeto modificada foi a tensão de saída de $V_{DD}/2$ para 0 V em todos os OTAs devido à substituição da fonte de alimentação simples (V_{DD}) por uma fonte de alimentação simétrica com valor igual a $V_{DD}/2$, como mostra a Figura 46.

O circuito do OTA apresentado na Figura 46 é o mesmo que foi apresentado na subseção 3.1.2.1, porém, alimentado por uma fonte de alimentação simétrica, que implica em algumas modificações: o OTA é alimentado entre os nós V_{DD} e V_{SS} , que é o potencial de maior e o de menor nível de energia elétrica da fonte de alimentação, respectivamente e GND é o potencial de referência de 0 V, que é o terminal central da fonte de alimentação simétrica. Nesse caso, os potenciais aplicados nas entradas diferenciais (v_{I-} e v_{I+}) e o sinal no terminal de saída podem estar na faixa de $\pm V_{DD}/2$, em vez de 0 até V_{DD} . Por motivo de praticidade, a tensão de entrada de polarização (V_{POL}) dos OTAs caracterizados experimentalmente nesse trabalho foi considerado igual a 0 V (equivalente a $V_{DD}/2$ para o circuito alimentado por fonte de alimentação simples). Além disso, é de fundamental importância a inclusão da resistência e da capacidade de carga da ponta de prova do osciloscópio para se obter resultados precisos na caracterização elétrica experimental, que estão identificados na figura por R_L e C_L , respectivamente, e possuem os valores de $10 \text{ M}\Omega$ e 15 pF (fornecidos pelo fabricante).

Figura 46 – Circuito do OTA CMOS alimentado por fonte de alimentação simétrica.



Fonte: Autor.

Dessa forma, os OTAs μ P e HF simulados pelo AGSPICE foram simulados novamente, considerando as condições de medidas e equipamentos de medição usados na caracterização elétrica experimental desses OTAs.

5.9.4 Análise do desempenho dos OTAs levando-se em conta as variações dos parâmetros tecnológicos dos MOSFETs e da temperatura

As próximas subseções verificarão a robustez do desempenho elétrico dos OTAs μ P e HF em relação às variações ambientais e do processo de fabricação e em relação aos descasamentos entre os transistores.

5.9.4.1 Análise das condições extremas de operação (corner analysis)

A robustez dos OTAs projetados em relação às variações globais do processo de fabricação CMOS foi verificada através das variações dos dois principais parâmetros dos MOSFETs afetados por esse tipo de variação, que são a tensão de limiar, V_{th} , e a mobilidade, μ_0 , os quais afetam a transcondutância do transistor (g_m). Dessa forma, as condições extremas de operação dos nMOSFETs e pMOSFETs foram consideradas (a mais lenta e a mais rápida) durante a análise do desempenho dos OTAs. As quatro combinações principais foram realizadas (Rápida-Rápida, Lenta-Lenta, Rápida-Lenta e Lenta-Rápida), conforme detalhado na Tabela 28 (TUMA; BÚRMEN, 2009).

Tabela 28 – Variações extremas dos parâmetros dos nMOSFETs e pMOSFETs.

Nome da condição de operação	nMOSFET			pMOSFET		
	g_m	V_{thn}	μ_n	g_m	V_{thp}	μ_p
Típica	Médio	0%	0%	Médio	0%	0%
Rápida-Rápida	Máximo	-10%	+6%	Máximo	-12%	+10%
Lenta-Lenta	Mínimo	+10%	-6%	Mínimo	+12%	-10%
Rápida-Lenta	Máximo	-10%	+6%	Mínimo	+12%	-10%
Lenta-Rápida	Mínimo	+10%	-6%	Máximo	-12%	+10%

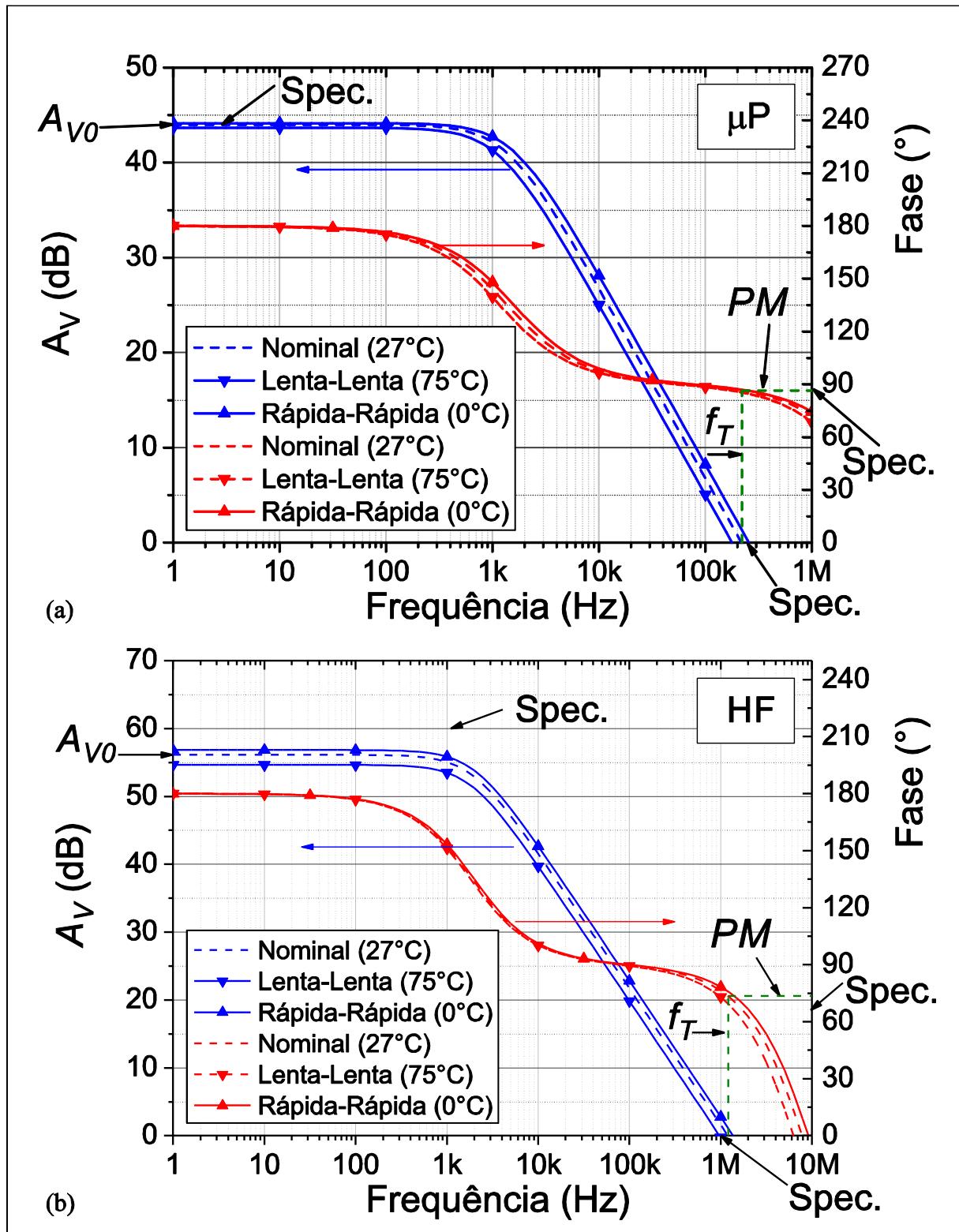
Fonte: Tuma e Bürmen, 2009, p. 351.

Condições ambientais variáveis, tal como a temperatura (0°C e 75°C), foram também consideradas.

Para avaliar a extensão das mudanças nas principais características elétricas dos OTAs após o processo de fabricação, as respostas em frequência dos OTAs projetados nesse trabalho são apresentadas nos diagramas de Bode da Figura 47, onde os resultados das condições extremas de operação (*corner analysis*) são levados em consideração. A Figura 47, itens (a) e (b) mostram os resultados dos OTAs μP e HF. Além disso, os pontos mais importantes: A_{V0} , f_T e PM indicados nesses diagramas estão relacionados à solução nominal obtida pela ferramenta computacional, junto com as correspondentes especificações de projeto (Spec.).

Analizando a Figura 47, observa-se que as soluções nominais dos OTAs μP e HF encontradas pelo AGSPICE alcançaram precisamente as especificações de projeto desejadas: μP ($A_{V0}: 0\%$, $f_T: 11,7\%$, $PM: 0,7\%$) e HF ($A_{V0}: 4,8\%$, $f_T: 2\%$, $PM: 12,9\%$). Além disso, os piores resultados obtidos pela análise das condições extremas de operação para todos esses OTAs foram relacionados ao f_T (principal parâmetro crítico a ser alcançado), onde os erros máximos relacionados às especificações desejadas foram: 28% e 26%, respectivamente. Porém, os erros máximos relacionados ao A_{V0} foram menores que 10% e os erros relacionados à PM foram menores que 15% para todos esses OTAs. Esses resultados estão em concordância com trabalhos similares na literatura, tal como (BARROS; GUILHERME; HORTA, 2010b). Dessa forma, o AGSPICE demonstrou ser capaz de buscar e encontrar soluções que atendem precisamente os objetivos de projeto desejados, que são também robustas às variações do processo de fabricação.

Figura 47 – Diagramas de Bode levando em consideração as condições extremas de operação dos OTAs μ P (a), e HF (b).



Fonte: Autor.

5.9.4.2 Análise das condições de operação usando o método de Monte Carlo

As variações globais que afetam todos os transistors da mesma maneira não são os únicos presentes no processo de fabricação. O processo de fabricação também está sujeito a variações aleatórias, de forma que dois transistores projetados de forma idêntica exibem comportamento elétrico diferente. Esse tipo de variação é denominado de descasamento (TUMA; BÚRMEN, 2009, p. 357). Portanto a análise de Monte Carlo representa uma análise mais completa para a estimativa dos efeitos das variações do processo de fabricação no desempenho elétrico do circuito, pois leva em conta não apenas variações globais, mas também variações locais (descasamento dos transistores).

Ao contrário da subseção anterior, que avaliou o desempenho elétrico do circuito levando-se em conta apenas as variações globais extremas da tensão de limiar (V_{th}) e da mobilidade (μ_0) dos MOSFETs, a análise de Monte Carlo avalia o desempenho elétrico do circuito levando-se em conta variações aleatórias de V_{th} e μ_0 . Embora esse tipo de análise tenda a produzir resultados mais precisos que a análise das condições extremas de operação, requer um tempo de simulação muito maior, pois é necessário um número grande de simulações. Nesse caso, dez mil simulações foram realizadas, considerando as variações de V_{th} , μ_0 e da temperatura, onde o procedimento adotado para realizar a análise de Monte-Carlo é o mesmo descrito na subseção 6.2.1.2.5.

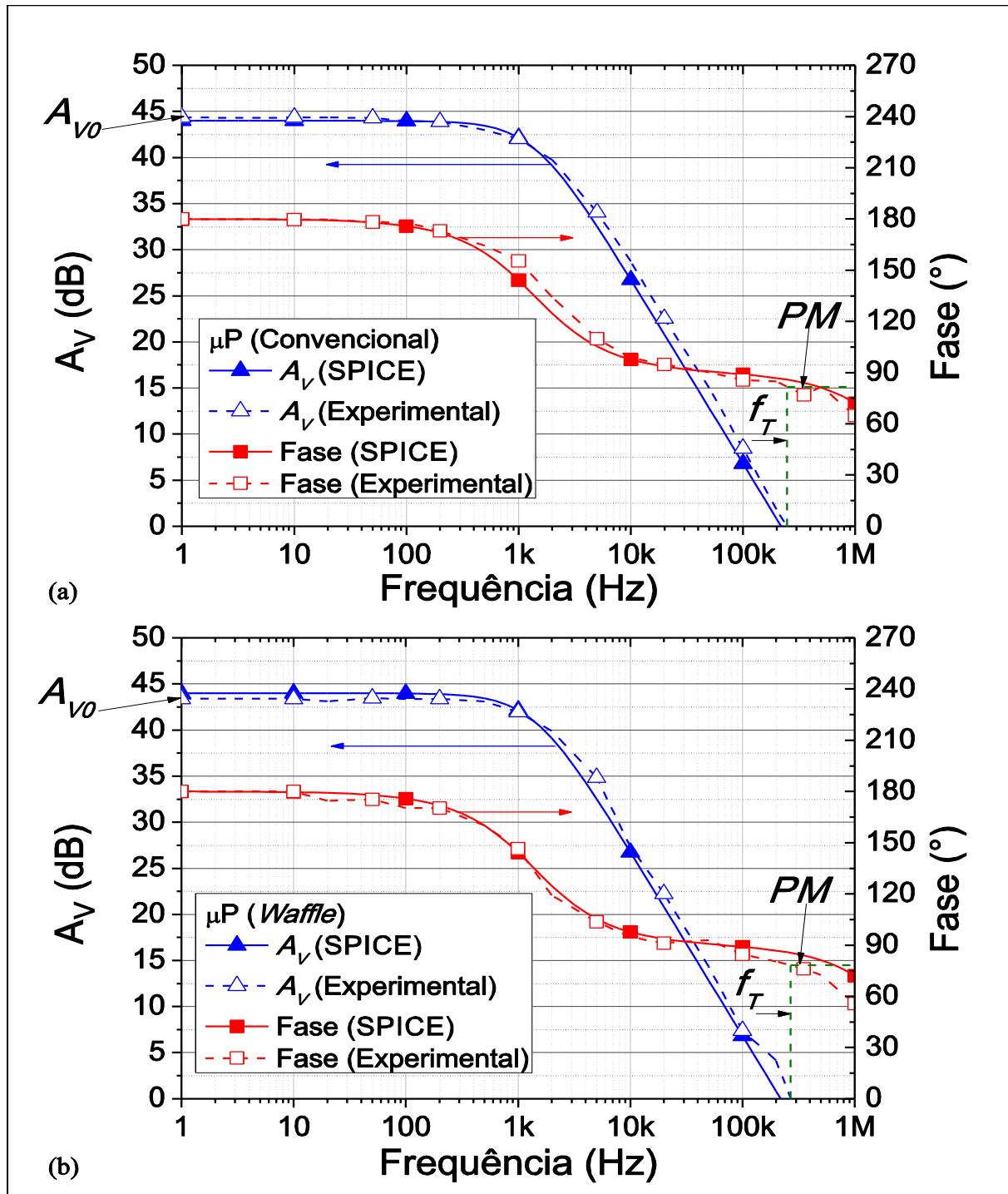
Os piores resultados obtidos pela análise de Monte Carlo para os OTAs μ P e HF foram relacionados ao f_T , onde os erros máximos relacionados às especificações desejadas foram: 28% e 23%, respectivamente. Porém, os erros máximos relacionados ao A_{V0} foram menores que 10% e os erros relacionados à PM foram menores que 15% para todos esses OTAs. Esses resultados são praticamente iguais aos obtidos na subseção anterior (5.9.4.1), demonstrando a validade dos resultados obtidos através da análise apenas das condições mais extremas de operação (*corner analysis*).

5.9.5 Resultados experimentais

A fim de comparar o desempenho elétrico experimental dos OTAs μ P e HF com aquele obtido pelas simulações SPICE do AGSPICE e também para comparar OTAs implementados com diferentes estilos de leiaute para MOSFETs, os diagramas de Bode (A_V e *Fase* em função de f) desses OTAs foram construídos.

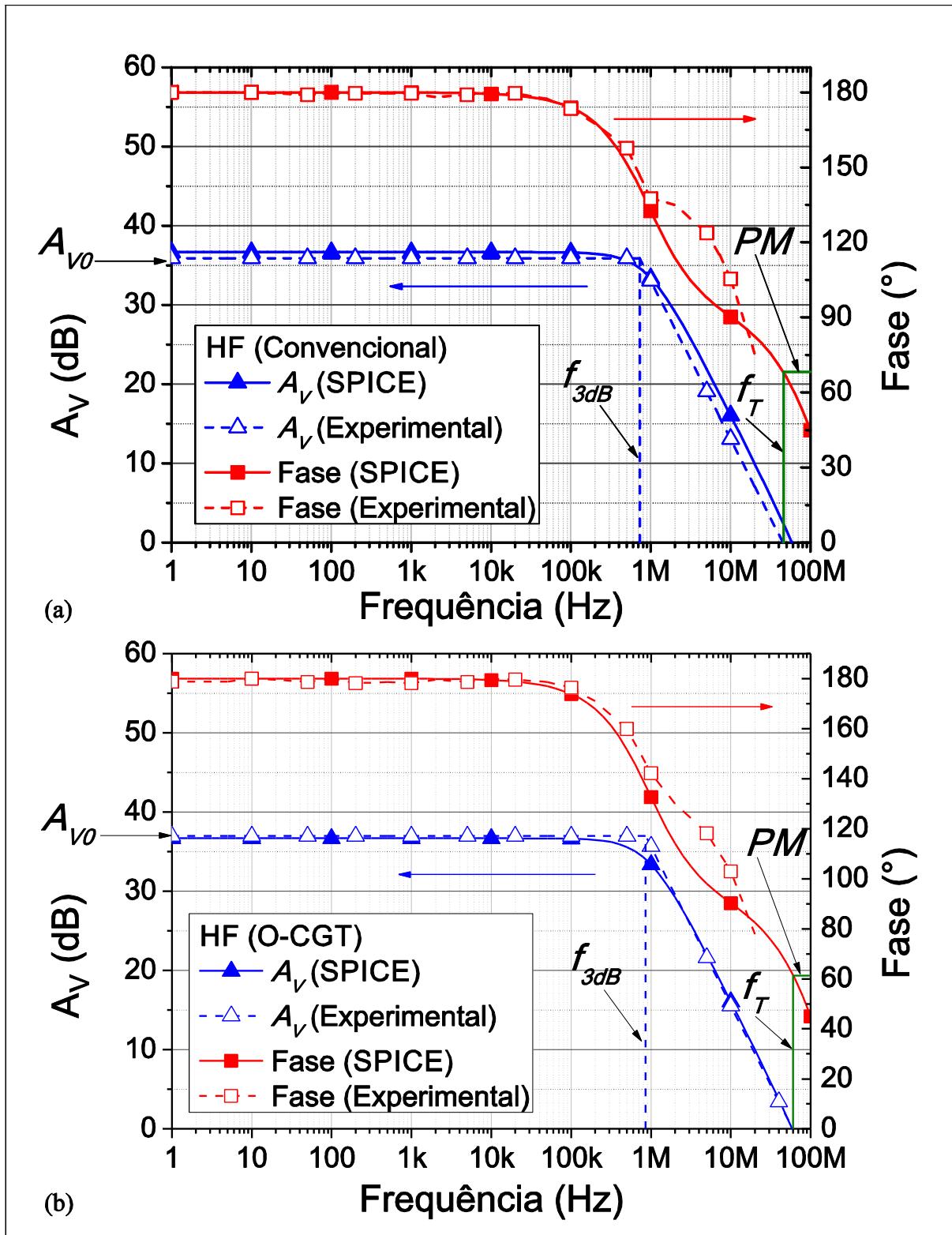
A Figura 48, itens (a) e (b) mostram os diagramas de Bode obtidos para o OTA μ P implementado com MOSFETs nos estilos de leiaute convencional e *Waffle*, respectivamente. Os itens (a) e (b) da Figura 49 mostram os diagramas de Bode obtidos para o OTA HF implementado com MOSFETs nos estilos de leiaute convencional e O-CGT, respectivamente. Os pontos mais importantes (A_{V0} , f_T e PM) indicados são extraídos das curvas experimentais.

Figura 48 – Diagrama de Bode do OTA μ P convencional (a) e *Waffle* (b).



Fonte: Autor.

Figura 49 – Diagrama de Bode do OTA HF convencional (a) e O-CGT (b).



Fonte: Autor.

Conforme observado na Figura 48 (a), os perfis das curvas experimentais do ganho de tensão (A_V) e da fase em função da frequência do OTA μ P convencional são muito semelhantes aos perfis das curvas experimentais do OTA μ P *Waffle*, Figura 48 (b), até aproximadamente

100 kHz, após essa frequência, a curva do A_V do OTA μ P *Waffle* passa a apresentar um comportamento diferente do previsto, ou seja, a inclinação dessa curva passa a ser diferente de -20 dB/década, assim, a causa mais provável para esse comportamento e divergência em relação ao perfil do OTA μ P convencional é a presença de ruído durante a caracterização elétrica experimental.

A Figura 49, itens (a) e (b) mostram que o perfil das curvas experimentais da fase em função da frequência dos OTAs HF convencional e O-CGT são semelhantes, porém, comparando as curvas experimentais do A_V em função da frequência desses OTAs, observa-se que o OTA O-CGT apresenta um desempenho superior ao do OTA convencional, pois o perfil da curva do A_V do OTA O-CGT praticamente coincide com a respectiva curva simulada, portanto, alcança praticamente os mesmos valores para A_{V0} e f_T , enquanto que a curva do A_V do OTA convencional é inferior em relação a curva simulada em altas frequências e, assim, apresenta uma f_T inferior (erro de 21,9%). Esse resultado mostra que o estilo de leiaute O-CGT permite obter melhor resposta em frequência em relação ao leiaute convencional (multidedos), pois o leiaute O-CGT permite minimizar as capacitâncias parasitas associadas às junções dreno-substrato (LIMA; GIMENEZ; CIRNE, 2012).

Analizando a Figura 48 (a) e a Figura 49 (b) é possível concluir que as curvas experimentais e simuladas do ganho de tensão (A_V) e da fase em função da frequência dos OTAs μ P convencional e HF O-CGT apresentam comportamentos muito semelhantes (erro máximo de 11,8%). Além disso, ambas as curvas do ganho de tensão (experimental e simulada) apresentam uma inclinação de aproximadamente -20 dB/década a partir da frequência de corte (f_{3dB}), que é um comportamento essencial para assegurar margem de fase positiva e a operação estável dos OTAs (EGGERMONT et al., 1996).

A Tabela 29 apresenta os resultados das principais figuras de mérito obtidas por simulações SPICE e experimentalmente para os OTAs μ P convencional e *Waffle* e HF convencional e O-CGT, onde a coluna *Erro Sim.* apresenta o erro relativo (em porcentagem) do resultado experimental em relação ao valor simulado. Similarmente, a coluna *Erro Espec.* apresenta o erro do resultado experimental em relação à respectiva especificação desejada. Os erros apresentados nessas colunas resultam positivo se o valor experimental é maior que o valor da referência, simulado ou especificação desejada, respectivamente, e resulta negativo se o valor experimental é menor que o valor da referência.

Tabela 29 – Resultados das simulações SPICE e medições dos OTAs μ P convencional e *Waffle* (a) e HF convencional e O-CGT (b).

OTA		μ P Convencional				μ P <i>Waffle</i>			
Fig. de Mérito	Espec.	Sim.	Exp.	Erro Sim. (%)	Erro Espec. (%)	Sim.	Exp.	Erro Sim. (%)	Erro Espec. (%)
A_{V0} (dB)	44,0	44,0	44,3	0,8	0,8	44,0	43,4	-1,3	-1,4
f_T (kHz)	250,0	220,6	246,7	11,8	-1,3	220,6	269,5	22,1	7,8
PM ($^{\circ}$)	87,0	86,4	81,7	-5,4	-6,1	86,4	78,2	-9,5	-10,2

OTA		HF Convencional				HF O-CGT			
Fig. de Mérito	Espec.	Sim.	Exp.	Erro Sim. (%)	Erro Espec. (%)	Sim.	Exp.	Erro Sim. (%)	Erro Espec. (%)
A_{V0} (dB)	35	36,67	35,91	-2,1	2,6	36,68	36,96	0,8	5,6
f_T (MHz)	60	58,80	45,90	-21,9	-23,5	58,82	60,00	2,0	0,0
PM ($^{\circ}$)	55	62,09	68,18	9,8	24,0	62,09	61,23	-1,4	11,3

Fonte: Autor.

Conforme mostrado na Tabela 29, itens (a) e (b), os resultados das simulações SPICE e os resultados experimentais da resposta em frequência dos OTAs μ P e HF, estão muito próximos, com exceção da frequência de ganho de tensão unitário (f_T), pois apresentam erros inferiores a 10%. Porém, os valores da f_T são da ordem de 20% para os OTAs μ P *Waffle* e HF convencional. Por outro lado, os valores de f_T experimentais e simulados estão muito próximos para os OTAs μ P convencional e HF O-CGT (erro máximo de 11,8%) e os resultados experimentais estão efetivamente em conformidade com as especificações desejadas: a diferença máxima entre os resultados experimentais e as especificações desejadas são menores que 6,1% e 11,3% para o OTAs μ P convencional e HF O-CGT, respectivamente e, portanto, o AGSPICE é realmente capaz de alcançar as especificações de projeto desejadas dos CIs analógicos.

Os resultados encontrados para os valores de f_T estão em conformidade com os resultados obtidos da análise de sensibilidade realizada nas subseções 5.7 e 5.8, e com os resultados da análise de Monte Carlo, realizada na subseção 5.9.4. Esses estudos indicaram o f_T como a figura de mérito mais sensível às variações dos parâmetros geométricos e tecnológicos que ocorrem devido ao processo de fabricação CMOS. Dessa forma, os erros do f_T podem ser minimizados escolhendo, dentre as diversas soluções apresentadas pelo AGGSPICE, aquela que apresenta a maior robustez às variações do processo de fabricação e também considerar resistências e capacitâncias parasitárias do leiaute na simulação do circuito.

Além disso, os resultados das simulações SPICE e experimentais obtidos para o OTA HF são praticamente iguais: o A_{V0} medido é cerca de 37 dB, que é praticamente igual ao valor simulado, o f_T medido é cerca de 60 MHz, um valor 2,0% maior que o simulado (58,8 MHz) e a margem de fase (PM) medida é 61,2°, um valor 1,4% menor que o simulado (62,1°). Visto

que a frequência de operação máxima do gerador de funções utilizado nesse trabalho é 20 MHz, a frequência de ganho de tensão unitário foi estimada baseada nos dados experimentais da frequência de corte (854 kHz) e também considerando o OTA HF contendo um único polo, onde o ganho de tensão é reduzido por uma inclinação de -20 dB/década até se tornar unitário (0 dB). Além disso, a PM foi estimada baseada em dados experimentais considerando a f_T estimada anteriormente, assim como nos dados de simulação da fase em função da frequência, visto que os resultados experimentais da fase em função da frequência são muito similares aos obtidos pelas simulações SPICE até 20 MHz. Os resultados experimentais também estão em conformidade com as especificações desejadas, onde o A_{V0} medido (37 dB) é 5,6% maior que a especificação, o f_T medido (60 MHz) é idêntico a especificação e a margem de fase medida ($61,2^\circ$) é 11,3% maior que a especificação.

Algumas figuras de mérito adicionais que foram medidas para os OTAs μ P convencional e *Waffle* e HF convencional e O-CGT são mostradas na Tabela 30. Elas não foram consideradas no processo de busca do GA, mas estes parâmetros são frequentemente usados para caracterizar OTAs.

Tabela 30 – Figuras de mérito adicionais medidas para os OTAs μ P convencional e *Waffle* e HF convencional e O-CGT.

OTA	μP ($V_{DD} - V_{SS} = 2.5V$)		HF ($V_{DD} - V_{SS} = 4V$)	
Fig. de Mérito	Conv.	<i>Waffle</i>	Conv.	O-CGT
SR _r ; SR _f (V/ μ s)	0,35; -0,30	0,56; -0,12	> 35; < -30	> 35; < -30
CMRR (dB)	74,55	85,60	76,09	70,42
Excursão (V _{PP})	2,12	1,26	3,08	3,20
<i>Offset</i> (mV)	121	-1	44	31

Fonte: Autor.

Nota: os resultados obtidos para o *slew-rate* do OTA HF estão limitados pelo *slew-rate* do gerador de funções.

Os resultados na Tabela 30 estão de acordo com valores típicos encontrados na literatura (GIMENEZ et al., 2006; ZEBULUM; PACHECO; VELLASCO, 2002).

Em conclusão, dois OTAs (μ P e HF) com diferentes especificações de projeto foram projetados e fabricados usando a tecnologia CMOS de 0,35 μ m da ON Semiconductor (MOSIS, 2015) para qualificar a eficiência do AGSPICE em termos da otimização do projeto dos CIs CMOS analógicos. Primeiramente, os resultados de projeto dos OTAs foram verificados com sucesso usando simulações SPICE levando em conta variações das dimensões dos MOSFETs (subseção 5.7), da temperatura e do processo tecnológico (subseção 5.9.4). Depois disso, os dois OTAs foram validados com sucesso em um *chip* protótipo. Os resultados indicaram um

ajuste bastante preciso entre as simulações SPICE e os dados experimentais das respostas em frequência dos OTAs, visto que o f_T medido para os OTAs μ P convencional e HF O-CGT apresentaram erro máximo menor que 11,8%, e o A_{V0} e a PM apresentaram erros máximos abaixo de 5,4%.

6 FERRAMENTA COMPUTACIONAL DE DESENVOLVIMENTO DE PROJETOS DE CIs CMOS ANALÓGICOS PROPOSTA (MTGSPICE)

Nesse trabalho foi utilizado o sistema evolucionário constituído por um GA integrado ao simulador de circuitos integrados Spice Opus (2010), intitulado de AGSPICE, que foi utilizado em diversos trabalhos anteriores: Moreto et al. (2012); Moreto, Thomaz e Gimenez (2012, 2011) e Moreto (2011), porém, diversas atualizações e inovações foram realizadas no AGSPICE proposto inicialmente. A primeira delas foi o elitismo DC, cujos estudos foram descritos na seção 5. A segunda atualização é apresentada nessa seção, que é a inclusão de novos algoritmos de otimização. Devido à enorme importância de se avaliar a capacidade da ferramenta de otimização de CIs CMOS analógicos desenvolvida em relação ao estado da arte dos algoritmos de otimização existentes atualmente na literatura, diversos algoritmos de otimização da área de IA foram adicionados ao algoritmo genético originalmente implementado. Os novos algoritmos implementados são: o algoritmo competitivo imperialista (ICA) (ATASHPAZ-GARGARI; LUCAS, 2007; ROCHE et al., 2012), o algoritmo do “sapo pulando embaralhado” (SFLA) (ELBELTAGI; HEGAZY; GRIERSON, 2007), o arrefecimento simulado (SA), e a busca aleatória (RS), que é o método estocástico usado como referência para todos os outros métodos.

Assim, o AGSPICE proposto inicialmente foi transformado em uma plataforma muito mais flexível e eficiente, permitindo ao projetista escolher o algoritmo de otimização que for mais adequado para um determinado processo de otimização. Dessa forma, o projetista pode identificar qual é o melhor algoritmo de otimização para alcançar as especificações dos CIs CMOS em termos do desempenho elétrico, robustez às variações do processo de fabricação, variações de temperatura, tolerância à radiação, etc. Por esse motivo, o nome da ferramenta de otimização de CIs analógicos desenvolvida em trabalhos anteriores AGSPICE, que deriva seu nome do algoritmo genético (AG) e do simulador SPICE, não é mais adequado e será renomeada para MTGSPICE, cuja sigla deriva dos sobrenomes dos autores Moreto, Thomaz e Gimenez e do simulador SPICE.

Nas próximas subseções são descritas em detalhes o sistema evolucionário inovador desenvolvido nesse trabalho de pesquisa, destacando-se as etapas e os processos que foram modificados em relação ao GA convencional. Os algoritmos de otimização implementados no MTGSPICE são descritos em detalhes na subseção 3.2.

6.1 PROCESSO DE BUSCA DAS ESPECIFICAÇÕES ATRAVÉS DO MTGSPICE

A Figura 50 ilustra o diagrama de blocos da ferramenta de projeto assistida por computador (CAD)⁵⁸ proposta nesse trabalho para otimizar CIs CMOS analógicos, denominada “MTGSPICE” (vide APÊNDICE F). Esse sistema de CAD foi desenvolvido em linguagem visual C++ (Microsoft Visual Studio, 2008) e integrado ao simulador Spice Opus (2010). Essa ferramenta de projeto de CIs CMOS analógicos incorpora diferentes algoritmos de otimização: algoritmo genético (GA)⁵⁹ (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013), arrefecimento simulado (SA)⁶⁰ (PRESS et al., 2007, p. 549), algoritmo competitivo imperialista (ICA)⁶¹ (ATASHPAZ-GARGARI; LUCAS, 2007; ROCHE et al., 2012), “sapo pulando embaralhado” (SFLA)⁶² (ELBELTAGI; HEGAZY; GRIERSON, 2007), e a busca aleatória (RS)⁶³, que é o método estocástico mais básico existente na literatura, sendo usado como uma referência para todos os outros métodos (BARROS; GUILHERME; HORTA, 2010a). Esses algoritmos de otimização aplicam as funções de aptidão inovadoras descritas anteriormente na seção 4. Além disso, essa ferramenta é capaz de analisar a robustez das soluções encontradas em relação às variações ambientais e do processo de fabricação através da análise de Monte Carlo (TUMA; BÜRMEN, 2009, p. 357).

⁵⁸ Computer-aided design.

⁵⁹ Genetic algorithm.

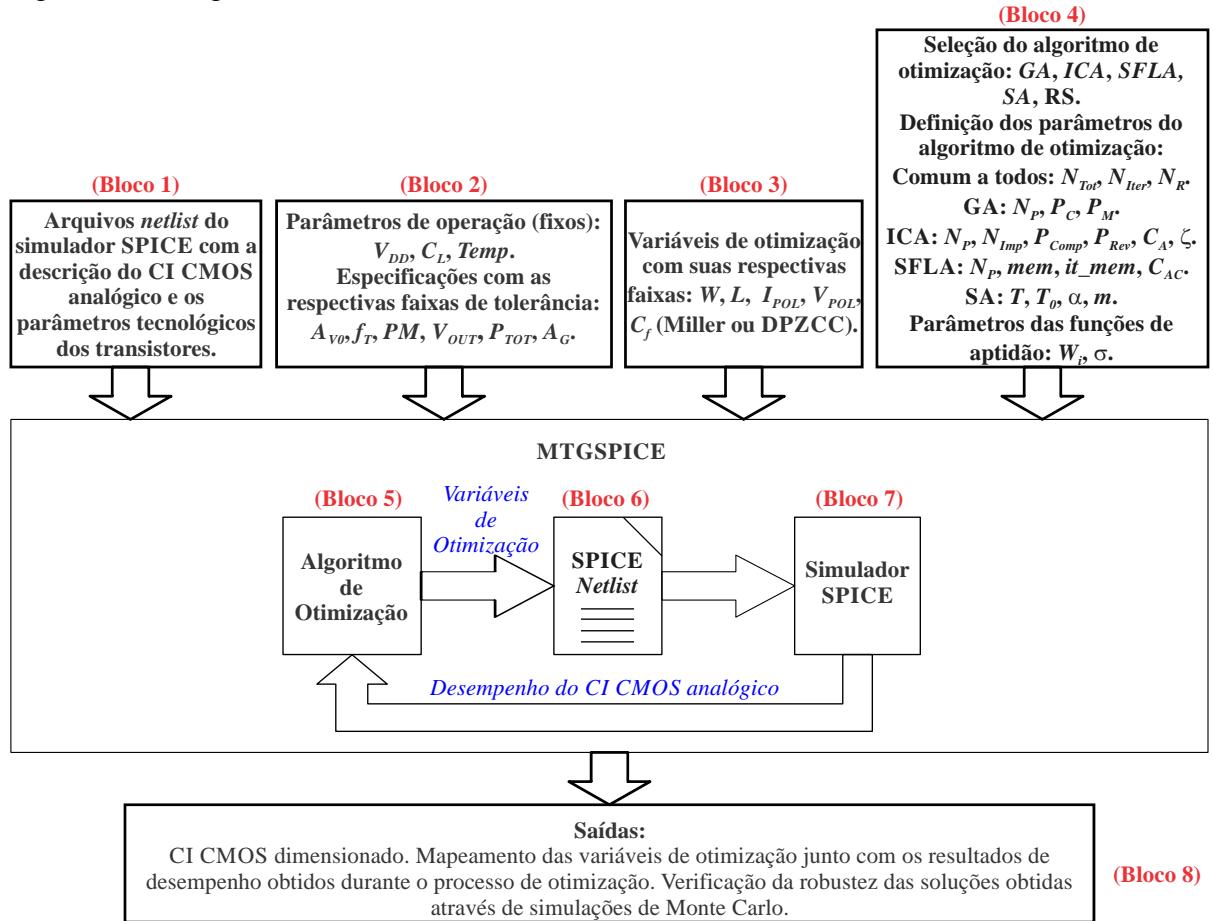
⁶⁰ Simulated annealing.

⁶¹ Imperialist competitive algorithm.

⁶² Shuffled frog leaping algorithm.

⁶³ Random search.

Figura 50 – Diagrama de blocos do MTGSPICE.



Fonte: Autor.

Inicialmente, o arquivo *netlist* SPICE do CI CMOS deve ser gerado levando em consideração o processo tecnológico desejado (Bloco 1 na Figura 50). Em seguida, os parâmetros de operação e as especificações desejadas devem ser definidos, e também a faixa de valores aceitáveis para cada especificação desejada (Bloco 2 na Figura 50). Os valores mínimo e máximo para as variáveis de otimização também devem ser definidos (Bloco 3 na Figura 50). Finalmente, o projetista deve ajustar os parâmetros que são aplicáveis ao algoritmo de otimização em uso (Bloco 4 na Figura 50).

Em detalhes, estes são os parâmetros de projeto considerados para a otimização dos OTAs: A_{V0} é o ganho de tensão em malha aberta; f_T é a frequência de ganho de tensão unitário; PM é a margem de fase; V_{OUT} é a tensão de saída DC; P_{TOT} é o consumo de potência; A_G é a área de porta total dos MOSFETs, que representam as especificações de projeto; V_{DD} é a tensão de alimentação; C_L é a carga capacitiva; *Temp* é a temperatura de operação (mantidos fixos durante o processo de otimização), Bloco 2; W e L são respectivamente a largura e o comprimento de canal dos MOSFETs; I_{POL} e V_{POL} são as correntes e tensões de polarização dos CIs CMOS; C_f representa capacitores de compensação interna do OTA Miller ou do OTA

DPZCC, que são as variáveis de otimização (Bloco 3); N_{Tot} é o número total de soluções avaliadas pelo processo de otimização, N_{Iter} é o número de iterações; e N_R é o número de rodadas, que são os parâmetros do algoritmo de otimização; e N_P representa o tamanho da população referente aos algoritmos GA, ICA, e SFLA. Considerando somente o GA, P_C e P_M são a taxa de cruzamento (*crossover*) e a taxa de mutação, respectivamente. Considerando o ICA, N_{Imp} é o número de estados imperialistas, os parâmetros P_{Comp} e P_R são respectivamente a probabilidade de competição imperialista e a probabilidade de revolução, C_A é o coeficiente de assimilação, e ζ é a contribuição do valor da função de aptidão médio das colônias no valor da função de aptidão do império. Para o SFLA, mem é o número de *memeplexes* (subpopulações), it_mem é o número de iterações para cada *memeplex* no processo de busca local; e C_{AC} é o fator de aceleração de busca. Referindo-se ao SA, T é a temperatura, T_0 é a temperatura inicial, α é uma constante (tipicamente igual a 1, 2 ou 4), e m representa o número de soluções que devem ser avaliadas pelo sistema em uma determinada temperatura T (Bloco 4).

O MTGSPICE realiza o processo de evolução em duas etapas. A primeira etapa, chamada processo de evolução DC (corrente contínua)⁶⁴, é responsável por evoluir as variáveis de otimização para alcançar as condições de polarização por corrente contínua (DC) do CI CMOS (V_{OUT} , P_{TOT} e A_G), levando-se em consideração a região de operação dos MOSFETs (região de saturação). A segunda etapa do MGTSPICE, chamada processo de evolução AC (corrente alternada)⁶⁵, usa as soluções do processo de evolução anterior para evoluir as variáveis de otimização para alcançar as especificações de resposta em frequência (A_{V0} , f_T e P_M) do CI CMOS analógico, além de V_{OUT} , P_{TOT} e A_G (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013).

Conforme mostrado na Figura 50, o algoritmo de otimização gera um conjunto de N_P soluções potenciais (população) definida pelo projetista, que é gerada aleatoriamente (Bloco 5). Nesse caso, N_P define a primeira iteração do processo de otimização. Depois disso, o simulador SPICE gera e processa cada arquivo de simulação automaticamente (Bloco 6), gerando o arquivo de saída correspondente (Bloco 7). As figuras de mérito (especificações) são obtidas do arquivo de saída e elas são avaliadas pelas funções de aptidão (Bloco 5) na faixa de 0 a 100. Em seguida, a equação (30) na subseção 4.1 é usada para atribuir uma pontuação, que leva em conta todas as figuras de mérito com seus respectivos pesos. As melhores soluções obtidas

⁶⁴ Direct current.

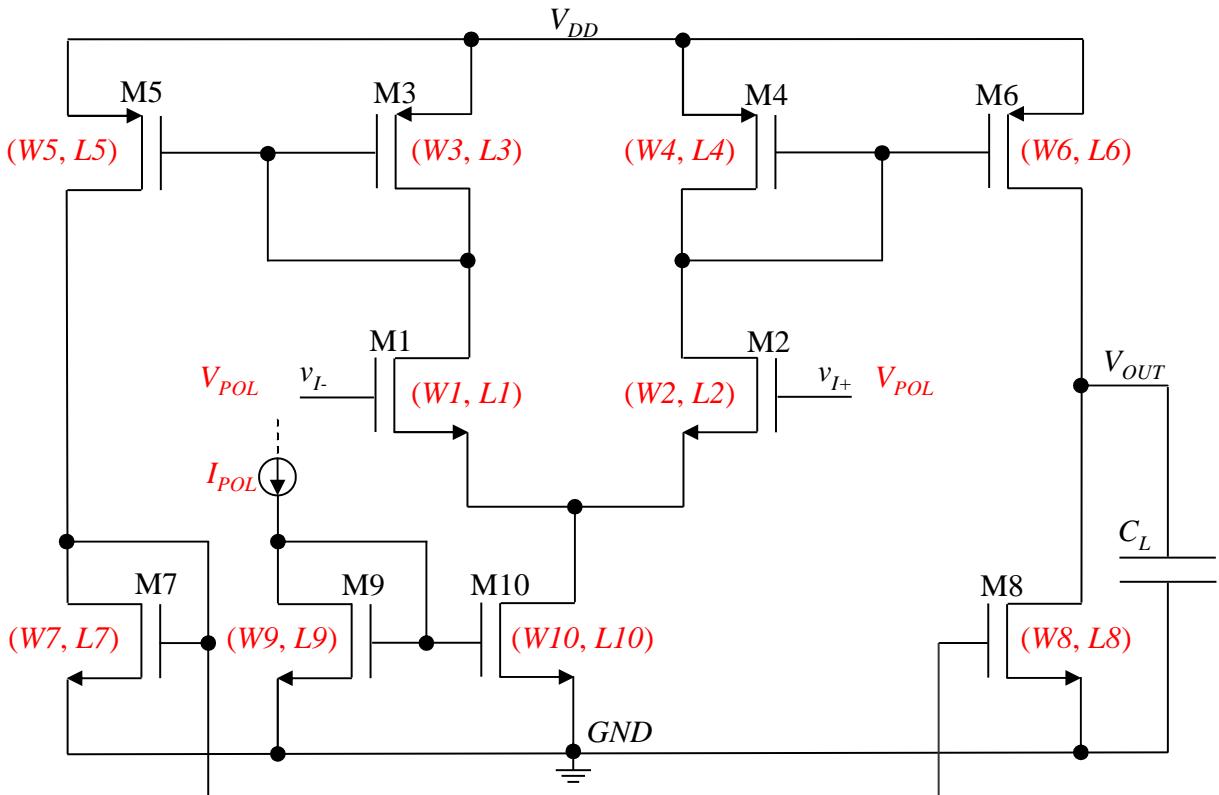
⁶⁵ Alternating current.

(maiores pontuações) são usadas para continuar o processo de evolução até o critério de parada ser alcançado (N_{iter} ou o atendimento de todas as especificações desejadas).

Finalmente, as robustezes das melhores soluções encontradas são avaliadas através da análise de Monte Carlo (Bloco 8). Essa etapa avalia os descasamentos entre os dispositivos e a influência das variações do processo de fabricação CMOS de CIs para reduzir o risco de mau funcionamento do CI CMOS. Além disso, o MTGSPICE é capaz de mapear as variáveis de otimização ao longo do processo de evolução, permitindo o projetista observar como as variáveis de otimização evoluem para atender as especificações desejadas. Portanto, o projetista pode extrair conhecimento analisando como essas variáveis modificaram ao longo desse processo, que pode ser usado para projetar CIs CMOS similares (MORETO; THOMAZ; GIMENEZ, 2012; MORETO et al., 2012; MORETO, 2011).

A Figura 51 ilustra como exemplo o circuito elétrico do OTA de único estágio e única saída com as variáveis de projeto em destaque. Nesse exemplo, W e L representam, respectivamente, as dimensões de largura e comprimento de canal dos MOSFETs, I_{POL} é a corrente de polarização de referência do par diferencial OTA e V_{POL} é a tensão de polarização em modo comum aplicada nas entradas inversora e não inversora do par diferencial.

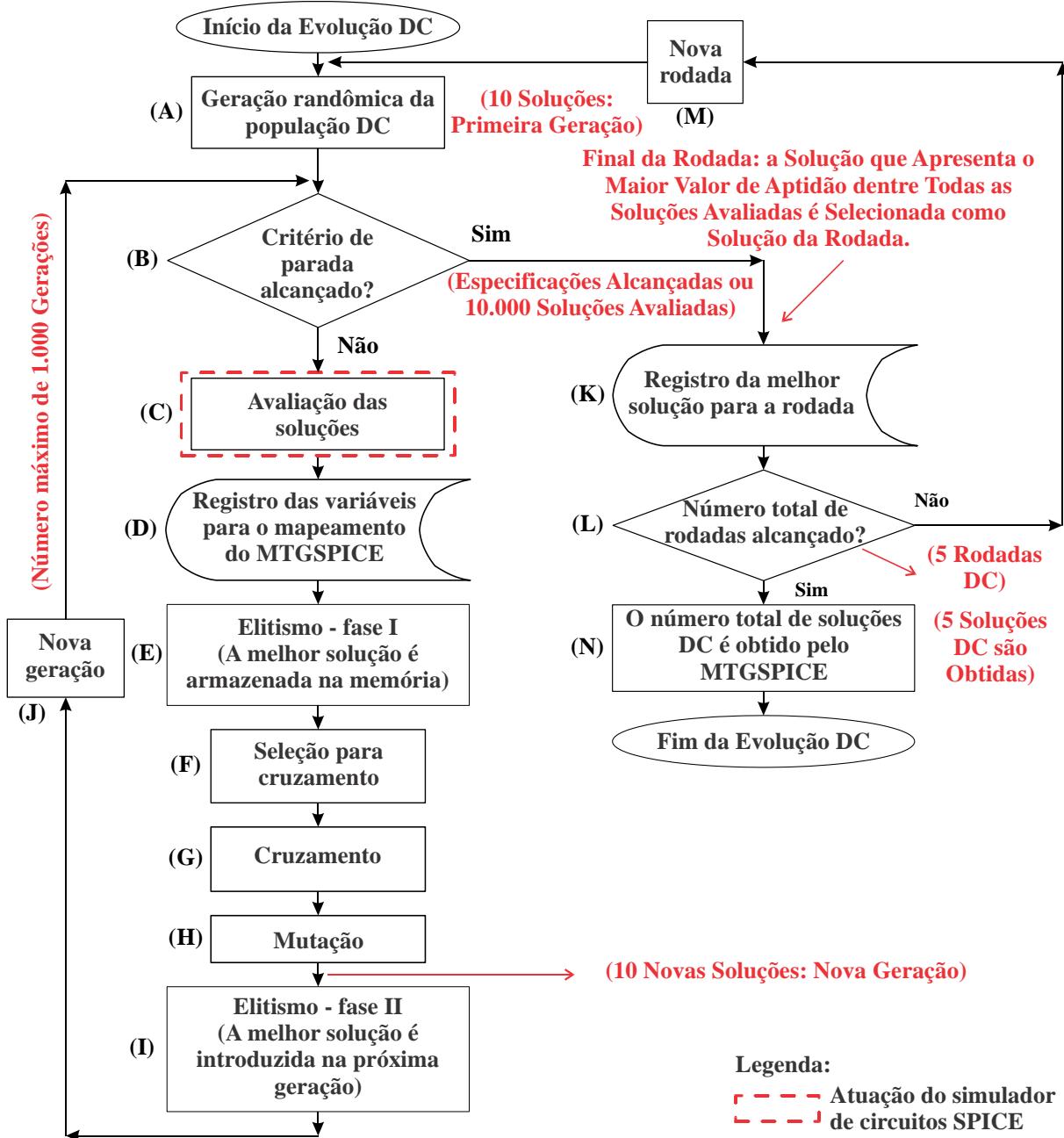
Figura 51 – Ilustração das variáveis de projeto otimizadas no projeto do OTA de único estágio e única saída.



Fonte: Autor.

O fluxograma do processo de evolução DC mostrado no Bloco 5 da Figura 50 é ilustrado em detalhes na Figura 52.

Figura 52 – Fluxograma da etapa de evolução DC no MTGSPICE.



Fonte: Autor.

O processo de evolução DC inicia com um conjunto de N_P soluções potenciais (população), definido pelo projetista, que é gerado aleatoriamente, onde cada solução é chamada indivíduo, que é definido como cromossomo no GA. Cada cromossomo é composto por vários genes, onde cada gene corresponde a uma variável de projeto do CI CMOS analógico (MORETO; GIMENEZ; THOMAZ, 2013), conforme o processo A da Figura 52. Nesse caso,

a população inicial é composta por 10 indivíduos, que definem a primeira geração do processo de evolução DC. Vide detalhes da representação dos cromossomos no MTGSPICE no APÊNDICE B. Depois disso, um arquivo de simulação (*netlist*) é gerado automaticamente e executado pelo simulador SPICE para cada solução (Bloco 6 da Figura 50). Então, os resultados de simulação SPICE de cada indivíduo são obtidos (Bloco 7 da Figura 50).

Posteriormente, o grau de proximidade de cada solução (indivíduo) em relação às especificações desejadas é quantificado, Bloco 5 na Figura 50 e processo C da Figura 52. Esta quantificação ($Eval_{Sol}$) é realizada por uma função de aptidão que atribui para cada solução, um valor entre 0 e 100, que é definido pela soma ponderada do valor da função de aptidão de cada especificação de projeto $Eval(FoM_j)$, onde a FoM_j representa somente as especificações de projeto da análise DC, representado por V_{OUT} , P_{TOT} , A_G e M_{SAT} (MORETO; GIMENEZ; THOMAZ, 2013) que é calculado pela equação (30) e discutido em detalhes na subseção 4.1. Os valores de $Eval(V_{OUT})$, $Eval(P_{TOT})$ e $Eval(A_G)$ são calculados por funções com o perfil Gaussiano que retornam valores entre 0 e 100, que é função do desvio relativo entre os valores simulados e desejados das especificações de projeto do CI CMOS, que foi discutido em mais detalhes na seção 4. Além disso, os MOSFETs operando na região de saturação são levados em consideração, mas como restrições funcionais. Portanto, o valor da função de aptidão correspondente às restrições funcionais é dado por $Eval(M_{SAT})$, que é também entre 0 e 100 e é determinado pela soma do valor da função de aptidão de cada MOSFET (10 MOSFETs no total para o OTA de único estágio e única saída apresentado como exemplo), que está relacionado à sua região de operação (0 se o MOSFET está operando nas regiões de corte ou tríodo e 10, se o MOSFET está operando na região de saturação).

No processo D da Figura 52, as variáveis de projeto e os resultados obtidos para as especificações de projeto (V_{OUT} , P_{TOT} , A_G e M_{SAT}), correspondente ao indivíduo com o maior valor da função de aptidão da geração atual, são registrados em arquivo com a finalidade de realizar o mapeamento do processo de evolução DC.

Depois disso, a primeira etapa do elitismo é realizada (processo E da Figura 52), que salva a solução com o maior valor da função de aptidão (melhor solução) para substituir aleatoriamente uma das soluções potenciais da segunda geração (elitismo processo I da Figura 52), para assegurar que a próxima geração terá um valor da função de aptidão no mínimo igual ao valor anterior obtido. Vide detalhes da técnica do elitismo no MTGSPICE no APÊNDICE B.

Três operadores genéticos são aplicados para obter a segunda geração: seleção, cruzamento (*crossover*) e mutação (COELLO; LAMONT; VELDHUIZEN, 2007; ZEBULUM; PACHECO; VELLASCO, 2002; GOLDBERG, 1989). O operador seleção (processo F da

Figura 52) é baseado no método da roleta (COELLO; LAMONT; VELDHUIZEN, 2007; GOLDBERG, 1989), que seleciona outras 10 soluções potenciais nesse caso, baseadas na primeira geração, a qual está organizada sequencialmente em uma matriz de 10 posições. Para privilegiar os indivíduos mais aptos, esta seleção é realizada em três passos: primeiramente, calcula-se a probabilidade de seleção de cada uma das 10 soluções da primeira geração, onde a probabilidade de seleção de uma solução [$P_{Sel}(i)$] é proporcional ao seu valor da função de aptidão e a soma das probabilidades de seleção de todos os indivíduos da população é igual a 1 [$\sum_{i=1}^{10} P_{Sel}(i) = 1$], onde i é o índice da solução; em segundo lugar, gera-se um número aleatório ($0 \leq r \leq 1$) e finalmente, identifica-se a solução (indivíduo) da primeira geração da matriz de 10 posições, em que o valor da probabilidade de seleção somado ao valores das probabilidades de seleção das soluções precedentes é maior ou igual ao número aleatório r . O processo de seleção é repetido 10 vezes para selecionar as 10 soluções da segunda geração nesse caso, onde uma solução pode ser escolhida mais que uma vez e o tamanho do conjunto de soluções é definido pelo projetista. O processo de seleção pelo método da roleta é mostrado em detalhes no APÊNDICE B.

Em seguida, o cruzamento de um ponto é aplicado a pares de soluções selecionadas aleatoriamente pelo método da roleta (processo G da Figura 52), com uma probabilidade (P_C), 0,7 nesse caso, que é um parâmetro de entrada do GA definido pelo projetista. O algoritmo do cruzamento seleciona um par de cromossomos (soluções), por exemplo, o primeiro ($P1$) e o segundo ($P2$), então, gera um número aleatório r ($0 \leq r \leq 1$). Se r é menor que 0,7, o cruzamento ocorre, ou seja, os *bits* menos significativos dos genes do cromossomo (solução) $P1$ são trocados com os correspondentes *bits* menos significativos dos genes do outro cromossomo ($P2$), gerando 2 novas soluções, $C1$ e $C2$, respectivamente. Gera-se um número aleatório entre 0 e o número total de *bits* do gene subtraído de um, para definir os *bits* menos significativos e os *bits* mais significativos dos genes. Este processo é repetido cinco vezes para definir a nova geração de N_P igual a 10 soluções potenciais nesse caso. O processo de cruzamento é descrito em maiores detalhes no APÊNDICE B.

Então, o operador mutação ocorre (processo H da Figura 52). Esse operador genético é aplicado com uma determinada probabilidade (P_M) definida pelo projetista. Um número aleatório entre 0 e 1 é gerado para cada *bit* dos genes dos cromossomos (soluções), gerados pelo processo do cruzamento. Se este valor aleatório é menor que P_M , que neste caso é ajustado para 0,03, o *bit* do gene é complementado (invertido). Este processo de mutação tem o objetivo de diversificar o espaço de busca das soluções de projeto do CI CMOS analógico. O operador mutação é explicado em maiores detalhes no APÊNDICE B.

Finalmente, na segunda etapa do elitismo, a melhor solução da geração anterior substitui uma solução da geração atual (processo I da Figura 52), para assegurar que o valor da função de aptidão mínimo das soluções nessa nova geração é no mínimo igual ao valor da geração anterior. Em seguida, a nova geração é finalizada e está pronta para ser avaliada (processo J da Figura 52).

Este procedimento é repetido (processo B da Figura 52) até que o critério de parada seja alcançado, que ocorre quando as especificações DC do OTA são atendidas, caso contrário até que o número de soluções (indivíduos) gerado pelo processo de evolução DC seja igual ao número total de soluções (N_{Tot}) da análise DC, que é um parâmetro de entrada do GA definido pelo projetista. Nesse caso, o N_{Tot} considerado é igual a 10000. Finalmente, a solução melhor avaliada dentre o número total de soluções geradas é selecionada como a solução de projeto DC do OTA (processo K da Figura 52) e, dessa forma, uma rodada do processo de evolução DC é finalizado. O número de rodadas DC define o número de soluções DC do OTA (processos L e M da Figura 52). Posteriormente, o processo de evolução DC é repetido até o número de rodadas (N_R) ser alcançado, que é um parâmetro de entrada do GA. No exemplo da Figura 52, N_R é definido igual a cinco, portanto esse processo de evolução DC é repetido cinco vezes. No final, o sistema evolucionário seleciona as cinco melhores soluções DC do OTA, que são usadas na evolução da resposta em frequência do OTA (processo N da Figura 52).

No próximo passo, qualquer algoritmo baseado em população pode ser usado. O MTGSPICE permite o projetista selecionar um algoritmo evolucionário específico: ou o GA (MORETO; GIMENEZ; THOMAZ, 2013), ou o ICA (ATASHPAZ-GARGARI; LUCAS, 2007; ROCHE et al., 2012) ou o SFLA (ELBELTAGI; HEGAZY; GRIERSON, 2007). Supondo que o GA é escolhido, o processo de evolução AC (resposta em frequência) do OTA começa definindo um conjunto de soluções aleatórias, dado pelo tamanho da população (N_P), que é igual a 30 nesse caso. Cinco dessas 30 soluções são aleatoriamente substituídas pelas 5 melhores soluções da análise DC, que foram obtidas pelo processo do elitismo DC (MORETO; GIMENEZ; THOMAZ, 2013). Este novo procedimento tem o objetivo de acelerar o processo de busca das especificações da análise AC. Assim, a primeira geração AC é criada, simulada e avaliada (Blocos 5, 6 e 7 da Figura 50). Nessa etapa, a função de aptidão das soluções obtidas pelo processo de evolução AC é dada pela soma ponderada das sete especificações de projeto do OTA simultaneamente ($A_{V0}, f_T, PM, V_{OUT}, P_{TOT}, A_G$ e M_{SAT}), onde a melhor solução será usada na próxima geração. Nesse caso, o processo de evolução AC é idêntico ao processo de evolução DC descrito anteriormente. Quando outro algoritmo baseado em população é usado, um procedimento similar é realizado, ou seja, primeiramente o processo de evolução DC é

utilizado para obter algumas soluções promissoras da análise DC, que são usadas para substituir algumas soluções aleatórias da população inicial do processo de evolução AC e o processo de busca restante é realizado conforme o procedimento convencional do algoritmo de otimização escolhido pelo projetista.

Os processos de evolução DC e AC descritos anteriormente são repetidos de acordo com o número de soluções de projeto desejadas, que são disponibilizadas no fim do processo de busca, assim como o mapeamento das variáveis de projeto e as correspondentes figuras de mérito obtidas durante o processo de otimização (Bloco 8 da Figura 50), onde o número de soluções de projeto otimizadas é igual ao número de rodadas (N_R) do processo de evolução AC (parâmetro de entrada do algoritmo de otimização). Finalmente, verifica-se a robustez das soluções de projeto através da análise de Monte Carlo.

Essa subseção mostrou que o processo de busca do MTGSPICE ocorre em duas etapas: primeiro a etapa DC e, em seguida, a etapa AC, porém, somente a etapa de evolução DC das soluções (primeira etapa) proposta nesse trabalho foi detalhada. Os processos de otimização das soluções através do uso dos diversos algoritmos implementados no MTGSPICE são descritos na subseção 3.2.

6.2 ESTUDO DE NOVAS PROPOSTAS DE FUNÇÕES DE APTIDÃO NÃO LINEARES PARA AUMENTAR A EFETIVIDADE DO PROCESSO DE OTIMIZAÇÃO DE CIRCUITOS INTEGRADOS CMOS ANALÓGICOS

Tipicamente projetos de circuitos integrados CMOS analógicos, na área de inteligência artificial (IA), são otimizados por algoritmos evolucionários de múltiplos objetivos usando técnicas “*a priori*” ou “*a posteriori*”. Na categoria “*a priori*”, todas as especificações de projeto são combinadas em uma única função de aptidão para encontrar uma única solução. Quando a categoria “*a posteriori*” é usada, a fronteira de Pareto é usada para produzir soluções com compromissos distintos.

A abordagem “*a posteriori*” tem sido usada em alguns dos trabalhos mais recentes relacionados à otimização de CIs CMOS analógicos, tal como o NSGA-II (DEB, 2011; DEB et al., 2002), que incorpora métodos de Pareto (MARTINS et al., 2015; LOURENÇO; HORTA, 2012). Porém, essas técnicas geralmente não são capazes de explorar soluções potenciais em regiões específicas da superfície da fronteira de Pareto, visto que elas não atendem todas as especificações desejadas simultaneamente (SOMANI; CHAKRABARTI; PATRA, 2007). Além disso, o projetista tem uma grande dificuldade de escolher a melhor solução dentre todas

aqueelas encontradas por essa técnica (COELLO; LAMONT; VELDHUIZEN, 2007; ZEBULUM; PACHECO; VELLASCO, 2002). Dessa forma, a técnica “*a priori*” com o uso de funções de aptidão exponenciais normalizadas torna-se uma ferramenta alternativa para superar as desvantagens mencionadas na técnica “*a posteriori*” focando em projetos de CIs CMOS analógicos (SOMANI; CHAKRABARTI; PATRA, 2007).

Nesse estudo, explora-se o uso das novas funções de aptidão exponenciais do tipo Gaussianas em ferramentas de otimização para melhorar a robustez e efetividade dos processos de otimização de projetos de CIs CMOS analógicos baseados em técnicas “*a priori*”. Essas funções de aptidão são apresentadas na seção 4. Os experimentos estão divididos em três subseções. Nos experimentos da subseção 6.2.1, a característica de convergência dos processos de otimização, a robustez, a precisão e o rendimento das melhores soluções obtidas são avaliados. Os experimentos da subseção 6.2.2 avaliam a efetividade do processo de otimização proposto em comparação com uma das mais populares ferramentas profissionais para otimização de CIs CMOS analógicos. Finalmente, nos experimentos da subseção 6.2.3, a eficiência e flexibilidade do sistema de otimização proposto são verificados por meio da otimização novas topologias de amplificadores operacionais.

6.2.1 Estudo da efetividade das novas propostas de funções de aptidão usando o perfil Gaussiano em comparação com os perfis degrau e linear

Nos experimentos apresentados nas próximas subseções, dois amplificadores operacionais de transcondutância (OTAs) usando duas topologias diferentes e operando com especificações de projeto diferentes foram projetados para qualificar a efetividade do uso das novas funções de aptidão com o perfil Gaussiano em relação às funções de aptidão com os perfis linear e degrau, que são atualmente as mais usadas em sistemas de otimização de CIs CMOS analógicos propostos na literatura (JAFARI et al., 2012; SEVERO; LONGARETTI; GIRARDI, 2012; BARROS; GUILHERME; HORTA, 2010a). Outro objetivo importante dos experimentos desse grupo é analisar a relação entre os valores da função de aptidão das melhores soluções encontradas e suas tolerâncias do desempenho elétrico. Esses experimentos levam em conta as variações dos processos de fabricação e ambientais através de análises de Monte Carlo, que também não foram reportados em detalhes na literatura.

6.2.1.1 Topologias dos OTAs CMOS

Os circuitos elétricos dos OTAs CMOS utilizados nesse estudo foram descritos na seção 3. O primeiro deles é um OTA de único estágio e única saída (SESS) (EGGERMONT et al., 1996). A segunda topologia é um OTA Miller-compensado de polarização cascode (MC) (POLLISSARD-QUATREMÈRE; GOSET; FLANDRE, 2013). A topologia do OTA SESS opera sob condições de micropotência ($\mu\text{P_SESS}$) e a topologia MC opera em ultra-baixa potência e alto ganho de tensão (HG_MC).

6.2.1.2 Especificações dos OTAs, parâmetros de configuração do MTGSPICE e das simulações de Monte Carlo

As especificações de projeto dos OTAs $\mu\text{P_SESS}$ e HG_MC são apresentadas na Tabela 31.

Tabela 31 – Especificações de projeto desejadas dos OTAs $\mu\text{P_SESS}$ e HG_MC, respectivamente.

Especificações de projeto	$\mu\text{P_SESS}$	HG_MC
Ganho de tensão em malha aberta (A_{V0})	≥ 44 dB	≥ 70 dB
Frequência de ganho de tensão unitário (f_T)	≥ 150 kHz	≥ 44 kHz
Margem de fase (PM)	$\geq 87^\circ$	$\geq 67^\circ$
Tensão de saída DC (V_{OUT})	± 125 mV	± 50 mV
Consumo de potência (P_{TOT})	≤ 5 μW	≤ 484 nW
Área de porta total dos MOSFETs (A_G)	≤ 8636 μm^2	≤ 8636 μm^2

Fonte: Autor.

Conforme mostrado na Tabela 31, seis diferentes especificações são levadas em consideração para esses OTAs: A_{V0} , f_T , PM , V_{OUT} , P_{TOT} , e A_G . As tolerâncias de todas as especificações são adotadas para serem iguais a $\pm 10\%$ e todos os transistores devem operar na região de saturação (restrições de projeto desses OTAs). Além disso, a capacidade de carga (C_L) e a resistência de carga (R_L) do OTA $\mu\text{P_SESS}$ são adotados iguais a 15 pF e 10 M Ω , respectivamente, que representam as características elétricas da ponta de prova usada no osciloscópio utilizado para realizar a caracterização elétrica dos OTAs nesse trabalho. A capacidade de carga do OTA HG_MC foi adotada igual a 1 pF, em conformidade com as especificações estabelecidas pelos autores do estudo em Pollissard-Quatremère, Gosset e Fla'ndre, 2013. Adicionalmente, as tensões de alimentação (V_{DD} e V_{SS}) aplicados aos OTAs $\mu\text{P_SESS}$ e HG_MC são $\pm 1,25$ V e $\pm 0,5$ V, respectivamente e suas temperaturas de operação

(*Temp*) são iguais a 27°C. Os processos de fabricação CMOS *Bulk* de CIs usados para implementar os OTAs μ P_SESS e HG_MC são respectivamente o da ON Semiconductor de 0,35 μ m e da IBM SiGe de 0,13 μ m (MOSIS, 2015).

6.2.1.2.1 Parâmetros de otimização dos OTAs

Tabela 32, itens (a) e (b), apresentam as faixas de valores adotadas para os parâmetros de otimização (valores mínimo, máximo, e o tamanho do passo) para os processos de evolução dos OTAs μ P_SESS e HG_MC, respectivamente. Esses valores são frequentemente definidos pelos projetistas de CIs CMOS analógicos com o objetivo de obter soluções factíveis. Dessa forma, adotou-se uma faixa ampla e um passo estreito para cada parâmetro de otimização para assegurar um atendimento adequado de todas as especificações de projeto com robustez e precisão dos resultados de desempenho após o processo de fabricação (MORETO et al., 2015). Além disso, adotou-se a precisão da grade da tecnologia CMOS de CIs usada para cada parâmetro de otimização para facilitar a implementação do leiaute. Outro benefício de usar a grade da tecnologia CMOS de CIs é a redução do espaço de busca dos parâmetros de otimização.

Tabela 32 – Parâmetros de otimização dos OTAs μ P_SESS (a) e HG_MC (b).
(a)

Parâmetro de projeto	Faixa	Unidade
W	[1; 500; 0,35]	μ m
L	[1; 20; 0,35]	μ m
$IPOL$	[0,01; 1; 0,01]	μ A

(b)

Parâmetro de projeto	Faixa	Unidade
W	[1; 10; 0,1]	μ m
L	[0,7; 7; 0,05]	μ m
$IPOL$	[10; 500; 1]	nA
C_f	[1; 100; 0,05]	pF

Fonte: Autor.

Nota: todas as faixas de parâmetros significam [valor mínimo, valor máximo, e valor do tamanho do passo].

Onde W e L são a largura e o comprimento de canal dos transistores. As faixas dos parâmetros dimensionais estão relacionadas aos processos de fabricação CMOS de CIs, as faixas de valores para $IPOL$ estão correlacionadas com os consumos de potência e C_f é especificamente relacionado à margem de fase do OTA Miller-compensado de polarização cascode.

6.2.1.2.2 Parâmetros das funções de aptidão

Nos experimentos realizados nesse trabalho, a mesma prioridade é dada para todas as especificações de projeto desejadas. Portanto, no processo de evolução da etapa DC, os pesos para todas as figuras de mérito são as mesmas: 33,3% para V_{OUT} , P_{TOT} , e A_G . Considerando o processo de evolução AC, os pesos para as figuras de mérito são 16,7% para A_{V0} , f_T , PM , V_{OUT} , P_{TOT} , e A_G .

6.2.1.2.3 Parâmetros do processo de evolução DC

Considerando os algoritmos evolucionários GA, ICA, e SFLA, que realizam o processo de evolução das condições de polarização DC dos OTAs (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013), o tamanho da população (N_P) e o número máximo de iterações (N_{Iter}) foram ajustados para 10 e 1000 respectivamente, onde o número máximo de soluções potenciais avaliadas é igual a $N_P \cdot N_{Iter}$ (10000). Para obter uma população com maior diversidade, o número de rodadas (N_R) foi ajustado para ser igual a 15 com o objetivo de tirar proveito da inicialização estocástica dos algoritmos evolucionários. Assim, o número total máximo de soluções potenciais avaliadas é igual a $N_P \cdot N_{Iter} \cdot N_R$ (150000). Portanto, após essas quinze rodadas de otimização, as quinze melhores soluções potenciais DC foram usadas para substituir parte da população inicial para realizar o processo de evolução AC dos OTAs em uma segunda etapa.

6.2.1.2.4 Parâmetros do processo de evolução AC

Considerando os algoritmos evolucionários GA, algoritmo genético convencional (SGA)⁶⁶, que usa a biblioteca externa “Shark” (IGEL; HEIDRICH-MEISNER; GLASMACHERS, 2008), ICA, e SFLA, assim como a busca aleatória (RS), o tamanho da população (N_P), o número de iterações (N_{Iter}), e o número de rodadas (N_R) são iguais a 30, 1000, e 30, respectivamente. Assim, o número total de soluções potenciais avaliadas é igual a $N_P \cdot N_{Iter} \cdot N_R$, portanto 900000. No final desses processos de evolução AC, obtém-se 30

⁶⁶ Standard genetic algorithm.

resultados finais, onde cada solução é selecionada de cada rodada de otimização, baseado no correspondente maior valor da função de aptidão.

Para uma comparação justa entre os métodos baseados em população já descritos e o SA, que usa somente uma solução durante o seu processo de otimização, o número de soluções potenciais que são avaliadas em cada iteração (m) usando a mesma temperatura (T) é definido para ser igual a 30. N_{Iter} e N_R são ajustados para 1000 e 30, respectivamente. Portanto, o número total de soluções potenciais avaliadas é igual a $m \cdot N_{Iter} \cdot N_R$ (900000). A implementação do SA é baseada na referência Press et al. (2007), onde uma temperatura inicial (T_0) é decrementada de forma não linear, conforme a função de resfriamento dada por: $T = T_0(1 - N_{Sol}/N_{Tot})^\alpha$, onde T_0 é ajustado para 80, α é ajustado para 4 e o número de soluções avaliadas pelo sistema (N_{Sol}) é inicialmente ajustado para zero e aumentado por m após cada avaliação de m soluções durante o processo de busca. O número total de soluções avaliadas no processo de otimização (N_{Tot}) é ajustado para 30000 para definir 1000 iterações de temperatura (PRESS et al., 2007).

Na implementação do GA, o cruzamento (*crossover*) de um ponto é aplicado com uma probabilidade (P_C) de 0,7 e a probabilidade de mutação (P_M) é ajustada para 0,03 (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013). Quanto ao ICA, o número de países imperialistas (N_{Imp}) é ajustado para 3; o coeficiente de assimilação (C_A) é ajustado para 2; a probabilidade de revolução (P_{Rev}) é ajustada para 0,1; a probabilidade de competição imperialista (P_{Comp}) é ajustada para 0,11 e a contribuição do valor da função de aptidão médio das colônias no valor da função de aptidão do império (ζ) é ajustado para 0,02 (ATASHPAZ-GARGARI; LUCAS, 2007; ROCHE et al., 2012). Considerando o SFLA, o número de *memplexes* (mem) é ajustado para 3; o número de iterações para cada *memplex* (it_mem) no processo de busca local é ajustado para 10, e o fator de aceleração de busca (C_{AC}) é ajustado para 2 (ELBELTAGI; HEGAZY; GRIERSON, 2007).

6.2.1.2.5 Parâmetros da análise de Monte Carlo

As análises de Monte Carlo são realizadas para as 30 soluções finais de cada processo de otimização, levando-se em conta as variações ambientais e do processo de fabricação. Dez mil simulações são realizadas levando-se em consideração as variações da tensão de limiar (V_{th}) dos MOSFETs, mobilidade dos portadores de carga [μ_0 , onde 0 pode ser n (elétrons) ou p (lacunas)], e temperatura (0°C e 75°C), conforme o procedimento descrito em Tuma e Bürmen (2009, p. 357), onde V_{th} e μ_0 apresentam distribuições Gaussianas. Os desvios padrão das

variações globais de V_{th} e μ_0 foram adotados como $\pm 3.3\%$ e $\pm 2\%$, respectivamente, para os nMOSFETs e $\pm 4\%$ e $\pm 3.3\%$, respectivamente, para os pMOSFETs (TUMA; BÜRMEN, 2009). Os desvios padrão de V_{th} (σ_{M_Vth}) e μ_0 (σ_{M_mu0}) devido aos descasamentos locais entre os MOSFETs são dados por $A_{Vth}/\sqrt{2WL}$ e $A_{\mu0}/\sqrt{2WL}$, respectivamente, onde W e L são a largura e o comprimento de canal do transistor, e A_{Vth} e $A_{\mu0}$ representam constantes de proporcionalidade da tensão de limiar e mobilidade dos portadores de carga, que são obtidos experimentalmente (TUMA; BÜRMEN, 2009). Os parâmetros A_{Vth} e $A_{\mu0}$ usados para os nMOSFETs são $5 \times 10^{-3} \text{ V}\cdot\mu\text{m}$ e $1,04 \times 10^{-2} \mu\text{m}$, respectivamente, e $5,49 \times 10^{-3} \text{ V}\cdot\mu\text{m}$ e $0,99 \times 10^{-2} \mu\text{m}$, para os pMOSFETs, referente ao processo de fabricação CMOS de CIs de 180 nm (TUMA; BÜRMEN, 2009).

6.2.1.3 Resultados

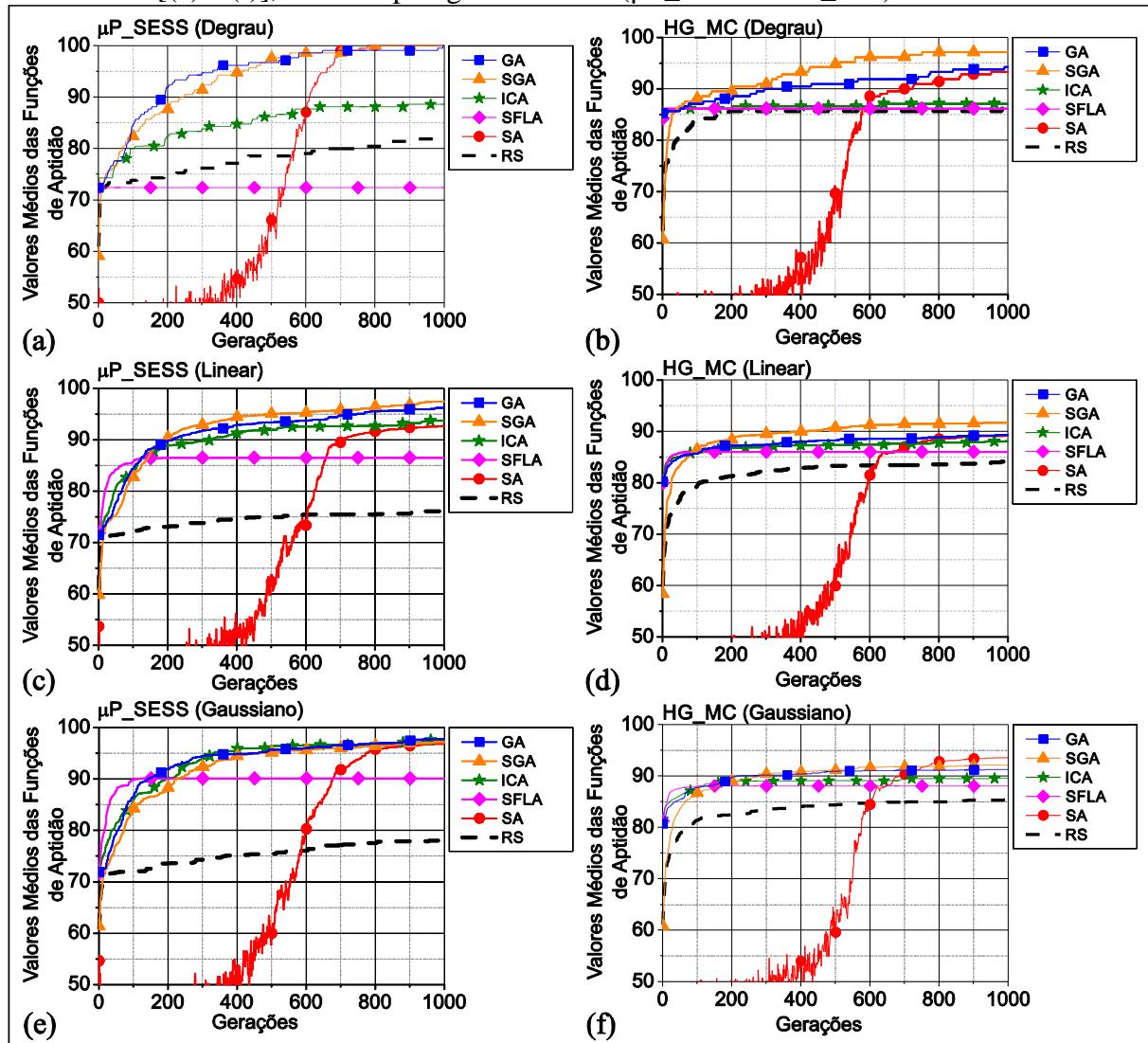
O MTGSPICE foi executado em um computador IBM-PC, equipado com um processador Intel(R) Core(TM) i7-3770 de 3,4 GHz de *clock*, com 24 GB de RAM e Windows 8 (sistema operacional). A característica de convergência, a robustez, a precisão e o rendimento (taxa de sucesso) das melhores soluções foram avaliados considerando os processos de otimização dos projetos dos CIs CMOS analógicos, levando-se em conta os cinco algoritmos de otimização diferentes (GA, SGA, ICA, SFLA, e SA) e os três formatos de função de aptidão descritos anteriormente (degrau, linear e Gaussiano). Os seguintes tempos de execução foram medidos na otimização da topologia do OTA SESS usando os algoritmos GA, SGA, ICA, SFLA, e SA: 26 min, 23 min, 27 min, 34 min, e 30 min, respectivamente. Os tempos de execução referente à topologia do OTA MC são: 25 min, 24 min, 23 min, 27 min, e 26 min, respectivamente. Além disso, observou-se que os processos de otimização usando os três perfis de função de aptidão requereram tempos de execução similares.

6.2.1.3.1 Avaliação da característica de convergência

Nessa primeira análise dos resultados, a Figura 53 ilustra as características de convergência (valores médios de aptidão em função do número de gerações) dos processos de otimização levando-se em conta seis algoritmos de otimização GA, SGA, ICA, SFLA, SA, e RS e duas topologias de OTAs ($\mu\text{P_SESS}$ e HG_MG). Os valores médios de aptidão foram calculados das 30 rodadas de otimização independentes e usando diferentes sementes aleatórias.

O objetivo desse estudo é apenas avaliar o desempenho geral dos algoritmos de otimização usando como figura de mérito o valor médio de aptidão das soluções, onde a busca aleatória é usada como referência. A avaliação da robustez do desempenho elétrico das soluções obtidas pelos diversos processos de otimização através das análises de Monte Carlo será realizada nos próximos experimentos.

Figura 53 – Características de convergência dos processos de otimização levando-se em conta os algoritmos de otimização GA, SGA, ICA, SFLA, SA, RS, três formatos diferentes de função de aptidão: degrau [(a) e (b)], linear [(c) e (d)] e Gaussiano [(e) e (f)], e duas topologias de OTAs (μ P_SESS e HG_MC).



Fonte: Autor.

Após 1000 gerações e considerando as funções de aptidão com perfil degrau na Figura 53, itens (a) e (b), observa-se que os algoritmos GA, SGA e SA alcançam os melhores valores médios da função de aptidão das soluções em relação aos outros algoritmos considerados nesse estudo (ICA, SFLA, RS). Para o OTA μ P_SESS na Figura 53 (a), o GA,

SGA e SA alcançam o valor máximo possível de aptidão (100), que representa ganhos de 12,9%; 38,2% e 22,2% em relação aos valores de aptidão obtidos pelos algoritmos ICA, SFLA e RS, respectivamente. Verifica-se na Figura 53 (b) que o processo de otimização do OTA HG_MC usando o GA alcança ganhos de 8,2%; 9,4% e 9,4%; o SGA alcança ganhos de 11,5%; 12,7% e 12,7% e o SA alcança ganhos de 7,1%; 8,3% e 8,3% em relação aos valores de aptidão obtidos pelos algoritmos ICA, SFLA e RS, respectivamente. É importante notar que o algoritmo SFLA usando as funções de aptidão com perfil degrau não é capaz de otimizar efetivamente o OTA μ P_SESS, conforme mostra a Figura 53 (a), visto que os valores médios de aptidão das soluções permanece praticamente constante do começo ao fim do processo de otimização e com valores de aptidão menores que a busca aleatória. Observa-se também que os processos de otimização que usam o ICA e o SFLA implementados com o perfil degrau das funções de aptidão não são efetivos para a otimização do OTA HG_MC, como mostra a Figura 53 (b), uma vez que eles obtiveram valores médios de aptidão similares à busca aleatória.

Além disso, na Figura 53 (c), considerando o OTA μ P_SESS, observa-se que os processos de otimização que usam os algoritmos GA e SGA baseados em funções de aptidão com o perfil linear alcançam os melhores valores médios de aptidão das soluções em relação aos outros algoritmos considerados nesse estudo. Similarmente, na Figura 53 (d), considerando o OTA HG_MC, observa-se que os algoritmos GA e SGA também alcançam os melhores valores médios de aptidão das soluções em relação aos outros algoritmos, porém, nesse caso, o SA também é capaz de obter valores médios de aptidão similares ao GA. Na Figura 53 (c), a otimização do OTA μ P_SESS usando o GA alcança ganhos de 2,7%; 11,3%; 3,8% e 26,5%; o SGA alcança ganhos de 4%; 12,7%; 5,2% e 28,2% em relação aos valores de aptidão obtidos pelos algoritmos ICA, SFLA, SA e RS, respectivamente. Na Figura 53 (d), o processo de otimização do OTA HG_MC usando o GA alcança ganhos de 1,4%; 3,8% e 6,2%; o SGA alcança ganhos de 4,1%; 6,6% e 9% e o SA alcança ganhos de 1,3%; 3,7% e 6,1% em relação aos valores de aptidão obtidos por ICA, SFLA e RS, respectivamente. Além disso, observa-se na Figura 53, itens. (c) e (d), que os processos de otimização pelo algoritmo SFLA usando funções de aptidão com o perfil linear são capazes convergir rapidamente, porém, os valores de aptidão permanecem estagnados em cerca de 86, que são menores que os valores obtidos nos outros algoritmos de otimização (GA, SGA, ICA e SA).

Analizando a Figura 53, itens (e) e (f), observa-se que as funções de aptidão com o perfil Gaussiano permite todos os algoritmos de otimização considerados nesse estudo alcançar bom desempenho, onde os valores médios de aptidão das soluções são melhores ou tão altos quanto os valores obtidos pelas funções de aptidão com o perfil linear. Na Figura 53 (e), considerando

o OTA μ P_SESS, observa-se que os processos de otimização pelos algoritmos GA, SGA, ICA e SA, implementados com as funções de aptidão com o formato Gaussiano alcançam valores médios de aptidão das soluções similares, com ganhos por volta de 8% e 25% em relação aos valores de aptidão obtidos pelo SFLA e pela busca aleatória, respectivamente. Os processos de otimização do OTA HG_MC através do GA e do SGA na Figura 53 (f) alcançam resultados similares àqueles obtidos pelas funções de aptidão com o formato linear, enquanto que o SA alcança ganhos de 4,5%; 6,2% e 9,6% em relação aos valores de aptidão obtidos pelos algoritmos ICA, SFLA e RS, respectivamente, que são maiores que os valores obtidos pelas funções de aptidão com o formato linear. Observa-se também que o processo de otimização através do algoritmo SFLA com as funções de aptidão com o formato Gaussiano alcança rapidamente valores de aptidão próximos de 90 para o OTA μ P_SESS e cerca de 88 para o OTA HG_MC, que são maiores que aqueles obtidos pelas funções de aptidão com o formato linear. Esses resultados sugerem que as funções de aptidão com o formato Gaussiano podem ser usadas para prevenir o algoritmo SFLA de permanecer estagnado em soluções ótimas locais.

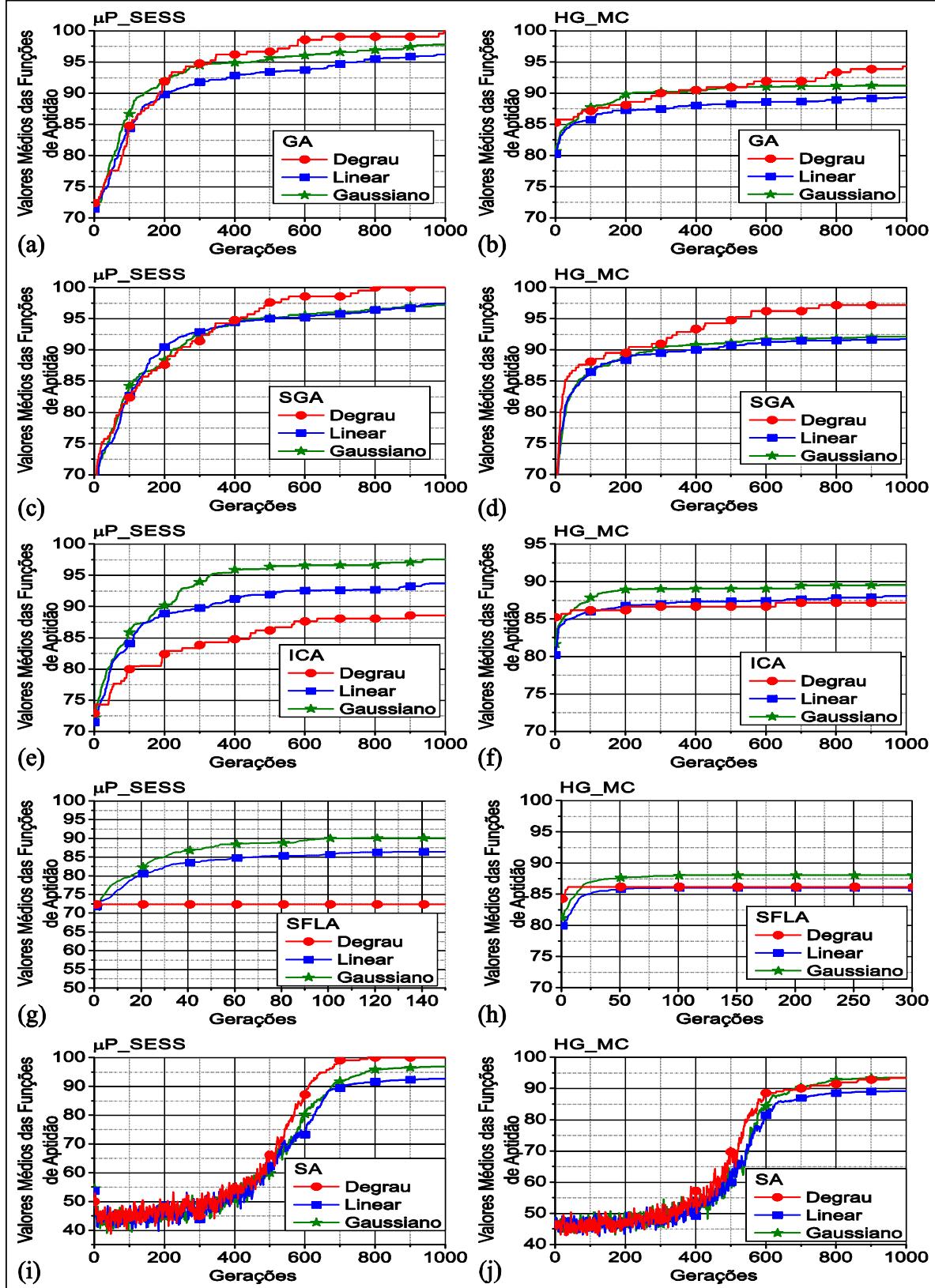
É importante notar que a convergência do processo de otimização através do algoritmo SA é consideravelmente mais lenta que a dos outros métodos, pois o SA é baseado em apenas uma solução, enquanto que os algoritmos evolucionários e a busca aleatória são baseados em um conjunto de soluções (população).

Observou-se nesse experimento que as funções de aptidão com o perfil Gaussiano são capazes de aumentar a efetividade do processo de otimização de todos os métodos heurísticos avaliados nesse estudo, visto que as soluções obtidas pelos processos de otimização implementados com funções de aptidão com o perfil Gaussiano geralmente alcançam valores médios de aptidão superiores em relação aos valores obtidos pelas funções de aptidão com os formatos degrau e linear, que normalmente são usados na literatura.

6.2.1.3.2 Avaliação da robustez

Nessa segunda análise dos resultados, a Figura 54 ilustra os valores médios das funções de aptidão das 30 melhores soluções em função do número de gerações para as duas topologias de OTA (μ P_SESS e HG_MC).

Figura 54 – Valores médios das funções de aptidão das trinta melhores soluções em função do número de gerações considerando os cinco algoritmos de otimização (GA, SGA, ICA, SFLA, e SA), três formatos de função de aptidão (degrau, linear e Gaussiano), referente aos OTAs μ P_SESS [(a), (c), (e), (g) e (i)] e HG_MC [(b), (d), (f), (h), (j)].



Fonte: Autor.

Na Figura 54, pode-se observar que os melhores valores médios das funções de aptidão obtidos para o OTA μ P_SESS são obtidos dos seguintes processos de otimização:

a) Os algoritmos ICA e SFLA que usam as funções de aptidão com o formato Gaussiano;

b) Os algoritmos GA, SGA e SA que usam as funções de aptidão com o formato degrau.

Os processos de otimização que alcançaram os melhores valores médios das funções de aptidão para o OTA HG_MC são:

a) Os algoritmos ICA e SFLA que usam as funções de aptidão com o perfil Gaussiano;

b) Os algoritmos GA e SGA que usam as funções de aptidão com o perfil degrau;

c) Para o SA, as funções de aptidão com os perfis Gaussiano e degrau alcançam resultados similares.

Baseado nesses resultados, pode-se dizer que não existe apenas um perfil de função de aptidão (degrau, linear e Gaussiano) que seria capaz de obter os melhores valores médios considerando todos os algoritmos de otimização.

A Tabela 33 apresenta os ganhos em porcentagem dos valores médios das funções de aptidão implementadas com o perfil Gaussiano em relação aos outros perfis funções de aptidão (degrau e linear), após 1000 iterações (final do processo de otimização).

Tabela 33 – Ganhos em porcentagem dos valores médios das funções de aptidão implementadas com o perfil Gaussiano em relação aos outros perfis de funções de aptidão (degrau e linear), referente a 1000 iterações e dois OTAs diferentes.

Algoritmos de otimização	OTA μ P_SESS		OTA HG_MC	
	Degrau	Linear	Degrau	Linear
GA	-2,2	1,6	-3,3	2,1
SGA	-2,8	-0,3	-5,2	0,5
ICA	10,2	4,1	2,7	1,6
SFLA	24,5	4,3	2,1	2,3
SA	-3,1	4,5	0,2	4,8

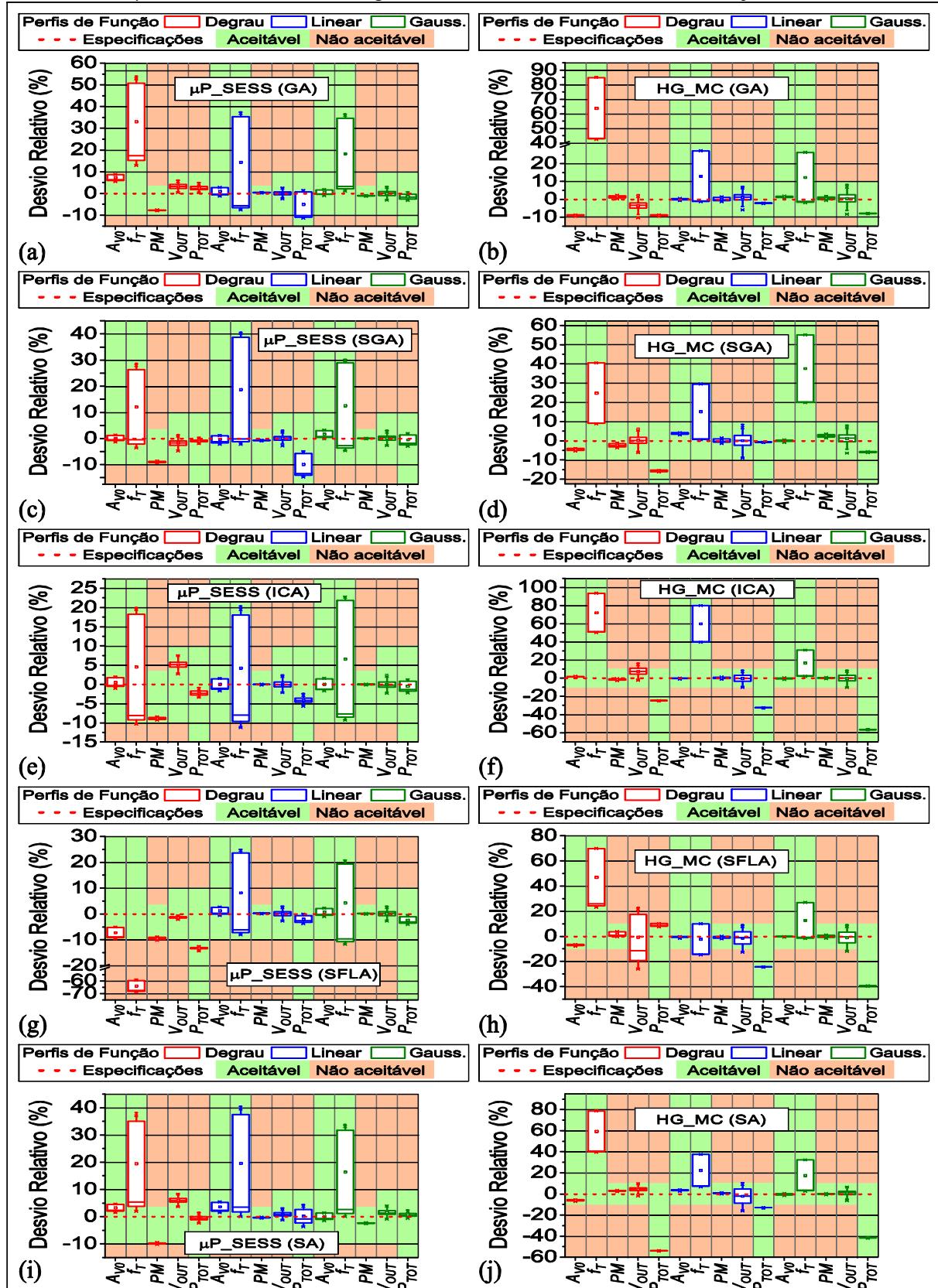
Fonte: Autor.

Considerando a Tabela 33, pode-se notar que as funções de aptidão implementadas com o perfil Gaussiano são capazes de obter 70% [$(14/20) \cdot 100$] dos melhores valores médios das funções de aptidão em relação aos outros perfis de funções de aptidão (degrau e linear), considerando 1000 iterações e dois OTAs diferentes. Além disso, em 50% [$(5/10) \cdot 100$] dos casos, o perfil Gaussiano é capaz de obter valores médios das funções de aptidão melhores que aquelas implementadas com o perfil degrau. Porém, em 90% [$(9/10) \cdot 100$] dos casos, as

funções de aptidão implementadas com o perfil Gaussiano são capazes de obter valores médios de aptidão melhores que aquelas implementadas com o perfil linear. Portanto, as funções de aptidão implementadas com perfil Gaussiano podem ser consideradas boas opções para implementar funções de aptidão de processos de otimização.

É importante destacar que um CI CMOS analógico somente deve ser enviado para ser fabricado após um estudo exaustivo de robustez (BARROS; GUILHERME; HORTA, 2010a). Portanto, as análises de Monte Carlo foram realizadas considerando as trinta melhores soluções encontradas pelo MTGSPICE para cada processo de otimização (GA, SGA, ICA, SFLA, e SA), cada perfil de função de aptidão (degrau, linear e Gaussiano) e cada OTA (μ P_SESS e HG_MC) para correlacioná-las com seus valores médios das funções de aptidão. As simulações de Monte Carlo obtiveram os valores mínimo e máximo e o desvio padrão de cada figura de mérito, considerando as trinta soluções obtidas por cada processo de otimização. Os erros relativos de cada uma das figuras de mérito foram calculados em relação às suas especificações, levando-se em conta o pior caso entre seus valores mínimo e máximo, obtidos através das simulações de Monte Carlo. Posteriormente, o erro relativo médio foi obtido, levando-se em conta todos os erros relativos das diferentes figuras de mérito dos OTAs. Então, os trinta resultados de cada processo de otimização foram classificados do menor para o maior erro relativo médio. O critério usado para identificar a solução mais robusta das trinta encontradas pelo MTGSPICE, considerando as variações do processo de fabricação (global e local), foi aquela que apresentou o menor erro relativo médio. Além disso, as figuras de mérito encontradas não podem violar o valor da especificação em 10%. O APÊNDICE G apresenta os melhores resultados das simulações de Monte Carlo realizadas para as trinta soluções encontradas pelo MTGSPICE para cada processo de otimização. Os diagramas de caixa (*box plots*) comparando as análises de Monte Carlo das soluções mais robustas obtidas pelos processos de otimização estão ilustrados na Figura 55. Os diagramas de caixa usam escalas diferentes para enfatizar as regiões de interesse de cada processo de otimização.

Figura 55 – Diagramas de caixa comparando as análises de Monte Carlo das soluções mais robustas obtidas pelos algoritmos de otimização GA, SGA, ICA, SFLA, e SA usando funções de aptidão com os perfis degrau, linear e Gaussiano para os OTAs μP_SESS [(a), (c), (e), (g) e (i)] e HG_MC [(b), (d), (f), (h), (j)].



Fonte: Autor.

Os diagramas de caixa mostram os valores médios dos desempenhos obtidos para cada figura de mérito dos OTAs assim como os valores mínimo e máximo. Os limites superior e inferior das caixas representam os percentis 75 e 25, a mediana e a média são descritos dentro da caixa, onde a primeira é indicada por uma linha reta e a última é indicada por um pequeno quadrado. As linhas estendendo os limites inferior e superior das caixas mostram a extensão do resto dos dados. Pode-se observar que, na maioria dos casos, os processos de otimização que usam o perfil Gaussiano para as funções de aptidão alcançam melhor precisão das figuras de mérito obtidas que os perfis degrau e linear, considerando as especificações de desempenho desejadas.

Baseado nos resultados das simulações de Monte Carlo, observa-se que em 60% dos casos, as funções de aptidão com o perfil Gaussiano obtiveram soluções com a melhor robustez do desempenho elétrico dos OTAs. Além disso, as funções de aptidão implementadas com o perfil linear obtiveram as soluções que apresentaram a maior robustez em 40% dos casos. Por outro lado, em nenhum dos casos, as funções de aptidão implementadas com o perfil degrau obtiveram soluções com a melhor robustez, relativo ao desempenho elétrico dos OTAs. Veja detalhes no APÊNDICE G.

Além disso, é importante destacar que as funções de aptidão implementadas com o perfil Gaussiano são sempre capazes de projetar OTAs com erros relativos médios das figuras de mérito menores que 5% em relação às especificações, levando-se em conta as variações ambientais e do processo de fabricação (simulações de Monte Carlo). Além disso, as soluções mais robustas encontradas por cada processo de otimização implementado com o perfil linear das funções de aptidão também apresentam erros médios menores que 5%, exceto para uma solução encontrada (o OTA HG_MC otimizado pelo algoritmo SFLA apresentou um erro de 6,1%). Baseado nesses resultados, pode-se concluir que o perfil linear é capaz de alcançar uma robustez similar ao Gaussiano, apesar do perfil Gaussiano ser melhor que o linear, levando-se em conta a robustez dos projetos dos CIs CMOS analógicos. Adicionalmente, embora as funções de aptidão implementadas com o perfil degrau provaram ser menos robustas que as outras, elas são capazes de apresentar valores de erros médios das figuras de mérito em relação às especificações menores que 10%, que também podem ser usadas pelos projetistas de CIs CMOS analógicos, dependendo da criticidade da aplicação.

É muito importante enfatizar que as soluções que alcançaram a melhor robustez não estão relacionadas aos valores mais altos das funções de aptidão encontrados pelo MTGSPICE. Para ilustrar esse ponto, por exemplo, a solução mais robusta é somente a décima terceira melhor solução na classificação pelo valor da função de aptidão considerando o algoritmo GA

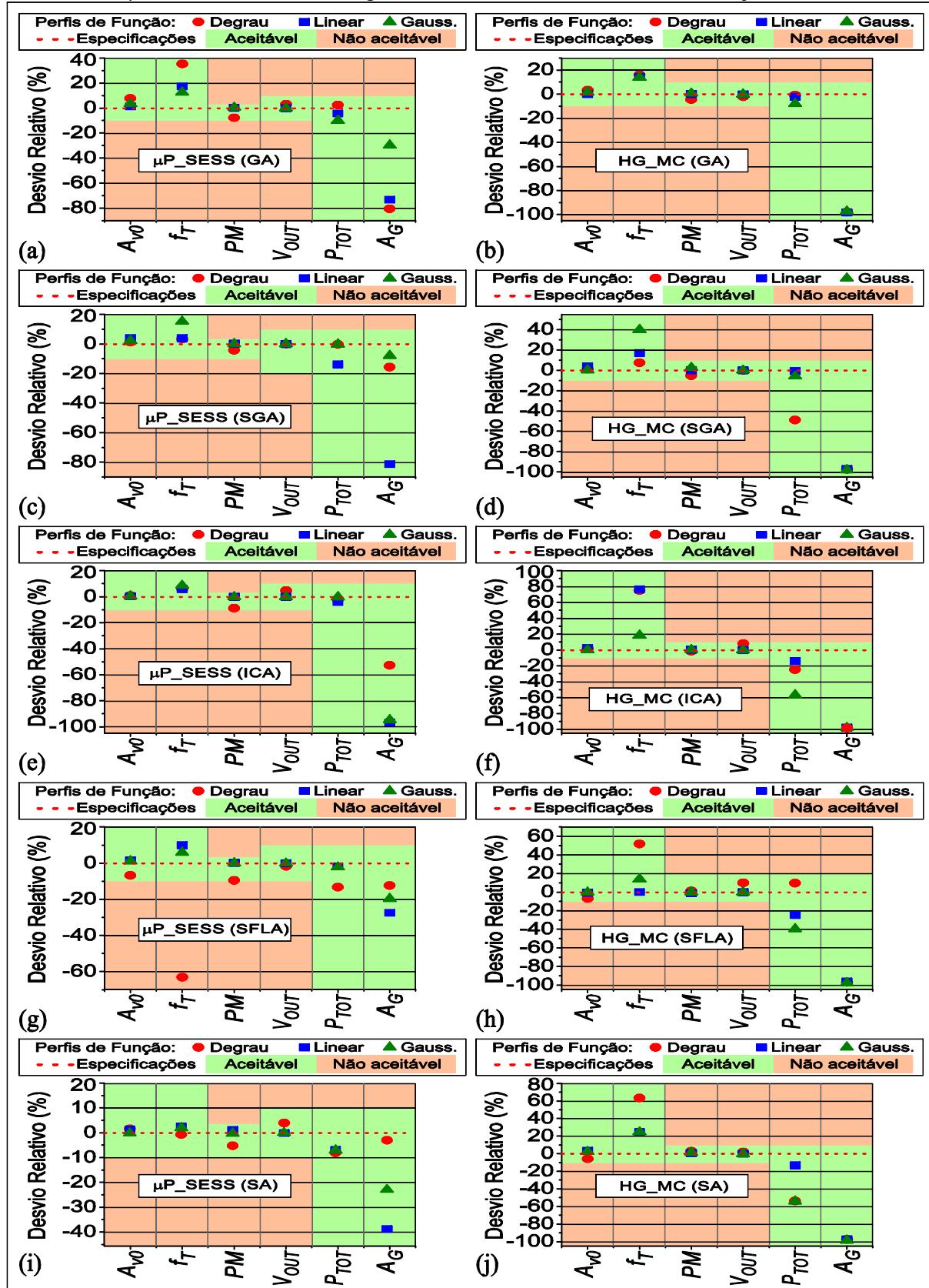
usando as funções de aptidão com o perfil Gaussiano e o OTA μ P_SESS, no conjunto de 30 soluções. No caso do OTA HG_MC, a solução mais robusta é a quarta melhor solução na classificação pelo valor da função de aptidão.

6.2.1.3.3 Avaliação da precisão

Trinta soluções foram obtidas para cada processo de otimização através do uso do MTGSPICE. O erro relativo de cada figura de mérito em relação à sua especificação foi calculado para realizar uma análise da precisão dos processos de otimização. Em seguida, o erro relativo médio de cada solução foi obtido, levando em conta todas as figuras de mérito de cada OTA. Então, esses trinta resultados finais foram ordenados dos menores para os maiores erros relativos médios. Essas soluções também foram classificadas considerando os resultados das simulações de Monte Carlo (dos menores para os maiores erros relativos médios). A melhor solução foi identificada levando em conta somente o melhor resultado da primeira classificação. Porém, se duas soluções apresentaram o mesmo valor do erro relativo médio obtido da primeira classificação, aquela que apresentou o menor erro relativo das análises de Monte Carlo foi identificada como a melhor solução. Esse procedimento foi realizado considerando um total de 900 resultados obtidos pelo MTGSPICE. A Figura 56 ilustra os desvios relativos de cada figura de mérito em relação às suas especificações referente a cada OTA considerado nesse estudo.

Baseado nos dados experimentais indicados na Figura 56, o critério usado para identificar o melhor perfil para ser usado nas funções de aptidão é aquele que atende um número maior de especificações simultaneamente e que melhor atende as especificações desejadas.

Figura 56 – Os desvios relativos obtidos da melhor solução em relação a cada especificação de projeto, considerando os cinco algoritmos de otimização GA, SGA, ICA, SFLA, e SA, os três perfis de função de aptidão (degrau, linear e Gaussiano) e os OTAs μ P_SESS [(a), (c), (e), (g) e (i)] e HG_MC [(b), (d), (f), (h) e (j)].



Fonte: Autor.

Considerando o OTA μ P_SESS, o perfil linear usado nas funções de aptidão foi capaz de alcançar um maior número de figuras de mérito que melhor atende as especificações desejadas referente aos desvios relativos, exceto para o GA, onde o melhor perfil foi o Gaussiano em relação aos perfis degrau e linear. Para o OTA HG_MC, o perfil Gaussiano usado nas funções de aptidão foi capaz de alcançar um maior número de figuras de mérito que melhor atendem as especificações desejadas considerando os desvios relativos, exceto para o ICA, onde o melhor perfil foi o linear em relação aos outros. Porém, observou-se também que o perfil Gaussiano utilizado nas funções de aptidão na maioria dos casos gerou os menores desvios padrão das figuras de mérito em relação às especificações desejadas (40% Gaussiano, 30% degrau, 20% linear e em 10% dos casos os perfis Gaussiano e degrau obtiveram desvios padrão similares). Isso significa que o perfil Gaussiano é geralmente capaz de encontrar as especificações desejadas com uma melhor precisão em comparação com os outros perfis das funções de aptidão. Além disso, considerando o OTA μ P_SESS, verificou-se que em 80% dos casos, o perfil Gaussiano usado nas funções de aptidão foi capaz de apresentar o maior número de soluções robustas em relação às variações do processo de fabricação CMOS e das condições ambientais através do uso de simulações de Monte Carlo, e em 20% dos casos o perfil linear obteve as soluções mais tolerantes. Considerando o OTA HG_MC, verificou-se que em 60% dos casos o perfil Gaussiano foi capaz de apresentar o maior número de soluções robustas, em 20% dos casos o perfil linear obteve as soluções mais robustas, e em 20% dos casos o perfil degrau obteve as soluções mais robustas.

Baseado nesse estudo específico, conclui-se que o perfil Gaussiano pode ser considerado um perfil alternativo interessante para ser usado nas funções de aptidão dos algoritmos de otimização para projetar OTAs para atender as especificações desejadas com precisão e robustez ao mesmo tempo. A capacidade dos perfis não lineares para as funções de aptidão, Gaussiano nesse caso, pode ser explicada pelo fato de que tais perfis não apresentam variações abruptas, conforme ilustrado anteriormente nas regiões A e B da Figura 28. Essas regiões são de fato críticas para explorar soluções similares no espaço de busca original, em contraste com os outros perfis que são incapazes de considerá-las durante os processos de otimização.

É importante destacar alguns pontos importantes sobre o experimento acima. Em quatro dos cinco algoritmos de otimização o perfil linear de função de aptidão foi o mais efetivo para o OTA μ P_SESS e para o OTA HG_MC o perfil Gaussiano foi o mais efetivo. Esse resultado está relacionado ao regime de inversão dos MOSFETs desses OTAs. No caso do OTA HG_MC, devido ao baixíssimo consumo de potência (< 484 nW) os MOSFETs operam

predominantemente no regime de inversão fraca, onde os eles apresentam a dependência da corrente de dreno (I_{DS}) versus a tensão de porta (V_{GS}) exponencial (SILVEIRA; FLANDRE; JESPERS, 1996), que justifica, nesse caso, a grande importância do uso de funções de aptidão com o perfil não linear. No caso do OTA μ P_SESS, devido aos MOSFETs tenderem a operar predominantemente ou na região de inversão moderada ou nas vizinhanças da região de inversão forte (MORETO, 2011), o comportamento I_{DS} versus V_{GS} é quadrático ou aproximadamente linear (SILVEIRA; FLANDRE; JESPERS, 1996) e, portanto, nesse caso, o perfil linear das funções de aptidão funcionam de forma eficiente. Outro ponto importante é o fato do perfil Gaussiano ter alcançado um desempenho ótimo para as duas topologias de OTA através do uso do GA, enquanto que o perfil linear alcançou um desempenho ótimo para esses OTAs através do uso do ICA. Esses resultados podem estar relacionados ao fato do GA possuir uma característica de busca predominantemente global, enquanto que o ICA apresenta uma característica de busca predominantemente local. Por exemplo, a fim de alcançar uma solução ótima global, o GA permite a recombinação de soluções localizadas em pontos distintos no espaço de busca, através do operador *crossover* (COELLO; LAMONT; VELDHUIZEN, 2007). Por outro lado, o ICA modifica as soluções potenciais através do processo de assimilação (ATASHPAZ-GARGARI; LUCAS, 2007), onde as colônias de um determinado império tendem a se aproximar do imperialista, ou seja, após um determinado número de iterações do algoritmo essas soluções (imperialista e suas colônias) tendem a estar localizadas em posições próximas no espaço de busca, que é a característica de busca local desse algoritmo. Visto que a etapa da competição imperialista (característica de busca global do ICA) ocorre com uma incidência de apenas 11% nesse estudo, pode-se afirmar que o processo de busca pelo ICA é predominantemente local e, dessa forma, o perfil linear das funções de aptidão representa uma aproximação muito eficiente para o bom funcionamento desse algoritmo.

Observa-se também que as soluções obtidas por cada processo de otimização com os menores erros relacionados às especificações não apresentam necessariamente a maior robustez com relação aos descasamentos dos dispositivos e variações do processo de fabricação. Por exemplo, na Figura 56 (a) as funções de aptidão com perfil degrau obtiveram os maiores valores para o A_{V0} , e o f_T e o menor valor de A_G , porém, somente as funções de aptidão com perfil Gaussiano obtiveram uma solução robusta após levar em consideração as simulações de Monte Carlo.

6.2.1.3.4 Avaliação do rendimento das melhores soluções

Esse quarto estudo considera trinta soluções para cada algoritmo de otimização (GA, SGA, ICA, SFLA e SA), levando em conta os três diferentes perfis de funções de aptidão (degrau, linear, e Gaussiano) e dois OTAs (μ P_SESS e HG_MC). Como esses algoritmos de otimização usam uma soma ponderada das funções de aptidão (MORETO et al., 2015; MORETO; GIMENEZ; THOMAZ, 2013), alguns desses resultados das trinta soluções encontradas geralmente não atendem todas as especificações desejadas simultaneamente. Assim, a Tabela 34 apresenta a taxa de sucesso em porcentagem dos processos de otimização estudados nesse trabalho que são capazes de atender todas as especificações requeridas ao mesmo tempo (colunas *Final*) e também dos resultados das simulações de Monte Carlo (colunas *MC*), que estão na faixa de tolerância de $\pm 10\%$ de todas as especificações requeridas. Para facilitar a análise dos dados, os melhores e os piores resultados estão destacados nas cores verde e vermelha, respectivamente. É importante destacar que os números de soluções encontradas pelo MTGSPICE são pequenos porque especificações de projeto rígidas foram definidas.

Tabela 34 – Taxa de sucesso em porcentagem dos processos de otimização (colunas *Final*) e os resultados das simulações de Monte Carlo (colunas *MC*), considerando diferentes algoritmos, três diferentes perfis de funções de aptidão e dois OTAs: μ P_SESS (a) e HG_MC (b).

Algoritmos de otimização	(a)						
	Degrau		Linear		Gaussiano		Melhor Resultado
	Final	MC	Final	MC	Final	MC	
GA	100,0	13,3	90,0	13,3	90,0	23,3	Gauss.
SGA	100,0	6,7	96,7	23,3	86,7	10,0	Linear
ICA	33,3	0,0	56,7	0,0	83,3	6,7	Gauss.
SFLA	0,0	0,0	36,7	3,3	53,3	0,0	Linear
SA	100,0	10,0	66,7	10,0	83,3	26,7	Gauss.

Algoritmos de otimização	(b)						
	Degrau		Linear		Gaussiano		Melhor Resultado
	Final	MC	Final	MC	Final	MC	
GA	60,0	0,0	30,0	6,7	40,0	6,7	Gauss. / Linear
SGA	80,0	6,7	46,7	3,3	46,7	6,7	Gauss. / Step
ICA	10,0	0,0	20,0	3,3	26,7	0,0	Linear
SFLA	3,3	0,0	3,3	0,0	16,7	0,0	—
SA	53,3	0,0	30,0	0,0	60,0	6,7	Gauss.

Fonte: Autor.

Considerando os resultados da Tabela 34 (a) (colunas *Final*), observa-se que as funções de aptidão implementadas com o perfil Gaussiano apresentam as maiores taxas de sucesso considerando os processos de otimização usando os algoritmos ICA e SFLA em relação aos outros perfis. Por outro lado, o perfil degrau obteve as maiores taxas de sucesso usando os algoritmos GA, SGA e SA. Além disso, levando em conta os resultados da Tabela 34 (b), que considera as taxas de sucesso dos processos de otimização para o OTA HG_MC, nota-se que o perfil Gaussiano usado para implementar as funções de aptidão apresentam os maiores valores das taxas de sucesso para os algoritmos ICA, SFLA e SA em relação aos perfis degrau e linear. As funções de aptidão implementadas com o perfil degrau apresentam as maiores taxas de sucesso para os algoritmos GA e SGA.

Além disso, analisando as colunas MC da Tabela 34 (a), considerando o OTA μ P_SESS, em 60% dos casos considerados nesse estudo, o perfil Gaussiano é capaz de produzir um maior número de soluções mais tolerantes levando em conta as variações do processo de fabricação e das condições ambientais em comparação com 40% referente ao perfil linear usado nas funções de aptidão. Analisando as colunas MC da Tabela 34 (b), considerando o OTA HG_MC, observa-se que o perfil Gaussiano alcança a maior taxa de sucesso usando o algoritmo SA e o perfil linear alcança a maior taxa de sucesso usando o algoritmo ICA. Por outro lado, o perfil Gaussiano alcança o mesmo número de soluções robustas dos perfis linear e degrau usando os algoritmos GA e SGA, respectivamente. Os melhores resultados levando em conta as análises de Monte Carlo estão indicados na última coluna na Tabela 34, itens (a) e (b).

É importante notar que os processos de otimização ICA e SFLA usando o perfil degrau não pôde alcançar soluções robustas após as análises de Monte Carlo para as duas topologias de OTA estudadas. Observa-se também que os algoritmos GA, SGA e SA obtiveram maior número de soluções robustas que os algoritmos ICA e SFLA porque eles foram capazes de realizar uma busca global mais eficientemente que o ICA e o SFLA.

O perfil Gaussiano alcançou melhores resultados que os perfis degrau e linear porque o perfil Gaussiano é capaz de encontrar as especificações desejadas com melhor precisão em comparação com os outros perfis das funções de aptidão, conforme discutido nos experimentos anteriores (Regiões A e B da Figura 28).

Em conclusão, referente aos quatro estudos realizados anteriormente (da subseção 6.2.1.3.1 até a subseção 6.2.1.3.4), é importante destacar que o perfil Gaussiano pode ser considerado um perfil exponencial alternativo para ser usado em funções de aptidão dos processos de otimização “*a priori*”. Esse perfil é capaz de aumentar simultaneamente a precisão, o rendimento e principalmente a robustez em relação às variações dos processos de fabricação

e também condições ambientais dos projetos dos OTAs, considerando diferentes algoritmos de otimização (GA, SGA, ICA, SFLA, e SA). Além disso, as funções de aptidão com o perfil Gaussiano têm demonstrado um grande potencial para aumentar a capacidade de busca global de diversos algoritmos de otimização em relação aos perfis degrau e linear. Especificamente, as funções de aptidão com o perfil degrau têm demonstrado bom desempenho em um número restrito de algoritmos (somente o GA e o SA, nos estudos realizados nessa seção). Observou-se também que os perfis degrau e linear das funções de aptidão requerem maior conhecimento do projetista em relação ao Gaussiano para restringir de forma apropriada o espaço de busca das variáveis de projeto, dado que em espaços de busca maiores observou-se que o perfil Gaussiano tende a ser o mais efetivo. Adicionalmente, devido às características das funções de aptidão propostas com o perfil Gaussiano, elas podem ser aplicadas a outros algoritmos de otimização, tais como métodos baseados em gradiente e outros algoritmos de otimização, que não são considerados nesse trabalho.

6.2.2 Qualificação do MTGSPICE usando o WiCkeD da MunEDA como referência

Os experimentos apresentados nas próximas subseções avaliam a efetividade do processo de otimização do MTGSPICE em comparação com o WiCkeD *Deterministic Nominal Optimization* (DNO) da MunEDA (2015), que é atualmente uma ferramenta profissional importante muito utilizada pelas principais empresas que realizam projetos de CIs CMOS analógicos. Utiliza-se o algoritmo genético (GA) implementado no MTGSPICE para buscar os resultados obtidos pelo WiCkeD DNO, que usa o algoritmo programação quadrática sequencial (SQP)⁶⁷, que é amplamente utilizado para problemas de otimização não lineares com um grande número de variáveis e restrições (NEMRI et al., 2014; BOGGS; TOLLE, 2000). O OTA de único estágio e única saída (EGGERMONT et al., 1996), que é um bloco básico analógico importante para aplicações de CIs CMOS analógicos (SÁNCHEZ-AZQUETA et al., 2014; LEE et al., 2011; KHUMSAT; WORAPISHET, 2012) é usado para realizar esse estudo.

6.2.2.1 Características das ferramentas de projeto de CIs analógicos

O pacote de ferramentas WiCkeD abrange várias ferramentas de projeto de CIs CMOS analógicos, incluindo várias ferramentas para análise nominal e estatística, otimização e

⁶⁷ Sequential quadratic programming.

modelagem. As ferramentas incorporam múltiplos algoritmos e opções para analisar vários casos de aplicação bem como combinações dos piores casos.

No Sistema da MunEDA, o algoritmo SQP é aplicado na ferramenta de otimização nominal determinística (DNO) referente às seguintes características (WICKED MANUAL, 2013):

- a) Uma solução inicial de projeto deve existir. O WiCkeD aplica reconhecimento de estrutura e respectivas restrições elétricas e geométricas para assegurar o dimensionamento inicial com os transistores em modo de operação apropriado e com um comportamento funcional básico do circuito;
- b) O resultado da otimização do projeto dos CIs CMOS analógicos depende da solução inicial utilizada;
- c) É baseado no método do gradiente descendente, e dessa forma ele realiza um processo de otimização local (BARROS; GUILHERME; HORTA, 2010a);
- d) O tempo de otimização do projeto depende da solução inicial fornecida;
- e) Apresenta um comportamento determinístico, portanto é teoricamente possível finalizar o processo de otimização em uma solução ótima local.

O WiCkeD também contém uma ferramenta de otimização nominal global (GNO)⁶⁸, que usa abordagem estocástica para otimizar CIs CMOS analógicos, mas não é considerada nesse estudo.

O algoritmo genético (GA) da ferramenta de otimização MTGSPICE possui as seguintes características:

- a) Gera automaticamente um conjunto de soluções iniciais aleatórias (N_P), chamado população, onde N_P é definido pelos projetistas;
- b) Gera N_P soluções diferentes que exploram diferentes regiões do espaço de busca (característica de diversidade), onde os projetistas podem escolher a solução que melhor atende as especificações desejadas;
- c) É capaz de gerar diferentes soluções de projeto a partir das mesmas soluções iniciais (comportamento estocástico);

⁶⁸ Global Nominal Optimization.

- d) O tempo de otimização do projeto depende das soluções iniciais geradas aleatoriamente.

6.2.2.2 Topologia do OTA CMOS

O circuito elétrico do OTA de único estágio e única saída (EGGERMONT et al., 1996) usado nesse estudo é descrito na subseção 3.1.2.1 e otimizado na condição experimental da subseção 5.9.3.

6.2.2.3 Especificações dos OTAs e configuração dos parâmetros para o WiCkeD e para o MTGSPICE

A Tabela 35 apresenta as especificações obtidas pelo WiCkeD onde o principal objetivo desse processo de otimização foi minimizar o consumo de potência de dois OTAs operando em dois modos diferentes: micropotência (μP) e alto ganho de tensão (HG). Esse procedimento foi realizado em colaboração com a equipe da MunEDA, que é responsável por definir as especificações a serem alcançadas nesse estudo.

Tabela 35 – Especificações de projeto dos OTAs μP e HG para o WiCkeD.

Especificações de projeto	μP	HG
Ganho de tensão em malha aberta (A_{V0})	≥ 40 (dB)	≥ 54 (dB)
Frequência de ganho de tensão unitário (f_T)	≥ 207 (kHz)	$\geq 1,0$ (MHz)
Margem de fase (PM)	$\geq 78^\circ$	$\geq 60^\circ$
Tensão de saída DC (V_{OUT})	$\pm 125\text{mV}$	$\pm 125\text{mV}$
Consumo de potência (P_{TOT})	$\leq 5,5$ (μW)	≤ 100 (μW)
Área de porta total dos MOSFETs (A_G)	$\leq 9500 \mu\text{m}^2$	$\leq 96000 \mu\text{m}^2$

Fonte: Autor.

Conforme mostrado na Tabela 35, seis especificações de projeto dos OTAs são alcançadas simultaneamente: A_{V0} , f_T , PM , V_{OUT} , P_{TOT} e A_G . Além disso, os MOSFETs são projetados para operar na região de saturação (restrição funcional de projeto). Dois processos de otimização são realizados no WiCkeD DNO. O primeiro processo de otimização é realizado para alcançar as especificações da Tabela 35. O segundo processo de otimização usa solução obtida pelo primeiro processo de otimização como solução inicial para minimizar o consumo de potência relacionado aos OTAs μP e HG, mantendo as especificações na Tabela 35 e as restrições funcionais de projeto. É importante destacar que as especificações usadas para o

MTGSPICE são os resultados dos processos de otimização gerados pelo WiCkeD para os OTAs μ P e HG OTAs, que são apresentados na subseção 6.2.2.5.

Os MOSFETs dos OTAs usam a tecnologia CMOS de CIs de 0,35 μ m da ON Semiconductor (MOSIS, 2015). É importante enfatizar que nesse experimento específico, apenas considerou-se avaliar o desempenho (efetividade) do processo de otimização através do uso do perfil Gaussiano das funções de aptidão, sem considerar os resultados das análises de Monte Carlo porque poderia mascarar os resultados desejados para esse estudo, considerando as três categorias das funções de aptidão (valor central, minimização e maximização), que são propostas nesse trabalho. Portanto, a efetividade dos processos de otimização referentes a essas funções de aptidão é quantificada sem levar em conta as análises de Monte Carlo.

A capacidade de carga (C_L) e a resistência de carga (R_L) foram adotados iguais a 15 pF e 10 M Ω , respectivamente (valores da capacidade e da resistência da ponta de prova do osciloscópio usada para realizar a caracterização elétrica dos OTAs). Adicionalmente, as tensões de alimentação (V_{DD} e V_{SS}) aplicados aos OTAs μ P e HG são $\pm 1,25$ V e $\pm 1,5$ V, respectivamente. Esses parâmetros (C_L , V_{DD} e V_{SS}) são mantidos fixos durante os processos de otimização. Além disso, a tensão de polarização em modo comum aplicada nas entradas do par diferencial (V_{POL}) foi mantida em 0V para maximizar a excursão do sinal de entrada.

6.2.2.3.1 Restrições das variáveis de projeto

A faixa de valores para a largura de canal dos MOSFETs (W) foi definida de 1 a 10 μ m e a faixa de valores para o comprimento de canal dos MOSFETs (L) foi definida de 0,7 a 3,5 μ m para o OTA μ P e de 0,7 a 7 μ m para o OTA HG, respectivamente. Os tamanhos dos passos (precisão) adotados para as dimensões dos MOSFETs W e L foram 0,1 μ m e 0,05 μ m, respectivamente, devido à tecnologia do processo CMOS de CIs adotado. A faixa de valores para a corrente de polarização de referência do par diferencial (I_{POL}) foi definida de 0,01 a 1 μ A para o OTA μ P e de 1 a 20 μ A para o OTA HG, respectivamente. Os tamanhos dos passos de I_{POL} aplicados aos OTAs μ P e HG foram definidos em 0,01 μ A e 0,1 μ A, respectivamente.

6.2.2.3.2 Pontos de operação iniciais dos OTAs obtidos pelo WiCkeD

Encontrar uma solução de projeto factível representa o primeiro passo em direção a otimização do circuito com sucesso. Dessa forma, duas ferramentas de otimização disponíveis

no WiCkEd (MUNEDA, 2015) são utilizadas para alcançar as especificações de projeto estabelecidas pelo projetista. Primeiramente, o reconhecimento de estrutura e a ferramenta de otimização funcional básica determinística (DFO)⁶⁹ é usada para obter uma solução inicial apropriada, que assegura modos apropriados de operação dos MOSFETs na região de saturação. O algoritmo “*Find closest point*” dentro da ferramenta DFO é usado, o qual modifica os valores dos parâmetros de projeto tão pouco quanto possível para satisfazer as restrições funcionais de projeto. Em seguida, a ferramenta de otimização nominal determinística (DNO) usa a solução de projeto inicial obtida pela ferramenta DFO para realizar a otimização nominal de todas as especificações de projeto simultaneamente. No projeto dos OTAs, diferentes margens de segurança para o nível de inversão dos MOSFETs são usadas. Essas margens de segurança representam o valor mínimo da sobretensão de porta (GVO)⁷⁰ de um MOSFET, que é equivalente a $V_{GS} - V_{th}$, onde V_{GS} é a tensão de porta e V_{th} é a tensão de limiar. Para o OTA μP, o GVO do par diferencial é ajustado para 100 mV. O GVO do MOSFET tipo p (pMOSFET) em configuração de espelho de corrente é ajustado para 10mV, e o GVO do MOSFET tipo n (nMOSFET) em configuração de espelho de corrente é ajustado para 50 mV. Para o OTA HG, o GVO do par diferencial é ajustado para 0 mV, onde o GVO do espelho de corrente pMOSFET é ajustado para 100 mV, e o GVO do espelho de corrente nMOSFET é ajustado para 250 mV.

Nesses experimentos usando o WiCkEd, a mesma prioridade é dada para todas as especificações de projeto a serem alcançadas. O projetista pode especificar a ordem de prioridade de cada especificação de projeto, onde as especificações com os valores de prioridades menores são consideradas primeiro (WICKED MANUAL, 2013, p. 247). Nesse caso, as prioridades de todas as especificações de projeto são ajustadas para 1.

6.2.2.3.3 Parâmetros do processo de evolução DC usados no MTGSPICE

Os valores atribuídos para os parâmetros do GA configurados no MTGSPICE para realizar o projeto dos OTAs μP e HG no processo de evolução DC são similares aos descritos na subseção 6.2.1.2.3 da seção anterior, exceto o número de rodadas DC (N_R), que foi ajustado para 5. Portanto, cinco soluções DC foram obtidas (melhores soluções) e elas foram usadas como soluções iniciais para os processos de evolução AC dos OTAs. O parâmetro σ das funções de aptidão com o perfil Gaussiano foi ajustado para 0,3 devido ao melhor compromisso entre a

⁶⁹ Deterministic Feasibility Optimization.

⁷⁰ Gate-overdrive voltage.

velocidade e a precisão do processo de otimização verificado durante a realização dos experimentos.

6.2.2.3.4 Parâmetros do processo de evolução AC usados no MTGSPICE

Os parâmetros do GA para realizar os processos de evolução AC são: o tamanho da população inicial (N_P) é igual a 30 (25 aleatórias e 5 soluções potenciais obtidas pelo processo de evolução DC). O número máximo de gerações é igual a 1000, que define o critério de parada se as especificações do OTA não são encontradas; o número de rodadas (N_R) é igual a 10, que define o número de soluções finais de projeto que tentam alcançar as diferentes especificações de projeto do OTA simultaneamente; a função de aptidão ($Eval_{Sol}$), que é dada pela equação (30) na subseção 4.1, é configurada com pesos iguais para todas as especificações de projeto para designar a mesma prioridade para todas as especificações; o parâmetro σ das funções de aptidão é também ajustado para 0,3 e os demais parâmetros do algoritmo genético são similares àqueles especificados na subseção 6.2.1.2.4 da seção anterior.

6.2.2.4 Condições dos experimentos

A fim de verificar a efetividade do processo de otimização do MTGSPICE, duas comparações diferentes são realizadas. A primeira comparação leva em conta os procedimentos típicos de cada ferramenta de otimização, onde o WiCkeD usa a ferramenta de otimização funcional básica determinística (DFO) para gerar a solução inicial e a ferramenta de otimização nominal determinística (DNO) para realizar a otimização nominal de todas as especificações de projeto simultaneamente. O MTGSPICE usa 10 soluções iniciais aleatórias e 5 rodadas para realizar o processo de evolução DC, para gerar 5 soluções finais potenciais para o ponto de operação do OTA e 30 soluções iniciais (25 aleatórias e 5 do processo de evolução DC) e 10 rodadas para realizar o processo de evolução AC. O processo de otimização do MTGSPICE gera 10 soluções finais, das quais o projetista pode escolher uma que melhor atende suas necessidades, por exemplo, a solução melhor avaliada, de acordo com a equação (30). A outra comparação é baseada na metodologia g_m/I_{DS} (MORETO, 2011; SILVEIRA; FLANDRE; JESPERS, 1996) para ajudar a definir a solução inicial para o WiCkeD e também para ser usada como uma solução inicial potencial das 30 soluções iniciais do processo de evolução AC do MTGSPICE (24 aleatórias, 5 do processo de evolução DC e 1 obtida da metodologia g_m/I_{DS}).

Um computador IBM-PC, equipado com um processador Intel(R) Core(TM) i7-3770 com 3.4 GHz de *clock* e 24 GB de RAM é usado para rodar os processos de otimização. Os sistemas operacionais usados pelo MTGSPICE e pelo WiCkeD são respectivamente o Windows XP e o CentOS Release 6.4 (Final). Os simuladores SPICE usados pelo MTGSPICE e pelo WiCkeD são o Spice Opus (2010) e o Eldo (2014), respectivamente. Além disso, ambos sistemas operacionais são executados na máquina virtual VirtualBox (2014).

6.2.2.5 Resultados experimentais das duas comparações

Os seguintes tempos de execução foram medidos nos processos de otimização dos OTAs μ P e HG usando o procedimento típico de projeto do MTGSPICE: 24 min e 25 min, respectivamente. Os seguintes tempos de execução foram medidos nos processos de otimização desses OTAs usando a metodologia g_m/I_{DS} como solução inicial do MTGSPICE: 10 min e 23 min, respectivamente. As soluções de projeto dos OTAs μ P e HG, que foram geradas pela metodologia g_m/I_{DS} e utilizadas como soluções iniciais para o WiCkeD e para o MTGSPICE são apresentadas no APÊNDICE H.

Conforme mencionado anteriormente, o MTGSPICE realiza um processo de busca para obter as melhores soluções através dos maiores valores da função de aptidão ($Eval_{Sol}$), dada por (30), que tenta alcançar as especificações de projeto do OTA simultaneamente. A Tabela 36 mostra o valor da função de aptidão atribuído para a melhor solução encontrada pelo MTGSPICE para os OTAs μ P e HG em cada uma das dez rodadas de otimização, após os procedimentos da primeira comparação. A melhor solução identificada para o OTA μ P relativo à primeira comparação é a solução 5 e a melhor solução identificada para o OTA HG é a solução 10. Além disso, após os procedimentos da segunda comparação, os OTAs μ P e HG alcançaram o valor máximo de aptidão (100). Visto que os resultados obtidos pelo WiCkeD foram usados como especificações desejadas pelo MTGSPICE, o valor da função de aptidão correspondente a cada solução obtida pelo WiCkeD é igual a 100, pois os resultados de desempenho alcançados por essas soluções foram considerados como referência para a realização desse estudo.

Tabela 36 – Valor da função de aptidão atribuído para a melhor solução encontrada pelo MTGSPICE para os OTAs μ P e HG em cada uma das dez rodadas de otimização, após os procedimentos da primeira comparação.

Valores de aptidão em cada rodada de otimização do MTGSPICE			
OTA μP		OTA HG	
Número da rodada	$Eval_{Sol}$	Número da rodada	$Eval_{Sol}$
1	99,9539	1	99,7066
2	99,6611	2	99,9382
3	99,8872	3	99,9736
4	99,9797	4	99,9110
5	99,9998	5	99,9431
6	99,9333	6	99,9763
7	99,9272	7	99,9776
8	99,6381	8	99,8382
9	99,8756	9	99,9817
10	99,9847	10	99,9831

Fonte: Autor.

A Tabela 37 apresenta os resultados de desempenho e as soluções finais de projeto (dimensões dos transistores, W e L , e a corrente de polarização, I_{POL}) encontrada pelo WiCkeD DNO e pelo MTGSPICE ao final dos processos de otimização para alcançar as especificações de projeto desejadas dos OTAs μ P [Tabela 37, itens (a) e (b)] e HG [Tabela 37, itens (c) e (d)], referentes respectivamente às duas comparações desejadas (procedimentos típicos de cada ferramenta de projeto de CI CMOS analógico e usando a metodologia g_m/Id_s).

Tabela 37 – Soluções de projeto encontradas pelo WiCkeD e pelo MTGSPICE para os OTAs μ P (a), (b) e HG (c), (d) após os procedimentos da primeira comparação (típicos) e da segunda comparação (metodologia g_m/I_{DS}).

(continua)

(a)								
Primeira comparação: Procedimentos típicos de cada ferramenta de CI analógico								
OTA μ P	WiCkeD				MTGSPICE			
	Características AC/DC e área de porta							
A_{V0} (dB)	40,69				40,71			
f_T (kHz)	209,83				210			
PM (°)	87,31				87,54			
I_{POL} (μ A)	0,08				0,07			
V_{OUT} (mV)	-98,14				0			
P_{TOT} (μ W)	4,6				4,61			
A_G (μm^2)	54,91				50,89			
Transistor	W (μ m)	L (μ m)	W/L	g_m/I_{DS} (V^{-1})	W (μ m)	L (μ m)	W/L	g_m/I_{DS} (V^{-1})
M_1, M_2	10	1	10	26,5	7,3	0,8	9,13	26,2
M_3, M_4	1,6	1,05	1,52	20,4	1,6	1	1,6	20,4
M_5, M_6	9,4	1,05	8,95	18,5	9,5	1	9,5	18,6
M_7, M_8	1,3	2,85	0,46	10,1	1,1	3,5	0,31	7,6
M_9	1	2,2	0,46	20,9	4,8	0,95	5,05	24
M_{10}	1	2,2	0,46	21,1	5	0,95	5,26	24
(b)								
Segunda comparação: metodologia g_m/I_{DS} como solução inicial								
OTA μ P	WiCkeD				MTGSPICE			
					Características AC/DC e área de porta			
A_{V0} (dB)	43,2				43,49			
f_T (kHz)	207,8				221,29			
PM (°)	86,29				86,63			
I_{POL} (μ A)	0,29				0,09			
V_{OUT} (mV)	-88,11				0			
P_{TOT} (μ W)	5,31				5,14			
A_G (μm^2)	77,34				72,21			
Transistor	W (μ m)	L (μ m)	W/L	g_m/I_{DS} (V^{-1})	W (μ m)	L (μ m)	W/L	g_m/I_{DS} (V^{-1})
M_1, M_2	9,8	1	9,8	26,3	9,8	0,7	14	26,3
M_3, M_4	1,7	1,7	1	19,2	1,6	1,55	1,03	19,1
M_5, M_6	9,9	1,7	5,82	16,8	9	1,55	5,81	16,5
M_7, M_8	1,3	2,8	0,46	9,4	1,1	3,25	0,34	7,5
M_9	2,1	2,9	0,72	18,9	6,5	1,4	4,64	24
M_{10}	1,7	2,9	0,59	21,8	6,7	1,4	4,79	23,9

Tabela 37 – Soluções de projeto encontradas pelo WiCkeD e pelo MTGSPICE para os OTAs μ P (a), (b) e HG (c), (d) após os procedimentos da primeira comparação (típicos) e da segunda comparação (metodologia g_m/I_{DS}).

(conclusão)

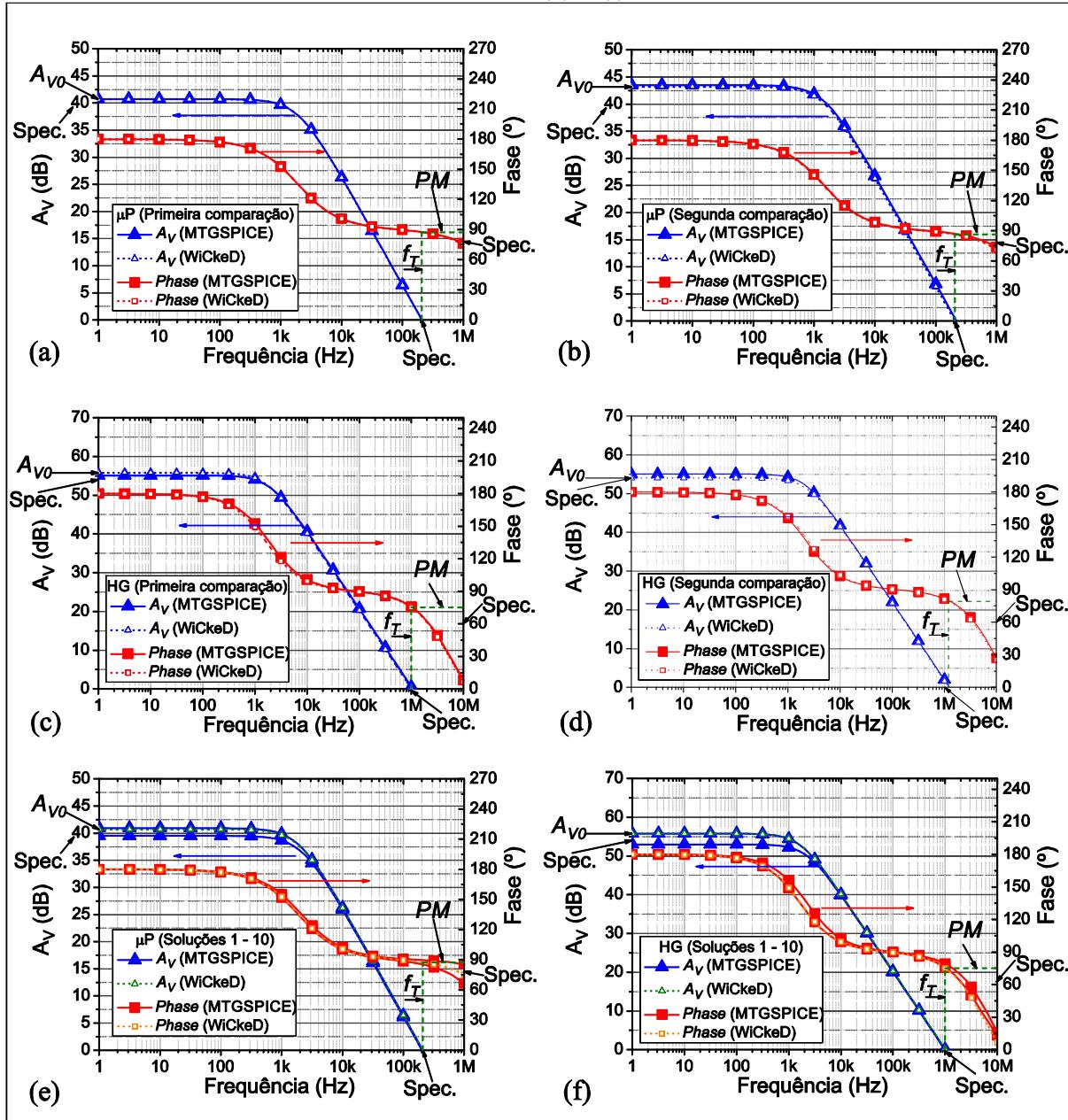
(c)								
Primeira comparação: Procedimentos típicos de cada ferramenta de CI analógico								
OTA HG	WiCkeD				MTGSPICE			
	Características AC/DC e área de porta							
A_{V0} (dB)	55,77				55,08			
f_T (MHz)	1				1,06			
PM ($^{\circ}$)	75,11				74,81			
I_{POL} (μ A)	1,6				1,3			
V_{OUT} (mV)	101,22				-9,25			
P_{TOT} (μ W)	35,93				36,01			
A_G (μm^2)	180,84				163,66			
Transistor	W (μ m)	L (μ m)	W/L	g_m/I_{DS} (V^{-1})	W (μ m)	L (μ m)	W/L	g_m/I_{DS} (V^{-1})
M_1, M_2	9,4	0,85	11,1	24,6	9,4	1,05	8,95	24,7
M_3, M_4	2,2	6,35	0,35	4,34	1,8	5,05	0,36	5,1
M_5, M_6	8,6	6,35	1,35	4,03	8,9	5,05	1,76	4,5
M_7, M_8	1,4	6	0,23	2,44	1,9	6,9	0,28	2,7
M_9	1	5,45	0,18	3,4	5,5	0,9	6,11	21,7
M_{10}	1	5,45	0,18	3,39	5,2	0,9	5,78	21,9
(d)								
Segunda comparação: metodologia g_m/I_{DS} como solução inicial								
OTA HG	WiCkeD				MTGSPICE			
					Características AC/DC e área de porta			
A_{V0} (dB)	54,03				55,06			
f_T (MHz)	1,21				1,25			
PM ($^{\circ}$)	79,09				79,73			
I_{POL} (μ A)	2,2				1,15			
V_{OUT} (mV)	-6,51				0,71			
P_{TOT} (μ W)	43,34				43,28			
A_G (μm^2)	173,8				146,48			
Transistor	W (μ m)	L (μ m)	W/L	g_m/I_{DS} (V^{-1})	W (μ m)	L (μ m)	W/L	g_m/I_{DS} (V^{-1})
M_1, M_2	9,8	0,8	12,25	24,7	5,7	0,9	6,33	23,8
M_3, M_4	2	3,95	0,51	5,7	1,3	4,5	0,29	3,3
M_5, M_6	9,6	3,95	2,43	5,1	4,8	4,5	1,07	2,9
M_7, M_8	1,6	4,5	0,36	2,8	2,1	7	0,3	2,6
M_9	4,7	6,2	0,76	9	5,3	4,4	1,2	15,4
M_{10}	3,7	6,2	0,6	10	6,5	4,4	1,48	14,6

Fonte: Autor.

Analizando a Tabela 37, itens (a)-(d), observa-se que os OTAs μ P e HG otimizados pelo WiCkeD DNO alcançam as características DC/AC desejadas, conforme a Tabela 35 e o MTGSPICE alcança com sucesso os resultados de desempenho DC/AC obtidos pelo WiCkeD DNO para os OTAs μ P e HG com diferenças muito pequenas (geralmente menores que 5%). Informações valiosas podem ser extraídas da Tabela 37, itens (a)-(d), referente aos dimensionamentos e aos níveis de inversão dos MOSFETs dos OTAs μ P e HG. Comparando as soluções encontradas pelo WiCkeD e pelo MTGSPICE, os pares de MOSFETs M1-M2, M3-M4, M5-M6 and M7-M8 apresentam níveis de inversão similares, dado que os desvios máximos de g_m/I_{DS} são geralmente menores que 20% e a razão de aspecto W/L desses MOSFETs também apresentam valores na mesma ordem de magnitude (diferenças geralmente menores que 30%). Enquanto que, os parâmetros g_m/I_{DS} e W/L referente aos MOSFETs M9 e M10 apresentam diferenças de várias ordens de magnitude (geralmente maiores que 500%). Visto que M9 e M10 são a fonte de corrente do par diferencial, esses resultados indicam que o projetista tem um maior grau de liberdade para dimensionar esses transistores que os outros devido às múltiplas especificações de projeto conflitantes que devem ser alcançadas simultaneamente.

A Figura 57 apresenta os diagramas de Bode das soluções encontradas pelo WiCkeD DNO e pelo MTGSPICE referentes à primeira e à segunda comparação, respectivamente, para os OTAs μ P [Figura 57, itens (a) e (b)] e HG [Figura 57, itens (c) e (d)], respectivamente. Além disso, as duas respostas em frequência mais representativas das dez soluções encontradas pelo MTGSPICE referentes à primeira comparação são plotadas no mesmo diagrama de Bode para os OTAs μ P [Figura 57 (e)] e HG [Figura 57 (f)]. Essas duas curvas de resposta em frequência correspondem às soluções que apresentam o maior e o menor A_{V0} encontrado. Finalmente, as especificações de projeto (Spec.) mais importantes (A_{V0} , f_T e PM) estão indicadas nesses diagramas de Bode.

Figura 57 – Diagramas de Bode das soluções obtidas pelo WiCkeD e pelo MTGSPICE após os processos de otimização da primeira e da segunda comparação, para os OTAs μ P [(a) e (b)] e HG [(c) e (d)] e também os diagramas de Bode das duas soluções de projeto mais representativas das dez encontradas pelo MTGSPICE que apresentam o maior e o menor A_{V0} encontrado [(e) e (f)].



Fonte: Autor.

Baseado na Figura 57, pode-se observar que o MTGSPICE é capaz de alcançar a solução obtida pelo WiCkeD DNO para cada OTA, conforme a tabela Tabela 37. Considerando as melhores soluções obtidas pelo MTGSPICE, o máximo erro encontrado entre os processos de otimização é aproximadamente 5%. As respostas em frequência obtidas pelo WiCkeD DNO e pelo MTGSPICE para os OTAs μ P e HG apresentam o comportamento esperado para um sistema de polo simples, ou seja, após a frequência de corte o ganho de tensão diminui

aproximadamente 20 dB por década, que assegura a condição de estabilidade dos OTAs (EGGERMONT et al., 1996). Além disso, as características DC (V_{OUT} e P_{TOT}) e a área de porta dos MOSFETs (A_G) das soluções obtidas pelo MTGSPICE para os OTAs μ P e HG alcançaram precisamente as especificações desejadas com erros que foram menores ou iguais a 0,2%. Portanto, o GA do MTGSPICE pode ser considerado uma ferramenta de projeto de CIs CMOS analógicos alternativa para reduzir significativamente o tempo de ciclo do projeto.

Finalmente, nesse estudo foram seguidos os procedimentos típicos de projeto das ferramentas de otimização MTGSPICE e WiCkeD. As soluções iniciais otimizadas pelo WiCkeD foram primeiramente limitadas por condições de operação apropriadas (inversão e saturação) para cada MOSFET dos OTAs, baseado no conhecimento e experiência do projetista. Porém, o procedimento seguido pelo MTGSPICE não usou um projeto inicial baseado no conhecimento do projetista para obter as restrições funcionais apropriadas antes dos processos de otimização. Observou-se que o MTGSPICE requereu menor dependência e experiência do projetista para alcançar as especificações de projeto dos OTAs.

6.2.3 Qualificação do MTGSPICE através da otimização de novas topologias de amplificadores operacionais

Nas próximas subseções, a eficiência e flexibilidade do MTGSPICE são demonstrados por meio do projeto e otimização de dois OTAs de arquiteturas diferentes: um OTA Miller (ZEBULUM; PACHECO; VELLASCO, 2002) e um AMP OP compensado em frequência por cancelamento do duplo de polo e zero (DPZCC)⁷¹, proposto na literatura por Jalali, Bana e Elahi (2011), cuja arquitetura é notavelmente mais complexa em relação às demais arquiteturas analisadas nesse trabalho. Esses amplificadores foram descritos na seção 3.

6.2.3.1 Especificações e projeto de novas arquiteturas de AMP OPs

Dois novos AMP OPs de arquiteturas diferentes foram projetados por meio do uso do MTGSPICE, onde um deles usa a topologia Miller, que tem como características principais o alto ganho de tensão e a baixa impedância de saída, denominado de HG_Miller, que foi adaptado de Zebulum, Pacheco e Vellasco (2002) e o outro usa a topologia DPZCC, adaptado de Jalali, Bana e Elahi (2011), que tem como características principais o altíssimo ganho de

⁷¹ Double pole-zero cancellation-compensated.

tensão e alta complexidade de projeto, com mais de 40 parâmetros de projeto, identificado como HG_DPZCC. As especificações de projeto desses dois OTAs são apresentadas na Tabela 38.

Tabela 38 – Especificações desejadas para os OTAs HG_Miller e HG_DPZCC.

Especificações de projeto	HG_Miller	HG_DPZCC
Ganho de tensão em malha aberta (A_{V0})	≥ 70 (dB)	≥ 90 (dB)
Frequência de ganho de tensão unitário (f_T)	≥ 2 (MHz)	≥ 1 (MHz)
Margem de fase (PM)	$\geq 70^\circ$	$\geq 60^\circ$
Tensão de saída DC (V_{OUT})	0 V	0 V
Consumo de potência (P_{TOT})	≤ 200 (μ W)	≤ 500 (μ W)
Área de porta total dos MOSFETs (A_G)	$\leq 5000 \mu\text{m}^2$	Minimizar
Região de operação dos MOSFETs (M_{SAT})	Saturação	Saturação

Fonte: Autor.

A capacitância de carga (C_L) adotada para o OTA HG_Miller é igual a 15 pF, que representa o valor da capacitância da ponta de prova do osciloscópio usado para realizar a caracterização elétrica dos OTAs, enquanto que o valor de C_L adotado para o OTA HG_DPZCC é igual a 100 pF, conforme o valor adotado na referência (JAFARI et al., 2012). Devido ao OTA Miller possuir baixa impedância de saída, uma resistência de carga (R_L) de 100 k Ω é incluída em sua saída, conforme a referência (ZEBULUM; PACHECO; VELLASCO, 2002). Além disso, as tensões de alimentação (V_{DD} e V_{SS}) aplicados aos OTAs HG_Miller e HG_DPZCC são $\pm 1,5$ V e $\pm 0,75$ V, respectivamente. Finalmente, o OTA Miller usa o processo de fabricação da ON Semiconductor de 0,35 μm e o OTA HG_DPZCC usa o processo de fabricação da TSMC de 0,18 μm (MOSIS, 2015).

6.2.3.1.1 Restrições das variáveis de projeto

A Tabela 39 mostra a faixa de valores atribuídos para cada variável de projeto no MTGSPICE nos experimentos dos projetos dos OTAs HG_Miller e HG_DPZCC, que foram descritos na seção 3.

Tabela 39 – Restrições de projeto utilizadas nos processos de busca dos OTAs HG_Miller (a) e HG_DPZCC (b).

(a)				
Restrição de projeto	Intervalo	Precisão	Unidade	Tamanho (bits)
W	[1; 500]	0,35	μm	11
L	[1; 20]	0,35	μm	6
I_{POL}	[1; 30]	0,01	μA	12
C_f	[1; 6]	0,05	pF	7

(b)				
Restrição de projeto	Intervalo	Precisão	Unidade	Tamanho (bits)
W	[1; 300]	0,18	μm	11
L	[1; 10]	0,18	μm	6
I_{POL1}	[1; 100]	0,1	μA	10
I_{POL2}	[1; 100]	0,1	μA	10
V_{POL1}	[-0,75; 0,62]	0,01	V	8
V_{POL2}	[-0,75; 0,62]	0,01	V	8
V_{POL3}	[-0,48; 0,75]	0,01	V	7
C_{f1}	[1; 100]	0,1	pF	10
C_{f2}	[1; 100]	0,1	pF	10

Fonte: Autor.

Onde W e L são a largura e o comprimento de canal dos transistores, I_{POL} , I_{POL1} , I_{POL2} são as correntes de polarização; V_{POL1} , V_{POL2} e V_{POL3} são as tensões de polarização e C_f , C_{f1} e C_{f2} são os capacitores de compensação interna. Além disso, a tensão de entrada em modo comum (V_{POL}) aplicada ao par diferencial de entrada dos OTAs foi fixada em 0 V (metade da tensão de alimentação total) com o objetivo de maximizar a excursão do sinal de entrada. O procedimento usado para configurar as restrições das variáveis de projeto foi descrito em detalhes na subseção 5.4.

6.2.3.2 Resultados dos projetos dos OTAs HG_Miller e HG_DPZCC usando o MTGSPICE

As especificações de projeto e os diversos parâmetros do algoritmo genético são ajustados no MTGSPICE pelo projetista antes do processo de otimização para alcançar as especificações de projeto. O procedimento usado para configurar esses parâmetros foi descrito na subseção 5.4. A Tabela 40 mostra os valores atribuídos para os parâmetros do algoritmo genético utilizados no MTGSPICE nos projetos dos OTAs HG_Miller e HG_DPZCC para a etapa da evolução DC [Tabela 40 (a)] e para a etapa de evolução AC [Tabela 40 (b)].

Tabela 40 – Configuração dos parâmetros do algoritmo genético para alcançar as especificações de projeto dos OTAs HG_Miller e HG_DPZCC na etapa de evolução DC (a) e na etapa de evolução AC (b).

(a)			
Parâmetro	HG_Miller	HG_DPZCC	Unidade
Tamanho da população (N_P)	10	10	–
Número total de indivíduos (N_{Tot})	10000	10000	–
Número de rodadas (N_R)	1	1	–
Taxa de cruzamento (P_C)	70	70	%
Taxa de mutação (P_M)	3	3	%
σ	0,3	0,3	–
W_{VOUT}	25	33,33	%
W_{PTOT}	25	33,33	%
W_{AG}	25	0	%
W_{MSAT}	25	33,33	%
(b)			
Parâmetro	HG_Miller	HG_DPZCC	Unidade
Tamanho da população (N_P)	30	30	–
Número total de indivíduos (N_{Tot})	30000	30000	–
Número de rodadas (N_R)	100	20	–
Taxa de cruzamento (P_C)	70	70	%
Taxa de mutação (P_M)	3	3	%
σ	0,3	0,3	–
W_{AV0}	14,2857	16,67	%
W_{fT}	14,2857	16,67	%
W_{PM}	14,2857	16,67	%
W_{VOUT}	14,2857	16,67	%
W_{PTOT}	14,2857	16,67	%
W_{AG}	14,2857	0	%
W_{MSAT}	14,2857	16,67	%

Fonte: Autor.

Na Tabela 40, W_{AV0} , W_{fT} , W_{PM} , W_{VOUT} , W_{PTOT} , W_{AG} , e W_{MSAT} , representam os pesos de cada especificação desejada (AV_0 , f_T , PM , V_{OUT} , P_{TOT} , A_G e M_{SAT}). É importante notar que, a mesma prioridade é dada a todas as especificações do OTA HG_Miller, ou seja, os pesos para todas as figuras de mérito são as mesmas: 14,3. No caso do OTA HG_DPZCC, as figuras de mérito AV_0 , f_T , PM , V_{OUT} , P_{TOT} , e M_{SAT} são adotadas com a mesma prioridade (peso igual a 16,7%), porém a área de porta dos transistores (A_G) não é avaliada, ou seja, seu peso (W_{AG}) é igual a 0%, pois nenhum valor de referência foi encontrado na literatura. Visto que geralmente o projetista de CI CMOS analógico deseja a sua minimização, o critério de escolha de uma solução, dentre várias apresentadas pelo MTGSPICE, pode ser pelo requisito de menor área para a sua implementação.

Baseado nesse conjunto de parâmetros para o GA, com o objetivo de obter trinta soluções de projeto que atendem as especificações de projeto, nesse caso, o MTGSPICE cria e avalia 30000 soluções potenciais em cada rodada do algoritmo e, ao final do processo de otimização, o projetista pode escolher uma solução de três formas diferentes: I - selecionar a melhor solução de projeto de acordo com o maior valor da função de aptidão [equação (30)]; II - escolher a solução de projeto mais robusta, por exemplo, realizando uma análise de sensibilidade (variação das dimensões dos MOSFETs, W e L) e realizando uma análise levando em conta os valores extremos dos parâmetros tecnológicos dos MOSFETs (*corner analysis*); III - escolher uma solução a critério do projetista, como por exemplo, selecionar a solução que requer a menor área de silício ou aquela que apresenta o maior ganho de tensão, a maior frequência de ganho de tensão unitário, e assim por diante, dependendo das necessidades do projetista. Nesse trabalho, o primeiro critério de escolha foi adotado. O tempo de projeto médio da ferramenta computacional por rodada de otimização para o OTA HG_Miller foi aproximadamente 15 minutos e aproximadamente 60 minutos para o OTA HG_DPZCC. Esses resultados são muito promissores, considerando que, em menos de uma hora, esta ferramenta computacional inovadora é capaz de analisar várias soluções que são impossíveis de serem realizadas por um projetista humano. As soluções de projeto geradas pelo MTGSPICE podem ser usadas diretamente para fabricar o CI, conforme o projeto dos OTAs μ P e HF realizado na subseção 5.9 desse trabalho ou podem ser usadas como soluções de projeto iniciais para ferramentas de otimização profissionais que requerem uma solução de projeto inicial antes do processo de otimização, conforme o estudo realizado na subseção 6.2.2, e consequentemente reduzindo o tempo do projeto do CI analógico.

As melhores soluções de projeto escolhidas para os OTAs HG_Miller e HG_DPZCC são mostradas na Tabela 41.

Tabela 41 – Dimensões dos MOSFETs e condições de polarização obtidas pelas soluções escolhidas do MTGSPICE para os OTAs HG_Miller (a) e HG_DPZCC (b).

(a)

Condições de polarização	HG_Miller	
I_{POL} (μ A)	11,81	
Transistor	W (μm)	L (μm)
M1, M2	122,50	2,10
M3, M4	21,35	1,75
M5	178,85	3,50
M6	407,75	2,45
M7	64,75	11,55
M8	75,25	5,95

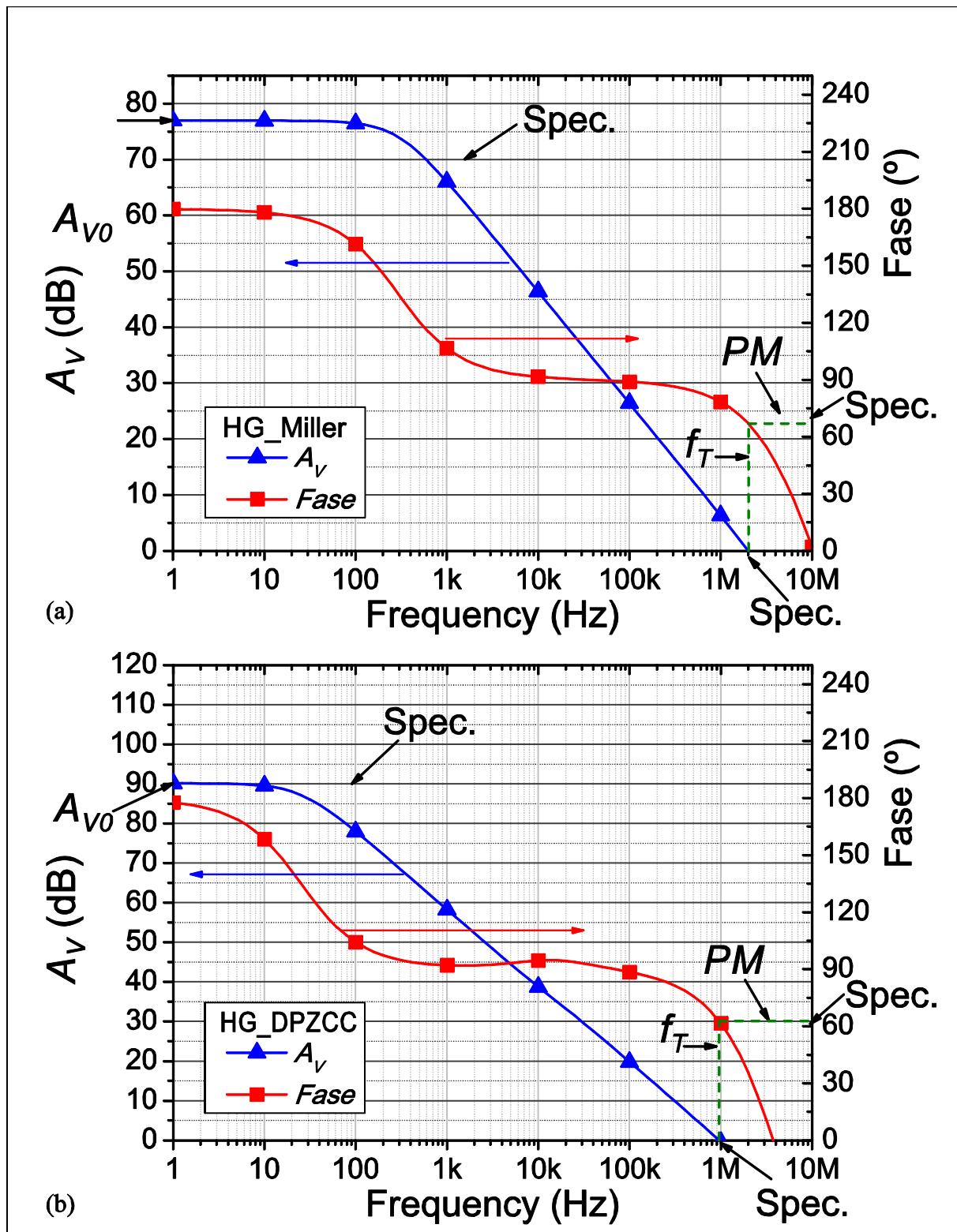
(b)

Condições de polarização	HG_DPZCC	
$I_{POL1}; I_{POL2}$ (μ A)	21,13; 97,58	
$V_{POL1}; V_{POL2}; V_{POL3}$ (V)	0,50; -0,64; -0,46	
Transistor	W (μm)	L (μm)
M1, M2	188,64	3,60
M3, M4	223,20	3,06
M5, M6	11,88	1,80
M7, M8	232,56	7,92
M9, M10	2,70	3,96
M11, M12	189,36	2,34
M13, M14	131,94	5,22
M15	46,26	1,08
M16	220,14	1,08
M17, M18	267,66	9,90

Fonte: Autor.

A Figura 58 mostra as respostas em frequência dos OTAs HG_Miller (a) e HG_DPZCC (b). Além disso, os pontos mais importantes: A_{V0} , f_T e PM indicados nesses diagramas estão relacionados à solução nominal obtida pelo MTGSPICE, junto com as correspondentes especificações de projeto (Spec.).

Figura 58 – Diagramas de Bode dos OTAs HG_Miller (a) e HG_DPZCC (b).



Fonte: Autor.

Analisando a Figura 58, observa-se que as soluções dos OTAs HG_Miller (A_{V0} : +10%, f_T : +0,5%, PM : -4,4%) e HG_DPZCC (A_{V0} : +0,2%, f_T : -4,5%, PM : +4,7%) encontradas pelo MTGSPICE alcançaram precisamente as especificações de projeto desejadas na Tabela 38, com

erros inferiores a 5%, considerando que a margem de tolerância adotada para as especificações foi de $\pm 10\%$ em relação ao valor desejado e que o sinal positivo (+) indica que o desempenho alcançado é superior à especificação e o sinal negativo (-) indica que o desempenho alcançado é inferior à especificação. Portanto, esse experimento demonstra que o MTGSPICE é efetivo até mesmo para projeto de uma arquitetura complexa tal como a do OTA HG_DPZCC.

7 CONCLUSÃO

Um operador genético elitista modificado foi desenvolvido nesse trabalho usando o algoritmo genético, o qual realiza um processo de evolução das soluções em duas etapas. Na primeira etapa realiza-se a evolução do ponto de operação em corrente contínua (DC) de um CI CMOS analógico (etapa DC) e, em seguida, é realizada a evolução da resposta em frequência (etapa AC), onde algumas das soluções de projeto obtidas na etapa DC podem substituir algumas soluções aleatórias da etapa AC (elitismo DC), que é um operador genético não convencional. Dessa forma, um estudo foi realizado comparando o desempenho do GA convencional, realizado em apenas uma etapa, com uma nova proposta de GA, realizado em duas etapas por esse trabalho de pesquisa. Os resultados foram analisados estatisticamente para processos de otimização de amplificadores operacionais de transcondutância (OTAs) com diferentes especificações de projeto. Os resultados experimentais demonstraram que esse novo estágio de elitismo foi capaz de aumentar a efetividade do processo de busca do AGSPICE, permitindo ao projetista obter soluções que melhor se ajustam aos objetivos de projeto quando se usa o mesmo número de gerações do GA convencional, com ganhos no valor da função de aptidão em até 12,6%, ou obtendo soluções similares às do GA convencional, quando se usa um número de gerações menor.

Uma das características mais importantes do AGSPICE é a capacidade de fornecer um grande conjunto de soluções de projeto do OTA, permitindo ao projetista de CI analógico escolher as melhores soluções que atendem plenamente as especificações de projeto e que apresentam boa tolerância de seu desempenho elétrico. Um primeiro estudo foi realizado considerando a solução que apresentou o maior valor da função de aptidão apresentado pelo AGSPICE. Nesse estudo foi mostrado que essa ferramenta é capaz de realizar a otimização de um OTA, em que o seu desempenho elétrico apresenta uma boa tolerância, considerando que a frequência de ganho de tensão unitário, que é o principal parâmetro crítico de projeto, apresentou dispersão máxima de 16%, levando em conta as variações de W e L devido à dispersão do processo de fabricação de CI CMOS. Posteriormente, o estudo foi realizado considerando as soluções obtidas pelo AGSPICE, que apresentam as menores variações das figuras de mérito do projeto, identificadas como as soluções mais robustas, em que os resultados foram comparados com as melhores soluções obtidas por essa ferramenta. Embora esse estudo tenha mostrado que as soluções que apresentam o maior valor da função de aptidão geralmente não são as soluções que apresentam a maior tolerância do desempenho elétrico, elas se mostraram intrinsecamente robustas, pois o estudo mostrou que as soluções mais robustas

foram capazes de aumentar a tolerância da frequência de ganho de tensão unitário (figura de mérito mais crítica do projeto) dos OTAs micropotência (μ P), alto ganho de tensão (HG) e alta frequência (HF) em apenas 3%, 1% e 4%, respectivamente, em relação às melhores soluções.

O AGSPICE também foi usado para otimizar dois OTAs com diferentes especificações de projeto que foram implementados não apenas em termos do projeto do leiaute, mas também fabricados. Dois OTAs foram fabricados usando a tecnologia de CIs CMOS de 0,35 μ m da ON Semiconductor para qualificar a eficiência do AGSPICE em termos da otimização dos projetos realizados. Inicialmente, os resultados dos projetos dos OTAs foram verificados com sucesso através da análise das condições extremas de operação (*corner analysis*) e através de simulações de Monte Carlo, levando em conta a temperatura e variações dos principais parâmetros do processo tecnológico. Em seguida, os OTAs foram validados com sucesso em um *chip* protótipo. Os resultados indicam claramente um ajuste preciso dos dados experimentais das respostas em frequência dos OTAs em relação às simulações SPICE. A frequência de ganho de tensão unitário (f_T) medida para os OTAs μ P e HF apresentaram erros máximos de 11,8%, o ganho de tensão em malha aberta (A_{V0}) e a margem de fase (PM) apresentaram erros máximos abaixo de 5,4%. Portanto, acredita-se que através do uso do AGSPICE, pode-se alcançar uma precisão adequada para as especificações de projeto desejadas dos OTAs. Isso pode ser justificado devido principalmente à estratégia adotada pelo AGSPICE, que realiza o processo de evolução em duas etapas, onde, primeiramente, realiza o processo de evolução relacionado ao ponto de operação dos MOSFETs do OTA (análise DC) e, posteriormente, realiza o processo de evolução referente à resposta em frequência (análise AC) baseado nas melhores soluções obtidas na primeira etapa, associado ao uso dos modelos SPICE BSIM3. Além disso, a metodologia usada por essa ferramenta de otimização permite encontrar muitas soluções de projeto diferentes que atendem as especificações de projeto desejadas em um tempo computacional reduzido (menos de uma hora para 30 soluções), que podem também ser usadas como soluções iniciais de projeto para algumas ferramentas de otimização profissionais que requerem uma solução inicial para realizar o processo de otimização.

Esse trabalho também descreve uma ferramenta de otimização para CIs CMOS analógicos (MTGSPICE) que incorpora diferentes algoritmos de otimização da área de inteligência artificial (GA, ICA, SFLA, e SA). Demonstra-se que o perfil Gaussiano aplicados nas funções de aptidão limite inferior, valor central e limite superior é capaz de: I- buscar e obter soluções mais tolerantes referente às variações dos processos de fabricação e condições ambientais (simulações de Monte Carlo); II- encontrar soluções mais precisas referentes aos desvios relativos em relação às especificações desejadas; III- apresentar um maior rendimento

(número de soluções robustas) em comparação com os perfis degrau e linear. Observa-se também que as soluções que alcançaram a melhor tolerância nos experimentos não estão relacionadas aos valores mais altos das funções de aptidão encontrados pelo MTGSPICE. Além disso, o MTGSPICE é qualificado em relação à ferramenta de otimização profissional para CIs CMOS analógicos denominada WiCkeD, resultando em erros menores que 5%. Portanto, o MTGSPICE pode ser considerado como uma ferramenta de otimização alternativa para projetos de CIs CMOS analógicos e ela é capaz de ajudar os projetistas a reduzir notavelmente o tempo de ciclo do projeto.

Como trabalhos subsequentes, vislumbramos as seguintes possibilidades:

- a) Estudo de outros perfis de funções de aptidão diferentes do Gaussiano no MTGSPICE que aumentem ainda mais a robustez em relação às variações do processo de fabricação e condições ambientais, a precisão em relação às especificações de projeto desejadas (A_{V0} , f_T , PM , P_{TOT} , A_G , etc.) e o rendimento do processo de otimização (maior número de soluções robustas);
- b) Estudar o uso de abordagens de múltiplos objetivos “*a posteriori*”, baseadas em técnicas de Pareto, tais como o NSGA II (DEB, 2011; DEB et. al, 2002) na otimização de CIs CMOS analógicos (MARTINS et al., 2015; LOURENÇO; HORTA, 2012) com o objetivo de aumentar a efetividade do processo de busca “*a priori*” do sistema MTGSPICE, que usa uma soma ponderada das funções de aptidão das figuras de mérito desejadas;
- c) Implementar no MTGSPICE uma técnica de busca classificada na categoria “progressiva” do algoritmo genético, que seria aplicada no desenvolvimento dos CIs CMOS analógicos, onde o usuário participaria ativamente do processo de busca ajudando o sistema evolucionário escolher as melhores soluções de projeto para aumentar a efetividade do processo de otimização e consequentemente reduzir o tempo de projeto;
- d) Implementação de novas topologias de OTAs CMOS e outros CIs CMOS analógicos, tais como conversores digitais-analógicos, amplificadores, reguladores de tensão, etc.;

- e) Considerar os efeitos parasitários do leiaute do circuito integrado no *loop* de otimização (MARTINS et al., 2015) para prever com melhor precisão o desempenho elétrico do CICMOS após o processo de fabricação, especialmente o principal parâmetro crítico, que é a frequência de ganho de tensão unitário (f_T);
- f) Patentear o *software* MTGSPICE e fazer ele ser um produto comercial.

Finalmente, os artigos publicados pelo autor estão referenciados no APÊNDICE I.

REFERÊNCIAS

- ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS Analog Circuit Design**. New York: Oxford University Press, 2002.
- ALPAYDIN, G.; BALKIR, S.; DUNDAR, G. An Evolutionary Approach to Automatic Synthesis of High-Performance Analog Integrated Circuits. **IEEE Transactions on Evolutionary Computation**, v. 7, n. 3, June 2003, p. 240-252.
- ANDO, Shin; IBA, Hitoshi. Analog Circuit Design with a Variable Length Chromosome. In: IEEE PROC. CONGRESS ON EVOLUTIONARY COMPUTATION, La Jolla, CA, 2000, v. 2, p. 994-1001.
- ATASHPAZ-GARGARI, E.; LUCAS C. Imperialist Competitive Algorithm: An Algorithm for Optimization Inspired by Imperialistic Competition. In: PROC. IEEE CONG. EVOL. COMPUT., Sept. 2007, p. 4661-4667.
- BARROS, Manuel; GUILHERME, Jorge; HORTA, Nuno. An evolutionary optimization kernel using a dynamic GA-SVM model applied to analog IC design. In: PROCEEDINGS OF 18TH EUROPEAN CONFERENCE ON CIRCUIT THEORY AND DESIGN, 2007, v. 1, p. 32-35.
- _____. **Analog Circuits and Systems Optimization Based on Evolutionary Computation Techniques**. Berlin Heidelberg: Springer-Verlag, Studies in Computational Intelligence, v. 294, 240 p, 2010a.
- _____. Analog Circuits Optimization based on Evolutionary Computation Techniques. **Integration, the VLSI Journal**, v. 43, n. 1, Jan. 2010b, p. 136-155.
- _____. GA-SVM optimization kernel applied to analog IC design automation. In: PROCEEDINGS OF 13TH IEEE INTERNATIONAL CONF. ON ELECTRONICS, CIRCUITS AND SYSTEMS, 2006, p. 486-489.
- BIJAMI, Ehsan et al. Implementation of imperialist competitive algorithm to solve non-convex economic dispatch problem. **Journal of the Chinese Institute of Engineers**, 2014, v. 37, n. 2, p. 232-242.
- BOGGS, Paul T.; TOLLE, Jon W. Sequential Quadratic Programming for Large-Scale Nonlinear Optimization. **Journal of Computational and Applied Mathematics**, 2000, p. 123-137.
- CADENCE DESIGN FRAMEWORK. Software para projeto de circuito integrado, Disponível em: <<http://www.cadence.com>>. Acesso em: 01 Mar. 2016.
- CHATTERJEE, Shouri; TSIVIDIS, Yannis; KINGET, Peter. 0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design. **IEEE J. Solid-State Circuits**, Dec. 2005, v. 40, n. 12, p. 2373-2387.
- COELLO, C. A. Coello; AGUIRRE, A. Hernández; and BUCKLES, B. P. Evolutionary Multiobjective Design of Combinational Logic Circuits. In: PROCEEDINGS OF THE

SECOND NASA/DOD WORKSHOP ON EVOLVABLE HARDWARE, Palo Alto, California, July 2000, p. 161-170.

COELLO, Carlos A.; LAMONT, Gary B.; VELDHUIZEN, David A. Van. **Evolutionary Algorithms for Solving Multi-Objective Problems**. NY: Springer-Verlag, 2007.

DE SMEDT, Bart and GIELEN, Georges G. E. WATSON: design space boundary exploration and model generation for analog and RF IC design. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, Feb. 2003, v. 22, n. 2, p. 213-224.

DEB, K. et al. A fast and elitist multi-objective genetic algorithm: NSGA-II. **IEEE Trans. Evol. Comput.**, Apr. 2002, v. 6, n. 2, p. 182-197.

DEB, K. Multi-objective Optimization Using Evolutionary Algorithms: An Introduction. In: _____. **Multi-objective Evolutionary Optimisation for Product Design and Manufacturing**. Springer-Verlag, London, 2011, pp. 3-34.

DEGRAUWE, Marc G.; RIJMENANTS, Jozef; VITTOZ, Eric A. Adaptive biasing CMOS amplifiers. **IEEE Journal of Solid-State Circuits**, June 1982, v. SC-17, n. 3, p. 522-528.

EGGERMONT, Jean-Paul et al. Design of SOI CMOS Operational Amplifiers for Applications up to 300°C. **IEEE Journal of Solid-State Circuits**, Feb. 1996, v. 31, n. 2, p. 179-186.

ELBELTAGI, Emad; HEGAZY, Tarek; GRIERSON, Donald. **A modified shuffled frog-leaping optimization algorithm: applications to project management**. Structure and Infrastructure Engineering, v. 3, n. 1, p. 53-60, Mar. 2007.

ELDO. Circuit simulator Software Release 13.2a, 2014. Disponível em: <<http://www.mentor.com>>.

EUSUFF, M. M.; LANSEY, K. E. Optimization of water distribution network design using the shuffled frog leaping algorithm. **J. Water Resour. Plann. Manage.**, 2003, v. 129, n.3, p. 210-225.

FALLAHPOUR, Mojtaba Behzad; HEMMATI, Kamran Delfan; POURMOHAMMAD, Ali. Optimization of a LNA Using Genetic Algorithm. **Scientific & Academic Publishing**, 2012, p. 38-42.

GIELEN, Georges G. E.; RUTENBAR, Rob A. Computer-Aided Design of Analog and Mixed-Signal Integrated Circuits. **Proceedings of the IEEE**, Dec. 2000, v. 88, n. 12, p. 1825-1854.

GIMENEZ, S. P. et al. Gain improvement in operational transconductance amplifiers using Graded-Channel SOI nMOSFETS. **Microelectronics Journal**, 2006, v. 37, n. 1, p. 31-37.

GIMENEZ, S. P. The Wave SOI MOSFET: A New Accuracy Transistor Layout to Improve Drain Current and Reduce Die Area for Current Drivers Applications. **ECS Transactions**, 2009, v. 19, n. 4, p. 153-158.

GIMENEZ, Salvador P. **Estudo do GC SOI nMOSFET e aplicações em amplificadores operacionais de transcondutância.** 2004, 115 f. Dissertação (Doutorado em Engenharia Elétrica) – Escola Politécnica da Universidade de São Paulo, São Paulo.

GOH, C.; LI, Y. Multi-Objective synthesis of CMOS operational amplifiers using a hybrid Genetic Algorithm. In: PROCEEDINGS OF THE 4TH ASIA-PACIFIC CONFERENCE ON SIMULATED EVOLUTION AND LEARNING (SEAL 2002), Singapore, Nov. 2002, p. 214-219.

GOLDBERG, David E. **Genetic Algorithms in Search, Optimization, and Machine Learning.** 27 ed., EUA: Editora Adison Wesley Longman, Inc., 1989.

GOLMAKANI, Abbas; MAFINEJAD, Khalil; KOUZANI, Abbas. A new method for optimization of analog integrated circuits using Pareto-based multi-objective genetic algorithm. **International Review on Modelling and Simulations (I.RE.MO.S.)**, June 2009, v. 2, n. 3.

GUO, Xin et al. Development of consistent equivalent models by mixedmodel search. In: PROCEEDINGS OF THE MODELLING AND SIMULATION, Feb. 2003, Palm Springs, USA, p. 24-26.

HWANG, Yuh-Shyan; LIN, Ho-Cheng. A New CMOS Analog Front End for RFID Tags. **IEEE Trans. Ind. Electron.**, July 2009, v. 56, n. 7, p. 2299-2307.

IGEL, Christian; HEIDRICH-MEISNER, Verena; GLASMACHERS, Tobias. Shark. **Journal of Machine Learning Research**, 2008, v. 9, p. 993-996.

INTERSIL. **CA3140, 4.5MHz, BiMOS Operational Amplifier with MOSFET Input/Bipolar Output**, Sept. 1998. Disponível em: <<http://www.alldatasheet.com/>>. Acesso em: 4 Mar. 2015.

JAFARI, A. et al. A design automation system for CMOS analog integrated circuits using New Hybrid Shuffled Frog Leaping Algorithm. **Microelectronics Journal**, 2012, v. 43, n. 11, p. 908-915.

JAFARI, A. et al. Design of Analog Integrated Circuits by Using Genetic Algorithm. In: SECOND INTERNATIONAL CONFERENCE ON COMPUTER ENGINEERING AND APPLICATIONS (ICCEA), 2010, p. 578-581.

JALALI, A.; BANA, H.R.; ELAHI, H. New Method To Compensate Three-Stage Amplifiers Based On Pole And Zero Cancellation Technique. In: INTERNATIONAL CONFERENCE ON COMMUNICATION SYSTEMS AND NETWORK TECHNOLOGIES (CSNT), 2011.

JANTOS, Piotr; GRZECHCA, Damian; RUTKOWSKI, Jerzy O. An analogue integrated circuits yield optimisation with the use of genetic algorithm. In: THE INTERNATIONAL CONFERENCE ON SIGNALS AND ELECTRONIC SYSTEMS (ICSES), Sept. 7-10 2010, Gliwice, Poland, p. 293-296.

_____. Evolutionary algorithms for global parametric fault diagnosis in analogue integrated circuits. **Bulletin of the Polish Academy of Sciences: Technical Sciences**. Apr. 2012, v. 60, n. 1, p. 133-142.

KEYMEULEN, Didier et al. EHWPack: a Parallel Software/Hardware Environment for Evolvable Hardware. In: PROCEEDINGS OF THE GENETIC AND EVOLUTIONARY COMPUTATION CONFERENCE (GECCO '00), July 8-12 2000, Las Vegas, Nevada, USA.

KHAN, Badar K.; KHALIFA, Yaser A. An Evolutionary method for Analog circuits Optimization exploiting Mosfet-C Filters. In: THIRD WORLD CONGRESS ON NATURE AND BIOLOGICALLY INSPIRED COMPUTING (NABIC), 2011, p. 81-85.

KHUMSAT, Phanumas; WORAPISHET, Apisak. A 0.5-V R-MOSFET-C Filter Design Using Subthreshold R-MOSFET Resistors and OTAs With Cross-Forward Common-Mode Cancellation Technique. **IEEE J. Solid-State Circuits**, Nov. 2012, v. 47, n. 11, p. 2751-2762.

KIM, Young-Han et al. A CMOS Transceiver for a Multistandard 13.56-MHz RFID Reader SoC. **IEEE Trans. Ind. Electron.**, May 2010, v. 57, n. 5, p. 1563-1572.

KOH, H. Y.; SÉQUIN, C. H.; GRAY, P. R. OPASYN: A Compiler for CMOS Operational Amplifiers. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, Feb. 1990, v. 9, n. 2, p. 113-125.

KOZA, John R. et al. Automated Synthesis of Analog Electrical Circuits by Means of Genetic Programming. **IEEE Transactions on Evolutionary Computation**, 1997, v. 1, n. 2, p. 109-128.

KRISHNAMURTHY, Vinitha; KIM, Bruce. Development of analog circuit design automation tool. In: IEEE SOUTHEASTCON, Mar. 2009, p. 236-241.

KRUMMENACHER, F. High voltage gain CMOS OTA for micropower SC filters. **IEEE Electronics Letters**, Feb. 1981, v. 17, n. 4, p. 160-162.

LEE, Jong-Wook et al. A Fully Integrated HF-Band Passive RFID Tag IC Using 0.18- μ m CMOS Technology for Low-Cost Security Applications. **IEEE Trans. Ind. Electron.**, June 2011, v. 58, n. 6, p. 2531-2540.

LENWARI, Wanchak; SUMNER, Mark; ZANCHETTA, Pericle. The Use of Genetic Algorithms for the Design of Resonant Compensators for Active Filters. **IEEE Trans. Ind. Electron.**, Aug. 2009, v. 56, n. 8, p. 2852-2861.

LIM, Seunghyun et al. A 240-frames/s 2.1-Mpixel CMOS Image Sensor With Column-Shared Cyclic ADCs. **IEEE J. Solid-State Circuits**, Sept. 2011, v. 46, n. 9, p. 2073-2083.

LIMA, Jader A. De; GIMENEZ, Salvador P.; CIRNE, Klaus H. Modeling and Characterization of Overlapping Circular-Gate MOSFET and Its Application to Power Devices. **IEEE Transactions on Power Electronics**, Mar. 2012, v. 27, n. 3, p. 1622-1631.

LIU, Bo et al. A Memetic Approach to the Automatic Design of High-Performance Analog Integrated Circuits. **ACM Transactions on Design Automation of Electronic Systems**, May 2009, v. 14, n. 3, Article 42.

LIU, Mingguo; HE, Jingsong. A Hybrid Genetic Algorithm with Hyper-mutation and Elitist Strategies for Automated Analog Circuit Design. In: INTERNATIONAL WORKSHOP ON INTELLIGENT SYSTEMS AND APPLICATIONS, 2009a, p. 1-4.

_____. Automated Analog Circuit Design Synthesis Using A Hybrid Genetic Algorithm with Hyper-Mutation and Elitist Strategies. **I.J. Information Technology and Computer Science**, Oct. 2009b, v. 1, n. 1, p. 23-32.

LOURENÇO, N.; HORTA, N. GENOM-POF: Multi-Objective Evolutionary Synthesis of Analog ICs with Corners Validation. In: GENETIC AND EVOLUTIONARY COMPUTATION CONF., 2012, Philadelphia, USA.

MARTINS, R. et al. AIDA: Automated Analog IC Design Flow from Circuit Level to Layout. In: INTERNATIONAL CONFERENCE ON SYNTHESIS, MODELING, ANALYSIS AND SIMULATION METHODS AND APPLICATIONS TO CIRCUIT DESIGN, Sept. 2012, p. 29-32.

_____. AIDA: Robust Layout-Aware Synthesis of Analog ICs including Sizing and Layout Generation. In: INT. CONF. ON SYNTHESIS, MODELING, ANALYSIS AND SIMULATION METHODS AND APPLICATIONS TO CIRCUIT DESIGN, 2015, Istanbul, Turkey.

MARTINS, R.; LOURENÇO, N.; HORTA, N. Multi-Objective Optimization of Analog Integrated Circuit Placement Hierarchy in Absolute Coordinates. **Expert Systems With Applications**, Dec. 2015, v. 42, n. 23, p. 9137-9151.

MCCONAGHY, Trent et al. Trustworthy Genetic Programming-Based Synthesis of Analog Circuit Topologies Using Hierarchical Domain-Specific Building Blocks. **IEEE Transactions on Evolutionary Computation**, 2011, v. 15, n. 4, p. 557-570.

MEDEIRO, F. et al. A Statistical Optimization-Based Approach for Automated Sizing of Analog Cells. In: PROCEEDINGS OF THE ACM/IEEE INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN (ICCAD), 1994, p. 594-597.

MEISSNER, M.; HEDRICH, L. FEATS: Framework for Explorative Analog Topology Synthesis. **IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.**, Feb. 2015, v. 34, n. 2, p. 213-226.

MENTOR GRAPHICS. Disponível em: <<http://www.mentor.com>>. Acesso em: 01 Mar. 2016.

MICROSOFT VISUAL STUDIO 2008 Version 9.0.21022.8 RTM. Microsoft .NET Framework Version 3.5 SP1.

MILLER, Julian et al. Evolvable Systems: From Biology to Hardware. THIRD INTERNATIONAL CONFERENCE, ICES 2000, Apr. 17–19 2000, Edinburgh, Scotland, UK.

MIST, Joseph James; GIBSON, Stuart James. Optimization of weighted vector directional filters using an interactive evolutionary algorithm. In: PROCEEDING OF THE FIFTEENTH

ANNUAL CONFERENCE COMPANION ON GENETIC AND EVOLUTIONARY COMPUTATION CONFERENCE COMPANION, 2013, p. 1691-1694.

MORETO, Rodrigo Alves de Lima et al. From architecture to manufacturing: An accurate framework for optimal OTA design. In: PROC. OF THE IEEE LATIN AMERICAN CONF. ON COMPUT. INTELLIGENCE (LA-CCI), Oct. 13-16 2015, Curitiba, Brazil.

_____. Projeto de um OTA CMOS por meio de um sistema evolucionário integrado ao SPICE. **Revista Controle & Automação da Sociedade Brasileira de Automação**, Dez. 2012, v. 23, n. 6, p. 694-710.

_____. Variability Analysis of the CMOS OTA Performance Designed by an Evolutionary System. In: PROCEEDINGS OF THE 3RD WORKSHOP ON CIRCUITS AND SYSTEM DESIGN WCAS 2013, Sept. 3-6, 2013, Curitiba, Parana, Brazil, 4 p.

MORETO, Rodrigo Alves de Lima. **Projeto de um OTA CMOS por meio de um sistema evolucionário integrado ao SPICE**. 2011, 219 f. Dissertação (Mestrado em Engenharia Elétrica) – Centro Universitário FEI, São Bernardo do Campo.

MORETO, Rodrigo Alves de Lima; GIMENEZ, Salvador P.; THOMAZ, Carlos Eduardo. Analysis of a New Evolutionary System Elitism for Improving the Optimization of a CMOS OTA. In: PROCEEDINGS OF THE 1ST BRICS COUNTRIES CONGRESS (BRICS-CCI), CI APPLICATIONS IN INDUSTRY SYMPOSIUM, Sept. 8-11, 2013, Recife, Pernambuco, Brazil, 6p.

MORETO, Rodrigo Alves de Lima; THOMAZ, Carlos Eduardo; GIMENEZ, Salvador P. AGSPICE: A New Analog ICs Design Tool Based On Evolutionary Electronics Used For Extracting Additional Design Recommendations. In: PROCEEDINGS OF THE INTERNATIONAL CARIBBEAN CONFERENCE ON DEVICES, CIRCUITS AND SYSTEMS, Mar. 14-17 2012, Playa del Carmen, Mexico.

_____. Correlation study of MOSFETs inversion regimes of an OTA by using evolutionary electronics. In: PROCEEDINGS OF THE WORKSHOP ON CIRCUITS AND SYSTEM DESIGN WCAS 2011, 30th Aug. - 2nd Sept. 2011, Joao Pessoa, Paraiba, Brazil.

MOSIS educational program. Disponível em: <<http://www.mosis.com/>>. Acesso em: 11 Dez. 2015.

MunEDA. Disponível em: <<http://www.muneda.com>>. Acesso em: 15 dez. 2015.

MunEDA customers. Disponível em: <<http://www.muneda.com/Customers>>. Acesso em: 10 out. 2016.

NATIONAL Semiconductors. **LM13700 Dual Operational Transconductance Amplifiers**, Datasheet number DS007981, June 2004.

NATIONAL Semiconductors. **LM741 Operational Amplifier**, Maio 1998. Disponível em: <<http://www.alldatasheet.com/>>. Acesso em: 4 Mar. 2015.

NEMRI, N. et al. Implementation of a control system of intelligent antennas based on the Sequential Quadratic Programming (SQP) Algorithm. EUROPEAN CONFERENCE ON ANTENNAS AND PROPAGATION (EUCAP), 2014.

NICOSIA, Giuseppe; RINAUDO, Salvatore; SCIACCA, Eva. An evolutionary algorithm-based approach to robust analog circuit design using constrained multi-objective optimization. **Knowledge-Based Systems**, Apr. 2008, v. 21, n. 3, p. 175-183.

OLIVEIRA JR., H. A. et al. **Inteligência computacional: Aplicada à Administração, Economia e Engenharia em Matlab**. São Paulo: Thomson Learning, 2007.

PEREIRA-ARROYO, Roberto; ALVARADO-MOYA, Pablo; KRAUTSCHNEIDER, Wolfgang H. Multi-objective optimization of MCML circuits using a genetic algorithm. In: PROC. XII. WORKSHOP IBERCHIP, Mar. 2006, San José, Costa Rica.

POLLISSARD-QUATREMÈRE, Guillaume; GOSSET, Geoffroy; FLANDRE, Denis. A modified g_m/I_D design methodology for deeply scaled CMOS technologies. **Analog Integrated Circuits and Signal Processing**, Sept. 2013, v. 78, n. 3, p. 771-784.

PRESS, William H. et al. **Numerical Recipes 3rd Edition: The Art of Scientific Computing**. Cambridge University Press, New York, NY, USA, 2007.

PYXIS LAYOUT. Software Version 10.2, 2012. Disponível em: <<http://www.mentor.com>>. Acesso em: 5 Mar. 2014.

RABAEY, Jan M. et al. Embedding Mixed-Signal Design in Systems-on-Chip. In: **Proceedings of the IEEE**, June 2006, v. 94, n. 6, p. 1070-1088.

RABUSKE, Taimur G. et al. PyCO: A parallel genetic algorithm optimization tool for analog circuits. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS), 2012, p. 3266-3269.

RAZAVI, Behzad. **Design of Analog CMOS Integrated Circuits**. New York, NY: McGraw-Hill, 2001.

RAZZAGHPOUR, Milad; RUSU, Ana. Analog Circuit Optimization via a Modified Imperialist Competitive Algorithm. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS), 2011, p. 2273-2276.

ROCHE, Robin et al. Imperialist Competitive Algorithm for Dynamic Optimization of Economic Dispatch in Power Systems. In: **Artificial Evolution, Lecture Notes in Computer Science**, v. 7401, p. 217-228. Berlin Heidelberg: Springer-Verlag, 2012.

SÁNCHEZ-AZQUETA, Carlos et al. A Low-Power CMOS Receiver for 1.25 Gb/s Over 1-mm SI-POF Links. **IEEE Trans. Ind. Electron.**, Aug. 2014, v. 61, n. 8, p. 4246-4254.

SANTINI, Cristina Costa et al. Evolutionary Analog Circuit Design on a Programmable Analog Multiplexer Array. In: IEEE INTERNATIONAL CONFERENCE ON FIELD-PROGRAMMABLE TECHNOLOGY, 2002, p. 189-196.

_____. PAMA - Programmable Analog Multiplexer Array. In: PROCEEDINGS OF THE THIRD NASA/DOD WORKSHOP ON EVOLVABLE HARDWARE, 2001, p. 36-43.

SEDRA, Adel S.; SMITH, Kenneth C. **Microeletrônica**. 4 ed., São Paulo: Makron Books, 2000.

SEVERO, Lucas C.; LONGARETTI, Dionatas; GIRARDI, Alessandro. Simulation-Based Evolutionary Heuristic to Sizing an OTA Miller with Design Centering Analysis. In: ARGENTINE SCHOOL OF MICRO-NANOELECTRONICS, TECHNOLOGY AND APPLICATIONS (EAMTA), 2012, Cordoba, Argentina. p. 111-115.

SILVEIRA, Fernando; FLANDRE, Denis; JESPERS, Paul G. A. A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA. **IEEE Journal of Solid-State Circuits**, Sept. 1996, v. 31, n. 9, p. 1314-1319.

SOLIDO DESIGN AUTOMATION. Disponível em: <<http://www.solidodesign.com>>. Acesso em: 1 Mar. 2016.

SOMANI, Abhishek; CHAKRABARTI, Partha P.; PATRA, Amit. An Evolutionary Algorithm-Based Approach to Automated Design of Analog and RF Circuits Using Adaptive Normalized Cost Functions. **IEEE Transactions on Evolutionary Computation**, June 2007, v. 11, n. 3, p. 336-353.

SOUSA, Pedro et al. Enhancing Analog IC Design Optimization Kernels with Simple Fuzzy Models. In: PROC. EUR. CONF. CIRCUIT THEORY DESIGN, Aug. 2009, p. 775-778.

SPICE OPUS (c) version 2.31. Revision: 180. Circuit Simulator. Date Built: Jan 18 2010. University of Ljubljana Slovenia. Faculty of Electrical Engineering. Group for Computer Aided Design. Disponível em: <<http://www.spiceopus.si>>. Acesso em: 23 Out. 2012.

SRIPRAMONG, Thanwa; TOUMAZOU, Christopher. The Invention of CMOS Amplifiers Using Genetic Programming and Current-Flow Analysis. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, 2002, v. 21, n. 11, p. 1237-1252.

STOICA, Adrian et al. Evolutionary experiments with a fine-grained reconfigurable architecture for analog and digital CMOS circuits. In: PROCEEDINGS OF THE FIRST NASA/DOD WORKSHOP ON EVOLVABLE HARDWARE, July 21, 1999.

STOMEO, Emanuele; KALGANOVA, Tatiana; LAMBERT, Cyrille. Analysis of Genotype Size for an Evolvable Hardware System. **International Journal of Electrical, Electronic Science and Engineering**, 2007, v. 1, n. 7.

STREINER, David L. Maintaining Standards: Differences between the Standard Deviation and Standard Error, and When to Use Each. **Can J. Psychiatry**, October 1996, v. 41.

TAHERZADEH-SANI, M. et al. Design optimization of analog integrated circuits using simulation-based genetic algorithm. In: INTERNATIONAL SYMPOSIUM ON SIGNALS, CIRCUITS AND SYSTEMS, 10-11 July 2003, p. 73-76.

TLELO-CUAUTLE, Esteban et al. Automatic Synthesis of Electronic Circuits using Genetic Algorithms. **COMPUTACIÓN Y SISTEMAS**, 2007, v. 10, n. 3, p. 217-229, ISSN 1405-5546.

TRENTIN, Andrew et al. Automated Optimal Design of Input Filters for Direct AC/AC Matrix Converters. **IEEE Trans. Ind. Electron.**, July 2012, v. 59, n. 7, p. 2811-2823.

TSAI, Jinn-Tsong; CHOU, Jyh-Horng. Circuit Tolerance Design Using an Improved Genetic Algorithm. In: 9TH INTERNATIONAL CONFERENCE ON CONTROL, AUTOMATION, ROBOTICS AND VISION, 2006, p. 1-6.

TUMA, Tadej; BÚRMEN, Árpád; **Circuit Simulation with SPICE OPUS Theory and Practice**. Birkhäuser Boston, 2009.

VIRTUALBOX. Software version 4.3.12, 2014. Available: <https://www.virtualbox.org/>. Acesso em: 8 jun. 2014.

VURAL, Revna Acar et al. Performance Evaluation of Evolutionary Algorithms for Optimal Filter Design. **IEEE Transactions on Evolutionary Computation**, Feb. 2012, v. 16, n. 1, p. 135-147.

WANG, Xiaomu et al. Optimal RF IC design Based on Fuzzy Genetic Algorithm. In: ASIA PACIFIC CONFERENCE ON POSTGRADUATE RESEARCH IN MICROELECTRONICS & ELECTRONICS, 2009, p. 229-232.

WEBER, Tiago Oliveira and VAN NOIJE, Wilhelmus Adrianus Maria. Analog Design Synthesis Performing Fast Pareto Frontier Exploration. In: IEEE SECOND LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS (LASCAS), 2011, p. 1-4.

WICKED MANUAL. Versão 6.6-6, 2013. Disponível em: <<http://www.muneda.com>>. Acesso em: 20 Dez. 2013.

WU, Po-Hsun et al. A Novel Analog Physical Synthesis Methodology Integrating Existential Design Expertise. **IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.**, Feb. 2015, v. 34, n. 2, p. 199-212.

XU, Haiqin; DING, Yong-Sheng S. Optimizing method for analog circuit design using adaptive immune genetic algorithm. In: FOURTH INTERNATIONAL CONFERENCE ON FRONTIER OF COMPUTER SCIENCE AND TECHNOLOGY, 17-19 Dec. 2009, p. 359-363.

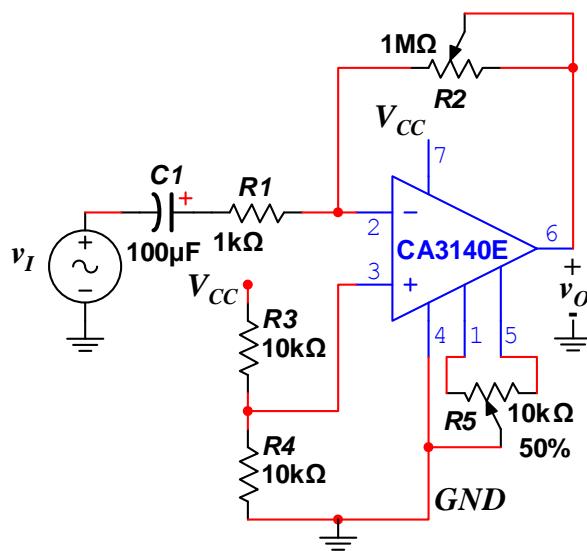
Zebulum, Ricardo Salem; Pacheco, Marco Aurélio C.; Vellasco, Marley Maria B. R. **Evolutionary Electronics: Automatic Design of Electronic Circuits and Systems by Genetic Algorithms**. EUA: CRC Press, 2002.

_____. Synthesis of CMOS Operational Amplifiers Through Genetic Algorithms. In: PROCEEDINGS OF XI BRAZILIAN SYMPOSIUM ON INTEGRATED CIRCUIT DESIGN, 1998, p. 125-128.

APÊNDICE A – CIRCUITO AMPLIFICADOR DESENVOLVIDO PARA A CARACTERIZAÇÃO ELÉTRICA DA CMRR

O circuito amplificador de pequenos sinais desenvolvido nesse trabalho para a caracterização elétrica da CMRR opera apenas com uma fonte simples de alimentação, em vez de operar com fonte simétrica, como no caso das configurações inversora e não inversora convencionais. Por esse motivo ele foi construído com o AMP OP de uso geral CA3140 (INTERSIL, 1998). Esse circuito é mostrado na Figura 59:

Figura 59 – Circuito amplificador de pequenos sinais construído com o AMP OP CA3140 que usa uma fonte simples de alimentação.



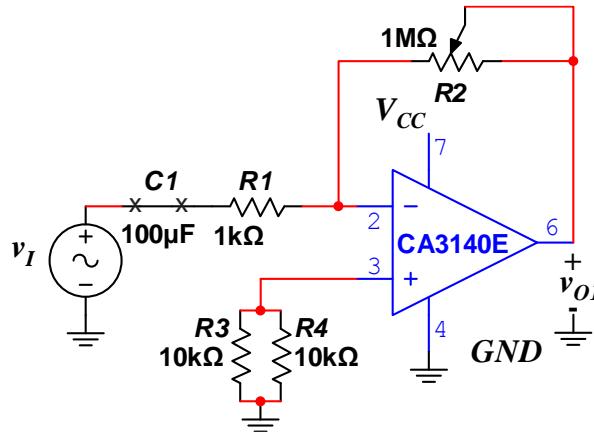
Fonte: Autor.

O resistor R_2 realiza uma realimentação negativa conectando o terminal de saída do AMP OP CA3140 (INTERSIL, 1998), terminal 6, ao terminal da entrada inversora, terminal 2. Nesse caso, R_2 é um resistor que varia na faixa de 0Ω até $1 M\Omega$, sendo construído com um potenciômetro de $1 M\Omega$. O resistor R_1 conecta o terminal inversor ao capacitor de acoplamento de corrente alternada C_1 , que por sua vez é conectado à fonte de sinal de entrada com uma tensão v_I . O circuito do AMP OP mostrado na Figura 59 é alimentado apenas por uma fonte simples, sendo V_{CC} o terminal positivo e GND o terminal negativo da fonte. Os resistores R_3 e R_4 estão ligados em série e formam um divisor de tensão, o qual é ligado entre V_{CC} e GND e como R_3 e R_4 são iguais ($10 k\Omega$), resulta que a tensão no terminal central desse divisor é igual à $V_{CC}/2$, o qual é ligado ao terminal da entrada não inversora, terminal 3. O potenciômetro R_5

($10\text{ k}\Omega$) é conectado entre os terminais 1 e 5 e o terminal central é conectado em *GND*, sendo usado apenas para anular a tensão de *offset* na saída do AMP OP. Adicionalmente, v_O representa a tensão de saída desse circuito (SEDRA; SMITH, 2000).

O circuito mostrado na Figura 59 utiliza uma mistura das configurações inversora e não inversora do AMP OP apresentadas em Sedra e Smith (2000). Uma vez que a rede é linear pode-se usar o teorema da superposição para determinar a tensão de saída (v_O) desse circuito em função de diversas tensões de entrada (SEDRA; SMITH, 2000). Inicialmente, anula-se a fonte de tensão ligada ao divisor de tensão (substitui-se a fonte por um curto-círcuito) e calcula-se a tensão de saída (v_{O1}) devido exclusivamente à tensão de entrada (v_I). Como v_I é uma fonte de sinal de corrente alternada (AC), $C1$ poderá ser substituído por um curto-círcuito, pois apresenta baixa impedância em AC ($Z = 0\ \Omega$). O circuito resultante é apresentado na Figura 60 (o circuito de anulação do *offset* foi suprimido por motivo de simplicidade):

Figura 60 – Aplicação do teorema da superposição para análise circuito amplificador de pequenos sinais (parte 1).



Fonte: Autor.

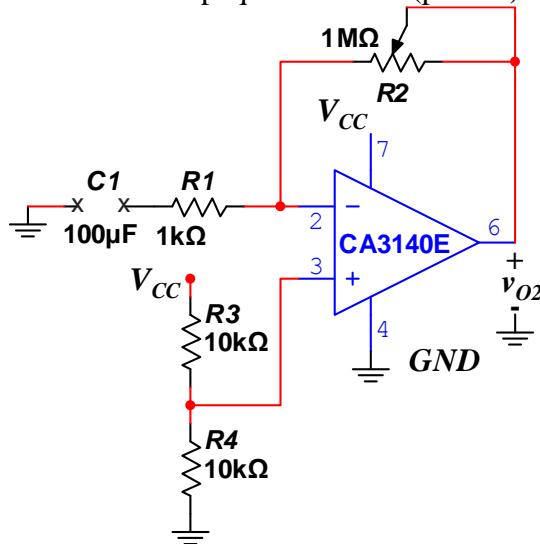
Esse circuito é semelhante à configuração inversora apresentada em Sedra e Smith (2000). Portanto v_{O1} é dado pela equação (44)

$$v_{O1} = -\frac{R2}{R1} v_I. \quad (44)$$

Em seguida, anula-se a fonte do sinal de entrada (v_I) e calcula-se a tensão de saída (v_{O2}) devido exclusivamente à tensão no terminal da entrada não inversora, terminal 3, ligado ao divisor de tensão formado por $R3$ e $R4$. Como o terminal 3 é ligado a uma fonte de corrente

contínua (DC) com tensão igual a $V_{CC}/2$ e, visto que existe um “curto-circuito virtual” entre os terminais de entrada 2 e 3 (SEDRA; SMITH, 2000), esta tensão DC aparece no terminal 2 (inversor) e $C1$ poderá ser substituído por um circuito aberto, pois apresenta alta impedância em DC ($Z \rightarrow \infty \Omega$). O circuito resultante é apresentado na Figura 61:

Figura 61 – Aplicação do teorema da superposição para análise circuito amplificador de pequenos sinais (parte 2).



Fonte: Autor.

Esse circuito é semelhante à configuração não inversora apresentada em Sedra e Smith (2000), com a impedância do ramo composto por $C1$ em série com $R1$ tendendo a infinito ($Z \rightarrow \infty \Omega$), que resulta em um ganho de tensão unitário. Portanto, a tensão de saída v_{O2} é igual a tensão aplicada ao terminal da entrada não inversora (terminal 3), como mostra a equação (45):

$$v_{O2} = \frac{V_{CC}}{2}. \quad (45)$$

A equação (45) mostra que o capacitor de acoplamento $C1$ faz com que a tensão DC presente no terminal da entrada não inversora tenha ganho de tensão unitário. Assim, outra importante função de $C1$ é limitar o ganho da tensão de offset de entrada do AMP OP também em 1, em vez de ter um fator de ganho de tensão igual a $(1 + R2/R1)$, que pode saturar o amplificador, impedindo o seu funcionamento (SEDRA; SMITH, 2000).

Pelo teorema da superposição a tensão de saída v_O é igual à soma de v_{O1} e v_{O2} (SEDRA; SMITH, 2000), como mostra a equação (46):

$$v_o = -\frac{R2}{R1} v_I + \frac{V_{CC}}{2}. \quad (46)$$

O objetivo do divisor de tensão formado por $R3$ e $R4$ é estabelecer uma tensão DC no terminal de saída (terminal 6) igual a $V_{CC}/2$ para maximizar a excursão do sinal de saída. Porém, o ganho de tensão em malha fechada desse circuito (G_V) para pequenos sinais é idêntico ao da configuração inversora, como mostra a equação (47):

$$G_V = \frac{v_o}{v_I} \cong -\frac{R2}{R1}. \quad (47)$$

O circuito amplificador de pequenos sinais da Figura 59 é usado para amplificar o sinal de saída dos OTAs caracterizados eletricamente nesse trabalho para a determinação da CMRR, visto que os OTAs geralmente apresentam tensão de saída de amplitude muito baixa (normalmente menores que 1 mV) para sinais de entrada em modo comum. Nesse caso, ele é usado para gerar um ganho de tensão variável de 0 até 1000 V/V, sendo calculado pela equação (47).

APÊNDICE B – REPRESENTAÇÃO DOS CROMOSSOMOS NO ALGORITMO GENÉTICO E OS OPERADORES GENÉTICOS

A próxima subseção apresentará a estrutura de dados dos cromossomos (soluções) utilizada pelo algoritmo genético no AGSPICE e no MTGSPICE. Em seguida, as próximas subseções apresentarão a técnica do elitismo e os operadores genéticos de seleção, cruzamento e mutação.

B.1 REPRESENTAÇÃO DO CROMOSSOMO

No algoritmo genético, todas as possíveis soluções do projeto do OTA são codificadas em estruturas chamadas cromossomos. Dentro de cada cromossomo estão localizados os genes, sendo que cada gene codifica uma variável de projeto. Dessa forma, os genes do cromossomo codificam as dimensões de todos os transistores, correntes e tensões de polarização do circuito integrado analógico. A Figura 62 mostra a representação do cromossomo das soluções potenciais geradas pelo algoritmo genético, considerando como exemplo o OTA de único estágio e única saída (SESS), que é apresentado na subseção 3.1.2.1. Vide ilustração das variáveis de projeto desse OTA na Figura 51 da subseção 6.1.

Figura 62 – Representação do cromossomo no algoritmo genético.

Cromossomo											
W_2	W_4	W_6	W_8	W_9	W_{10}	L_2	L_4	L_6	L_8	L_9	L_{10}
I_{POL}						V_{POL}					

Fonte: Autor.

Nessa figura, W e L representam, respectivamente, as dimensões de largura e comprimento de canal dos MOSFETs, I_{POL} é a corrente de polarização de referência do par diferencial OTA e V_{POL} é a tensão de polarização em modo comum aplicada nas entradas inversora e não inversora do par diferencial. Todos os genes W_x, L_x, I_{POL} e V_{POL} , $x \in [1, 10]$, são números binários. Cada um destes genes possui um determinado número de *bits* especificado em função da faixa de números reais que representam e também da precisão desejada para a grandeza correspondente. Uma vez que $M1=M2$, $M3=M4$, $M5=M6$ e $M7=M8$, os genes de número ímpar das dimensões W e L destes transistores não foram incluídos no cromossomo, pois são iguais aos respectivos genes de número par devido à simetria do circuito. É importante notar que os transistores $M9$ e $M10$, que formam o espelho de corrente que

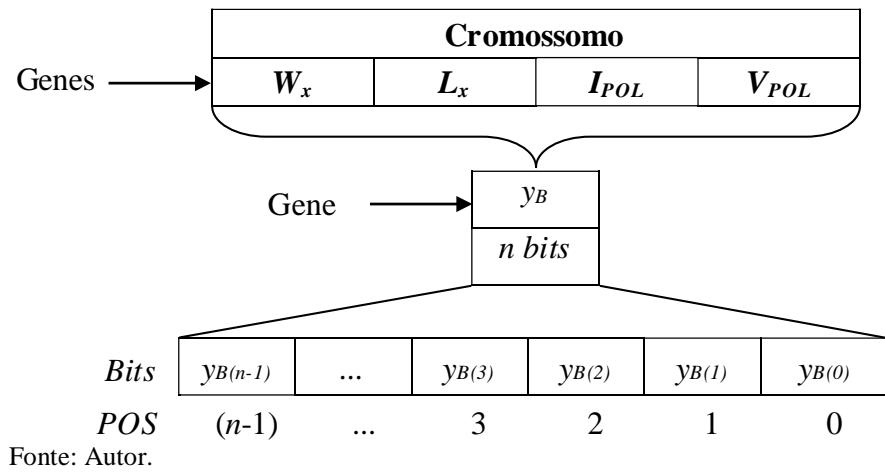
polariza o par diferencial, não são casados. Dessa forma, as dimensões W e L destes transistores podem variar livremente durante o processo de busca para atender as múltiplas especificações de projeto do OTA.

B.1.1 Decodificação do cromossomo

A fim de obter o valor real dos genes W_x , L_x , $IPOL$ e V_{POL} , representados em números binários no cromossomo, o AGSPICE e o MTGSPICE realizam dois tipos de conversões de dados: conversão de número binário em número inteiro e de número inteiro para número real dentro dos limites mínimo e máximo estabelecidos pelo projetista.

A Figura 63 mostra a estrutura interna de um cromossomo no algoritmo genético, que é constituído por um conjunto de genes (W_x , L_x , $IPOL$ e V_{POL}), onde a estrutura de um gene também é apresentada em detalhes.

Figura 63 – Estrutura interna de um cromossomo e de um gene do cromossomo no algoritmo genético (genes W_x , L_x , $IPOL$ e V_{POL}).



A conversão de número binário em número inteiro pode ser realizada conforme mostra a equação (48):

$$y_I = \sum_{POS=0}^{n-1} y_{B(POS)} \cdot 2^{POS}, \quad (48)$$

onde y_B representa um gene do cromossomo, n representa o número de *bits* do número binário y_B , $y_{B(POS)}$ é o valor do *bit* na posição de índice POS no número y_B e y_I é um número inteiro na faixa de 0 a $(2^n - 1)$, resultante da conversão do número binário y_B no valor inteiro correspondente.

A conversão do número inteiro y_I para o correspondente número real é realizado conforme as equações (49) e (50):

$$P = \frac{(y_{Rmax} - y_{Rmin})}{2^n - 1}, \quad (49)$$

$$y_R = y_I \cdot P + y_{Rmin}, \quad (50)$$

onde y_R é o número real decodificado do gene do cromossomo na faixa de y_{Rmin} a y_{Rmax} , onde y_{Rmin} e y_{Rmax} , representam os valores mínimo e máximo, respectivamente, de uma grandeza representada por um gene do cromossomo, por exemplo W_{xmax} e W_{xmin} , onde W_{xmax} e W_{xmin} representam o valor máximo e o valor mínimo, respectivamente, da largura de canal de um MOSFET M_x do circuito do OTA, $x \in [1, 10]$, especificados em [μm] nos estudos nesse trabalho, e P é a precisão da conversão do número inteiro em número real, ou seja, representa o valor do passo de incremento, por exemplo $0,35 \mu\text{m}$. Os valores mínimo e máximo dos genes W_x , L_x , $IPOL$ e V_{POL} são parâmetros de entrada especificados no AGSPICE e no MTGSPICE.

Todos os cromossomos (indivíduos) no algoritmo genético são decodificados em números reais para serem incluídos em arquivos de simulação (*netlist*) do simulador SPICE. Após a simulação do circuito com estes valores, o simulador SPICE gera os correspondentes arquivos de saída com os resultados obtidos para cada especificação de projeto estabelecida. Estes resultados são aplicados nas funções de aptidão desses indivíduos, para a solução do problema, levando em consideração as especificações de projeto a serem alcançadas.

O número de *bits* dos genes W_x , L_x , $IPOL$ e V_{POL} são calculados conforme mostra a equação (51):

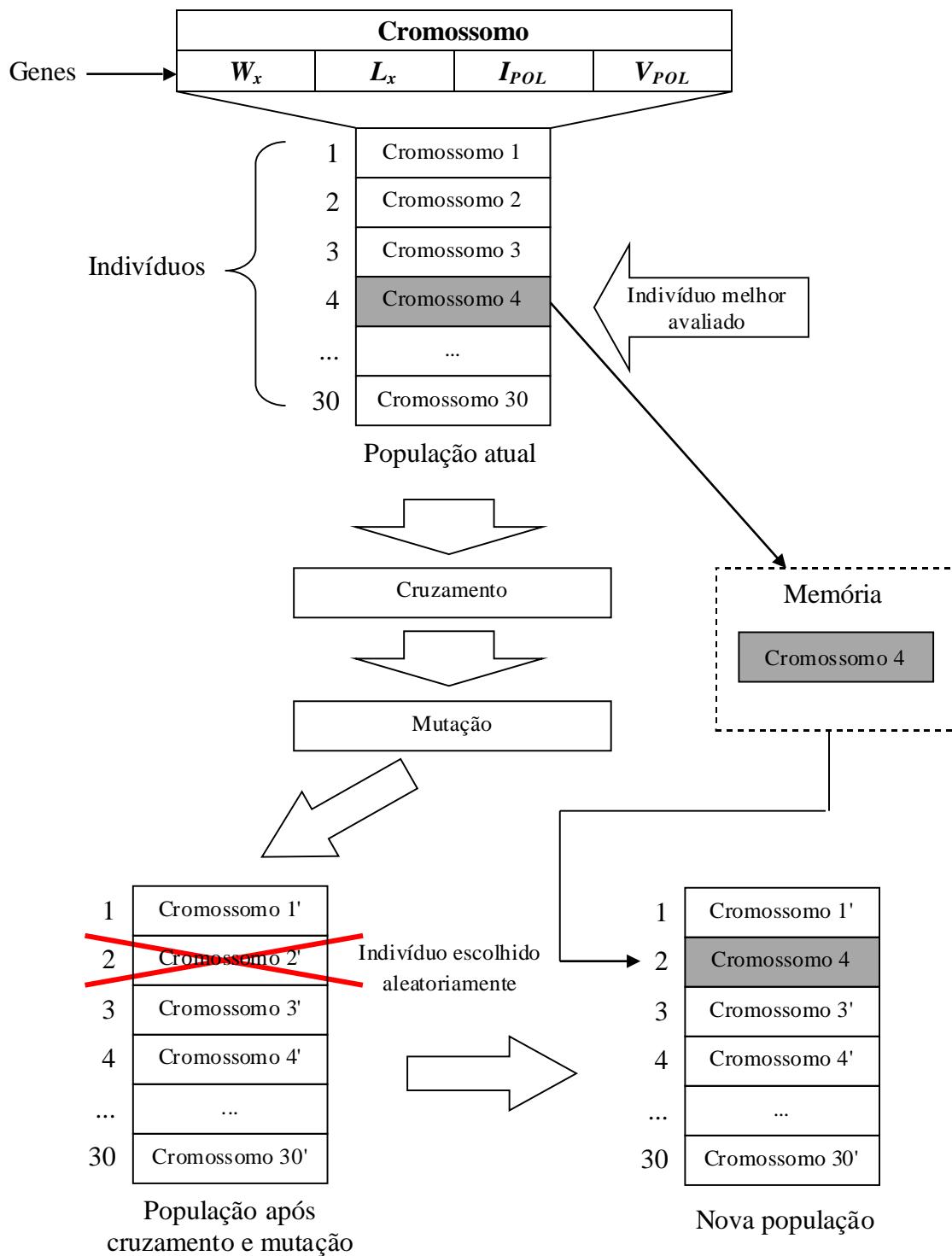
$$n = \log \left[\frac{(y_{Rmax} - y_{Rmin})}{P} + 1 \right] \cdot \frac{1}{\log(2)}. \quad (51)$$

B.2 ELITISMO

A cada nova geração do algoritmo genético (GA), os indivíduos são avaliados e como forma de conduzir o GA de maneira a produzir sempre indivíduos de avaliação igual ou superior a avaliação do melhor indivíduo da geração anterior, é aplicado o elitismo. O elitismo é uma técnica que copia o melhor indivíduo da geração atual [realizado na fase I, processo E no fluxograma da Figura 52 da subseção 6.1] e o introduz na próxima geração [realizado na fase

II, processo I], substituindo um indivíduo aleatoriamente escolhido. Dessa maneira, a avaliação da geração futura terá um indivíduo com avaliação no mínimo igual à melhor avaliação obtida na geração anterior. A Figura 64 ilustra o processo de elitismo.

Figura 64 – Processo de elitismo no algoritmo genético.

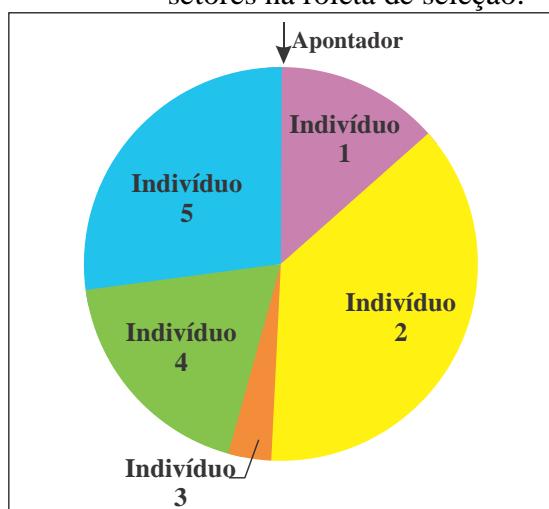


Fonte: Autor.

B.3 SELEÇÃO PARA CRUZAMENTO

A seleção é o processo do GA que tem como correspondente na genética biológica o fundamento de que apenas os indivíduos mais fortes sobrevivem para as próximas gerações. Para realizar a seleção, nesse trabalho, utiliza-se o método da roleta (COELLO; LAMONT; VELDHUIZEN, 2007; GOLDBERG, 1989). Esse método pode ser descrito da seguinte maneira: considere um círculo dividido em setores, em que cada setor representa um indivíduo da população. A área de cada setor será proporcional à avaliação do indivíduo representado por esse setor. Assim, quanto maior a avaliação obtida por um indivíduo em particular, maior será a área do setor que o representa na roleta, conforme ilustrado na Figura 65.

Figura 65 – Exemplo de distribuição de setores na roleta de seleção.



Fonte: Autor.

Na Figura 65 é ilustrado um exemplo de roleta com cinco indivíduos. Notoriamente, o indivíduo 2 é o indivíduo que obteve melhor avaliação, uma vez que possui a maior área entre todos os setores representados no círculo da roleta. A flecha na parte superior do círculo representa o apontador da roleta. Girando-se essa roleta, o apontador indicará um setor que representa um indivíduo a ser incluído nos selecionados para o cruzamento. Repare que o indivíduo com melhor avaliação é aquele que possui a maior fatia e, portanto, tem maior probabilidade de ser escolhido para o cruzamento⁷².

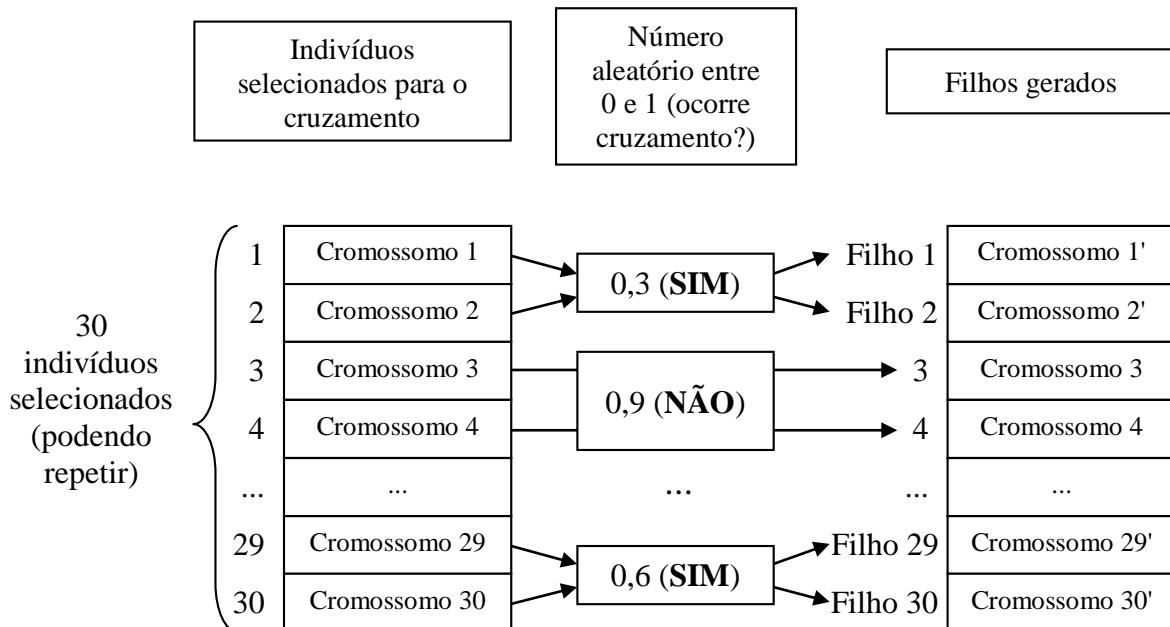
⁷² Crossover.

No algoritmo utilizado nesse trabalho, a roleta é girada em quantidade de vezes igual ao número de indivíduos da população e em cada giro da roleta, um indivíduo é selecionado para compor o conjunto de indivíduos para o cruzamento. A seleção é realizada no processo marcado pela letra F do fluxograma exibido na Figura 52 da subseção 6.1.

B.4 CRUZAMENTO

Com os indivíduos selecionados no processo F do fluxograma da Figura 52 da subseção 6.1, o cruzamento é executado no processo G. O cruzamento é realizado entre dois indivíduos consecutivos, no vetor de indivíduos selecionados pelo processo F e sua incidência é determinada por um parâmetro denominado taxa de cruzamento (P_C), configurado no AGSPICE e no MTGSPICE. Para determinar a incidência ou não do cruzamento entre dois indivíduos, dado P_C , um número real aleatório entre 0 e 1 é gerado por *software*, para cada dois indivíduos selecionados no processo F. Esse número aleatório é então comparado com P_C . Se o número aleatório for menor que P_C , o cruzamento entre os dois indivíduos ocorre. Se o número aleatório for maior ou igual a P_C , o cruzamento entre os dois indivíduos não ocorre (COELLO; LAMONT; VELDHUIZEN, 2007; GOLDBERG, 1989). A Figura 66 ilustra o processo de incidência do cruzamento descrito supondo, por exemplo, P_C igual a 70%.

Figura 66 – Processo de decisão do cruzamento entre indivíduos selecionados.



Fonte: Autor.

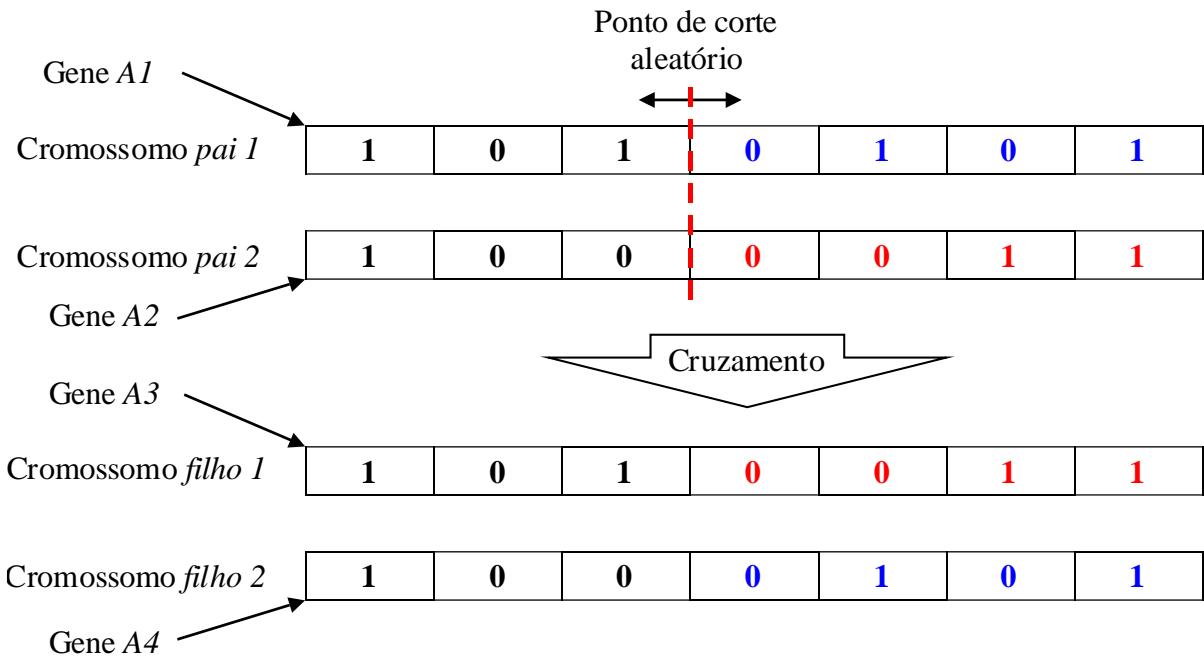
Analogamente ao processo que ocorre na reprodução natural, os genes de dois cromossomos, nesse caso representados pela estrutura de dados mostrada na Figura 67, são partidos e recombinados por meio de um processo denominado cruzamento⁷³.

Há diversos tipos de cruzamento, sendo que aqui é realizado o cruzamento binário entre os genes correspondentes W_x , L_x , $IPOL$ e $VPOL$ de dois cromossomos, chamados de cromossomos *pais*, que consiste na partição desses genes em posição aleatória e a recombinação alternada desses, gerando dois novos cromossomos, chamados de cromossomos filhos. Diferentemente da técnica do cruzamento de um ponto do GA convencional, em que um único ponto de corte é definido para um par de cromossomos sob o processo de cruzamento (COELLO; LAMONT; VELDHUIZEN, 2007; ZEBULUM; PACHECO; VELLASCO, 2002), nesse trabalho o processo de cruzamento de um ponto é realizado entre genes do mesmo tipo do par de cromossomos envolvidos no processo do cruzamento, ou seja, define-se um ponto de corte para cada par de genes dos cromossomos pais, em que o ponto de corte separa o grupo de *bits* mais significativo do grupo de *bits* menos significativos e após a troca do grupo de *bits* menos significativos são gerados dois novos cromossomos filhos. Dessa forma, são sorteadas aleatoriamente quatro posições de corte distintas, uma para cada tipo de gene no cromossomo (W , L , $IPOL$ e $VPOL$), visto que cada tipo de gene possui um tamanho diferente.

Na Figura 67, supondo que o gene A codifique a largura do canal do par diferencial ($W_{1,2}$), o gene $A1$ codifica $W_{1,2}$ do cromossomo *pai 1* e o gene $A2$ codifica $W_{1,2}$ do Cromossomo *pai 2*. Após a troca dos *bits* menos significativos, determinados pela posição de corte aleatório, são produzidos dois novos genes, identificados pelos genes $A3$ e $A4$, ou seja, são produzidos dois novos valores para a largura do par diferencial. O mesmo processo ocorre para os demais genes do cromossomo. Após esse processo de cruzamento ser realizado em todos os genes dos cromossomos *pais 1* e *2* obtém-se dois novos cromossomos, identificados pelos cromossomos *filhos 1* e *2*.

⁷³ Crossover.

Figura 67 – Processo de cruzamento de apenas um ponto de corte entre os genes correspondentes de dois cromossomos, chamados de cromossomos *pais*, que geram dois novos cromossomos, chamados de cromossomos *filhos*.

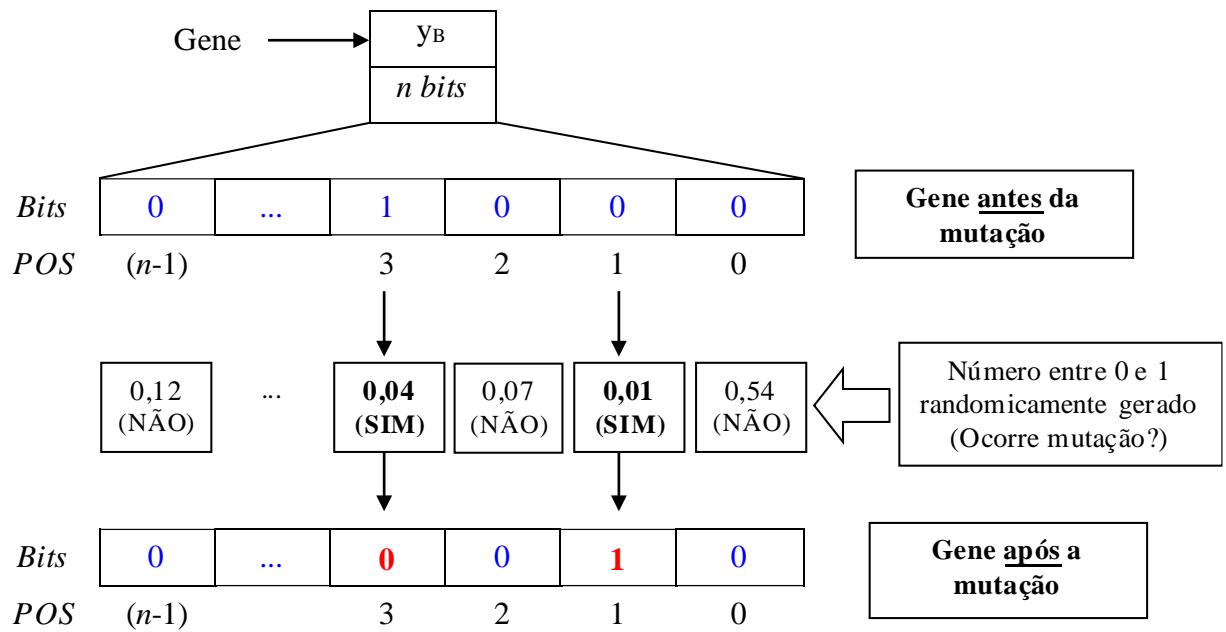


Fonte: Autor.

B.5 MUTAÇÃO

A mutação é o processo que permite que o algoritmo genético explore novas soluções, diferentes daquelas existentes no conjunto representado pelos indivíduos atuais da população. A mutação está indicada pelo processo H no fluxograma da Figura 52. Esse processo é realizado através de alterações aleatórias no conteúdo dos genes do cromossomo como, por exemplo, alterando o estado de um *bit* de uma palavra. No caso do AGSPICE e do MTGSPICE, a mutação é realizada por *bit flip* (inversão do estado de um *bit*) nos *bits* que compõem os genes W_x , L_x , I_{POL} e V_{POL} , com taxa de incidência em porcentagem ajustada previamente no AGSPICE e no MTGSPICE (P_M). Para determinar a incidência ou não da mutação de um *bit* do gene de um indivíduo, dado P_M , um número real aleatório entre 0 e 1 é gerado por *software*, para cada *bit* do gene do cromossomo que está sob processo de mutação. Esse valor aleatório é então comparado com P_M . Se o valor aleatório for menor que P_M , a inversão do *bit* ocorre. Se o valor aleatório for maior ou igual a P_M , a inversão do *bit* não ocorre (COELLO; LAMONT; VELDHUIZEN, 2007; GOLDBERG, 1989). O processo de mutação é realizado para todos os genes presentes no cromossomo. A Figura 68 ilustra o processo de incidência da mutação descrito, supondo, por exemplo, taxa de incidência igual a 5%.

Figura 68 – Processo de mutação no algoritmo genético.



Fonte: Autor.

APÊNDICE C – ILUSTRAÇÃO DE UM ARQUIVO NETLIST DO CIRCUITO DO OTA

OTA BSIM3 v3.1 MOSIS

* Por: Rodrigo A. L. Moreto

* Definição dos subcircuitos dos nMOSFETs e pMOSFETs

```
.subckt submodn drain gate source bulk param: w l m=1
m0 (drain gate source bulk) nmosmod w={w} l={l} m={m}
+ ad={w*0.18u} as={w*0.18u}
+ pd={2*(w+0.18u)} ps={2*(w+0.18u)}
+ nrd={0.18u/w} nrs={0.18u/w}
.ends
.subckt submodp drain gate source bulk param: w l m=1
m0 (drain gate source bulk) pmosmod w={w} l={l} m={m}
+ ad={w*0.18u} as={w*0.18u}
+ pd={2*(w+0.18u)} ps={2*(w+0.18u)}
+ nrd={0.18u/w} nrs={0.18u/w}
.ends
.include nmosmod.mod
.include pmosmod.mod
```

* Descrição do subcircuito do OTA

```
.subckt amp inp inn out vdd vss ipol
* Par Diferencial
xm1 (6 inn 9 vss) submodn w=173.250u l=2.250u
xm2 (11 inp 9 vss) submodn w=173.250u l=2.250u
```

* Carga ativa do par diferencial

```
xm3 (6 6 vdd vdd) submodp w=209.750u l=2.000u
xm4 (11 11 vdd vdd) submodp w=209.750u l=2.000u
```

* pMOSFETs de saída

```
xm5 (4 6 vdd vdd) submodp w=186.000u l=1.000u
xm6 (out 11 vdd vdd) submodp w=186.000u l=1.000u
```

* nMOSFETs de saída

```
xm7 (4 4 vss vss) submodn w=150.750u l=6.250u
xm8 (out 4 vss vss) submodn w=150.750u l=6.250u
```

* nMOSFETs da fonte de corrente

```
xm9 (ipol ipol vss vss) submodn w=260.500u l=18.750u
xm10 (9 ipol vss vss) submodn w=187.750u l=6.750u
.ends
```

* Conecta os terminais de entrada e saída do OTA

* Tensão de Alimentação
vdd (vdd 0) dc=4
* Tensão diferencial de entrada
Vinneg (inn 0) dc=2.75 acmag=1
Vinpos (inp 0) dc=2.75

* Corrente de Polarização
Icc (vdd ipol) dc=1049.83u

* Carga Capacitiva
CL (out 0) c=10.00p

xamp (inp inn out vdd 0 ipol) amp

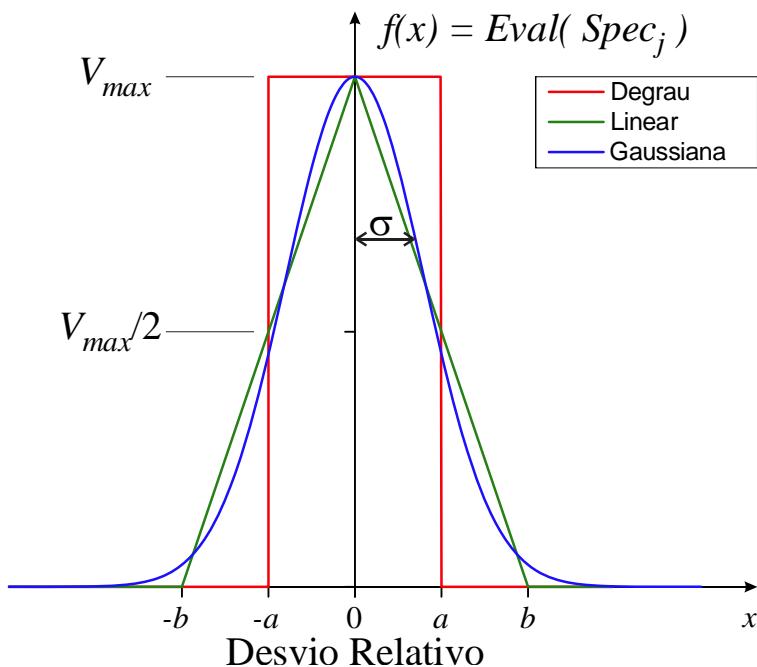
```
.control
op
let vodc = v(out)
let
@xm1:xamp[w]*@xm1:xamp[l]+@xm2:xamp[w]*@xm2:xamp[l]+@xm3:xamp[w]*@xm3:
xamp[l]+@xm4:xamp[w]*@xm4:xamp[l]+@xm5:xamp[w]*@xm5:xamp[l]+
+@xm6:xamp[w]*@xm6:xamp[l]+@xm7:xamp[w]*@xm7:xamp[l]+@xm8:xamp[w]*@xm
8:xamp[l]+@xm9:xamp[w]*@xm9:xamp[l]+@xm10:xamp[w]*@xm10:xamp[l]
let power = -i(vdd)*v(vdd)
let m1si = @m0:xm1:xamp[vds]-@m0:xm1:xamp[vdsat]
let m2si = @m0:xm2:xamp[vds]-@m0:xm2:xamp[vdsat]
let m3si = @m0:xm3:xamp[vds]-@m0:xm3:xamp[vdsat]
let m4si = @m0:xm4:xamp[vds]-@m0:xm4:xamp[vdsat]
let m5si = @m0:xm5:xamp[vds]-@m0:xm5:xamp[vdsat]
let m6si = @m0:xm6:xamp[vds]-@m0:xm6:xamp[vdsat]
let m7si = @m0:xm7:xamp[vds]-@m0:xm7:xamp[vdsat]
let m8si = @m0:xm8:xamp[vds]-@m0:xm8:xamp[vdsat]
let m9si = @m0:xm9:xamp[vds]-@m0:xm9:xamp[vdsat]
let m10si = @m0:xm10:xamp[vds]-@m0:xm10:xamp[vdsat]
let im1n = @m0:xm1:xamp[id]/(@m0:xm1:xamp[w]/@m0:xm1:xamp[l])
let im2n = @m0:xm2:xamp[id]/(@m0:xm2:xamp[w]/@m0:xm2:xamp[l])
let im3n = @m0:xm3:xamp[id]/(@m0:xm3:xamp[w]/@m0:xm3:xamp[l])
let im4n = @m0:xm4:xamp[id]/(@m0:xm4:xamp[w]/@m0:xm4:xamp[l])
let im5n = @m0:xm5:xamp[id]/(@m0:xm5:xamp[w]/@m0:xm5:xamp[l])
let im6n = @m0:xm6:xamp[id]/(@m0:xm6:xamp[w]/@m0:xm6:xamp[l])
let im7n = @m0:xm7:xamp[id]/(@m0:xm7:xamp[w]/@m0:xm7:xamp[l])
let im8n = @m0:xm8:xamp[id]/(@m0:xm8:xamp[w]/@m0:xm8:xamp[l])
let im9n = @m0:xm9:xamp[id]/(@m0:xm9:xamp[w]/@m0:xm9:xamp[l])
let im10n = @m0:xm10:xamp[id]/(@m0:xm10:xamp[w]/@m0:xm10:xamp[l])
* Imprime os resultados DC no arquivo de saída
print m1si m2si m3si m4si m5si m6si m7si m8si m9si m10si vodc area power
+ im1n im2n im3n im4n im5n im6n im7n im8n im9n im10n > OutAC.out
set units=degrees
ac dec 10 1 10g
let AvDB = db(v(out)/v(inn))
let Av0= max(AvDB)
```

```
let fase = unwrap(phase(v(out)/v(inn)))
* Obtenção da margem de fase (move o cursor c para o ganho de tensão=0dB)
let c=0
cursor c right AvDB 0
let pm=fase[%c]
* Obtenção da frequência de ganho de tensão unitário (fT)
let fT=abs(frequency[%c])
let c=0
cursor c right AvDB (Av0-3)
let f3db=abs(frequency[%c])
* Imprime os resultados AC no arquivo de saída
print Av0 pm fT f3db >> OutAC.out
.endc
.end
```


APÊNDICE D – DETERMINAÇÃO DOS PARÂMETROS DAS FUNÇÕES DE APTIDÃO DEGRAU, LINEAR E GAUSSIANA

O objetivo desse apêndice é demonstrar o cálculo dos parâmetros típicos das funções de aptidão degrau, linear (triangular) e Gaussiana que resultam na equivalência entre as áreas sob cada tipo de função, adotando-se a função degrau como referência. As funções degrau, linear e Gaussiana e os correspondentes parâmetros que as definem estão representados na Figura 69.

Figura 69 – Representação gráfica das funções degrau, linear e Gaussiana junto com os correspondentes parâmetros que as definem.



Fonte: Autor.

Na Figura 69, o eixo $f(x)$ representa o valor de avaliação obtido por uma solução $[Eval(FoM_j)]$, relacionado a uma determinada especificação de projeto, cujos valores mínimo e máximo são 0 e V_{max} , e o eixo x representa o desvio relativo do resultado obtido em relação ao valor desejado. O valor máximo das funções degrau, linear e Gaussiana ocorre em $x = 0$. Adotando-se a função degrau como referência, inicialmente o parâmetro a pode ser adotado pelo projetista levando-se em conta uma determinada faixa de tolerância em torno do valor preferencial (desvio relativo igual a 0), onde o intervalo $[-a, a]$ representa a faixa de valores do desvio relativo considerado aceitável pelo projetista. Após a definição do parâmetro a da função degrau é possível determinar o parâmetro b da função linear (triangular) e o parâmetro σ da

função Gaussiana em função do parâmetro a que resultam na equivalência entre as áreas sob cada tipo de função.

D.1 CÁLCULO DO PARÂMETRO b DA FUNÇÃO LINEAR

O parâmetro b da função linear é calculado igualando-se as áreas sob as funções degrau e linear, conforme mostra a equação (52).

$$A_{Lin} = A_{Step} \Rightarrow \frac{2 b V_{max}}{2} = 2 a V_{max} \Rightarrow b = 2 a , \quad (52)$$

onde A_{Lin} e A_{Step} representam as áreas sob as funções linear e degrau, respectivamente.

D.2 CÁLCULO DO PARÂMETRO σ DA FUNÇÃO GAUSSIANA

A função Gaussiana mostrada na Figura 69 é definida matematicamente conforme a equação (53) (OLIVEIRA JR. et al., 2007).

$$V_{max} \exp\left(-\frac{x^2}{2 \sigma^2}\right) \quad (53)$$

A área sob a função Gaussiana pode ser calculada integrando essa função de $-\infty$ até ∞ , conforme mostra a equação (54).

$$A_{Gauss} = \int_{-\infty}^{\infty} V_{max} \exp\left(-\frac{x^2}{2 \sigma^2}\right) dx , \quad (54)$$

onde A_{Gauss} representa a área sob a função Gaussiana. Visto que o termo $1/(2 \sigma^2)$ é constante na integração da expressão (54), por motivo de simplicidade ele será substituído por c , que resulta na equação (55):

$$A_{Gauss} = \int_{-\infty}^{\infty} V_{max} \exp(-c x^2) dx \quad (55)$$

Para facilitar a integração da equação (55), ela é multiplicada pela integração em y , que produz o mesmo resultado da integração em x , conforme mostra a expressão (56):

$$\begin{aligned} A_{Gauss}^2 &= \int_{-\infty}^{\infty} V_{max} \exp(-c x^2) dx \int_{-\infty}^{\infty} V_{max} \exp(-c y^2) dy \\ &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} V_{max}^2 \exp(-c x^2 - c y^2) dx dy \end{aligned} \quad (56)$$

Convertendo a expressão resultante (56) de coordenadas cartesianas (x, y) para coordenadas polares (r, θ) [equações (57) e (58)], resulta na expressão (59):

$$x^2 + y^2 = r^2 \quad (57)$$

$$dx dy = r dr d\theta \quad (58)$$

$$A_{Gauss}^2 = \int_0^{2\pi} \int_0^{\infty} V_{max}^2 \exp(-c r^2) r dr d\theta \quad (59)$$

Utilizando o método de substituição de variáveis, a integral em r da equação (59) resulta na equação (62), conforme demonstram as equações (60), (61) e (62):

$$u = -c r^2 \quad (60)$$

$$\frac{du}{dr} = -2 c r \Rightarrow du = -2 c r dr \quad (61)$$

$$\begin{aligned} &\int_0^{\infty} V_{max}^2 \exp(u) \left(\frac{du}{-2 c} \right) \\ &= -\frac{V_{max}^2}{2 c} \int_0^{\infty} \exp(u) du = -\frac{V_{max}^2}{2 c} [\exp(-c r^2)]_0^{\infty} \\ &= -\frac{V_{max}^2}{2 c} (0 - 1) = \frac{V_{max}^2}{2 c} \end{aligned} \quad (62)$$

Após substituir o resultado da integração em r da equação (59), A_{Gauss}^2 pode ser calculado integrando esse resultado em θ , conforme mostra a expressão (63):

$$A_{Gauss}^2 = \int_0^{2\pi} \frac{V_{max}^2}{2 c} d\theta = \frac{V_{max}^2}{2 c} [\theta]_0^{2\pi} = \frac{V_{max}^2}{2 c} 2\pi = \frac{V_{max}^2}{c} \pi \quad (63)$$

A área sob a função Gaussiana (A_{Gauss}) pode ser calculada substituindo a constante c pelo termo $1/(2 \sigma^2)$, que resulta na equação (64):

$$A_{Gauss} = \sqrt{2 \sigma^2 V_{max}^2 \pi} = \sigma V_{max} \sqrt{2 \pi} \quad (64)$$

Finalmente, o parâmetro σ da função Gaussiana pode ser calculado em função do parâmetro a da função degrau igualando-se as áreas sob as funções degrau e Gaussiana, conforme mostra a equação (65).

$$A_{Gauss} = A_{Step} \Rightarrow \sigma V_{max} \sqrt{2 \pi} = 2 a V_{max} \Rightarrow \sigma = \frac{2 a}{\sqrt{2 \pi}}. \quad (65)$$

**APÊNDICE E – ILUSTRAÇÃO DA SOLUÇÃO COM O MAIOR VALOR DA
FUNÇÃO DE APTIDÃO APRESENTADA PELO SOFTWARE
DESENVOLVIDO NESTE TRABALHO PARA O AMPLIFICADOR OTA μ P**

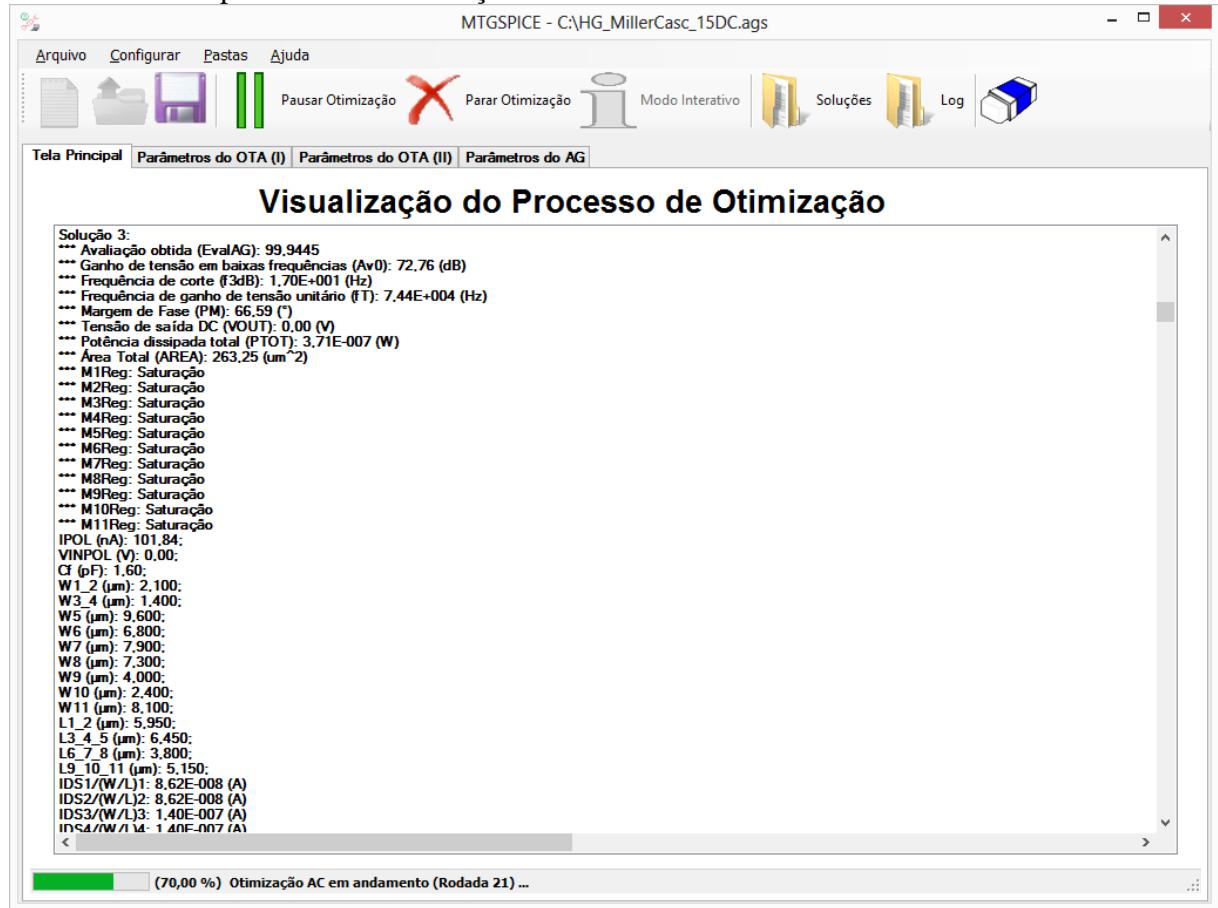
Solução 9:

*** Avaliação obtida (EvalAG): 99,8018
 *** Ganho de tensão em baixas frequências (Av0): 47,72 (dB)
 *** Frequência de corte (f3dB): 1,42E+003 (Hz)
 *** Frequência de ganho de tensão unitário (fT): 0,35 (MHz)
 *** Margem de Fase (PM): 84,17 ($^{\circ}$)
 *** Tensão de saída DC (VOUT): 1,24 (V)
 *** Potência dissipada total (PTOT): 5,05 (uW)
 *** Corrente de Polarização (IPOL): 0,13 (uA)
 *** Tensão de entrada em modo comum (VPOL): 1,98 (V)
 *** Área Total (AREA): 9335,38 (μm^2)
 *** M1Reg: Saturação
 *** M2Reg: Saturação
 *** M3Reg: Saturação
 *** M4Reg: Saturação
 *** M5Reg: Saturação
 *** M6Reg: Saturação
 *** M7Reg: Saturação
 *** M8Reg: Saturação
 *** M9Reg: Saturação
 *** M10Reg: Saturação
 M1,2: W=18,250 (μm); L=2,000 (μm);
 M3,4: W=6,750 (μm); L=6,000 (μm);
 M5,6: W=8,500 (μm); L=1,250 (μm);
 M7,8: W=1,500 (μm); L=9,750 (μm);
 M9 : W=415,500 (μm); L=13,750 (μm);
 M10 : W=441,000 (μm); L=7,750 (μm);
 IDS1/(W/L)1: 1,43E-008 (A)
 IDS2/(W/L)2: 1,43E-008 (A)
 IDS3/(W/L)3: 1,16E-007 (A)
 IDS4/(W/L)4: 1,16E-007 (A)
 IDS5/(W/L)5: 1,20E-007 (A)
 IDS6/(W/L)6: 1,20E-007 (A)
 IDS7/(W/L)7: 5,29E-006 (A)
 IDS8/(W/L)8: 5,29E-006 (A)
 IDS9/(W/L)9: 4,30E-009 (A)
 IDS10/(W/L)10: 4,59E-009 (A)
 *** Fator de ganho do espelho de corrente (B4,6): 6,04
 *** Fator de ganho do espelho de corrente (B9,10): 1,88

APÊNDICE F – O APLICATIVO MTGSPICE

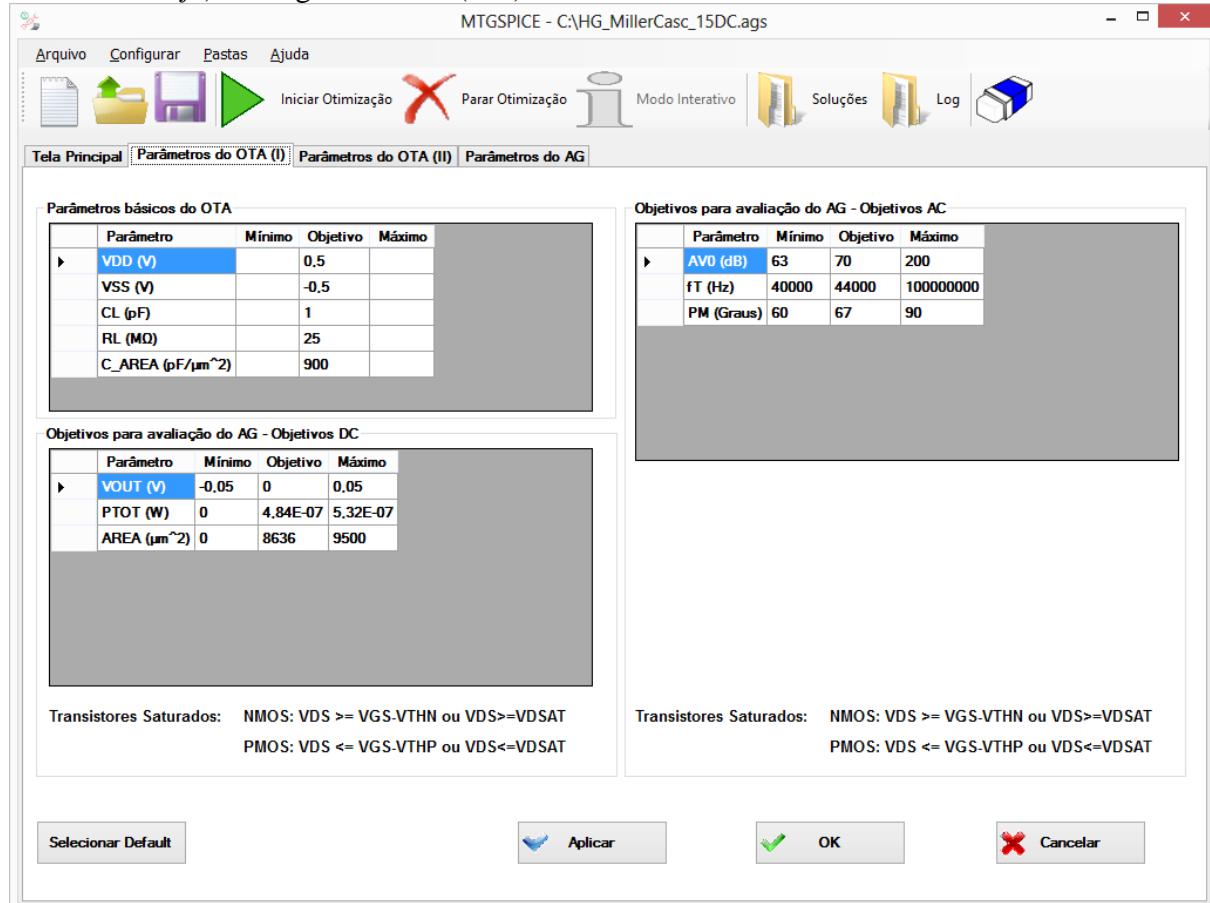
Nas Figuras a seguir, são ilustradas as telas do *software* MTGSPICE, desenvolvido nesse trabalho para a otimização de circuitos integrados CMOS analógicos.

Figura 70 – Ilustração da janela principal do MTGSPICE, que contém uma lista que exibe informação sobre o processo de otimização em tempo real. Nesta lista são exibidas também as soluções (W , L , $IPOL$ e V_{INPOL}), os valores de aptidão ($Eval_{AG}$) e os resultados de desempenho (A_{v0} , f_T , PM , etc.) obtidos para o projeto até o momento no processo de otimização.



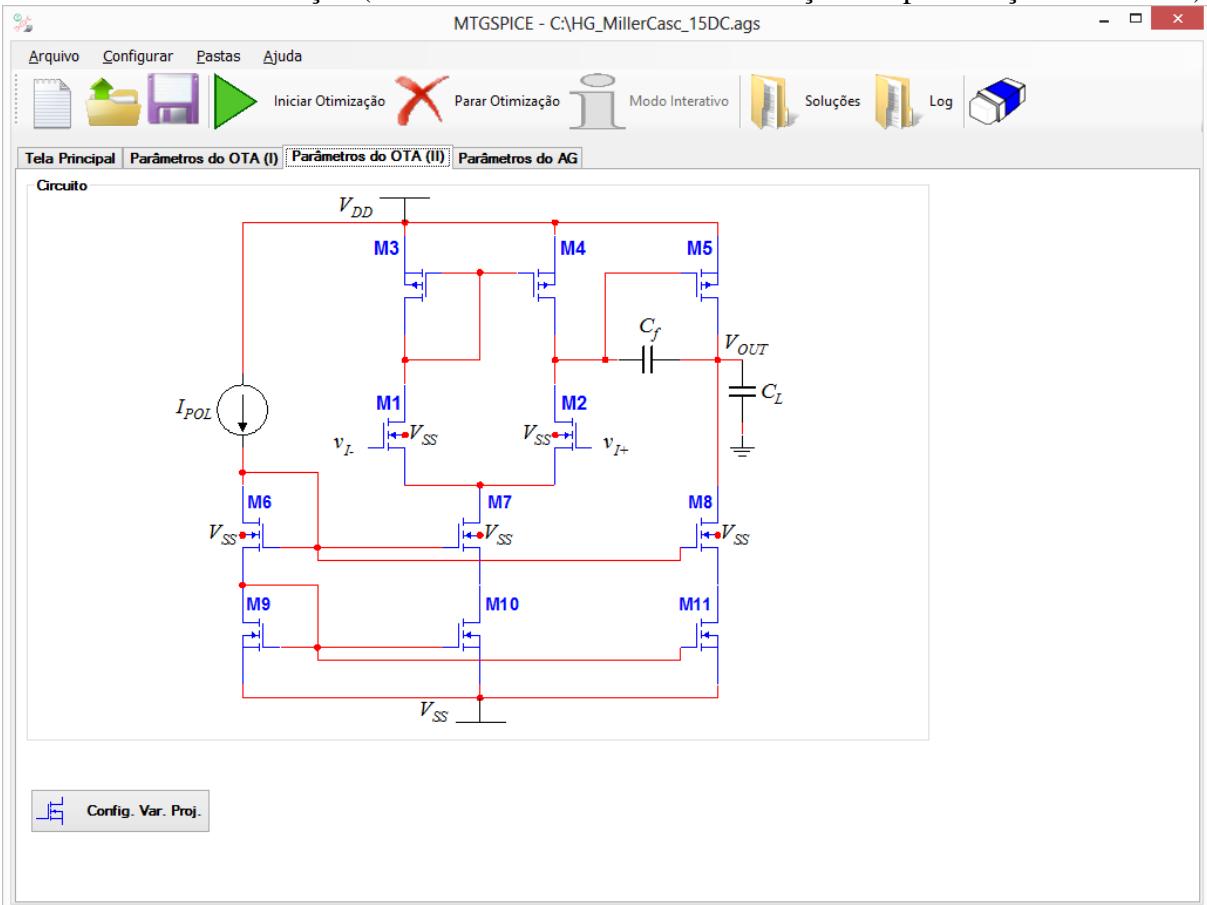
Fonte: Autor.

Figura 71 – Aba “Parâmetros do OTA (I)”. Nessa tela, o projetista define os parâmetros de operação: tensões de alimentação (V_{DD} e V_{SS}) e a capacitância de carga C_L . Além disso, os valores das especificações e suas respectivas faixas de tolerância também são definidas: tensão de saída (V_{OUT}), potência dissipada (P_{TOT}), área de porta dos MOSFETs (AREA), ganho de tensão (A_{V0}), frequência de ganho de tensão unitário (f_T) e margem de fase (PM).



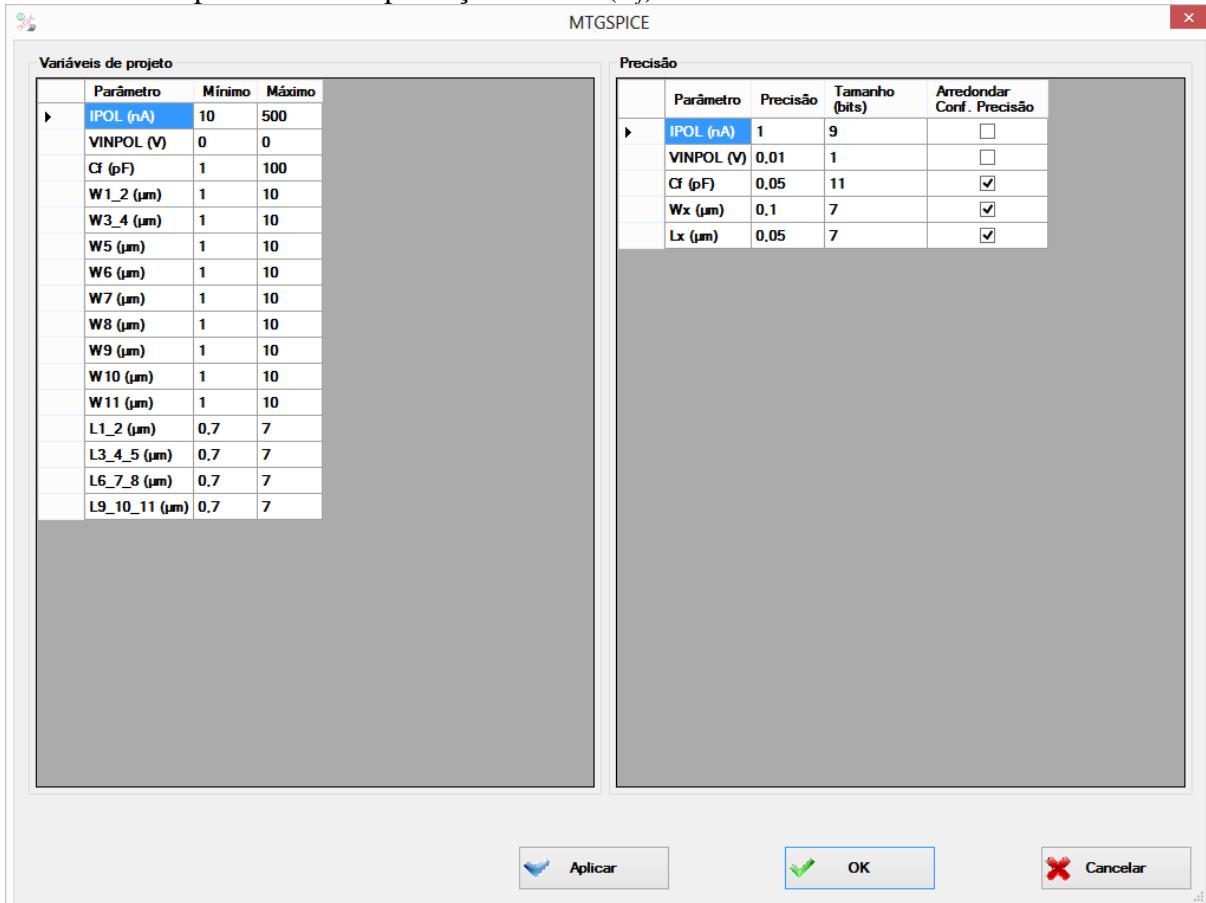
Fonte: Autor.

Figura 72 – Aba “Parâmetros do OTA (II)”. Nessa tela, o projetista visualiza o circuito integrado CMOS analógico escolhido para otimização e acessa a tela das variáveis de otimização (dimensões dos MOSFETs e condições de polarização do circuito).



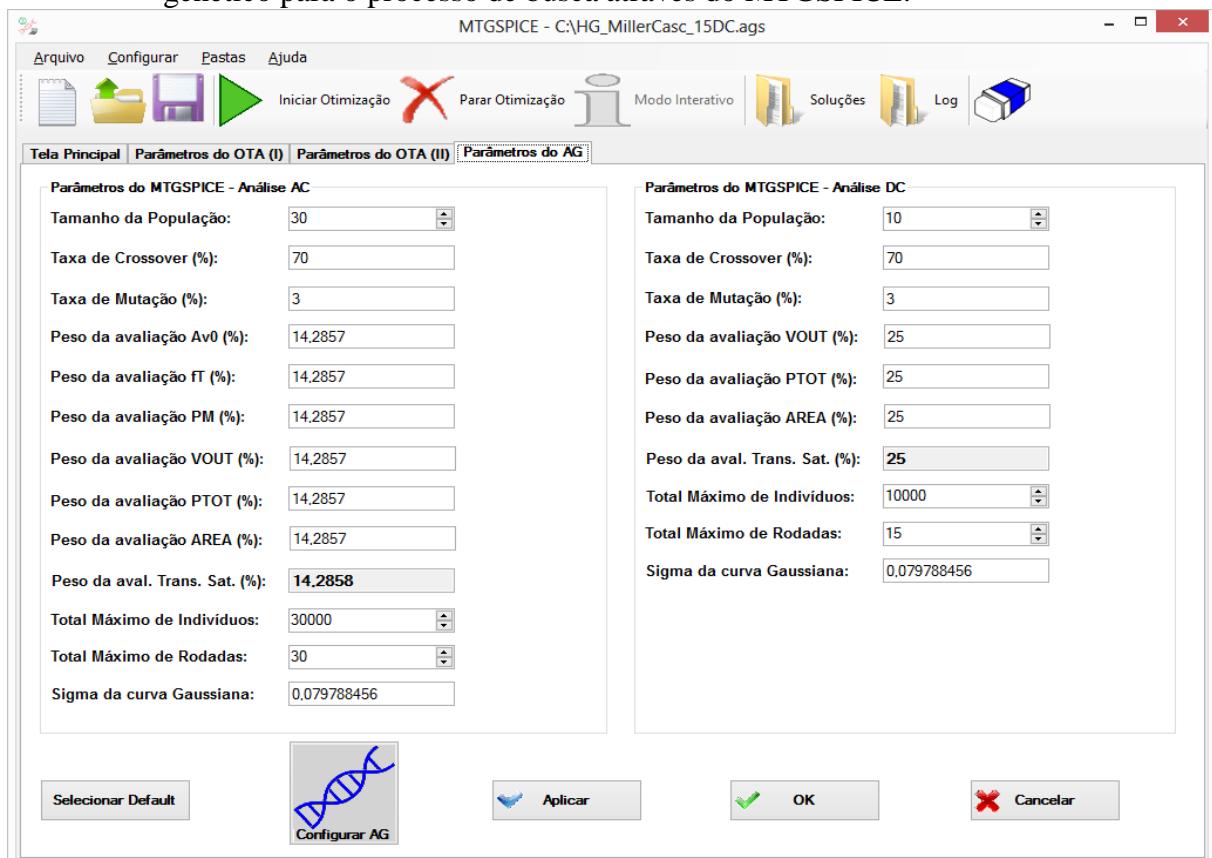
Fonte: Autor.

Figura 73 – Tela acessada através da aba “Parâmetros do OTA (II)”, onde o projetista configura as faixas de valores mínimo e máximo das variáveis de projeto. Nesse caso, os parâmetros de projeto são a largura (W) e o comprimento (L) de canal dos MOSFETs, as correntes (I_{POL}) e tensões (V_{INPOL}) de polarização da arquitetura e o capacitor de compensação interna (C_f).



Fonte: Autor.

Figura 74 – Aba “Parâmetros do AG”, onde o projetista configura os parâmetros do algoritmo genético para o processo de busca através do MTGSPICE.



Fonte: Autor.

APÊNDICE G – MELHORES RESULTADOS DAS ANÁLISES DE MONTE CARLO REFERENTE AO EXPERIMENTO DA SUBSEÇÃO 6.2.1.3.2

Considerando o experimento da subseção 6.2.1.3.2 da subseção 6.2, análises de Monte Carlo foram realizadas levando em conta as trinta melhores soluções encontradas pelo MTGSPICE para cada algoritmo de otimização (GA, SGA, ICA, SFLA e SA), cada perfil de função de aptidão (degrau, linear e Gaussiano) e cada OTA ($\mu\text{P_SESS}$ e HG_MC). A Tabela 42 apresenta os resultados das análises de Monte Carlo da melhor robustez encontrada das trinta melhores soluções para cada processo de otimização. Nessa tabela, $RD\ min.$, $RD\ max.$ e SD representam, respectivamente, o desvio relativo mínimo, o desvio relativo máximo e o desvio padrão dos resultados de desempenho obtidos pelas análises de Monte Carlo, onde o SD (em porcentagem) é obtido pelo SD dividido pelo resultado de desempenho médio. As soluções mais robustas estão destacadas com a cor de fundo verde.

Tabela 42 – Os melhores resultados das análises de Monte Carlo obtidos pelas soluções encontradas pelos algoritmos de otimização GA, SGA, ICA, SFLA e SA usando funções de aptidão com os perfis degrau, linear e Gaussiano para os OTAs $\mu\text{P_SESS}$ [itens (a)-(e)] e HG_MC [itens (f)-(j)].

OTA $\mu\text{P_SESS}$ (GA)	(a)						(continua)		
	Degrau			Linear					
Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)
A_{V0} (≥ 44 dB)	5,49	8,92	1,20	-1,08	2,96	1,61	-0,94	2,00	1,05
f_T (≥ 150 kHz)	13,05	54,03	13,39	-7,45	37,45	18,35	1,15	36,59	13,65
PM ($\geq 87^\circ$)	-7,94	-7,40	0,12	0,26	0,52	0,07	-1,14	-0,87	0,06
V_{OUT} (0 V)	0,50	6,21	1,09	-2,46	2,81	0,94	-3,03	3,43	1,21
P_{TOT} (≤ 5 μW)	0,40	5,14	0,96	-11,30	1,65	6,10	-3,10	0,67	1,13
Média	3,86		3,35	2,60		5,41	1,23		3,42
(b)									
OTA $\mu\text{P_SESS}$ (SGA)	Degrau			Linear			Gaussiano		
Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)
A_{V0} (≥ 44 dB)	-1,29	1,42	0,94	-2,12	1,33	1,31	-0,08	3,34	1,32
f_T (≥ 150 kHz)	-3,53	28,84	12,71	-2,15	40,60	16,83	-4,58	30,20	14,45
PM ($\geq 87^\circ$)	-9,27	-8,52	0,23	-0,84	-0,57	0,07	-0,08	0,13	0,05
V_{OUT} (0 V)	-4,72	1,54	1,20	-2,73	3,25	1,07	-2,63	3,19	1,07
P_{TOT} (≤ 5 μW)	-1,92	0,66	0,49	-14,61	-4,82	4,64	-2,86	2,14	1,93
Média	3,89		3,12	1,67		4,78	2,02		3,77
(c)									
OTA $\mu\text{P_SESS}$ (ICA)	Degrau			Linear			Gaussiano		
Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)
A_{V0} (≥ 44 dB)	-1,00	2,03	1,13	-1,62	1,65	1,31	-1,66	1,66	1,41
f_T (≥ 150 kHz)	-10,29	19,97	13,18	-11,17	20,36	13,32	-9,26	22,80	14,22
PM ($\geq 87^\circ$)	-9,23	-8,36	0,30	-0,09	0,10	0,04	-0,11	0,14	0,08
V_{OUT} (0 V)	2,77	7,67	0,83	-2,09	2,58	0,86	-2,26	2,72	0,91
P_{TOT} (≤ 5 μW)	-3,32	-0,81	0,61	-5,61	-2,35	0,69	-2,15	1,30	1,29
Média	5,64		3,21	3,09		3,24	3,01		3,58

Tabela 42 – Os melhores resultados das análises de Monte Carlo obtidos pelas soluções encontradas pelos algoritmos de otimização GA, SGA, ICA, SFLA e SA usando funções de aptidão com os perfis degrau, linear e Gaussiano para os OTAs μ P_SESS [itens (a)-(e)] e HG_MC [itens (f)-(j)].

(d) (continuação)									
OTA μ P_SESS (SFLA)	Degrau			Linear			Gaussiano		
Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)
A_{V0} (≥ 44 dB)	-9,48	-4,89	2,10	-0,47	2,88	1,30	-0,95	2,43	1,31
f_T (≥ 150 kHz)	-68,63	-58,87	11,92	-7,97	25,02	14,21	-11,58	20,78	14,39
PM ($\geq 87^\circ$)	-10,07	-8,68	0,45	0,16	0,38	0,06	0,02	0,27	0,07
V_{OUT} (0 V)	-2,10	-0,55	0,31	-2,61	3,18	1,07	-2,57	3,13	1,05
P_{TOT} (≤ 5 μ W)	-14,29	-12,31	0,45	-3,66	0,11	1,33	-4,03	-0,33	1,30
Média	18,06		3,05	2,35		3,59	3,13		3,63

(e)									
OTA μ P_SESS (SA)	Degrau			Linear			Gaussiano		
Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)
A_{V0} (≥ 44 dB)	1,53	4,73	1,15	1,65	5,56	1,58	-1,42	1,50	1,13
f_T (≥ 150 kHz)	2,09	38,24	13,15	0,07	40,48	14,93	0,07	33,91	13,08
PM ($\geq 87^\circ$)	-10,11	-9,34	0,21	-0,51	-0,14	0,12	-2,52	-2,18	0,09
V_{OUT} (0 V)	3,73	8,59	0,80	-1,19	3,41	0,82	-0,82	4,20	0,92
P_{TOT} (≤ 5 μ W)	-2,31	1,64	0,77	-3,62	4,45	2,53	-0,59	2,45	0,69
Média	4,07		3,22	1,67		4,00	2,12		3,18

(f)									
OTA HG_MC (GA)	Degrau			Linear			Gaussiano		
Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)
A_{V0} (≥ 70 dB)	-9,49	-8,54	0,30	-0,64	0,64	0,39	0,59	1,93	0,42
f_T (≥ 44 kHz)	42,62	85,30	12,81	-1,31	27,33	12,49	-1,85	26,56	12,38
PM ($\geq 67^\circ$)	0,35	2,44	0,64	-1,31	1,51	0,90	-0,57	1,84	0,71
V_{OUT} (0 V)	-10,29	2,71	2,49	-5,85	7,55	2,44	-8,31	8,29	3,19
P_{TOT} (≤ 484 nW)	-9,48	-8,69	0,36	-2,24	-1,95	0,12	-7,95	-7,82	0,06
Média	3,96		3,32	2,16		3,27	2,15		3,35

(g)									
OTA HG_MC (SGA)	Degrau			Linear			Gaussiano		
Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)
A_{V0} (≥ 70 dB)	-5,3	-3,8	0,52	3,1	4,4	0,37	-0,8	0,6	0,41
f_T (≥ 44 kHz)	8,9	40,7	12,60	0,6	29,7	12,47	19,9	55,2	12,74
PM ($\geq 67^\circ$)	-3,6	-0,9	0,89	-1,3	1,6	0,92	1,6	3,7	0,60
V_{OUT} (0 V)	-6,1	6,8	2,45	-8,9	8,4	3,47	-6,3	8,0	2,61
P_{TOT} (≤ 484 nW)	-16,2	-15,3	0,43	-0,8	-0,6	0,07	-6,1	-5,6	0,23
Média	3,13		3,38	2,05		3,46	1,77		3,32

(h)									
OTA HG_MC (ICA)	Degrau			Linear			Gaussiano		
Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)
A_{V0} (≥ 70 dB)	0,84	2,28	0,44	-0,91	0,37	0,35	-1,27	0,52	0,47
f_T (≥ 44 kHz)	50,51	94,08	12,42	39,88	80,17	12,49	2,28	31,18	12,23
PM ($\geq 67^\circ$)	-2,37	-0,35	0,51	-0,95	1,45	0,74	-0,19	0,92	0,22
V_{OUT} (0 V)	-2,14	16,50	3,76	-9,77	8,85	4,06	-10,10	8,74	4,02
P_{TOT} (≤ 484 nW)	-24,73	-24,54	0,10	-32,67	-32,47	0,11	-56,58	-56,53	0,04
Média	3,77		3,45	2,33		3,55	2,31		3,40

Tabela 42 – Os melhores resultados das análises de Monte Carlo obtidos pelas soluções encontradas pelos algoritmos de otimização GA, SGA, ICA, SFLA e SA usando funções de aptidão com os perfis degrau, linear e Gaussiano para os OTAs μ P_SESS [itens (a)-(e)] e HG_MC [itens (f)-(j)].

OTA HG_MC (SFLA)	Degrau			Linear			Gaussiano		
	Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)
$A_{V\theta}$ (≥ 70 dB)	-7,77	-6,37	0,50	-1,54	-0,02	0,38	-0,50	0,12	0,10
f_T (≥ 44 kHz)	23,16	70,04	15,42	-14,52	10,21	12,47	-1,61	27,15	12,44
PM ($\geq 67^\circ$)	-0,06	3,95	1,62	-1,89	0,14	0,66	-1,45	1,17	0,82
V_{OUT} (0 V)	-25,85	22,99	18,45	-12,51	9,14	5,43	-11,74	9,11	4,97
P_{TOT} (≤ 484 nW)	7,74	10,34	0,98	-24,32	-24,19	0,07	-39,45	-39,23	0,14
Média	8,80		7,39	6,09		3,80	3,06		3,69

OTA HG_MC (SA)	Degrau			Linear			Gaussiano		
	Especificações	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)	SD (%)	RD min. (%)	RD max. (%)
$A_{V\theta}$ (≥ 70 dB)	-6,88	-5,22	0,59	2,65	4,13	0,44	-1,32	0,51	0,60
f_T (≥ 44 kHz)	39,88	79,06	12,07	7,00	37,68	12,29	2,88	32,52	12,32
PM ($\geq 67^\circ$)	2,33	3,63	0,28	0,17	1,56	0,28	-0,62	0,63	0,29
V_{OUT} (0 V)	-1,66	10,57	2,29	-15,86	10,47	7,37	-6,28	7,13	2,53
P_{TOT} (≤ 484 nW)	-54,00	-53,71	0,27	-13,04	-13,01	0,01	-41,69	-41,38	0,22
Média	3,49		3,10	3,17		4,08	1,81		3,19

Fonte: Autor.

APÊNDICE H – DADOS E ANÁLISES COMPLEMENTARES REFERENTES AOS EXPERIMENTOS DA SUBSEÇÃO 6.2.2

A Tabela 43 apresenta uma solução de projeto (dimensões dos transistores, W e L , e a corrente de polarização, I_{POL}) do OTA μP (a) e do OTA HG (b) obtida através da metodologia g_m/I_{DS} (MORETO, 2011; SILVEIRA; FLANDRE; JESPERS, 1996) e que foi usada como uma solução inicial para a otimização desses OTAs através do uso do WiCkeD e do MTGSPICE.

Tabela 43 – Solução de projeto do OTA μP (a) e do OTA HG (b) gerada pela metodologia g_m/I_{DS} e que foi usada como uma solução inicial para a otimização desses OTAs através do uso do WiCkeD e do MTGSPICE.

(a)

Solução inicial do OTA μP obtida pela metodologia g_m/I_{DS}			
Corrente de Polarização	Solução 1		
I_{POL} (μA)	0,80		
Transistor	W (μm)	L (μm)	W/L
M₁, M₂	9,00	2,00	4,50
M₃, M₄	3,58	1,00	3,58
M₅, M₆	9,00	1,00	9,00
M₇, M₈	0,85	1,00	0,85
M₉	2,78	2,00	1,39
M₁₀	2,78	2,00	1,39

(b)

Solução inicial do OTA HG obtida pela metodologia g_m/I_{DS}			
Corrente de Polarização	Solução 1		
I_{POL} (μA)	10,51		
Transistor	W (μm)	L (μm)	W/L
M₁, M₂	8,99	0,70	12,85
M₃, M₄	6,67	7,00	0,95
M₅, M₆	8,67	7,00	1,24
M₇, M₈	2,30	7,00	0,33
M₉	4,17	3,00	1,39
M₁₀	4,17	3,00	1,39

Fonte: Autor.

Esse parágrafo descreverá o procedimento usado para a obtenção de uma solução do projeto do OTA μP através do uso da metodologia g_m/I_{DS} (MORETO, 2011; SILVEIRA; FLANDRE; JESPERS, 1996) para ser usada como uma solução inicial de projeto para as ferramentas de otimização de CI analógico WiCkeD e MTGSPICE. Primeiramente uma solução inicial foi obtida por meio de cálculos manuais, usando as equações básicas do OTA (apresentadas na subseção 3.1.2.1.2), em seguida, a fim de alcançar a maioria das especificações desejadas, a referida solução foi modificada parâmetro por parâmetro por meio de um processo

iterativo manual com o simulador SPICE, como segue: para aumentar V_{OUT} de -0,33 V para aproximadamente 0 V, a largura de canal do par nMOSFET do estágio de saída M7-M8 ($W_{7,8}$) foi modificada de 2,108 μm para 0,8 μm . Além disso, para aumentar A_{VO} e f_T de acordo com as especificações, a largura de canal do par diferencial M1-M2 ($W_{1,2}$) foi modificada de 3,141 μm para 9 μm e a largura de canal do par pMOSFET M5-M6 ($W_{5,6}$) de 3,579 μm para 9 μm . Para reduzir a potência dissipada, a corrente de polarização I_{POL} foi ajustada de 1,49 μA para 0,8 μA . Porém, V_{OUT} resultou 0,04 V, de forma que $W_{7,8}$ foi reajustado de 0,8 μm para 0,85 μm para reajustar V_{OUT} em aproximadamente 0 V. Esses ajustes foram realizados de forma a alcançar a resposta em frequência desejada do OTA μP ($A_{VO} > 40 \text{ dB}$, $f_T > 207 \text{ kHz}$ e $PM > 78^\circ$). Porém, a potência dissipada não foi alcançada 10,8 μW , pois resultou quase duas vezes maior que a especificação de 5,5 μW . Porém, para trazer P_{TOT} dentro da especificação pode envolver uma tarefa muito repetitiva e demorada, pois implica na modificação de todos os parâmetros de projeto (dimensões dos transistores e condições de polarização). Observa-se também que a área de porta resultante ($74 \mu\text{m}^2$) é inferior a área disponível ($9500 \mu\text{m}^2$). Porém, novas iterações manuais para ajustar as dimensões dos transistores ainda teria que estar em conformidade com a área disponível.

O procedimento usado para a obtenção da solução inicial através da metodologia g_m/I_{DS} (MORETO, 2011; SILVEIRA; FLANDRE; JESPERS, 1996) para ser utilizada no WiCkeD e no MTGSPICE para a otimização do OTA HG é similar ao procedimento descrito para obtenção da solução inicial para o OTA μP . Nesse caso, somente a potência dissipada (104 μW) resultou maior que a especificação ($P_{TOT} < 100 \mu\text{W}$).

As soluções de projeto e os resultados de desempenho dos OTAs μP e HG após o uso da solução gerada pela metodologia g_m/I_{DS} como solução inicial das ferramentas de otimização WiCkeD e MTGSPICE são explorados em detalhes na subseção 6.2.2 dessa tese.

APÊNDICE I – ARTIGOS PUBLICADOS PELO AUTOR

Esse apêndice lista as referências dos trabalhos publicados pelo autor durante o desenvolvimento do trabalho dessa tese de doutorado.

MORETO, Rodrigo Alves de Lima et al. From architecture to manufacturing: An accurate framework for optimal OTA design. In: PROC. OF THE IEEE LATIN AMERICAN CONF. ON COMPUT. INTELLIGENCE (LA-CCI), Oct. 13-16 2015, Curitiba, Brazil.

_____. From architecture to manufacturing: An accurate framework for optimal operational transconductance amplifier design. **Int. J. High Performance Systems Architecture**.

_____. Variability Analysis of the CMOS OTA Performance Designed by an Evolutionary System. In: PROCEEDINGS OF THE 3RD WORKSHOP ON CIRCUITS AND SYSTEM DESIGN WCAS 2013, Sept. 3-6, 2013, Curitiba, Parana, Brazil, 4 p.

MORETO, Rodrigo Alves de Lima; GIMENEZ, Salvador P.; THOMAZ, Carlos Eduardo. Analysis of a New Evolutionary System Elitism for Improving the Optimization of a CMOS OTA. In: PROCEEDINGS OF THE 1ST BRICS COUNTRIES CONGRESS (BRICS-CCI), CI APPLICATIONS IN INDUSTRY SYMPOSIUM, Sept. 8-11, 2013, Recife, Pernambuco, Brazil, 6p.