UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

INSTITUTO DE INFORMÁTICA

DISCIPLINA: SISTEMAS DIGITAIS

Prof. Fernanda Lima Kastensmidt

**2022-1**

**Trabalho 1 – Sistemas Digitais - Individual**

**Projeto do Processador Neander em VHDL**

O computador NEANDER foi criado com intenções didáticas pelo prof. Raul Weber da UFRGS. Neste site há referencias e link para o simulador: <http://www.dcc.ufrj.br/~gabriel/neander.php>

**O objetivo deste trabalho de SD é implementar o NEANDER usando a linguagem de descrição de hardware VHDL, simular esse circuito em um simulador lógico sem atraso, depois realizar a síntese lógica, mapeamento tecnológico, posicionamento e roteamento para um FPGA, realizar a simulação com atraso e prototipar o processador em uma placa de prototipação.**

1) Deve-se inserir a instrução de Subtração (SUB) conforme os modo de operandos da instrução ADD

e a instrução de XOR conforme o modelo de instrução da AND.

2) Programas a serem implementado no NEANDER na memoria embarcada BRAM (descreva .coe para inicializar a BRAM)

1. Soma de duas matrizes A e B 3x3 com dados de 8 bits, onde os dados das matrizes estão armazenados em memoria
2. Multiplicação de dois valores A e B por soma sucessiva
3. Programa a ser definido pelo aluno que use as instruções de subtração com no mínimo 10 instruções no total.
4. Programa que use a instrução de XOR com no mínimo 10 instruções no total.

\*\* **IMP: o endereço 0 da BRAM deve ter a instrução NOP. Logo a primeira instrução do programa estará no endereço 01 de BRAM.**

**TEMPLATE DE ENTREGA E APRESENTAÇÃO:**

1. Descrição do trabalho
2. VHDL completo do Neander
3. Testbench VHDL completo
4. Explicação e descrição das aplicações em Assembly
5. Simulações sem e com atraso com detalhes e flechas mostrando inicio meio e final do programa e resultados
6. Dados de área, tempo de execução em ciclos de relógio e tempo em segundos deve ser apresentado dado um determinado clock usado.

|  |  |  |  |
| --- | --- | --- | --- |
| Programa | Numero de Instruções Executadas | Tempo de execução em # de ciclos de relógio (c.c.) | Tempo de execução em Segundos  (Neander operando a 50 MHz) |
| Soma de matrizes |  |  |  |
| Multiplicação por somas sucessivas |  |  |  |
| Programa com SUB |  |  |  |
| Programa com XOR |  |  |  |

**Dados de Area do Neander**

FPGA device:

Numero de 4-LUTs:

Numero de ffps:

Numero de BRAM:

Numero de DSP

1. **(1 ponto extra)** Se o Neander for prototipado na placa de prototipação, mostrar vídeos do funcionamento mostrando dados da memoria do Neander (debugger com memoria BRAM dual port, chaves para controlar os endereços de memória e display 7seg para mostrar os resultados).