Universidade Federal do Rio Grande do Sul

Instituto de Informática da UFRGS

Definição do Projeto 2 – Sistemas Digitais

Nome: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Matricula: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

**Problema a ser resolvido:**

Iniciamos com um número *x* qualquer e aplicamos a seguinte regra para atualizar o valor de *x*:



A **Conjectura de Collatz** diz que, para qualquer número ***x >* 0** inicial, chegaremos sempre ao valor 1 depois de uma quantidade finita de passos. A questão em aberto é que não se sabe se isso é verdade. Este é um problema em aberto na matemática e descrito como um dos mais difíceis de ser resolvido, apesar de sua definição extremamente simples. Neste trabalho, esse problema será implementado em um sistema digital, partindo de um *x* inicial com 8 bit, e pede-se que determine a quantidade de passos necessários para chegar em 1 e qual o maior valor encontrado no processo. Por exemplo, partindo do valor 3, temos:

3 (ímpar) → 10 (par) → 5 (ímpar) → 16 (par) → 8 (par) → 4 (par) → 2 (par) → 1 (par)

Neste caso, a resposta será 7 passos e 16 como maior valor. Uma vez que o maior valor pode crescer muito além do valor inicial de *x*, o controle interno de *x* (e do maior valor) deverá ser feito utilizando dois bytes (16 bits). A contagem de passos pode ser realizada utilizando um único byte.

FICHA DE RESPOSTA (a ser preenchia e entregue)

Passo 1 ao Passo 5

**Passo 1:** Descreva o fluxograma ASM do algoritmo para hardware (2 pts)

**Passo 2:** Desenhe o diagrama de blocos da Parte Operativa (PO) e a FSM da Parte de Controle (PC) extraídos do fluxograma ASM (2 pts)

**Passo 3:** Descreve o VHDL do PC-PO no ISE ou Vivado, sintetize e simule (4 pts)

VHDL:

Testbench:

Simulações:

**Passo 4:** Descreva o algoritmo em C e sintetize no HLS do Vivado usando um conjunto de diretivas e justifica as escolhas (1 pt)

Algoritmo em C

Diretivas

**Passo 5:** Tabela final comparativa (1 pt)

FPGA: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

|  |  |  |
| --- | --- | --- |
| Versão | PC-PO | HLS |
| # LUTs |  |  |
| # ffps |  |  |
| # DSP |  |  |
| # BRAM |  |  |
|  |  |  |
| Tclk |  |  |
| # cc |  |  |

**Entrega desta ficha preenchida dia 13 de outubro de 2022**

**Apresentação com ppt ou similar em aula no dia 13 de outubro de 2022**