



**Disciplina:** Laboratório de Sistemas Digitais

**Professor:** Ricardo de Oliveira Duarte

**Estudantes:** Igor Braga de Lima, Matheus Vinícius Freitas Oliveira dos Santos e Stéphanie Pereira Barbosa

**Turma:** PN5

**Guia de aula:** 10

---

## **ATIVIDADE TEÓRICA**

### **1) O que é uma simulação funcional?**

A simulação funcional é uma simulação que avalia a parte lógica do sistema, verificando se as funcionalidades foram implementadas corretamente.

### **2) O que é um testbench e para que serve?**

Um testbench é um módulo VHDL com objetivo de testar outros módulos. No testbench módulos a serem testados (Devices under Test- DUT) são instanciados e sinais de entrada são gerados para avaliar as respostas desses módulos.

### **3) Qual linguagem é utilizada para a descrição do testbench?**

VHDL.

### **4) Quais são as partes que compõem um testbench?**

Entity e architecture.

### **5) De quais formas a geração dos sinais de entrada de um testbench em VHDL pode ser feita?**

Pode ser feita de forma programada no próprio testbench, por meio de um vetor de testes, ou gerada externamente e lida pelo testbench.

### **6) Quais os tipos de verificação de sistemas digitais podemos realizar com testbenches em VHDL?**

Manual ou automática.

### **7) Para que natureza de sistemas digitais a verificação manual é adequada?**

Para modelos mais simples.

### **8) Qual a declaração da linguagem VHDL que deve estar presente em todo testbench para descrever os estímulos de entrada?**

Signal.

**9) A temporização dentro de um process de um testbench é controlada por qual comando em VHDL?**

Wait.

**10) Como inserir estímulos mediante o uso de arquivos externos na simulação funcional?**

Para inserir precisa-se de um arquivo .txt com os valores de entrada desejados como estímulos para serem lidos dentro testbench, sendo essa leitura feita linha a linha.

**11) Em que situação é interessante disponibilizar os estímulos de entrada em arquivos externos?**

Quando temos que testar muitas entradas.

**12) Como realizar uma verificação funcional da unidade em teste (DUT - Design Under Test) dentro do testbench?**

A verificação pode ser feita através de simulações ou de códigos que estimulam e checam o modelo automaticamente.

## **ATIVIDADE PRÁTICA**

**1) Faça um testbench para verificação automática de um circuito combinacional VHDL que você implementou na disciplina, introduzindo estímulos via arquivo externo.**

**2) Compile, simule e verifique o comportamento do seu circuito.**

**3) Faça um testbench para verificação automática de um circuito sequencial em VHDL que você implementou na disciplina, introduzindo estímulos via arquivo externo.**

**4) Compile, simule e verifique o comportamento do seu circuito.**

**5) Faça um testbench para verificação automática de um modelo de sistema híbrido em VHDL que você implementou na disciplina, introduzindo estímulos via arquivo externo.**

**6) Compile, simule e verifique o comportamento do seu circuito.**

**7) Baseado no testbench desenvolvido no item (5), construa o(s) script(s) para realizar de forma automatizada a compilação, a simulação funcional do DUT e a visualização das ondas da simulação que você escolheu para testar no item (5), adaptando o modelo do script disponibilizado para você realizar essa tarefa.**

**8) Compile, simule e verifique o comportamento do seu circuito no seu**

**ambiente de desenvolvimento instalado no seu computador.**