

**Laboratório 2 – Turma A – Projeto RTL**  
**Quarta-feira, 28 de Setembro de 2016**

**Instruções:**

1. Implementar o projeto na placa usando leds, chaves e displays de 7 segmentos. Usar os kits Basys3 da Xilinx.

| Basys3           |
|------------------|
| Family: Artix-7  |
| Device: XC7A35T  |
| Package: CPG236C |
| Speed: -4        |

2. Mostrar ao professor/monitor o projeto funcionando na placa para obter o visto.
3. Após cada visto do professor ou do monitor, o grupo deve submeter via Moodle o projeto contendo os arquivos VHD, *testbench*, *printscreen* da simulação e o relatório de síntese em uma pasta compactada chamada “**grupo-x-projeto-y**”, onde *x* é o número do grupo e *y* é o número do projeto.

**Projeto:**

Implemente o circuito temporizador de reação que funciona da seguinte forma: quando o botão **reset** é pressionado, o contador **10 seg** é ativado e, após 10 segundos, acende o led **inicio**. Nesse instante, o contador de reação começa a medir o tempo (em milissegundos) que o usuário demora para pressionar o botão **B**. Se o usuário não pressionar o botão **B** no intervalo de **2 segundos** (2000 milissegundos), então o led de saída chamado **lento** é ligado, indicando que o usuário possui um tempo de reação maior que 2s. Assumir que a frequência do clock é de 1 kHz.

A Fig. 1 mostra a máquina de estado de alto nível, os blocos operacional e de controle conectados e a FSM do bloco de controle. A Fig. 2 mostra o circuito necessário para mostrar a saída do contador de reação nos *displays* de 7 segmentos.

**Vistos:**

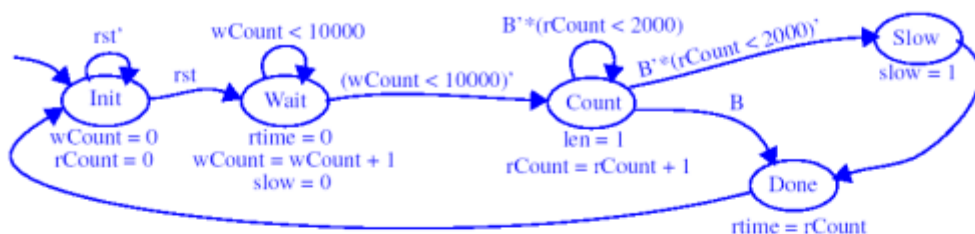
Este experimento é composto por 4 vistos:

- **Visto 1:** simulação da FSM.
- **Visto 2:** simulação do bloco operacional.
- **Visto 3:** implementação de um conversor de hexadecimal para BCD, juntamente com um divisor de clock de 128 Hz, um registrador de deslocamento e um multiplexador de 4 para 1, de maneira a controlar a multiplexação dos dígitos e dos anodos dos *displays* e mostrar nos mesmos números decimais de até 4 dígitos.
- **Visto 4:** implementação do contador de reação completo.

Inputs: clk, rst, B (bit)

Outputs: len, slow (bit); rtime (11 bits)

Local Registers: wCount (14 bits); rCount (11 bits)



High-Level State Machine

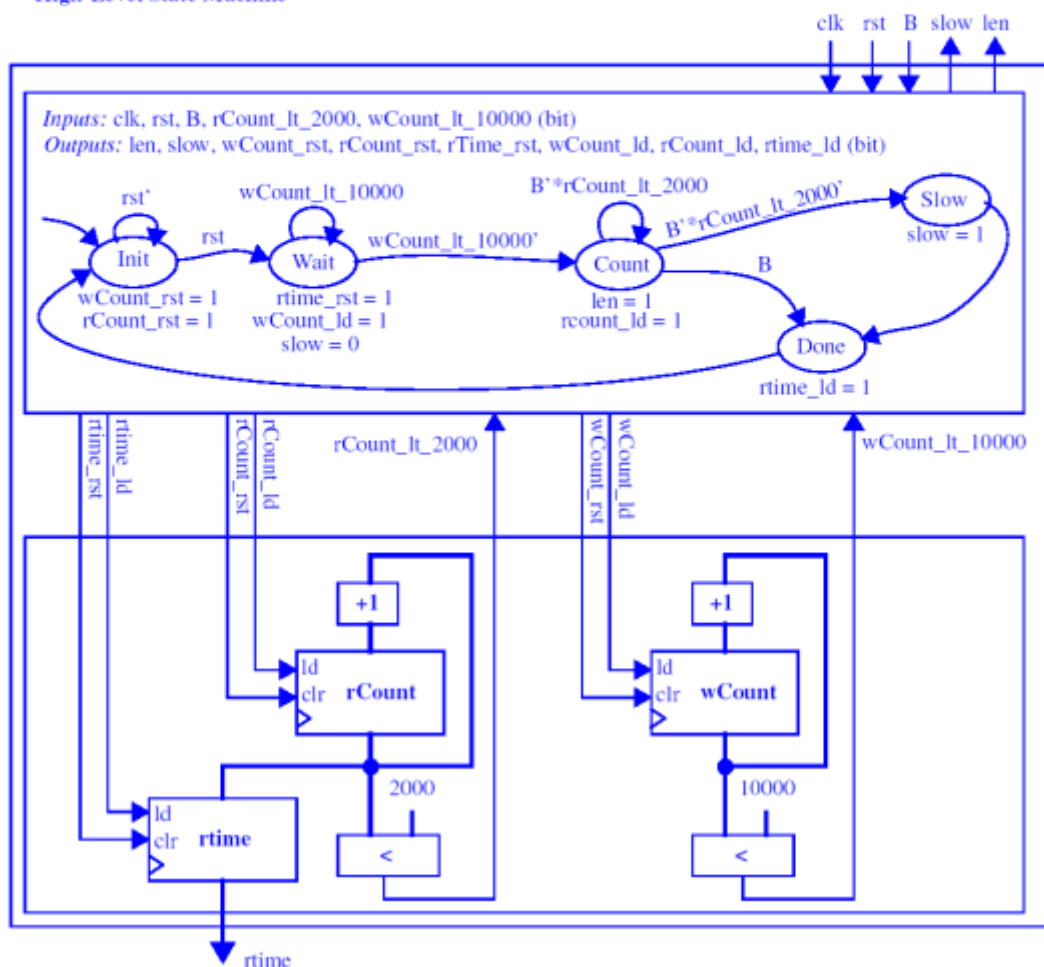


Fig. 1

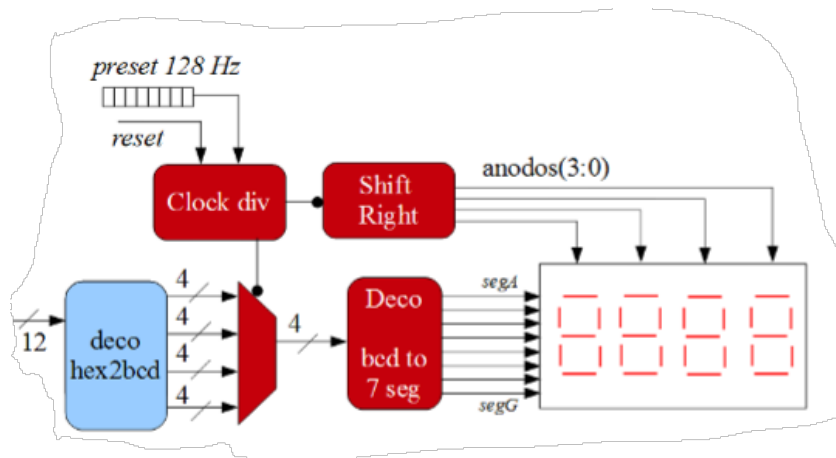


Fig. 2

### Tarefa:

O grupo deve apresentar um relatório técnico (vide modelo disponível no Moodle) descrevendo as implementações em VHDL, comentando os relatórios de síntese e os resultados obtidos. Incluir:

- Descrição do funcionamento da arquitetura de *hardware* usada para multiplexar os displays de 7 segmentos.
- *Screenshots* das simulações e descrição dos resultados obtidos nas mesmas.
- Descrição de como foi verificado o funcionamento do(s) circuito(s) na placa. Qual foi o percentual de ocupação da placa e qual é a frequência máxima de funcionamento?
- Discussão dos problemas encontrados no experimento e como os mesmos foram resolvidos, bem como o que foi aprendido e se os objetivos foram alcançados.

### Referências:

- [1] Vahid, F., Digital Design, 2007.
- [2] Pedroni, V., Circuit Design with VHDL, MIT Press, 2004. (disponível EBRARY)
- [3] <https://youtu.be/MnODTGZePNk?list=PLKIWpQ56tY7KeqdSf36lrdsVTm2TGvdFq>
- [4] <https://youtu.be/7cKcl77283w?list=PLKIWpQ56tY7KeqdSf36lrdsVTm2TGvdFq>

**Bom trabalho!**