Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Folha de Dados Primeira Lista Exercícios Circuitos Sequenciais e Projeto RTL

Entrega até sexta-feira 09 de maio de 2019 às 23:50 horas

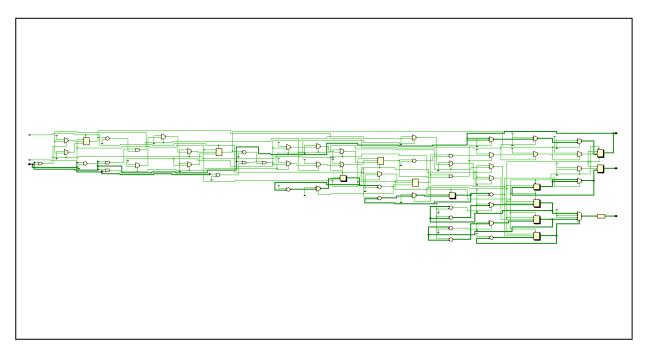
Instruções:

- 1. Organize o repositório em pastas para cada exercício.
- 2. Entregar todos os arquivos necessários para replicar o experimento.
- 3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: Matheus Moreira da Silva Vieira matrícula: 140155546

Exercício 1. Ping-pong leds

- 1) Diagrama de blocos proposto.
- 2) Diagrama esquemático (Análise RTL pré-síntese)



3) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
61(0.29%)	56 (0.13%)	31 (29.25%)	0 (0%)	0 (0%)

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



4) Consumo de recursos após implementação (processo *Place and Route -* PAR):

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
61 (0.29%)	56 (0.13%)	31 (29.25%)	0 (0%)	0 (0 %)

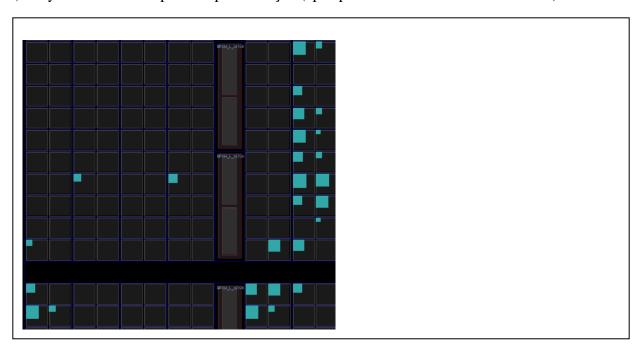
5) Análise de timming:

Worst negative slack (setup): 6.164 ns Worst negative slack (hold): 0.220 ns

Frequência de operação do circuito: 100 MHz Caminho crítico (net de origem): anodo_cnt_reg[15]/C Caminho crítico (net de destino): anodo_cnt_reg[17]/D

Maximo path delay: 3.888 ns

6) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



7) Estimação do consumo de energia após a implementação do circuito:

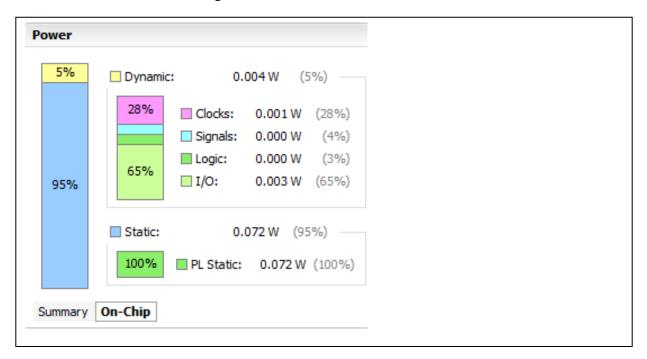
Potência total: 76 (mW) Potência estática: 72 (mW) Potência dinâmica: 4 (mW) Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

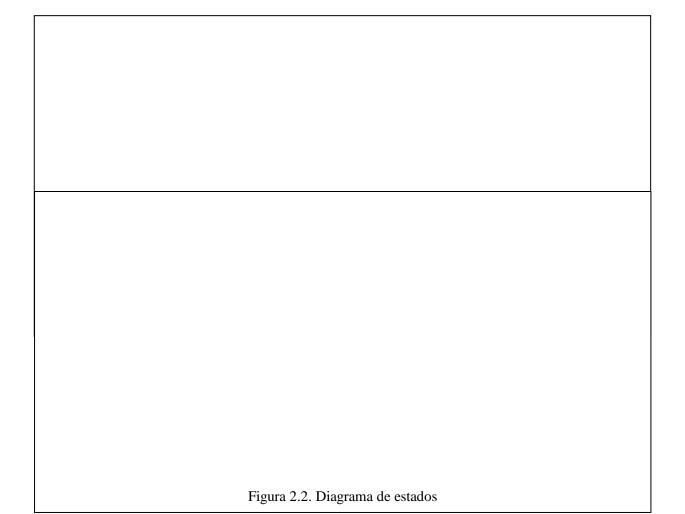


Gráfico de consumo de energia:



Exercício 2. Ping-pong leds FSM

1 \	D.	1	1 1	4
I)	Diagrama	ae	blocos	proposto.



Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília
Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

6) Análise de timming:

Wors negative slack (setup): _____ ns

e-mail: damuz@unb.br



2)	Diagrama de estado	os:			
3)	Diagrama esquemá	ítico (Análise RTL p	oré-síntese)		
		_			
		Figura	2.3. Esquemático R'	TL 	
4)	Estimação consu	mo de recursos lóg	gicos após a síntese	e lógica:	
	LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
	(%)	(%)	(%)	(%)	(%)
5)	Consumo de recu	rsos após implemo	entação (processo	Place and Route -	PAR):
	LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
	(%)	(%)	(%)	(%)	(%)

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Worst negative slack (hold): ns Frequência de operação do circuito: MHz Caminho crítico (net de origem): Caminho crítico (net de destino): Maximo path delay: ns
Layout do circuito após a implementação (após processo Place and Route – PAR):
Figura 2.4. Layout do circuito
Estimação do consumo de energia após a implementação do circuito: Potência total: (mW) Potência estática: (mW) Potência dinâmica: (mW) Gráfico de consumo de energia:
Figura 2.5. Consumo de energia da solução obtida.

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

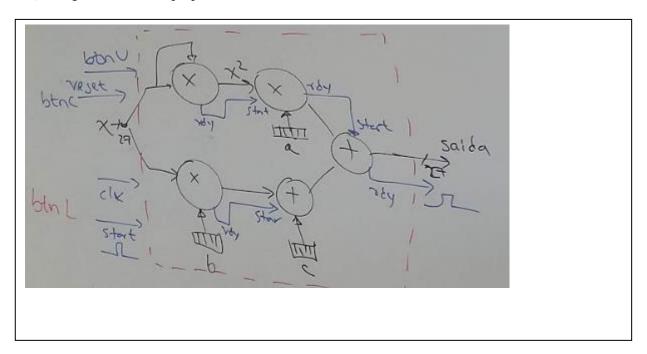
Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Exercício 3. Neurônio GMBH de segunda ordem usando IP-Cores em ponto flutuante

1) Diagrama de blocos proposto.

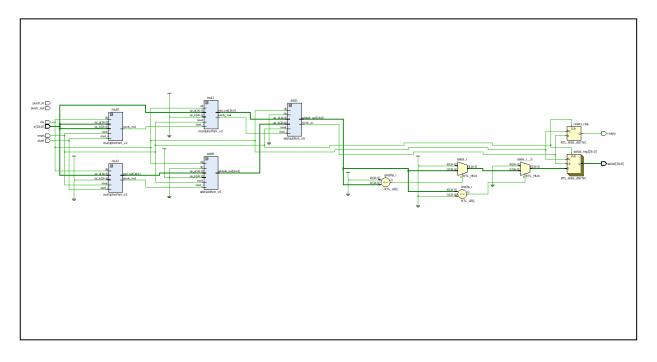


2)	Diagrama de estados (se aplica)
	Figure 2.2 Discours de satula.
	Figura 3.2. Diagrama de estados

e-mail: damuz@unb.br

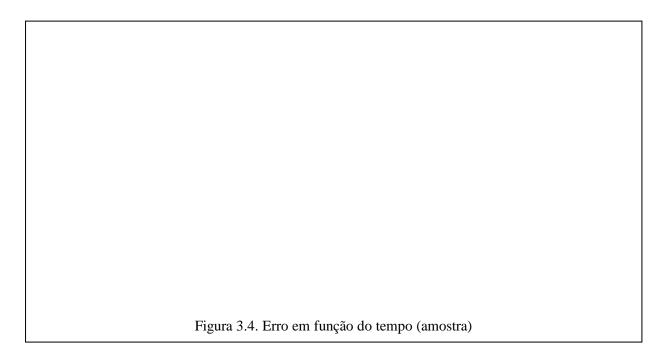


3) Diagrama esquemático (Análise RTL pré-síntese)



4) Erro quadrático médio usando Matlab como estimador estatístico para 100 amostras.

MSE =



Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



5) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
711 (3.42 %)	189 (0.45%)	58 (54.72 %)	2 (2.22%)	0 (0%)

6) Consumo de recursos após implementação (processo *Place and Route - PAR*):

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
709 (3.41%)	189 (0.45%)	58 (54.72%)	2 (2.22%)	0 (0%)

$\overline{}$	A /1.	1	. •	•
·/\	Análise	de	tın	ımıno.
,,	mansc	uc	um	

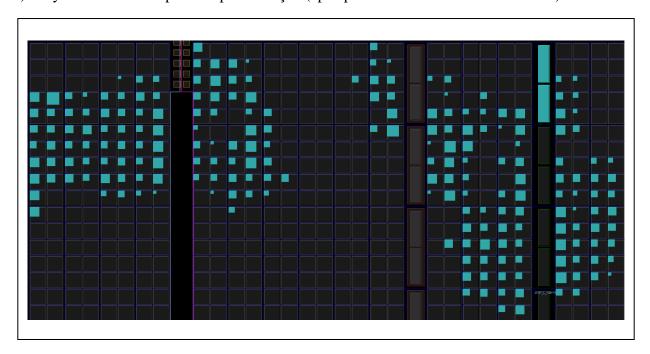
Wors negative slack (setup): _____ ns

Worst negative slack (hold): _____ ns

Frequência de operação do circuito: _____ MHz

Caminho crítico (net de origem): Caminho crítico (net de destino): Maximo path delay: _____ ns

8) Layout do circuito após a implementação (após processo Place and Route – PAR):



Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



9) Estimação do consumo de energia após a implementação do circuito:

Potência total: 10655 (mW) Potência estática: 149 (mW) Potência dinâmica: 10506 (mW)

Gráfico de consumo de energia:

