

Folha de Dados
Primeira Lista Exercícios
Circuitos Sequenciais e Projeto RTL

Entrega até sexta-feira 09 de maio de 2019 às 23:50 horas

Instruções:

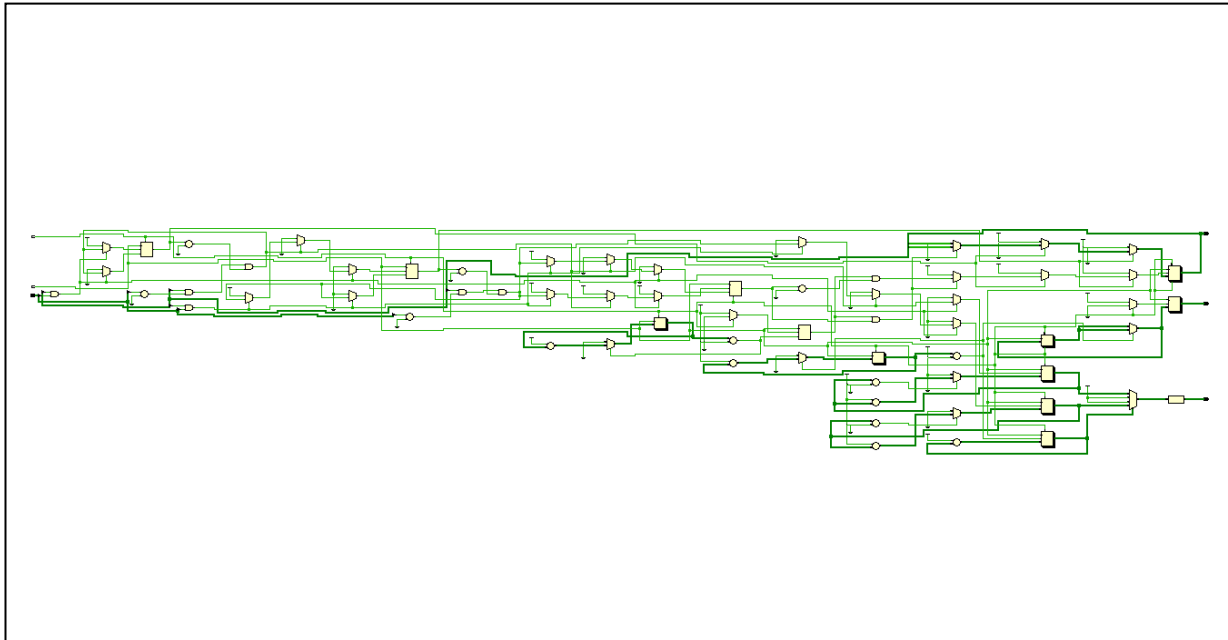
1. Organize o repositório em pastas para cada exercício.
2. Entregar todos os arquivos necessários para replicar o experimento.
3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: Matheus Moreira da Silva Vieira

matrícula: 140155546

Exercício 1. Ping-pong leds

- 1) Diagrama de blocos proposto.
- 2) Diagrama esquemático (Análise RTL pré-síntese)



- 3) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
61(0.29%)	56 (0.13%)	31 (29.25%)	0 (0%)	0 (0%)

4) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
61 (0.29%)	56 (0.13%)	31 (29.25%)	0 (0%)	0 (0 %)

5) Análise de timing:

Wors negative slack (setup): 6.164 ns

Worst negative slack (hold) : 0.220 ns

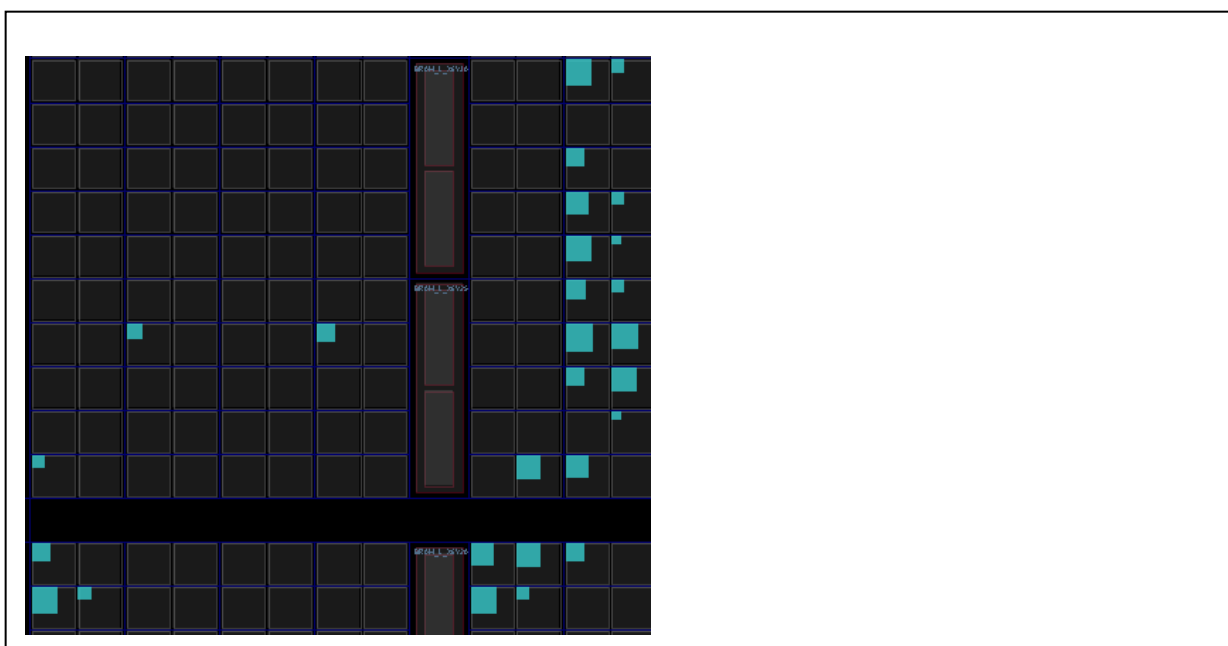
Frequência de operação do circuito: 100 MHz

Caminho crítico (net de origem): anodo_cnt_reg[15]/C

Caminho crítico (net de destino): anodo_cnt_reg[17]/D

Maximo path delay: 3.888 ns

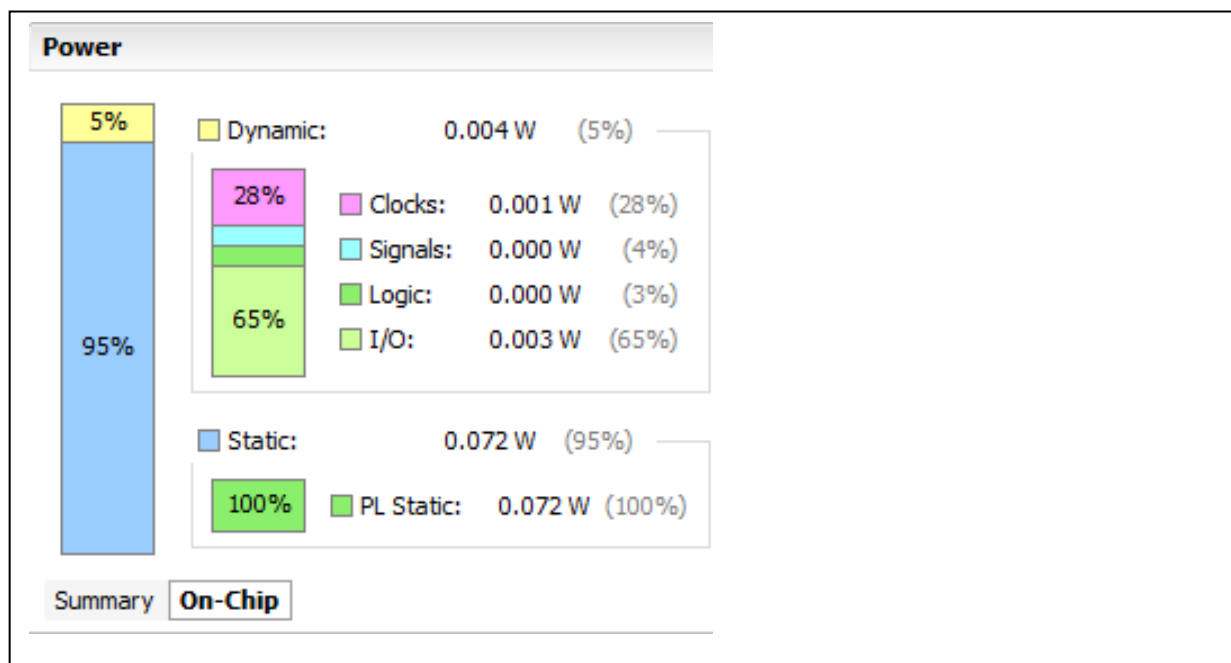
6) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



7) Estimação do consumo de energia após a implementação do circuito:

Potência total: 76 (mW)
 Potência estática: 72 (mW)
 Potência dinâmica: 4 (mW)

Gráfico de consumo de energia:



Exercício 2. Ping-pong leds FSM

1) Diagrama de blocos proposto.

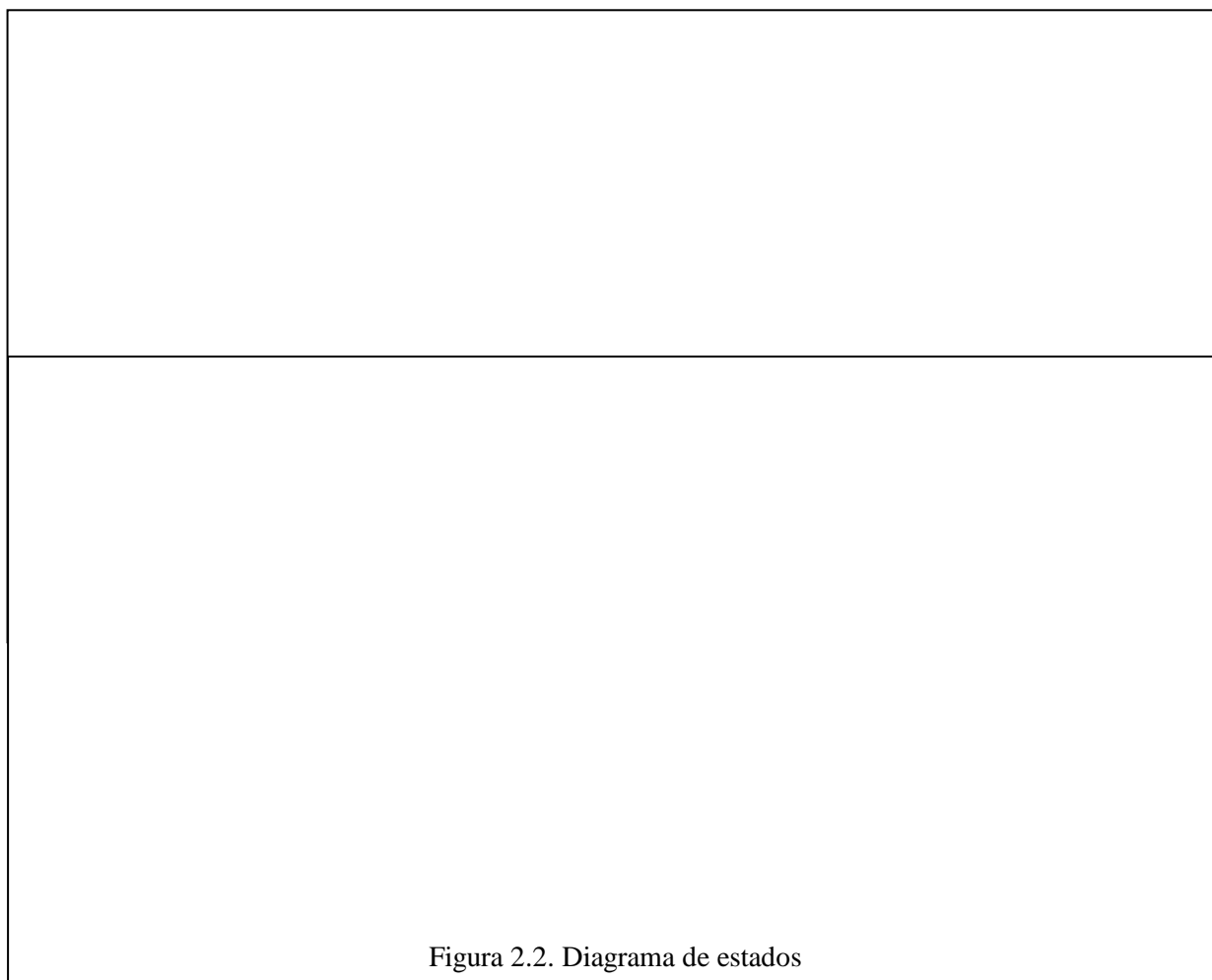


Figura 2.2. Diagrama de estados

2) Diagrama de estados:

3) Diagrama esquemático (Análise RTL pré-síntese)

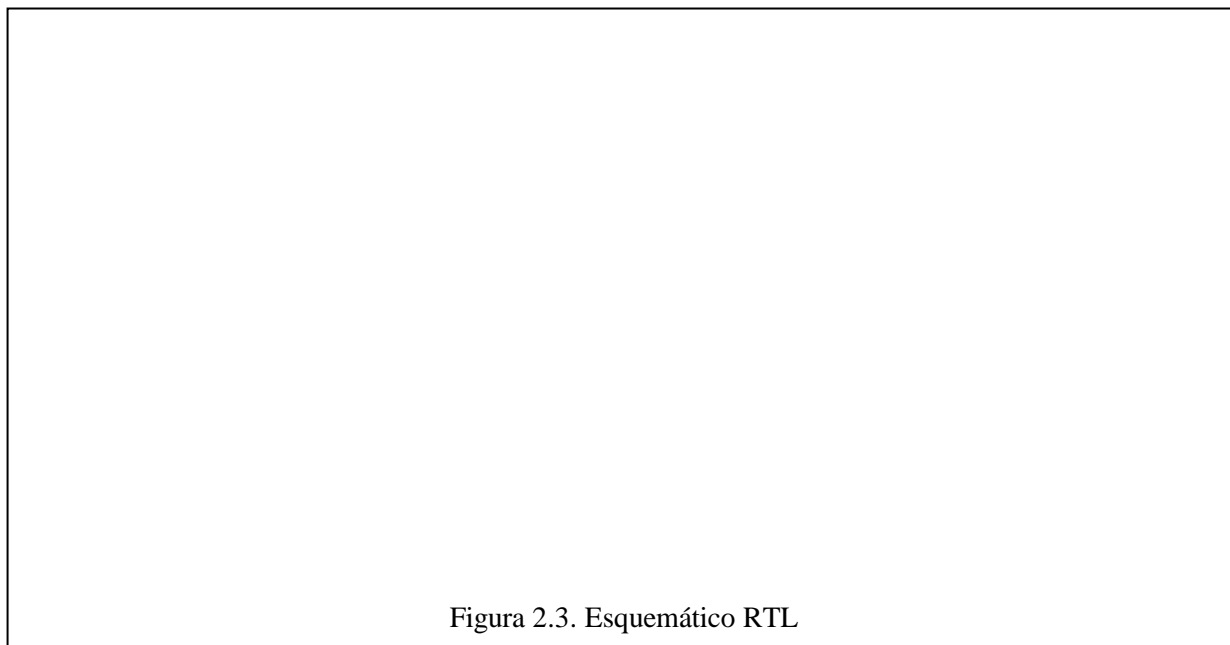


Figura 2.3. Esquemático RTL

4) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

5) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

6) Análise de timing:

Wors negative slack (setup): _____ ns

Worst negative slack (hold) : _____ ns
Frequência de operação do circuito: _____ MHz
Caminho crítico (net de origem):
Caminho crítico (net de destino):
Maximo path delay: _____ ns

7) Layout do circuito após a implementação (após processo Place and Route – PAR):

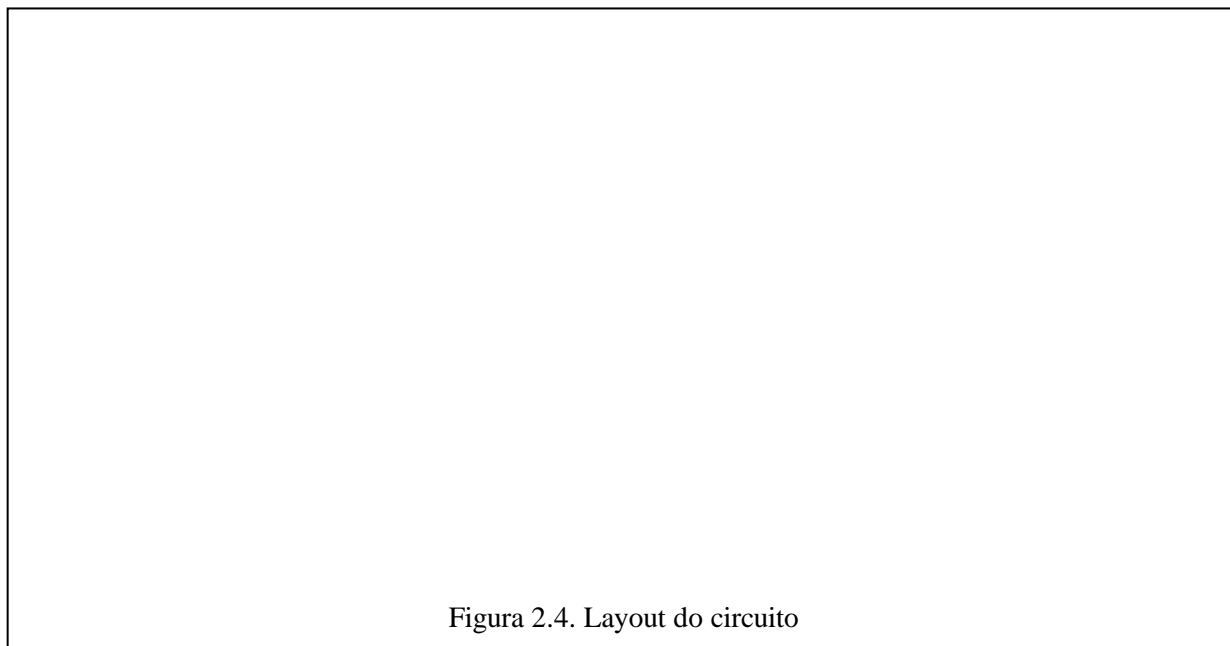


Figura 2.4. Layout do circuito

8) Estimação do consumo de energia após a implementação do circuito:

Potência total: _____ (mW)
Potência estática: _____ (mW)
Potência dinâmica: _____ (mW)

Gráfico de consumo de energia:

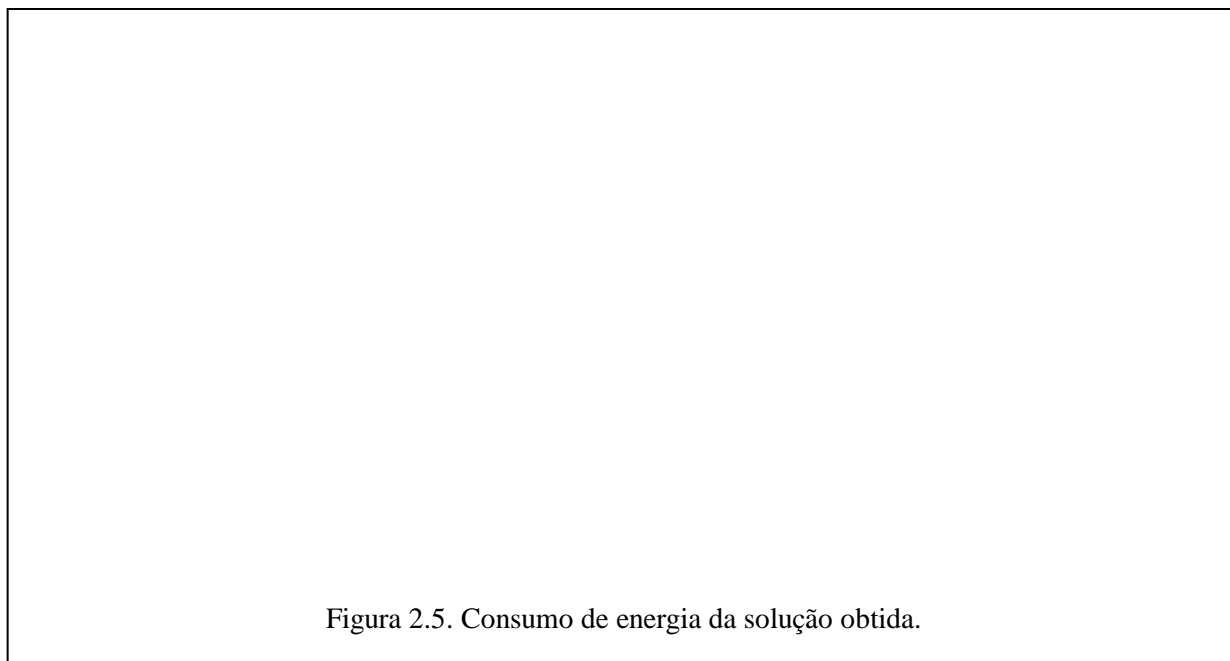
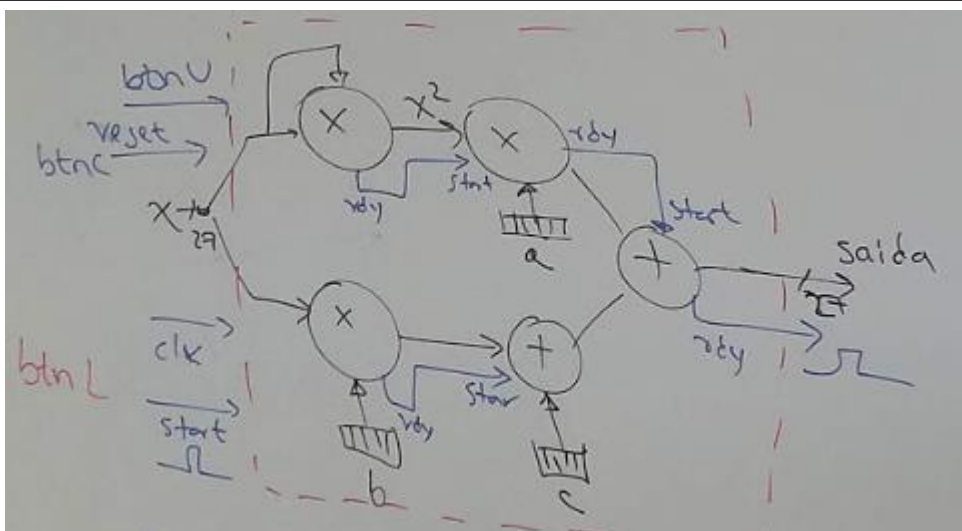


Figura 2.5. Consumo de energia da solução obtida.

Exercício 3. Neurônio GMBH de segunda ordem usando IP-Cores em ponto flutuante

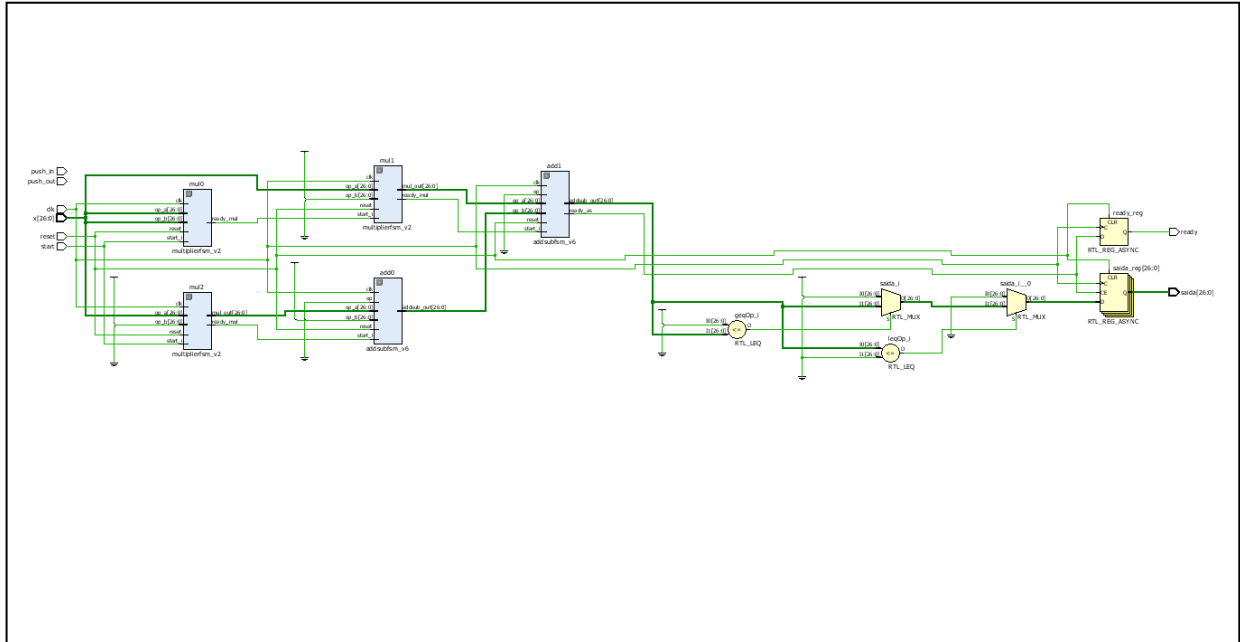
1) Diagrama de blocos proposto.



2) Diagrama de estados (se aplica)

Figura 3.2. Diagrama de estados

3) Diagrama esquemático (Análise RTL pré-síntese)



4) Erro quadrático médio usando Matlab como estimador estatístico para 100 amostras.

MSE =

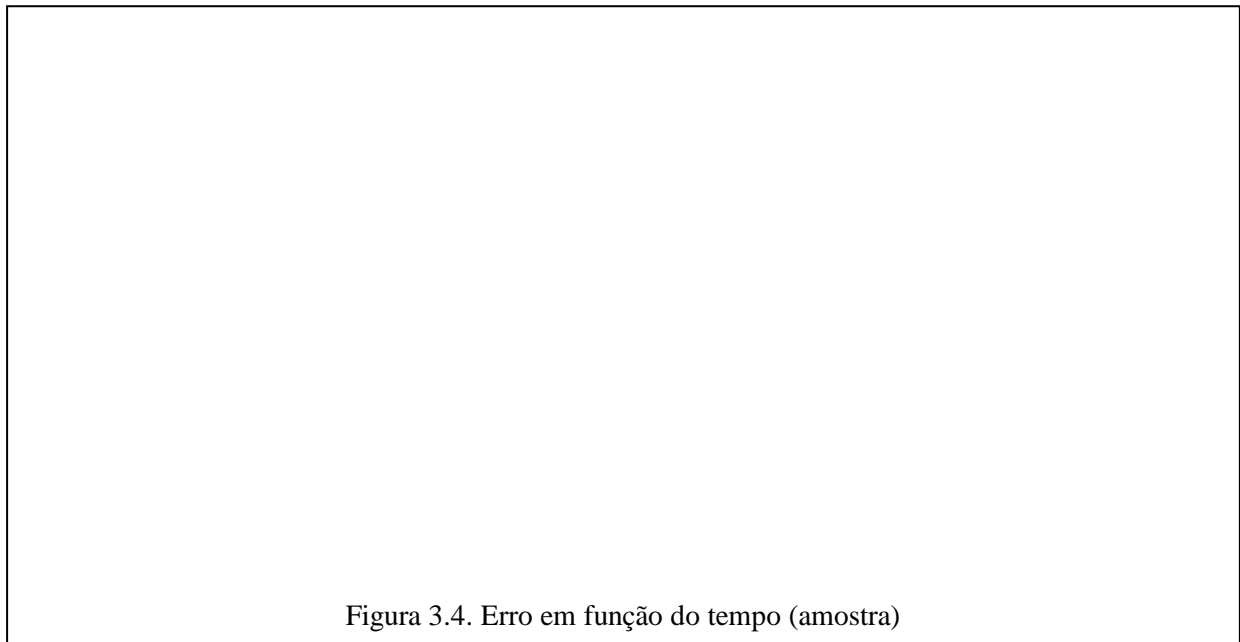


Figura 3.4. Erro em função do tempo (amostra)

5) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
711 (3.42 %)	189 (0.45%)	58 (54.72 %)	2 (2.22%)	0 (0%)

6) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
709 (3.41%)	189 (0.45%)	58 (54.72%)	2 (2.22%)	0 (0%)

7) Análise de timing:

Worst negative slack (setup): _____ ns

Worst negative slack (hold) : _____ ns

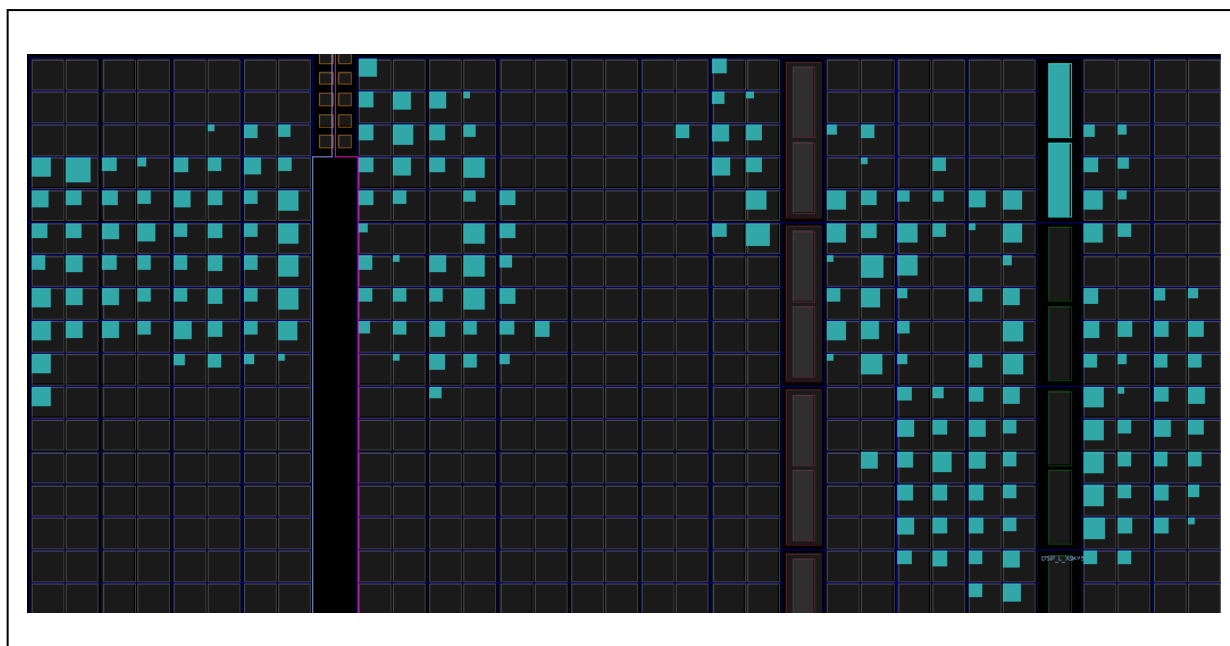
Frequência de operação do circuito: _____ MHz

Caminho crítico (net de origem):

Caminho crítico (net de destino):

Maximo path delay: _____ ns

8) Layout do circuito após a implementação (após processo Place and Route – PAR):



9) Estimação do consumo de energia após a implementação do circuito:

Potência total: 10655 (mW)
Potência estática: 149 (mW)
Potência dinâmica: 10506 (mW)

Gráfico de consumo de energia:

