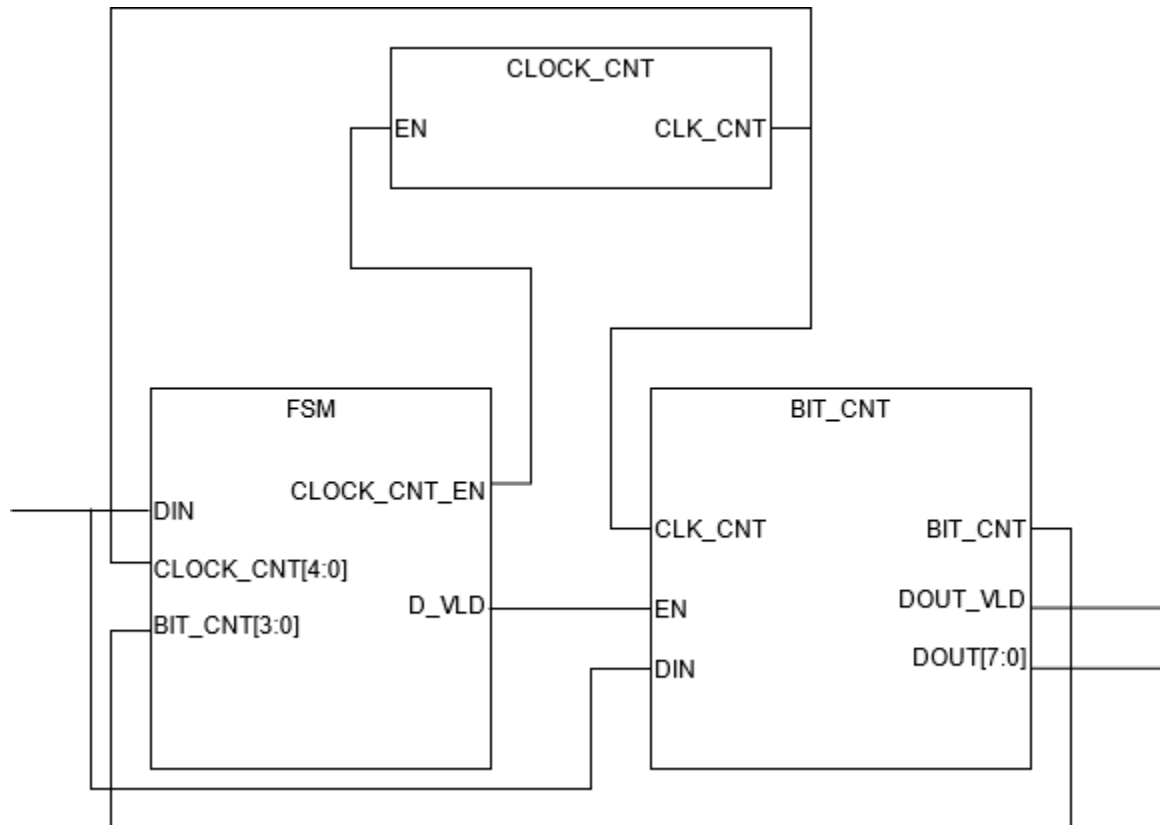


meno: *Matúš Vráblik*

login: *xvrabl05*

## Architektura navrhého obvodu (na úrovni RTL)

Schéma obvodu



## Popis funkce

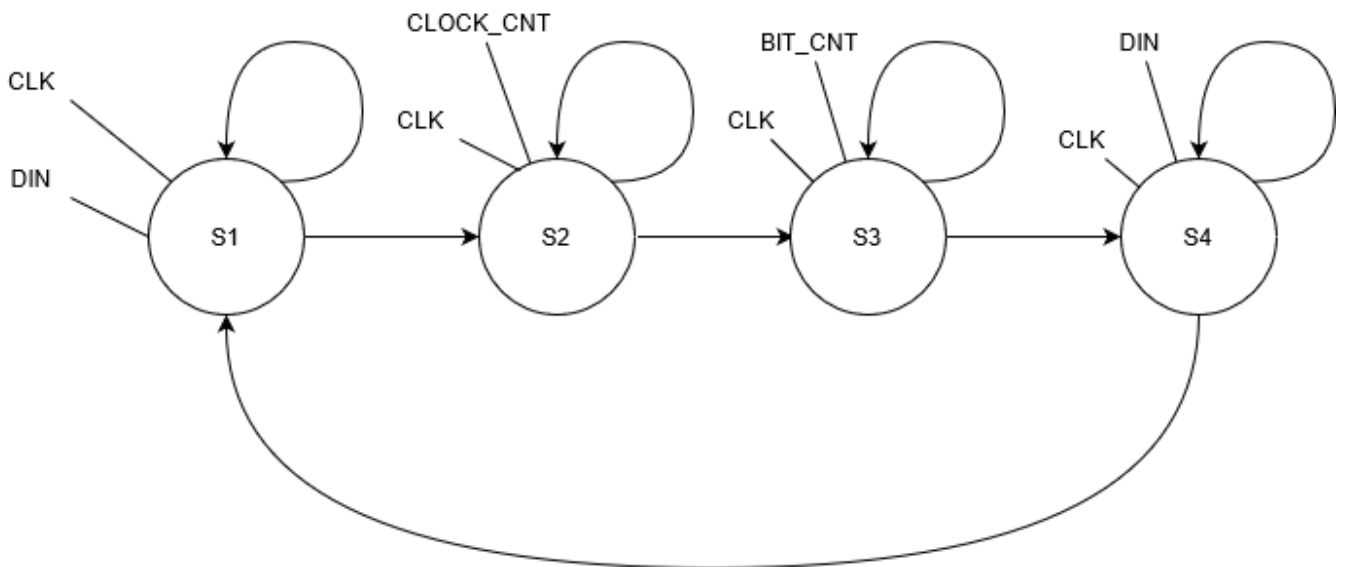
FSM postupne predáva signály **CLOCK\_CNT** a **BIT\_CNT**, ktoré sú ovplyvnené aj výstupom z nich.

# Návrh automatu (Finite State Machine)

## Schéma automatu

Legenda:

- Stavy automatu: S1 (STARTING\_BIT), S2 (D0\_BIT), S3 (BIT), S4 (STOP\_BIT)
- Vstupné signály: CLK, DIN, CLOCK\_CNT, BIT\_CNT
- Výstupy: DOUT\_VLD, DOUT



## Popis funkce

Automat začína v stave S1, po zmene stavu DIN na 0 sa mení stav na S2. Po dosiahnutí hranice CLOCK\_CNT sa mení stav na S3, z ktorého sa dostane do stavu S4 keď BIT\_CNT bude niešť hodnotu dĺžky slova. Zo stavu S4 sa znova automat nastaví na S1 pri správnom signále DIN.

Snímek obrazovky ze simulací

