

GUILLAUME LAROCHE

537 159 676

MATHIS TREMBLAY

537 154 979

LABORATOIRE 2

ADC et PWM

Travail présenté à Gabriel Gagnon-Turcotte

Systèmes microprocesseurs et interfaces

GIF-3002

Faculté des sciences et de génie

Département de génie électrique et génie informatique

Université Laval

7 octobre 2025

Partie 1 :

Broche PC3 en entrée analogique			
Nom du registre	Valeur par défaut (hexa)	Valeur config (hexa)	Justification
GPIOG_MODER	0x0000 0000	0x0000 00C0	Bits 7/6 : 11 pour mode analog
RCC_AHB1ENR	0x0000 0000	0x00000004	Configuration de la clock sur le port C
GPIOG_PUPDR	0x0000 0000	0x0000 0000	Configuration de résistance pull-down ou pull-up. Dans notre cas on configure aucune résistance (bits 7/6 : 00).
GPIOG_OSPEEDR	0x0000 0000	0x0000 0000	Configurer la vitesse de sortie de la broche. Une vitesse basse convient à notre application (bits 7/6 : 00).

Figure 1 : Registres configurés pour la broche PC3 en mode analogue

Configuration ADC 1 channel 13			
Nom du registre	Valeur par défaut (hexa)	Valeur config (hexa)	Justification
RCC_APB2ENR	0x0000 0000	0x00000100	Bit 8 (ADC1EN): ADC1 clock enable: ADC1 clock enabled
ADC1_SQR1	0x0000 0000	0x00000000	Bits 23:20 L[3:0] : Regular channel sequence length : <i>define the total number of conversions in the regular channel conversion sequence.</i> 0000: 1 conversion
ADC1_CR1	0x0000 0000	0x00000020	Bits 25:24 RES[1:0] : Resolution 00: 12-bit Bit 5 EOCIE : Interrupt enable for EOC 1: EOC interrupt enabled. An interrupt is generated when the EOC bit is set.
ADC1_CR2	0x0000 0000	0x0000 0001	Bit 11 ALIGN : Data alignment 0: Right alignment Bit 1 CONT : Continuous conversion 0: Single conversion mode Bit 0 ADON : A/D Converter ON / OFF 1: Enable ADC

ADC1_SQR3	0x00000000	0x0000000D	Bits 4:0 SQ1[4:0] : 1st conversion in regular sequence (channel 13 en mode regular sequence)
NVIC_ISER[0]	0x00000000	0x00040000	Activer interruption ADC en mettant à 1 le bit 18

Figure 2 : Registres configurés pour l'ADC sur la pin PC3

Tension (V)	Valeur théorique (0 – 4095)	Valeur expérimentale (0-4095)
1.2	1638	1674
2.4	3276	3339
3.1 (2.94, 3V impossible)	4095	4093

Figure 3 : Valeur de l'ADC pour différentes tensions au potentiomètre

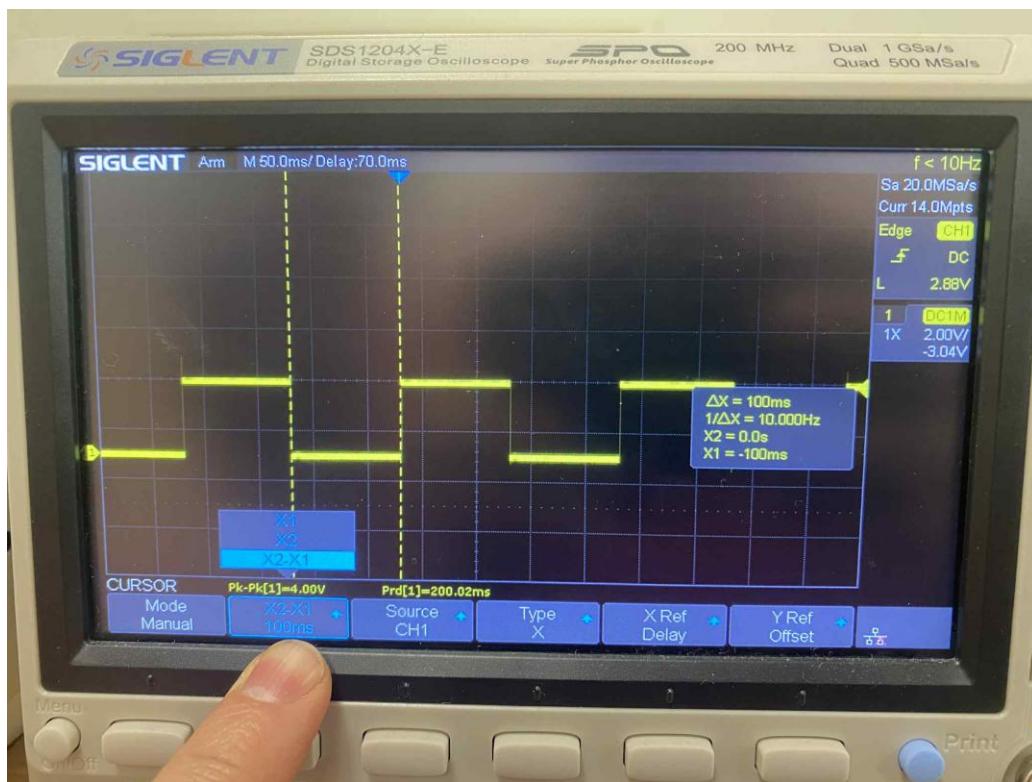


Figure 4. Capture de l'oscilloscope de la LED alternant à une fréquence de 10Hz

Partie 2 :

Broche PA5			
Nom du registre	Valeur par défaut (hexa)	Valeur config (hexa)	Justification
GPIOG_MODER	0xA800 0000	0xA800 0002	Bits 1/0 : 10 pour mode alternate
RCC_AHB1ENR	0x0000 0000	0x0000 0001	Configuration de la clock sur le port A
GPIOG_PUPDR	0x6400 0000	0x6400 0000	Configuration de résistance pull-down ou pull-up. Dans notre cas on configure aucune résistance
GPIOG_OSPEEDR	0x0C00 0000	0x0C00 0000	Configurer la vitesse de sortie de la broche. J'ai mis low speed comme au lab 1

Figure 5 : Registres configurés pour la broche PA5 en mode alternate

Timer 2			
Nom du registre	Valeur par défaut (hexa)	Valeur config (hexa)	Justification
TIM2_CR1	0x0000	0x0001	Le counter est activé (bit 0 : 1)
TIM2_PSC	0x0000	0x0047	Divise l'horloge pour obtenir une fréquence de 1 kHz du pwm.
TIM2_ARR	0xFFFF FFFF	0x FFFF 03E7	Définit la période (1000 comptes). Résolution du duty cycle = 0–100 %
RCC_APB1ENR	0x0000	0x0001	Active l'horloge du périphérique TIM2 sur le bus APB1.
TIM2_CCMR1	0x0000	0x0068	<p>OC1M=110 → PWM mode 1, OC1PE=1 pour préchargement. Bit 6 à 4 -> 110: PWM mode 1 - In upcounting, channel 1 is active as long as $\text{TIMx_CNT} < \text{TIMx_CCR1}$ else inactive. In downcounting, channel 1 is inactive ($\text{OC1REF} = '0'$) as long as $\text{TIMx_CNT} > \text{TIMx_CCR1}$ else active ($\text{OC1REF} = 1$)</p> <p>Bit 3 a 1: Preload register on TIMx_CCR1 enabled. Read/Write operations access the preload register. TIMx_CCR1 preload value is loaded in the active register at each update event.</p>
TIM2_CCER	0x0000	0x0001	Activer sortie pwm du canal 1
TIM2_CCR1	0x00000000	0x0000001F4	Mettre duty cycle par défaut (50%)

Figure 6 : Registres configurés pour le PWM du Timer 2

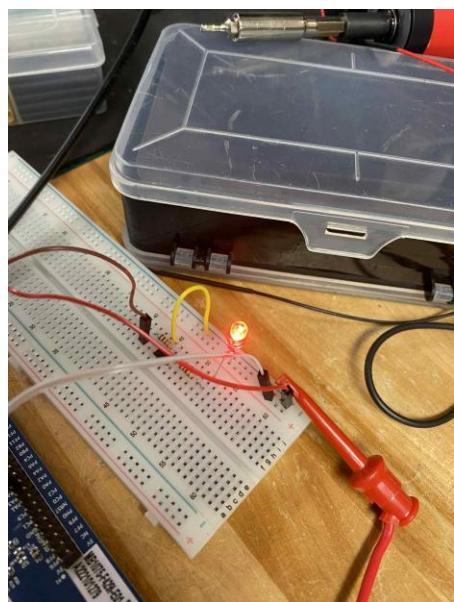


Figure 7 : Duty Cycle de 25%, fréquence de 100 Hz, preuve LED

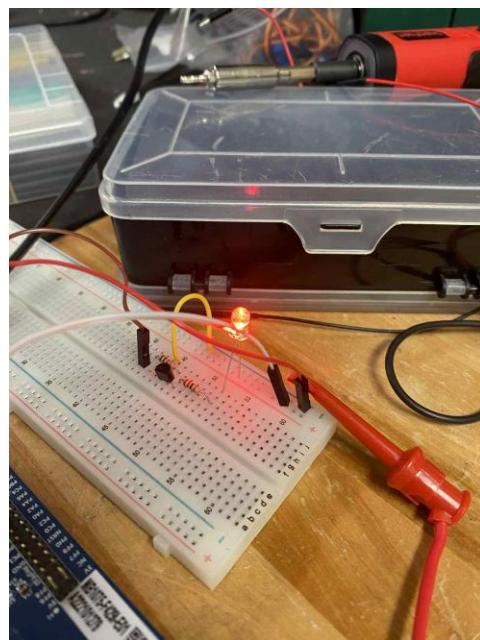


Figure 8: Duty Cycle de 63%, fréquence de 400 Hz, preuve LED

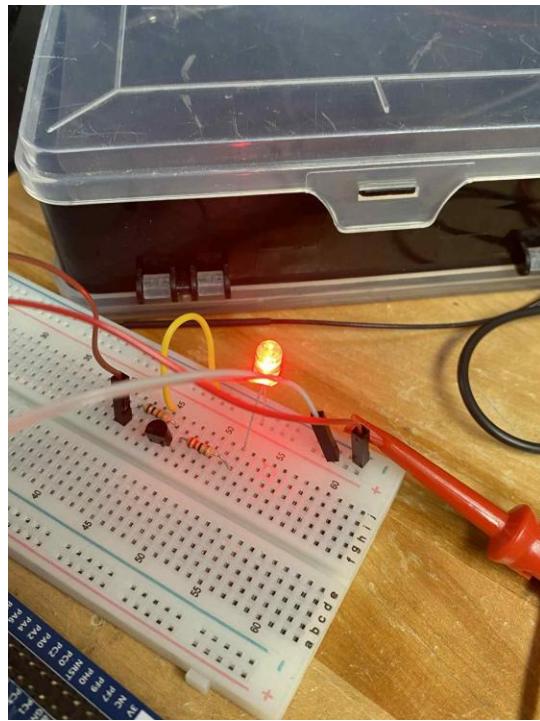


Figure 9: Duty Cycle de 88%, fréquence de 1 kHz, preuve LED



Figure 10. Capture oscilloscope, duty cycle de 25%, fréquence de 100 Hz

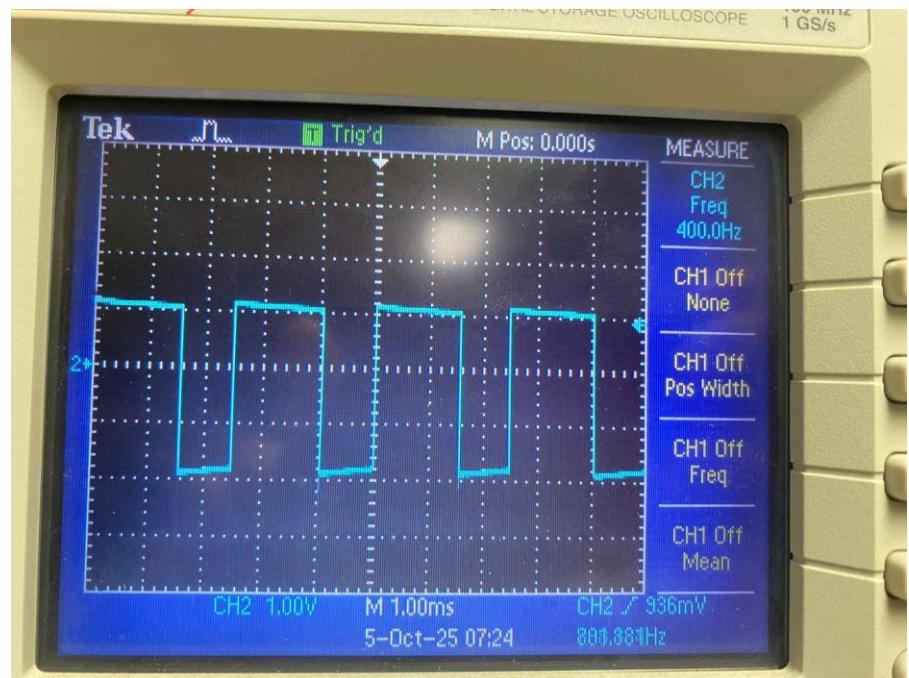


Figure 11. Capture oscilloscope, duty cycle de 63%, fréquence de 400 Hz

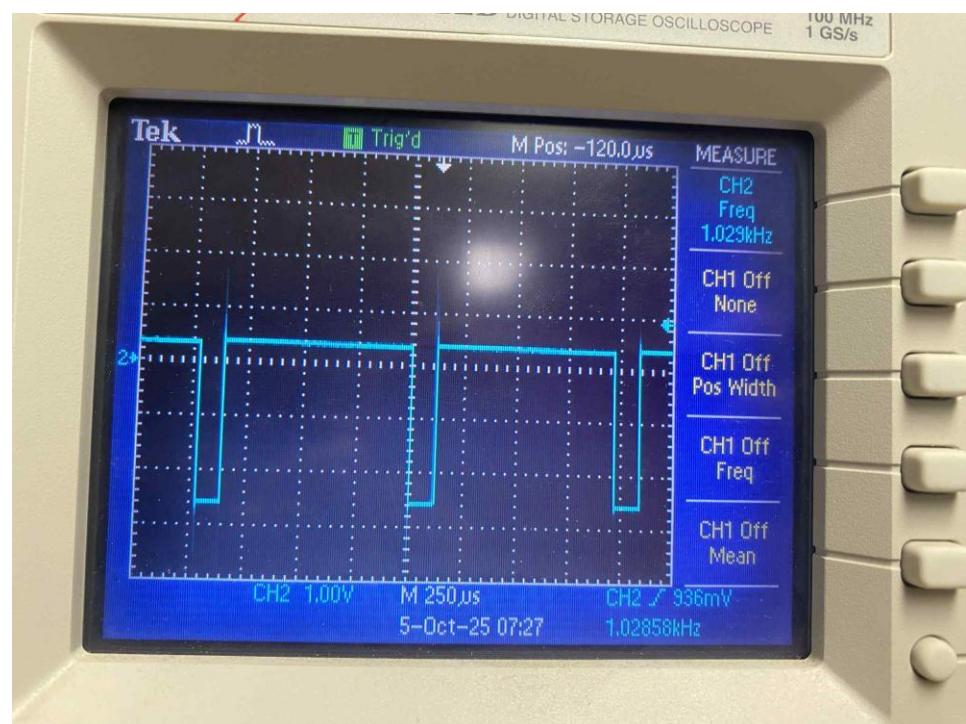


Figure 12. Capture oscilloscope, duty cycle de 88%, fréquence de 1 kHz

(Note : On avait pris un screenshot à 1000Hz mais on l'a perdu, merci d'excuser cette petite différence)