



同济大学 计算机科学与技术学院
TONGJI UNIVERSITY SCHOOL OF COMPUTER SCIENCE AND TECHNOLOGY

《计算机组成原理实验》 数字逻辑设计实验报告

开课学期：2025-2026 第一学期

项目名称：抢答电路模拟

专 业：软件工程（精英班）

班号组号：25F56

学 号：2451487

姓 名：庄子懿

一、实验方案

项目名称： 抢答电路模拟		实验时间： 2025.11.8—11.19														
小组合作：是 <input checked="" type="checkbox"/> 否	小组成员： 庄子懿，宋新悦															
<p>实验目的：</p> <ol style="list-style-type: none">1. 掌握抢答器电路的综合分析和设计方法。2. 提高电路综合布局及排错的能力。3. 培养书写综合设计性实验报告的能力。																
<p>实验设备和材料</p> <p>实验软件：NI multisim 10.0</p> <p>芯片列表：</p> <table border="1"><thead><tr><th>芯片型号</th><th>数量</th></tr></thead><tbody><tr><td>74LS373 芯片</td><td>1</td></tr><tr><td>74LS192 芯片</td><td>4</td></tr><tr><td>74LS83 芯片</td><td>4</td></tr><tr><td>74LS112 芯片</td><td>1</td></tr><tr><td>74LS148 芯片</td><td>1</td></tr><tr><td>NE555 振荡器</td><td>1</td></tr></tbody></table> <p>其他： 各类门电路、开关、显示器、电阻若干</p>			芯片型号	数量	74LS373 芯片	1	74LS192 芯片	4	74LS83 芯片	4	74LS112 芯片	1	74LS148 芯片	1	NE555 振荡器	1
芯片型号	数量															
74LS373 芯片	1															
74LS192 芯片	4															
74LS83 芯片	4															
74LS112 芯片	1															
74LS148 芯片	1															
NE555 振荡器	1															

实验内容：

1. 设计方案概述：

(1) 抢答锁存

使用 74LS373 锁存器与 JK 触发器构成 7 路抢答锁存。初始状态锁存，主持人按钮启动抢答。首个抢答者按下按钮后，锁存器锁定该路状态（输出低电平），并立即封锁后续输入，保持至主持人复位。

(2) 计时控制

NE555 构成秒脉冲发生器，驱动两片 74LS192 实现两位倒计时。抢答开始后触发倒计时，通过预置数设置初始时间。倒计时至零时自动停止计数，并封锁脉冲输入。

(3) 积分统计

使用两片 74LS192 分别记录正确与错误答题数，通过 74LS83 加法器进行补码运算，实现总分 = 正确数 - 错误数，结果由数码管显示。设有正确、错误与清零按钮，由主持人操作。

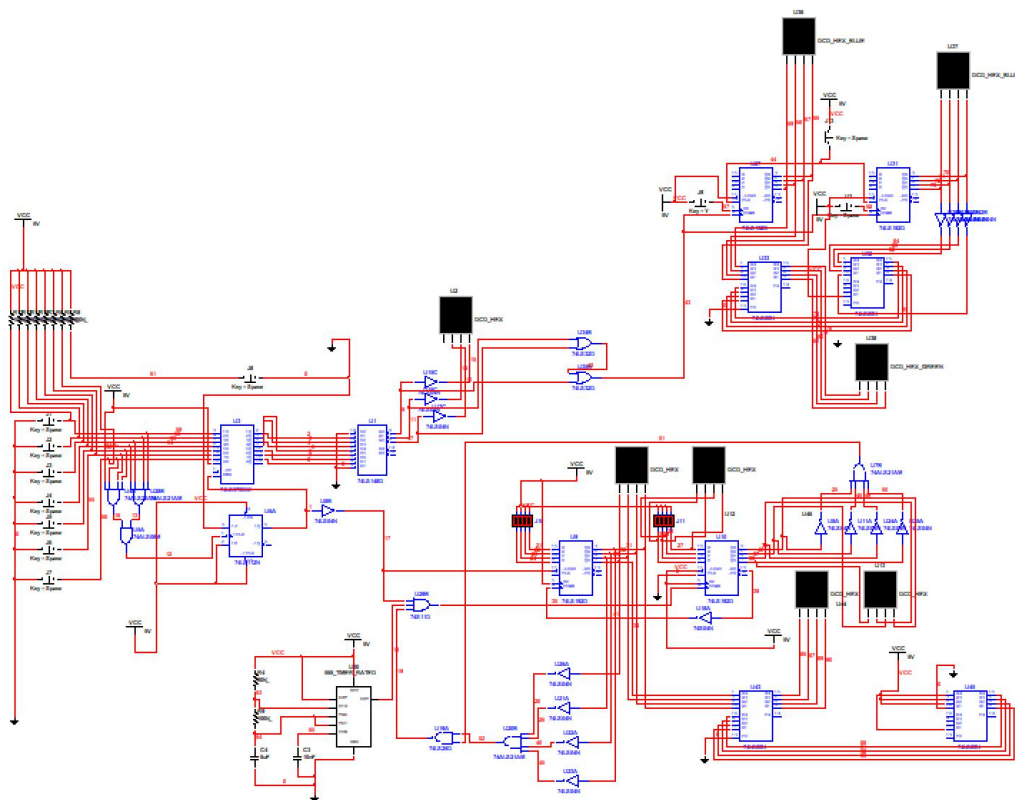


图 1 总电路

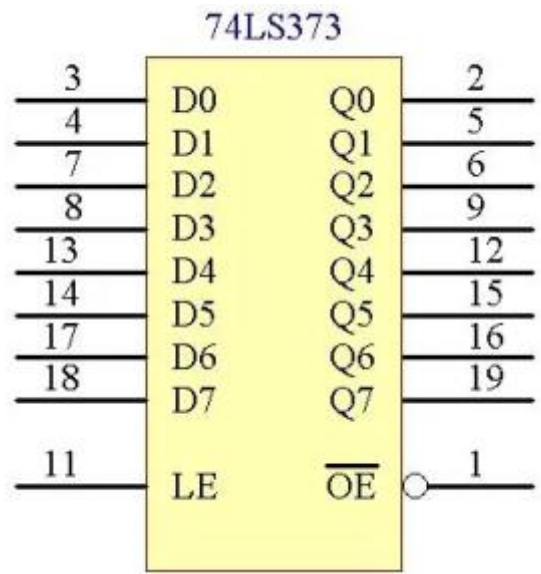
2. 设计原理介绍：

芯片原理：

1. 74LS373 锁存器

[74LS373 引脚图及功能真值表](#) [74LS373 功能及使用方法-bom2buy](#)

1.1 其引脚图如下：



介绍：D0-D7 为数据输入端；LE 为锁存使能，高电平保持透明模式，下降沿锁存数据；OE 输出使能，低电平激活输出，高电平呈现高阻态 ；Q0-Q7 输出锁存数据，最大输出电流±35mA

1.2 模式：

透明模式（LE=H）：输出实时跟随输入变化

锁存模式（LE=L）：保持 LE 下降沿时刻的数据

高阻模式（OE=H）：输出与总线隔离，允许其他设备占用总线

1.3 其功能真值表如下：

Dn	LE	OE	Qn
H	H	L	H
L	H	L	L
X	L	L	Q0
X	X	H	高阻态

2. 74LS112 J-K 触发器

2.1 逻辑功能表

CP	J	K	Q^n	Q^{n+1}	功能
0	×	×	×	Q^n	$Q^{n+1} = Q^n$ 保持
1	0	0	0	0	$Q^{n+1} = Q^n$ 保持
1	0	0	1	1	
1	0	1	0	0	$Q^{n+1} = 0$ 置 0
1	0	1	1	0	
1	1	0	0	1	$Q^{n+1} = 1$ 置 1
1	1	0	1	1	
1	1	1	0	1	$Q^{n+1} = \overline{Q^n}$ 翻转
1	1	1	1	0	

3. 74LS148 8 线-3 线优先编码器

逻辑功能表如下：

INPUTS									OUTPUTS				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

4. 74LS192 双时钟方式的十进制可逆计数器

CPU 为加计数时钟输入端，CPD 为减计数时钟输入端。

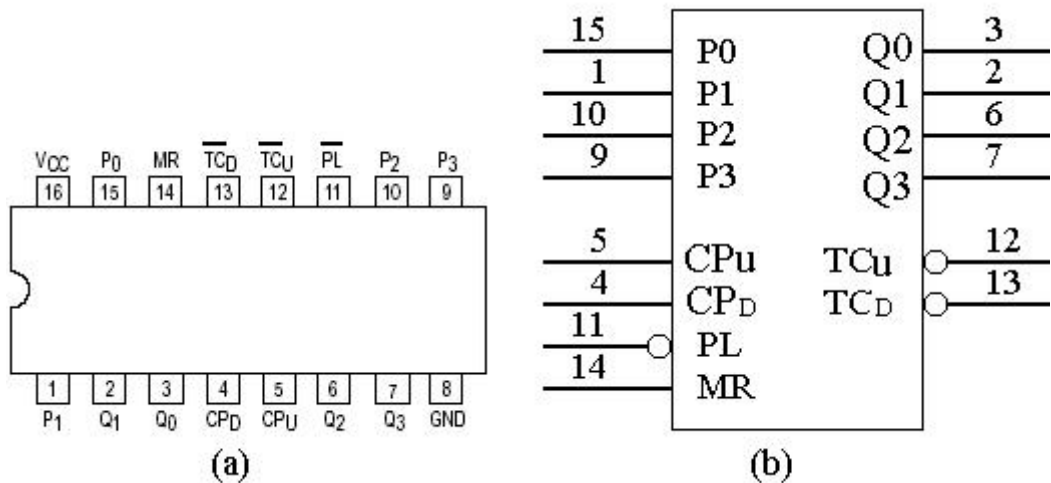
LD 为预置输入控制端，异步预置。

CR 为复位输入端，高电平有效，异步清除。

CO 为进位输出：1001 状态后负脉冲输出，

BO 为借位输出：0000 状态后负脉冲输出。

4.1 74ls192 引脚图：

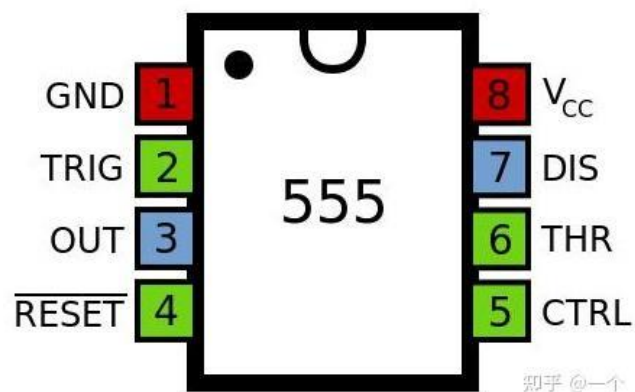


4.2 741s192 功能表:

输入								输出			
MR	\overline{PL}	CP_U	CP_D	P3	P2	P1	P0	Q3	Q2	Q1	Q0
1	x	x	x	x	x	x	x	0	0	0	0
0	0	x	x	d	c	b	a	d	c	b	a
0	1		1	x	x	x	x	加计数			
0	1	1		x	x	x	x	减计数			

5. NE555 振荡器

我们让 NE555 工作在最典型的无稳态模式，它会自行在高低电平之间振荡，产生方波。



555 定时器真值表/功能表如下:

清零端	高触发端TH	低触发端TR	v0	放电管T(V)	功能
0	x	x	0	导通	直接清零
1	0	1	x	保持上一状态	保持上一状态
1	1	0	1	截止	置1
1	0	0	1	截止	置1
1	1	1	0	导通	清零

555 定时器的功能主要由两个比较器决定. 两个比较器的输出电压控制 RS 触发器和放电管的状态. 在电源与地之间加上电压, 当 5 脚悬空时, 则电压比较器 A1 的反相输入端的电压为 $2V_{CC}/3$, A2 的同相输入端的电压为 $V_{CC}/3$. 若触发输入端 TR 的电压小于 $V_{CC}/3$, 则比较器 A2 的输出为 1, 可使 RS 触发器置 1, 使输出端 OUT=1. 如果阈值输入端 TH 的电压大于 $2V_{CC}/3$, 同时 TR 端的电压大于 $V_{CC}/3$, 则 A1 的输出为 1, A2 的输出为 0, 可将 RS 触发器置 0, 使输出为 0 电平.

输出高电平时间: $T_H = \ln 2 (R_1 + R_2) * C_1$

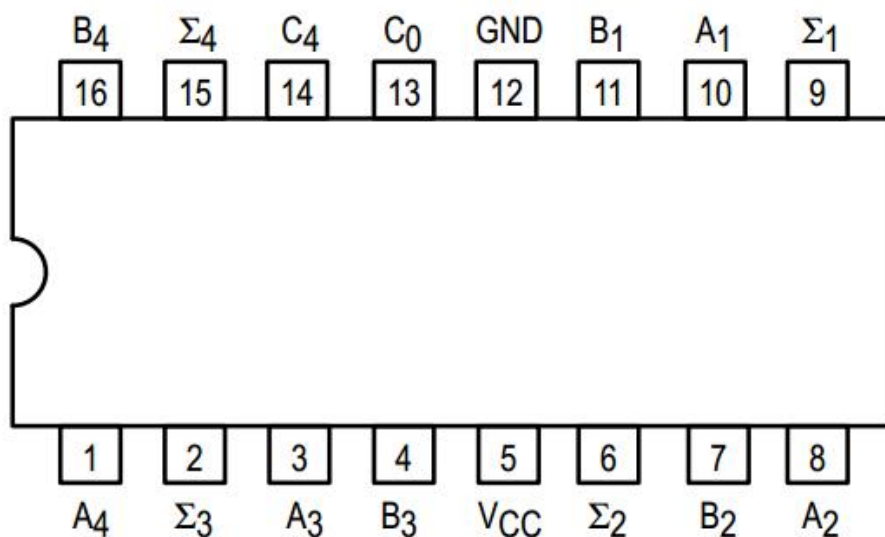
输出低电平时间: $T_L = \ln 2 R_2 * C_1$

振荡周期: $T = \ln 2 (R_1 + 2R_2) * C_1$

在实验中使用振荡周期, 当 $R_1 = 30K\Omega$, $R_2 = 100K\Omega$, $C_1 = 6\mu F$ 时输出信号为 1s。

6. 74LS83 四位二进制快速进位全加器

逻辑功能表与引脚图如下:



$B=1011$

输入 A				输出				
A_4	A_3	A_2	A_1	S_4	S_3	S_2	S_1	C_4
0	0	0	1	1	1	0	0	0
1	1	1	1	1	0	1	0	1
1	0	0	0	0	0	1	1	1
0	1	0	1	0	0	0	0	1
0	1	0	0	1	1	1	1	0
0	0	1	0	1	1	0	1	0

实验设计思路：

1. 抢答器

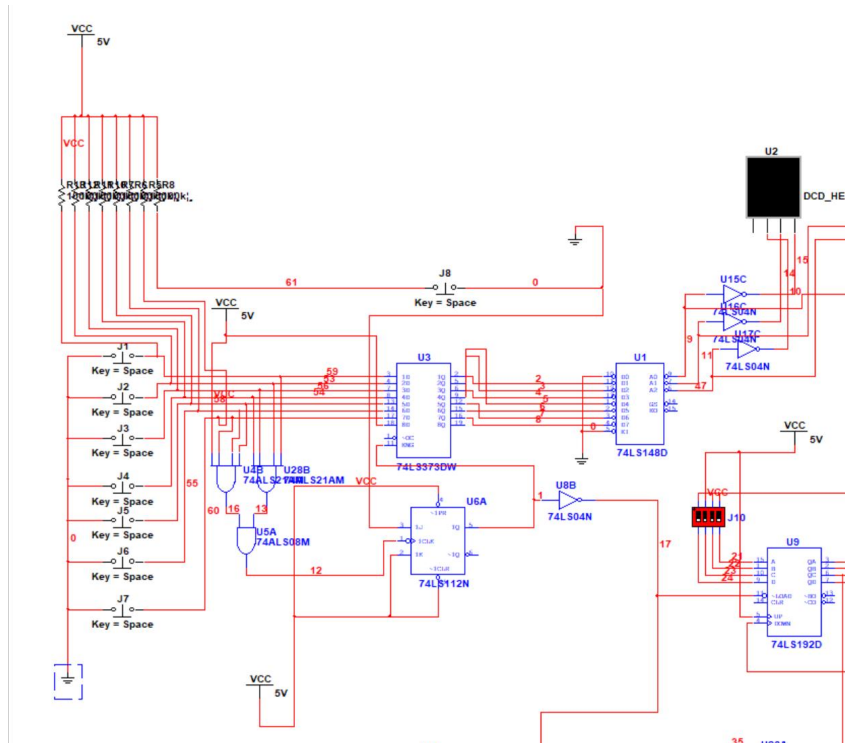


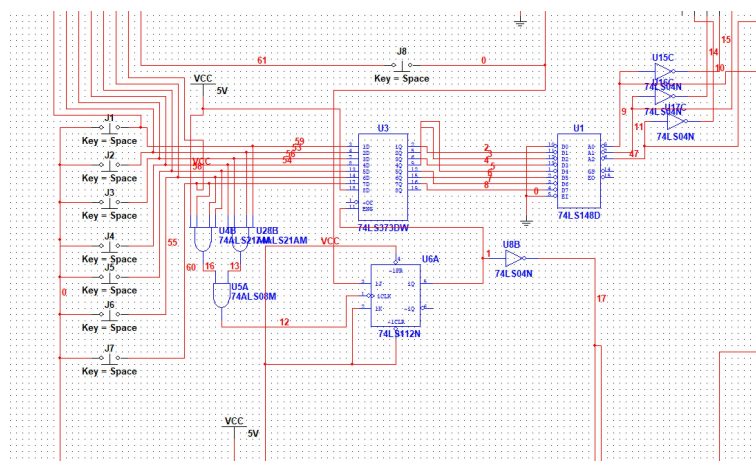
图 2 抢答器部分电路

1.1 锁存部分

本实验设计了 7 路抢答器，首先将七个抢答按钮一端接地，一端接 74LS373 的 D1-D7 输入端。初始状态将 74LS373 的 8 个输入端 D1-D8 设置为默认高电平，同时将 8 个输入端通过与门和 JK 触发器的脉冲相接，JK 触发器的 K 接入高电平，J 接入低电平，触发器为置 0 状态。

触发器的 Q 输出端接在 373 芯片的 LE 端。初始状态下，D0-D7 均为高电平，JK 触发器的 Q 输出端为低电平，LE 为低电平，373 芯片处于锁存状态。当主持人按下主持按钮，

触发器 J 输入端变为 1, JK 触发器处于翻转状态, Q 输出端置 1, LE 变为高电平, 373 芯片可以输入信号, 抢答开始。



假设 1 号选手率先按下抢答按钮,瞬间将 5V 高电平与 D0 输入端的相连的通路短路,导致锁存器的输入变成 0111111,于此同时 7 个输入端通过一个与门之后的输出瞬间由高电平转变为低电平。JK 触发器下降沿触发进入置 0 状态,导致与之相连的 LE 变为低电平,使得锁存器进入锁存状态。即便 1 号选手后续松开按钮,锁存器的输出仍为 0111111。由于 JK 触发器仍处于置 0 状态,可保持锁存器的锁存状态,因此其他选手再按抢答按钮时不会改变锁存。

1.2 主持人按钮

将触发器 1 号的 J 端通过非门与主持按钮相连, 这样正常状态下触发器 1 号 J 为 0, K 为 1, 处于置 0 状态; 触发器 2 号的 k 端也通过非门与主持按钮相连。当抢答结束, 主持人按下按钮时, 两个触发器均变为翻转状态, 成功返回初始状态。

2. 计时部分

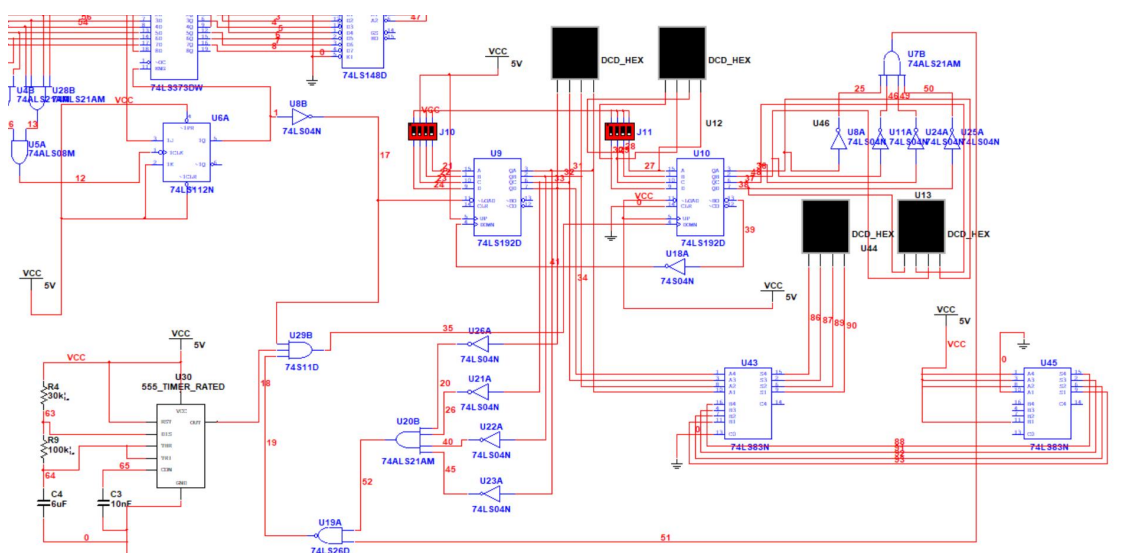


图 3 计时部分电路

2.1 NE555 组成秒脉冲产生电路

左上角的两个数码显示管显示预制倒计时时间，右下角显示开始计时后剩余时间。

3. 计数部分

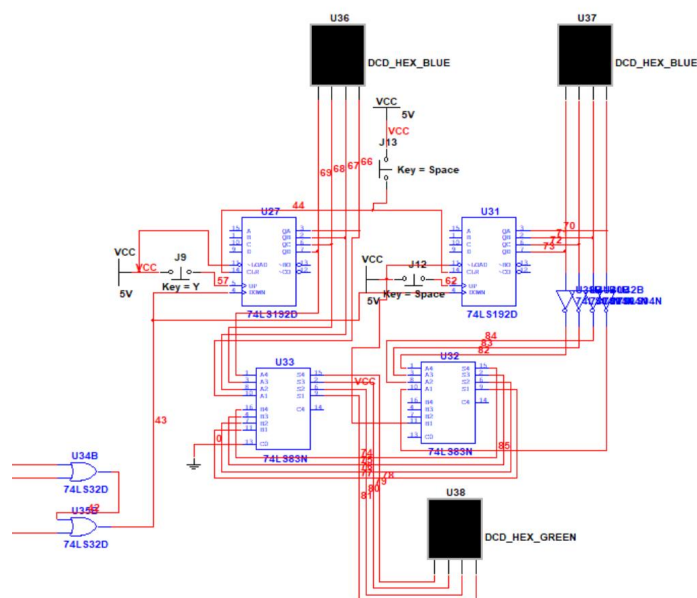


图 4 计数部分电路

计数部分利用两个 74LS192 芯片分别作为正确积分和错误积分，并且利用 74LS83 芯片实现总积分的显示。

当抢答端有人抢答后，数码显示管的输出端接入计数端，通过或门接入两个 74LS192 芯片的 CP 端。当输出端为 000 即没有人抢答时，或门输出 0，若有人抢答则或门输出 1，74LS192 计数器开始计数。

计数器设置了三个按钮：正确答题按钮、错误答题按钮和清零按钮。选手按下抢答器后开始答题，默认一道题记一分，主持人针对每道题只会摁下一次按钮。若选手答题成功，主持人按下正确按钮，正确积分加 1；若答题错误则按下错误按钮，错误积分加 1。

正确题数通过一个 192 芯片输入，并且芯片输出端接入 74LS83 芯片的 A 输入端部分。此 74LS83 芯片记为 1 号，作为后续总分计算的前提。

总分=正确题数-错误题数=正确题数 + (-错误题数)，我们通过补码的方式来表示负数，将错误积分的二进制表示通过非门取反输入到 74LS83 加法器中(此 83 芯片记为 2 号)，我们在 2 号 74LS83 加法器的 B 端已经预置了 0001，将二者相加得到错误题数的补码形式，再输入到 1 号 74LS83 加法器中，这样就做成了一个简易的减法器，将其得到的最后结果显示在数码管上，就得到了最后选手的总积分。

二、实验小结与心得

同济大学实验报告纸

软件工程专业 24 届 3 班 姓名 庄懿 学号 2451487 组 同组人员 宋新悦
课程名称 实验名称 抢答器设计 实验日期 2025 年 11 月 19 日

实验反思

本次实验耗时两周设计而成,于我而言收获很大。从起初的查阅逻辑功能表思考对策,到后来连成功能完备的抢答器,我深刻掌握了使用芯片的原理与功能,也学习了如何将纸上的逻辑付诸实践。

起初小组使用两片 JK 触发器设计锁存电路,但在测试阶段出现无法锁存的问题,考虑是控制主持人电路的触发器为置 1 状态,于是改为只用一个触发器,并将主持人按钮改为控制了 74 芯片来达到目的。

其次,在使用 74LS192 芯片时发现搜索到的引脚图与 EDA 软件给出的引脚不一致,遂知道引脚也有一些别名;在连接电路时也出现错连,少连,用错芯片等问题,以后连接电路需更仔细。

在连接电源时,团队思考用按钮短接电源来达到 D 输入端为低电平,但在实践时,这种方法并不管用。思考原因为元件电阻影响,于是在 Vcc 端口接大电阻再接电路,电路逻辑功能恢复正常。以后需注意元件并非理想元件,有电阻,设计电路时需考虑到。

在 debug 时,我使用小灯泡逐个排查问题,检查元件是否按照逻辑功能表运行。这个方法帮助我排查出了很多问题,以后接电路也可以使用这种方法。

本实验的创新点在于,将原来的回路抢答器改进为 7 路,并实现预置倒计时秒数功能。在计分环节模拟实际“线下答题”情境,设置对/错按钮,但现有电路依然有不足,如倒计时部分因为接 74LS192 芯片的 0 端口,导致倒计时在 00 后无法停止,只能在 F0

同济大学实验报告纸

专业____ 届____ 班____ 姓名____ 第____ 组 同组人员____

课程名称____ 实验名称____ 实验日期____ 年____ 月____ 日

时刻停止, 这导致每次计时都会比预置数多1秒。

但团队目前没有改进方案, 以后可以此为切入点继续思考。

此外, 我意识到在计数部分总积分计算可能会出问题, 当错误积分 > 正确积分时, 数码显示管因为无法识别负数, 于是显示(10+负数), 以后可以思考如何将负数的处理加到显示管中, 以进行更加精确的计数。或许可以添加计算器当为负时取反输出, 并添加负数标识等。

在连接和设计电路时出现了很多问题, 上述列举的仅为一些具有代表性的问题, 此外还有NE555频率设置, A型与B型的相同名称芯片功能不同, 相邻电容互相产生影响, 门电路接反导致程序错误等等问题。

但通过团队的不懈努力, 这些问题都逐个被修复, 也增进了我们对时序电路、逻辑电路设计的理解与对芯片功能的了解, 我们受益匪浅。