



UNIVERSIDAD NACIONAL DE CÓRDOBA

FACULTAD DE CIENCIAS EXACTAS, FÍSICAS Y NATURALES

CATEDRA DE ELECTRÓNICA DIGITAL I

TRABAJO PRÁCTICO Nº 3

**“Práctica en el uso de la Tarjeta FPGA Basys 3
En Aritmética Binaria”**

Función de Flip-Flop JK

Grupo Nº 07

Alumno:

Costamagna, Matias Javier

Profesor:

Ing. Ruben Vrech

Comisión: 1.2

Mayo / Año 2024

Consigna

El objetivo es demostrar la capacidad del conocimiento mínimo de FPGA con en el manejo del **Programa Vivado** y su implementación sobre la tarjeta didáctica **BASYS 3**. Creación “in situ” de un programa elemental de Aritmética Binaria asignado por el Profesor.

Desarrollo

En mi caso, se me pidio implementar el funcionamiento de un FF JK con flanco de subida, utilizando como señal de clock un pulsador.

Antes de comenzar a programar la placa, intente obtener una función lógica que represente el funcionamiento del Flip Flop, a partir de la tabla de transición del mismo.

Tabla de transiciones

J	K	Q _{previa}	Q
0	x	0	0
1	x	0	1
x	1	1	0
x	0	1	1

Por lo que si se hace una tabla de verdad para Q, se obtiene:

Q _{previa} \ JK	00	01	11	10
0	0	0	1	1
1	1	0	0	1

$$Q = J \cdot \overline{Q_{previa}} + Q_{previa} \cdot \overline{K}$$

Lo que en VHDL se podría traducir como: $Q \leq (J \text{ and not } Q) \text{ or } (Q \text{ and not } K)$

Una vez definido esto, solo resta desarrollar el código:

```

21
22 library IEEE;
23 use IEEE.STD_LOGIC_1164.ALL;
24
25
26 entity tp3 is
27     Port ( J : in STD_LOGIC;
28           K : in STD_LOGIC;
29           C : in STD_LOGIC;
30           Q : out STD_LOGIC;
31           noQ : out STD_LOGIC);
32 end tp3;
33
34 architecture Behavioral of tp3 is
35
36     signal aux : std_logic;
37
38     begin
39
40     process(C)
41
42     begin
43         if (C='1' and C'event) then
44             aux <= (J and not aux) or (not K and aux);
45         end if;
46     end process;
47     Q <= aux;
48     noQ <= not aux;
49
50 end Behavioral;
51

```

Cabe destacar que para poder utilizar el pulsador como señal de clock, hay que agregar una línea de código en el archivo de implementación del proyecto, debido a que como el programa detecta que la variable C tiene comportamiento de clock, intenta “enrutar” el pin correspondiente a esa variable con un pin de clock.

```

12 set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets C_IBUF]

```

Conclusiones

Sinceramente creo que la forma en la que se nos a evaluado el TP, nos permite profundizar los conocimientos sobre el uso de este tipo de placas y no nos limita a solo hacer un circuito o proyecto en específico, además de que nos permite empezar a adentrarnos en el mundo del diseño y programación de microcontroladores. Como cualquier proyecto de desarrollo de código, necesita tiempo de maduración y muchas horas de prueba y error, pero siento que es la forma en la que uno realmente puede llegar a entender a fondo los conceptos que se intentan alcanzar.