

Laboratório de Sistemas Digitais

Apresentação da Unidade Curricular

Ano Letivo 2023/24



Laboratório de Sistemas Digitais

- Área científica
 - Arquitetura dos Sistemas Computacionais
- Incide sobre os conceitos fundamentais, metodologias, linguagens e as ferramentas atualmente empregues no projeto de sistemas digitais
- Objetivos
 - Modelação de sistemas digitais essencialmente baseada em linguagens de descrição de hardware (VHDL) e diagramas esquemáticos
 - Desenvolvimento de sistemas digitais com base em dispositivos programáveis – FPGA (*Field-Programmable Gate Array*)
 - Utilização de ferramentas de projeto assistido por computador

Vamos projetar sistemas digitais baseados em VHDL, FPGA e kits de hardware “estado da arte”!

Informação Disponível no Dossiê Pedagógico em elearning.ua.pt

- Enquadramento
- Objetivos de aprendizagem
- Conteúdos programáticos
- Calendário previsto das aulas
- Metodologias de ensino
- Bibliografia
- Avaliação
- Material a usar nas aulas práticas
- Acesso às placas de desenvolvimento fora do período das aulas práticas
- Regime de faltas na prática
 - Obrigatório assistir a pelo menos 80% das aulas
- *Site* de suporte
- Regras de envio de e-mails
- Esclarecimento de dúvidas
 - OTs
 - Atendimento
- Ilícitos

É obrigatória a leitura integral do dossiê pedagógico (conhecimento das regras)

Avaliação

- Classificação final obtém-se da média ponderada de duas componentes
 - Componente teórico-prática – peso de 40%
 - Componente prática – peso de 60%
 - Aprovação – média ponderada ≥ 9.5 valores
 - Nota mínima a cada componente – 7.5 valores

Avaliação Teórico-Prática

- Teste intercalar a realizar nas aulas teórico-práticas: 35% (3 e 5 de abril)
- Participação em aulas teórico-práticas: 15%
- Exame final a realizar na época de exames: 50%

Avaliação Prática

- Desafio de mini-projeto em grupo: 30%
- Participação em aulas práticas: 20%
- Projeto final em grupo: 50%
- Nota:
 - O trabalho (realização dos guiões) é individual
 - Uma placa de desenvolvimento por cada dois alunos

Projetos

- Desafio de mini-projeto
 - realizado numa aula prática
- Projeto final
 - Publicação da lista e regras de submissão em data a anunciar (previsivelmente no início de maio)
 - Escolha numa das aulas práticas
 - Apresentação e defesa na última aula prática
 - A defesa terá o peso **predominante** na avaliação do projeto final

Trabalhadores Estudantes

- Deverão, obrigatoriamente, estar inscritos numa turma prática
- Avaliação Prática
 - Projeto final individual: 100%
 - **Mas, pode ser igual à dos restantes alunos se assistirem a pelo menos 80% das aulas práticas e entregarem uma declaração em como pretendem ser avaliados dessa forma**

Docentes

- Coordenadora:
 - Iouliia Skliarova
- Aulas TP:
 - Adão Silva, Iouliia Skliarova
- Aulas P:
 - Adão Silva, Augusto Silva, Guilherme Campos, Iouliia Skliarova, Manuel Violas

Orientação Tutorial/Atendimento

- Atendimento teórico (OTs):
 - Quintas-feiras, 19h-20h à distância.
 - Caso não apareça nenhum aluno durante os primeiros 10 minutos, a OT termina.
 - Não haverá sessões de OT na primeira semana de aulas, durante as férias da Páscoa e na semana académica.
- Atendimento prático:
 - Quartas-feiras na sala 4.2.17 do DETI, das 15h às 16h
 - Só funciona desde que haja alunos inscritos. As inscrições devem ser realizadas, no eLearning, até 24h antes da respetiva sessão de atendimento.
 - Não haverá atendimento na primeira e na última semanas de aulas, durante as férias da Páscoa e na semana académica.

Bibliografia

- Bibliografia principal:
 - B.C. Readler, “VHDL by Example - A Concise Introduction for FPGA Design”, Full Arc Press, 2014.
- Bibliografia on-line
 - B. Mealy, F. Tappero, “Free Range VHDL”, www.freerangefactory.org, 2018.
- Bibliografia adicional
 - J.F. Wakerly, Digital design: Principles and practices, 5ª ed., Pearson, 2018.
 - V.A. Pedroni, “Circuit Design with VHDL”, MIT Press, 2020.
 - R. Jasinski, “Effective Coding with VHDL: Principles and Best Practice”, MIT Press, 2016.
 - V. Sklyarov, I. Skliarova, A. Barkalov, L. Titarenko, "Synthesis and Optimization of FPGA-Based Systems", Springer, Switzerland, 2014.

Ilícitos

A cópia, no todo ou em parte, de qualquer material entregue para avaliação é considerada fraude. Sem prejuízo de outras medidas que possam vir a ser tomadas, nomeadamente a comunicação superior e a instauração do competente processo disciplinar, a deteção dessa prática implica a atribuição da classificação 0 (zero) ao elemento de avaliação em causa, ou caso se trate do projeto final implicará a atribuição da classificação 0 (zero) valores à componente prática da UC.

Vamos começar!

Bom trabalho!

6 ECTS correspondem por semana a
4h de aulas + 6h (trabalho fora das aulas)

