

Analisi di Reti Sequenziali Sincrone

Sintesi di Reti Sequenziali Sincrone

# Analisi di Reti Sequenziali Sincrone

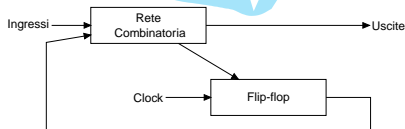
- ▶ Data una rete sequenziale sincrona, vogliamo darne una descrizione esauriente tramite:
  - ▶ **Equazioni booleane,**
  - ▶ **Tabelle di verità.**
  - ▶ **Diagrammi di Stato.***(tabella trans. stato)*
- ▶ Sappiamo che ad ogni uscita di una rete combinatoria corrisponde un'espressione booleana.
- ▶ Dato un circuito sequenziale sincrono, potremo prima di tutto costruire le **equazioni di ingresso ai flip flop**:
  - ▶ Associamo un nome ad ogni flip-flop incluso nella rete.
  - ▶ Associamo una variabile booleana ad ogni ingresso e ad ogni uscita di ogni flip-flop incluso nella rete (per esempio,  $J_A$ ,  $K_A$ ,  $D_A$ , etc.).
  - ▶ Ad ogni ingresso di ogni flip-flop, potremo costruire un'equazione  $V = E$  dove  $V$  è la variabile associata all'ingresso ed  $E$  è l'espressione relativa a  $V$  costruita a partire dalla rete combinatoria.
- ▶ In modo analogo, possiamo costruire **equazioni di uscita** per ogni uscita della rete sequenziale.

# Tablelle di Stato

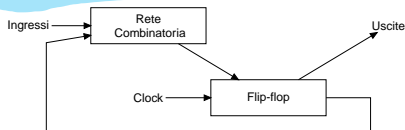
- ▶ A partire dalle equazioni di ingresso relative ad un circuito sequenziale, è possibile costruire una tabella, detta **tabella di stato**, che metta in relazione ingressi, uscite e stato.
- ▶ Ogni tabella di stato è formata da quattro sezioni.
- ▶ Nella sezione **Stato presente** sono elencati tutti i possibili stati per i flip-flop del circuito.
- ▶ Nella sezione **Ingressi** sono riportati i valori degli ingressi per ogni possibile stato presente.
- ▶ Nella sezione **Stato futuro** sono elencati i valori dello stato futuro per ogni combinazione dei valori dello stato presente e degli ingressi.
- ▶ Nella sezione **Uscite** sono elencati i valori delle uscite per ogni possibile combinazione dei valori dello stato presente e degli ingressi.
- ▶ È possibile costruire la tabella di stato monodimensionalmente o bidimensionalmente.

# Circuiti di Mealy e di Moore

- ▶ I circuiti sequenziali (sincroni) si possono classificare in base alla relazione intercorrente tra uscite, ingressi e stato.
- ▶ Se le uscite dipendono sia dagli ingressi, sia dallo stato, allora il circuito si dirà di tipo **Mealy**.



- ▶ Se le uscite dipendono soltanto dallo stato allora il circuito si dirà di tipo **Moore**.

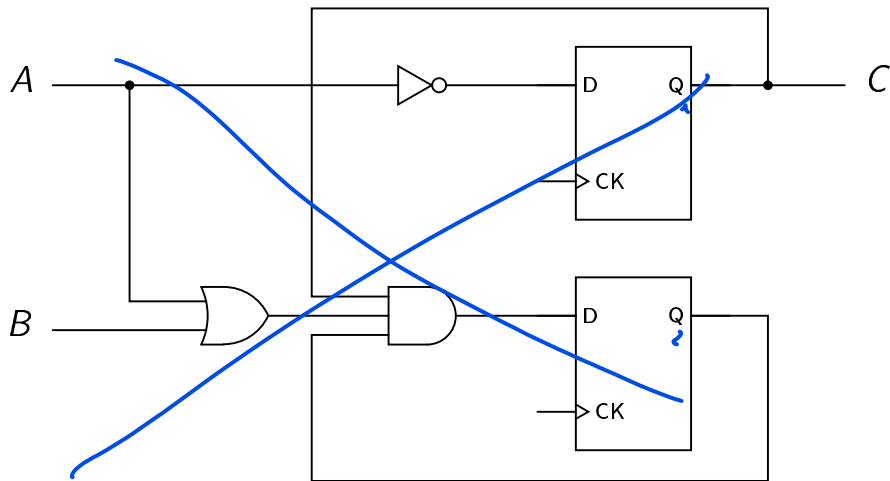


- ▶ Un circuito di tipo Moore può sempre essere ricondotto ad un circuito di tipo Mealy.

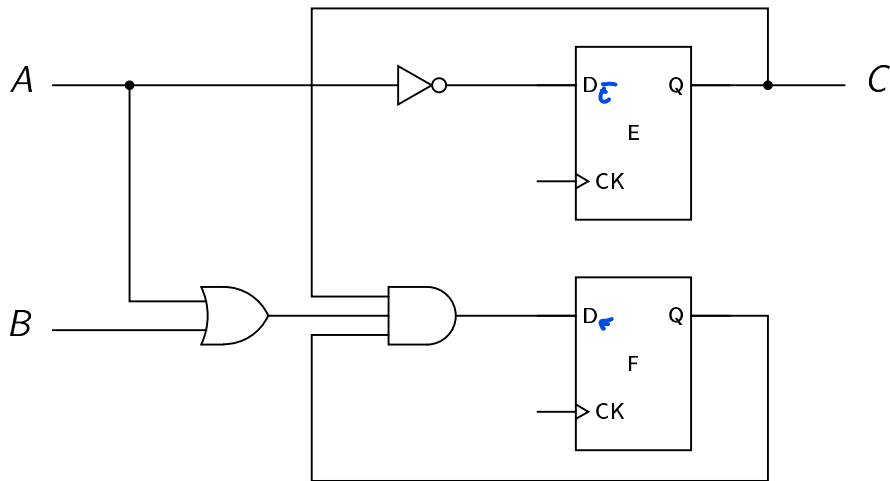
# Diagramma di Stato

- ▶ Le informazioni presenti nella tabella di stato possono poi essere rappresentate graficamente nel cosiddetto **diagramma di stato**.
- ▶ Nel diagramma di stato:
  - ▶ Ogni possibile valore dello stato interno è rappresentato da un **cerchio**.
  - ▶ Se in corrispondenza di uno stato interno  $S$  (e di un valore  $V$  per gli ingressi) lo stato futuro è  $T$ , allora esisterà una freccia (etichettata con  $V$ ) che collega  $S$  a  $T$ .
- ▶ Nei circuiti di tipo Mealy le uscite dipendono sia dallo stato che dagli ingressi. Di conseguenza, occorrerà specificare il loro valore sulle **freccie**.
- ▶ Nei circuiti di tipo Moore, invece, le uscite dipendono solo dallo stato. Di conseguenza, basterà specificare il loro valore sugli **stati**.

## Analisi di Reti Sequenziali Sincrone: Esempio



## Analisi di Reti Sequenziali Sincrone: Esempio



$$D_E = \bar{A} \quad D_F := EF(A+B) \quad C := E$$

## Analisi di Reti Sequenziali Sincrone: Esempio

**Equazioni di Ingresso ai Flip-Flop  
e Equazioni di Uscita**

$$D_E = \overline{A}$$

$$D_F = E(A + B)F$$

$$C = E$$



# Analisi di Reti Sequenziali Sincrone: Esempio

Es6

Tabella di Stato

$$= A$$

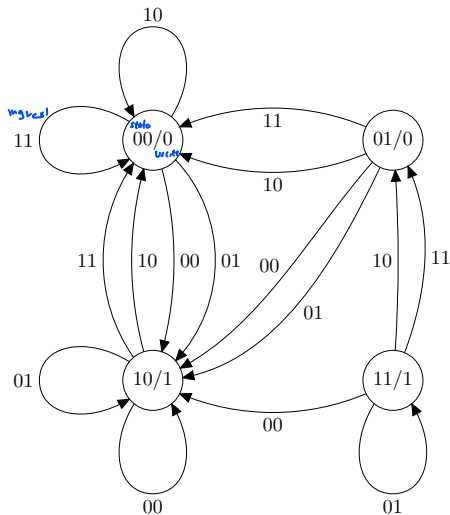
$$= EF(A+B)$$

$$= E$$

Stato presente		Ingressi		Stato futuro		Uscite
$E$	$F$	$A$	$B$	$D_E$	$D_F$	$C$
0	0	0	0	1	0	0
0	0	0	1	1	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	1	0	0
0	1	0	1	1	0	0
0	1	1	0	0	0	0
0	1	1	1	0	0	0
1	0	0	0	1	0	1
1	0	0	1	1	0	1
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	1	0	1
1	1	0	1	1	1	1
1	1	1	0	0	1	1
1	1	1	1	0	1	1

# Analisi di Reti Sequenziali Sincrone: Esempio

Grafo



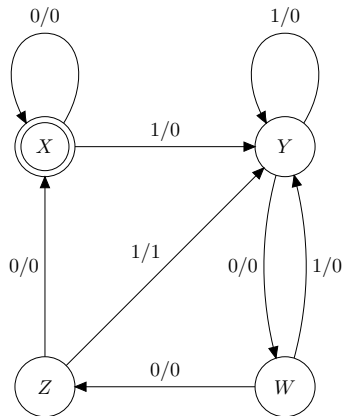
## Sintesi di Reti Sequenziali Sincrone

- ▶ Il problema di sintetizzare una rete sequenziale sincrona a partire da una sua descrizione verbale può essere risolto come segue:
  1. Prima di tutto si ricavano il diagramma di stato o la tabella di stato a partire dalla descrizione verbale.
  2. Se è disponibile solo il diagramma di stato, si ricava la tabella di stato.
  3. Si assegnano codici binari agli stati.
  4. Si derivano le equazioni d'ingresso ai flip-flop a partire dalla tabella di stato.
  5. Si derivano le equazioni di uscita a partire dalla tabella di stato.
  6. Si semplificano le equazioni d'ingresso ai flip-flop e le equazioni di uscita.
  7. Si costruisce la rete sequenziale a partire dalle espressioni ottenute al punto precedente.

## Sintesi di Reti Sequenziali Sincrone: Esempio

- ▶ Vogliamo costruire una rete sequenziale che riconosca la presenza di una certa sequenza di bit fissata, anche se inclusa in una sequenza più lunga.
- ▶ La sequenza di bit che vogliamo riconoscere è 1001.
- ▶ La rete dovrà avere un ingresso  $A$  e un'uscita  $B$  e dovrà riconoscere la sequenza di bit 1001 applicata all'ingresso  $A$ .
- ▶ Più precisamente, l'uscita dovrà valere 1 se e solo se:
  - ▶ In corrispondenza ai 3 tre precedenti fronti di salita del clock, i valori letti in  $A$  erano, rispettivamente, 1, 0 e 0.
  - ▶ Il valore attuale dell'ingresso  $A$  è 1.

## Sintesi di Reti Sequenziali Sincrone: Esempio



## Sintesi di Reti Sequenziali Sincrone: Esempio

**Tabella di Stato Implicita**

Stato presente	Ingressi	Stato futuro	Uscite
	<i>A</i>		<i>B</i>
<i>X</i>	0	<i>X</i>	0
<i>X</i>	1	<i>Y</i>	0
<i>Y</i>	0	<i>W</i>	0
<i>Y</i>	1	<i>Y</i>	0
<i>W</i>	0	<i>Z</i>	0
<i>W</i>	1	<i>Y</i>	0
<i>Z</i>	0	<i>X</i>	0
<i>Z</i>	1	<i>Y</i>	1

## Sintesi di Reti Sequenziali Sincrone: Esempio

- ▶ Per catturare quattro stati diversi abbiamo bisogno di sequenze di bit lunghe 2.
- ▶ Introduciamo le due variabili booleane  $E$  e  $F$ . Facciamo corrispondere gli stati agli assegnamenti di verità alle due variabili  $E$  e  $F$  come segue:

Stato	$E$	$F$
$X$	0	0
$Y$	0	1
$W$	1	0
$Z$	1	1

- ▶ Abbiamo bisogno, quindi, di due flip-flop, che chiameremo  $E$  e  $F$ .

## Sintesi di Reti Sequenziali Sincrone: Esempio

**Tabella di Stato Esplicita**

Stato presente		Ingressi	Stato futuro		Uscite
$E$	$F$	$A$	$D_E$	$D_F$	$B$
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	0	0	0
1	1	1	0	1	1



## Sintesi di Reti Sequenziali Sincrone: Esempio

$$B = E\bar{F}A \quad (\text{errore})$$

$$D_E = \bar{E}\bar{F}\bar{A} + E\bar{F}\bar{A} = (\text{ricavato})$$
$$= (\bar{E}F + E\bar{F})\bar{A}$$

$$= (E \oplus F)\bar{A}$$

$$D_F = \bar{E}\bar{F}A + \bar{E}FA + E\bar{F}\bar{A} + E\bar{F}A + EFA \quad (\text{ricavato})$$

$$= \bar{E}\bar{F}A + \bar{E}FA + E\bar{F}\bar{A} + E\bar{F}A + EFA$$

$$= (\bar{E}\bar{F} + \bar{E}F + E\bar{F} + EF)A + E\bar{F}\bar{A}$$

$$= A + E\bar{F}\bar{A}$$

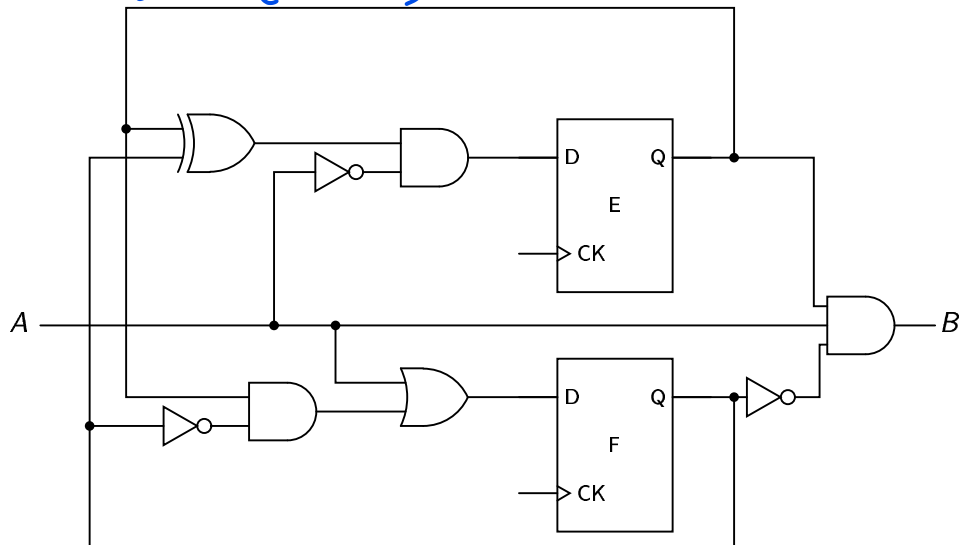
$$= (A + E\bar{F})(A + \bar{A})$$

$$= A + E\bar{F}$$

## Sintesi di Reti Sequenziali Sincrone: Esempio

$$D_E = \overline{A} (E \times \vee F)$$

$$D_F := A + E\overline{F}$$



$$B = A E \overline{F}$$