

alcune slide non si fanno

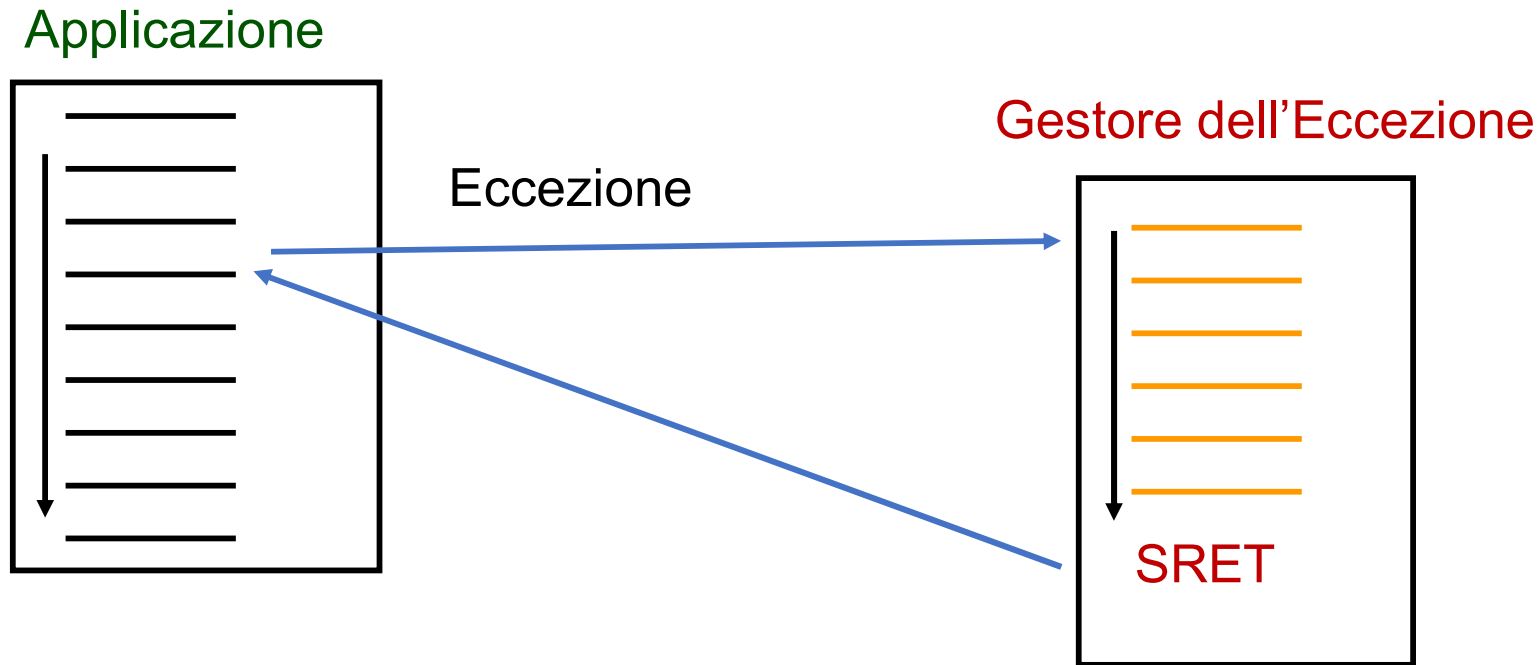
Architettura degli Elaboratori

a.a. 2021 – 2022

Il meccanismo di interruzione del processore RISC-V

Eccezioni

SRET=Supervisor Return
è una istruzione speciale
a conclusione del gestore



- **Eccezione**

- trasferimento del flusso di controllo non legato strettamente al codice utente
- Il sistema gestisce l'eccezione eseguendo il "**Gestore dell'eccezione**"

- **Esempio**

- l'utente preme un tasto e questo interrompe l'esecuzione del programma utente
- la CPU esegue un "gestore della pressione di un tasto" che legge un codice corrispondente al tasto e lo trasferisce in un buffer relativo ai tasti premuti

Comportamento del calcolatore

- Il programma in esecuzione deve essere **sospeso e poi riattivato**
 - il calcolatore salva il punto del codice (Program Counter) in cui si è verificata l'eccezione (1)
- Il controllo passa quindi al “**Gestore dell'Eccezione**” (**Exception Handler**)
 - Il gestore dell'eccezione deve rimediare alla situazione
 - A seconda del tipo di eccezione, il gestore esegue azioni diverse
 - il calcolatore identifica e salva la causa dell'eccezione (2)
- **RISC-V: registri speciali SEPC e SCAUSE**
 - (1) **SEPC** - l'indirizzo del codice in cui si verifica l'eccezione
 - (2) **SCAUSE** - la causa dell'eccezione

Tipo di Eccezioni

Evento Asincrono

Interrupt
(e.g., I/O)

Errore

(e.g., overflow)

Evento Sincrono

Environment Call

(o "Trap" o "System Call")

Environment break

(debug)

L'eccezione permette alle applicazioni di avere accesso al calcolatore in modo controllato, attraverso codice che sta nel sistema operativo.



- **Modalità supervisor (kernel mode):**
durante l'eccezione il calcolatore esegue codice del sistema operativo
- **Modalità user (user mode):**
Le applicazioni vengono eseguite in modalità user, senza poter fare accesso alle risorse privilegiate hardware del calcolatore

Interrupt, errore, ecall, ebreak

Interrupt (interruzione)

- Eccezione causata da eventi esterni
 - Pressione di un tasto, movimento del mouse ecc.
- Asincrona rispetto all'esecuzione del programma
- **Gestione fra istruzioni di un altro programma**

Errore

- Eccezione causata da eventi interni
 - Condizioni eccezionali (overflow, divisione per zero) ecc.
- Sincrona rispetto all'esecuzione del programma

Environment Call (istruzione **ecall** del RISC-V)

- Eccezione (sincrona) causata da richiesta di un Servizio di Sistema
 - Stampa di un messaggio, lettura di un intero ecc.

Environment Break (istruzione **ebreak** del RISC-V)

- Eccezione (sincrona) causata da motivi diagnostici o debugging

Exception Handler

- Il gestore dell'eccezione deve evitare di modificare lo stato dell'applicazione
 - I contenuti di TUTTI i registri $x1 \dots x31$ (e anche $f0 \dots f31$) NON devono essere alterati
- Il gestore dell'eccezione deve essere eseguito in una modalità protetta (kernel mode)
- Le eccezioni devono essere servite una alla volta
 - e.g., disabilitando le eccezioni, se il gestore dell'eccezione lo ritiene opportuno può riabilitarle

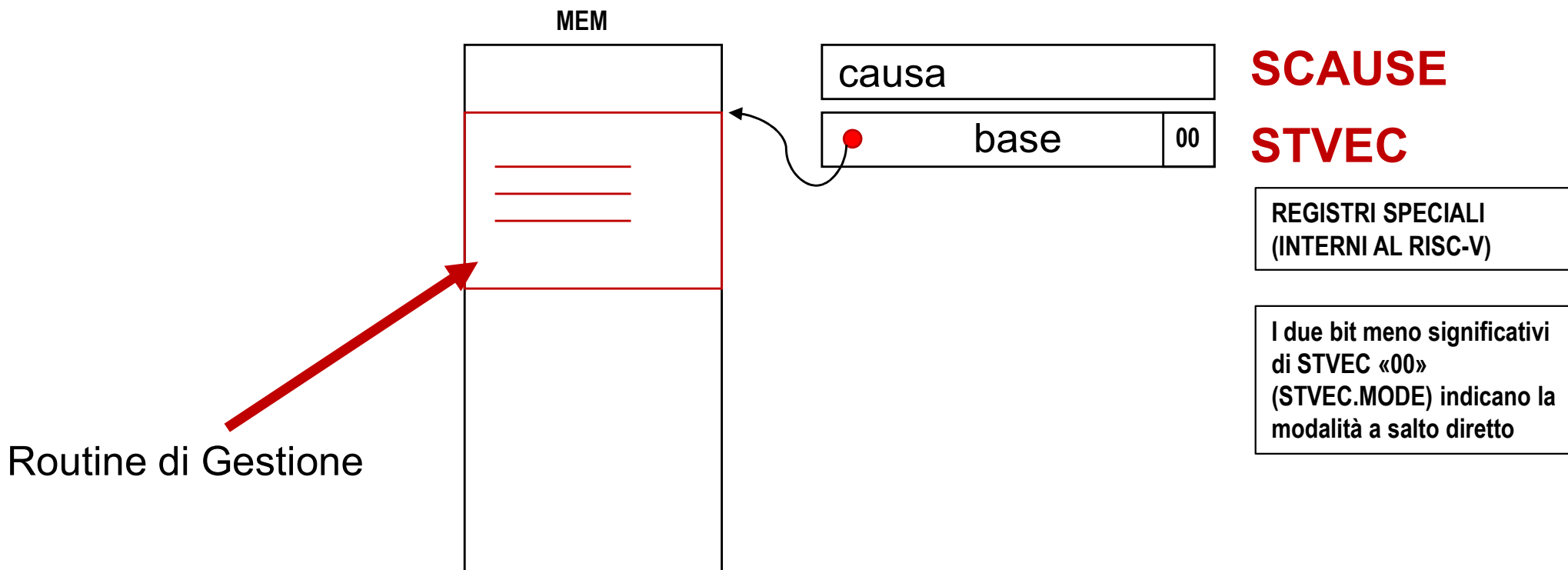
Exception Handler



- Metodi di implementazione
 - Salto diretto all'indirizzo della routine di gestione
 - Vettore di Interruzione
- RISC-V: il gestore dell'eccezione salva i registri che usa (e.g., salvando i registri temporanei nello stack)
- Vengono automaticamente impostati 2 bit che indicano la modalità supervisor ed eccezioni disabilitate

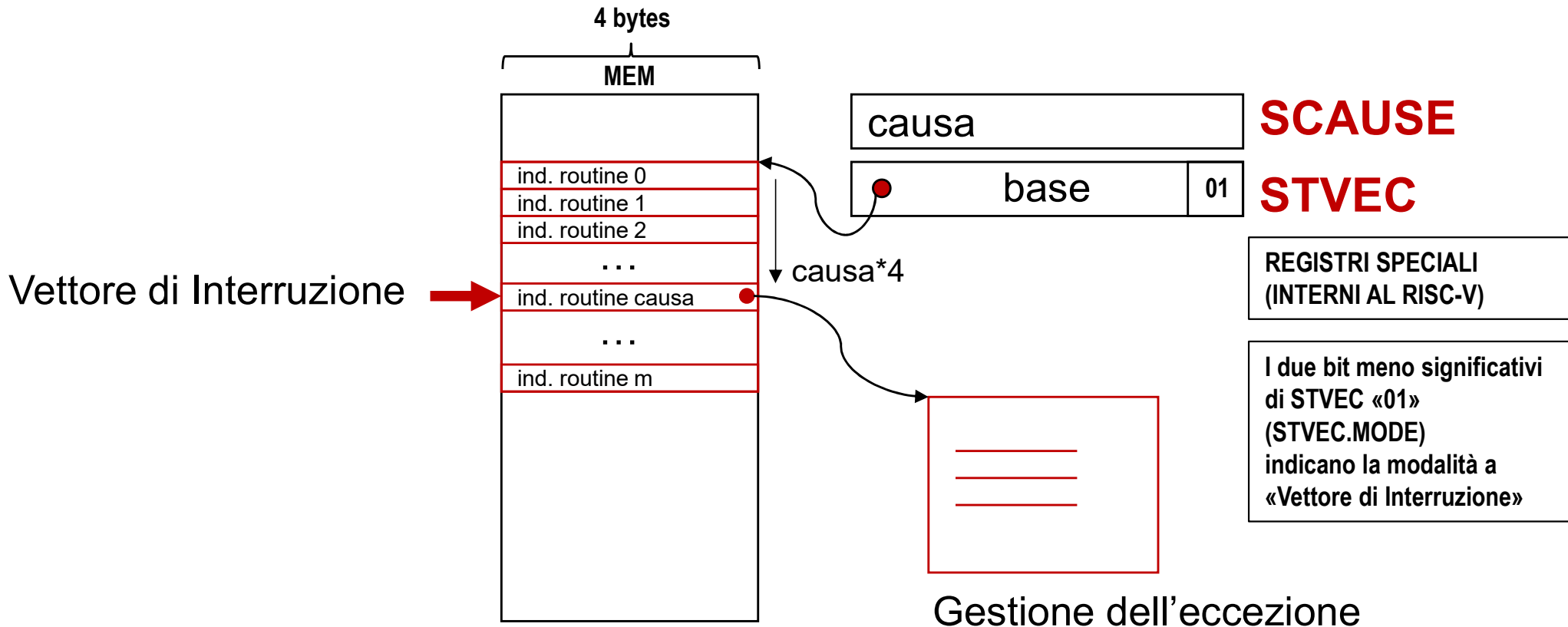
Salto diretto

- Salto diretto ad un indirizzo specifico
 - **PC** \leftarrow **base**
 - RISC-V: indirizzo base nel registro speciale **STVEC**
- Non è necessario prelevare l'indirizzo della routine di gestione (più veloce)
- Nella routine di gestione occorre analizzare la causa dell'eccezione



Vettore di Interruzione

- Tabella con gli indirizzi delle handler per ogni causa
 - $PC \leftarrow MEM [base + causa * 4]$
 - RISC-V, ma anche 370, 68000, Vax, 80x86, ...



Salvataggio dello stato

solo citate in generale

- **Salvataggio sullo stack (Push)**

- Vax, 68k, 80x86 (intero set dei registri)
- RISC-V, MIPS (solo i registri necessari, potenzialmente zero)

- **Registri ausiliari (Shadow Registers)**

- M88k, ARM

- **Salvataggio in registri speciali**

- RISC-V, MIPS
- Registri Speciali: EPC, CAUSE, STATUS, TVAL (o BadVaddr), ...

5/10 base

Eccezioni nel RISC-V

- **SEPC**

l'indirizzo dell'istruzione "colpevole"

- **SSTATUS**

i bit di abilitazione globale degli interrupt

- **SCAUSE**

i bit 63 e [3:0] codificano le possibili sorgenti di eccezione

- **STVAL** (Supervisor Trap Value)

l'indirizzo di memoria al quale si è verificato un riferimento di memoria "sbagliato" (anche chiamato "BadVAddr")

- **SIP** (Supervisor Pending Interrupts)

monitoraggio degli interrupt in attesa

- **SIE** (Supervisor Interrupt Enable)

Abilitazioni più fini per gli interrupt

- **STVEC** (Supervisor Trap Vector)

indirizzo base della lista dei «vettori di interrupt»

- **SSCRATCH**

registro per salvataggi temporanei

Eccezioni nel RISC-V

• STATUS	registro <u>CSR 0x100</u>
• SEPC	registro CSR 0x141
• SCAUSE	registro CSR 0x142
• STVAL	registro CSR 0x143
• SIP	registro CSR 0x144
• SIE	registro CSR 0x104
• STVEC	registro CSR 0x105
• SSCRATCH	registro CSR 0x140

- Registri speciali a 64 bit: fanno parte di un banco interno di registri chiamati 'CSR' o CONTROL-STATUS REGISTERS
- Al verificarsi di un'eccezione, il controllo della CPU modifica: SEPC, SSTATUS, SCAUSE, PC

Esempio: SCAUSE Register



- Int (1 bit)
se vale 1, la sorgente è un interrupt, se vale 0 la sorgente è una eccezione
- Code (4 bits) codifica la ragione dell'eccezione
 - 0 – Instruction address misaligned
 - 2 – Illegal instruction
 - 3 – Breakpoint
 - 4 – Load address misaligned
 - 5 – Load address fault
 - 6 – Store address misaligned
 - 7 – Store address fault
 - 8 – Environment call from U-mode
 - 9 – Environment call from S-mode
 - C – Instruction page fault
 - ...

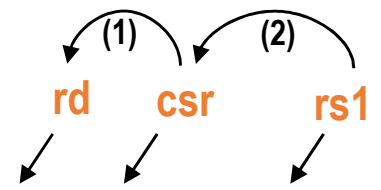
Ad esempio: opcode diversi da lw, sw, (R-type), beq, ecc.



Le istruzioni speciali

Tipo	Nome simbolico	Nome esteso
Accesso ai registri CSR	CSRRWI	Lettura/scrittura immediata CSR
	CSRRSI	Lettura/impostazione immediata CSR
	CSRRCI	Lettura/azzeramento immediato CSR
	CSRRW	Lettura/scrittura CSR
	CSRRS	Lettura/impostazione CSR
	CSRRC	Lettura/azzeramento CSR
Sistema	ECALL	Chiamata di ambiente
	EBREAK	Breakpoint di ambiente
	SRET	Ritorno da eccezione del supervisore
	WFI	Attesa di interrupt

Esempio


CSRRW t0 , stvec , t1 # carica in t0 stvec e lo aggiorna con t1