

Filtro FIR a Radice Quadrata di Coseno Rialzato

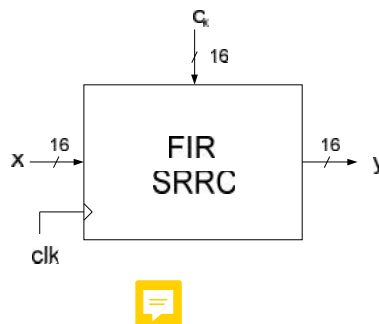
Progettare un circuito digitale che realizzi un filtro FIR (Finite Impulse Response) con risposta impulsiva a Radice Quadrata di Coseno Rialzato (Square Root Raised Cosine, SRRC). Le sue caratteristiche dovranno essere le seguenti.

-) Ordine del filtro pari a $N = 22$
-) Numero di campioni per simbolo pari a 4
-) Fattore di Roll-Off pari a 0.5

$$y[n] = \sum_{i=0}^N c_i x[n - Zi]$$

Per ingressi, uscite e coefficienti utilizzare una rappresentazione su 16 bit e in particolare, per i coefficienti c_k possono essere utilizzati i seguenti valori:

$c_0 = c_{22} = -0.0165$; $c_1 = c_{21} = -0.0150$; $c_2 = c_{20} = 0.0155$; $c_3 = c_{19} = 0.0424$; $c_4 = c_{18} = 0.0155$; $c_5 = c_{17} = -0.0750$; $c_6 = c_{16} = -0.1568$; $c_7 = c_{15} = -0.1061$; $c_8 = c_{14} = 0.1568$; $c_9 = c_{13} = 0.5786$; $c_{10} = c_{12} = 0.9745$; $c_{11} = 1.1366$.



La relazione finale del progetto deve contenere:

-) Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
-) Descrizione dell'architettura (diagramma a blocchi, ingressi/uscite, etc.)
-) Codice VHDL (con commenti dettagliati)
-) Test-plan e relativi Testbench per la verifica
-) Risultati della sintesi logica automatica su piattaforma Xilinx FPGA Zync: risorse utilizzate (slice, LUT, etc.), massima frequenza di funzionamento, cammino critico, etc. commentando eventuali messaggi di warnings.
-) Conclusioni