

# Conception d'un amplificateur audio



**EA113 - Projet d'électronique analogique**

18 avril 2025

**Auteurs :**

Mattéo BINET

Alexandre BROMET



# Sommaire

<b>Introduction</b>	<b>1</b>
<b>1 Cahier des charges</b>	<b>1</b>
<b>2 Conception du circuit</b>	<b>1</b>
2.1 Premier Étage . . . . .	2
2.1.1 Passe-Haut . . . . .	2
2.1.2 Amplificateur opérationnel . . . . .	3
2.2 Deuxième Étage . . . . .	4
2.2.1 Push Pull . . . . .	4
2.3 Circuit complet . . . . .	10
<b>3 Réalisation du Circuit Imprimé</b>	<b>10</b>
3.1 Conception du layout . . . . .	11
3.2 Fabrication du PCB . . . . .	12
3.3 Soudure des composants . . . . .	13
3.4 Vérification et tests . . . . .	13
<b>4 Test de la carte</b>	<b>14</b>
<b>Conclusion</b>	<b>14</b>
<b>Annexe</b>	<b>15</b>



## Introduction

Le projet d'électronique analogique, intégré au module EA113, vise à concevoir et à réaliser un amplificateur audiofréquence de puissance. Ce projet s'inscrit dans la continuité des travaux effectués lors du module EA108, où les bases théoriques et pratiques des circuits électroniques ont été établies. L'objectif principal est de mettre en application les connaissances acquises pour concevoir un amplificateur capable de répondre à des spécifications précises, tout en respectant les contraintes imposées.

Ce projet se décompose en plusieurs étapes, allant de la conception théorique à la réalisation pratique de l'amplificateur. L'outil de simulation utilisé est le logiciel PROTEUS. Il servira à valider les choix de conception et pour simuler le comportement du circuit avant sa mise en œuvre physique. Le circuit final est réalisé sur un circuit imprimé (PCB), fabriqué et testé pour valider ses performances en conditions réelles.

## 1 Cahier des charges

- L'amplificateur alimentera un haut-parleur d'impédance  $8 \Omega$  qui sera remplacée par une résistance pour l'étude.
- La tension d'entrée sera de l'ordre de  $100 \text{ mV}_{eff}$ , ce qui représente la tension de sortie d'un connecteur jack d'un téléphone.
- La bande passante devra s'étendre de  $40\text{Hz}$  à  $15\text{kHz}$ .
- La composante continue sera coupée par un passe-haut en entrée.
- L'impédance d'entrée dans la bande passante sera de  $47 \text{ k}\Omega$ .
- L'alimentation sera de  $\pm 15V$ .

## 2 Conception du circuit

Le circuit contient deux étages : le premier avec le passe-haut et l'amplificateur opérationnel contenant un asservissement et permettant de rehausser la tension et un deuxième étage avec le circuit Push Pull permettant de fournir un courant important.

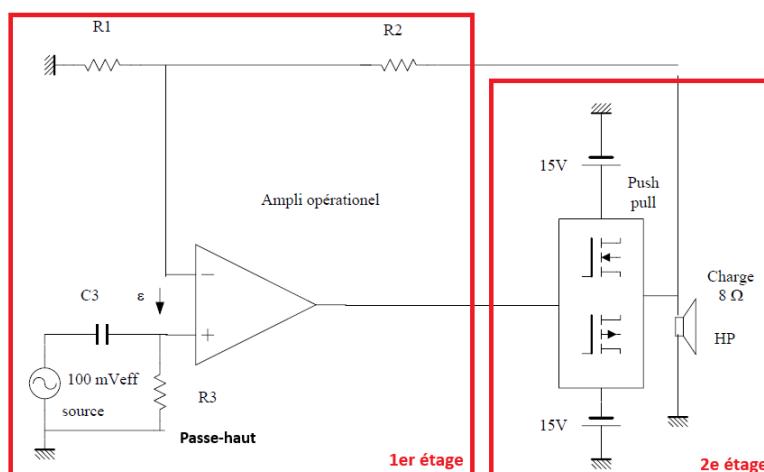


FIGURE 1 – Schéma des différents étages

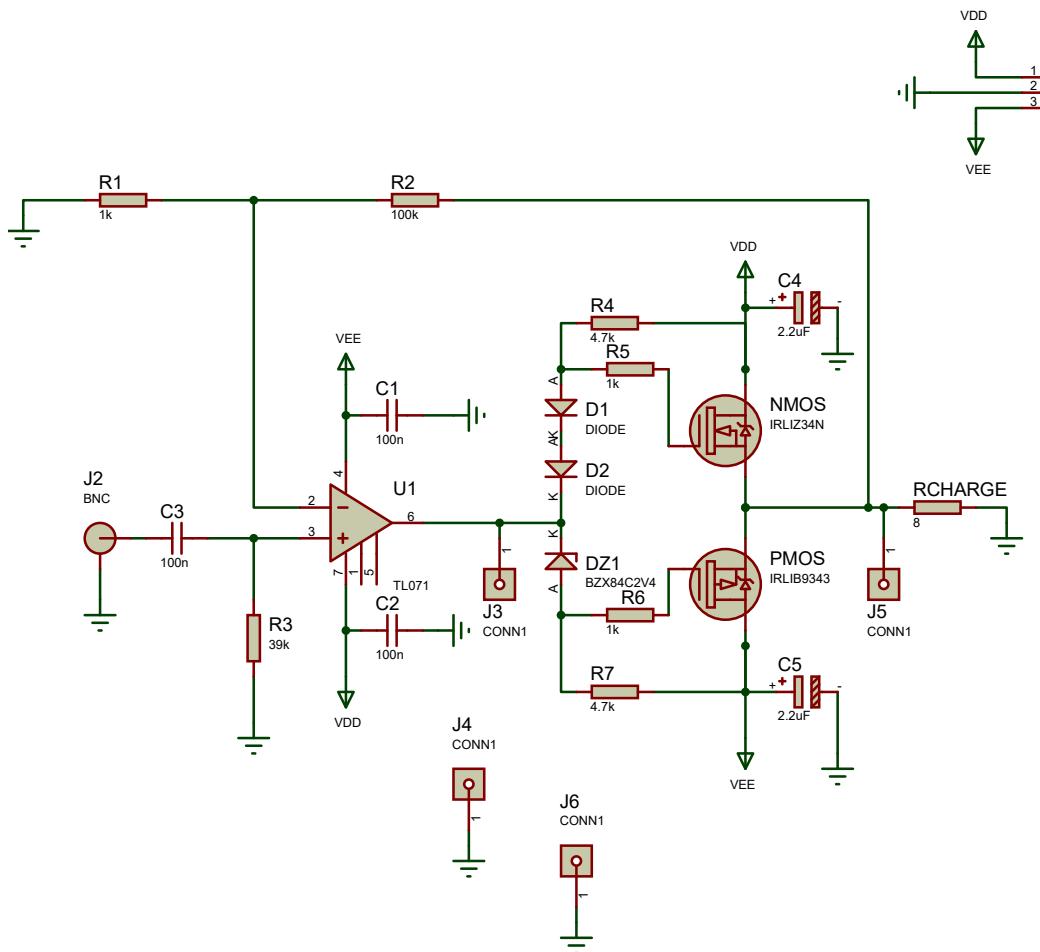


FIGURE 2 – Schéma Proteus du circuit

## 2.1 Premier Étage

### 2.1.1 Passe-Haut

Le filtre passe-haut utilisé en entrée de l'amplificateur est un filtre classique du premier ordre, composé d'une résistance  $R_3$  et d'un condensateur  $C_3$ . Son rôle est de supprimer une éventuelle composante continue présente dans le signal d'entrée. Cette composante continue, si elle n'est pas éliminée, pourrait provoquer la saturation du haut-parleur et introduire des distorsions dans le signal audio.

Le filtre est dimensionné pour avoir une fréquence de coupure  $f_c = 40\text{Hz}$ . Cela signifie qu'il bloque les fréquences inférieures à 40 Hz (y compris la composante continue) tout en laissant passer les fréquences supérieures, qui correspondent au signal audio utile. La

fréquence de coupure  $f_c$  d'un filtre passe-haut est donnée par la formule :

$$\frac{V^+}{e(t)} = \frac{jR_3C_3\omega}{1 + jR_3C_3\omega} \quad (1)$$

$$f_c = \frac{1}{2\pi R_3 C_3} \quad (2)$$

Si  $C_3 = 100 \text{ nF}$ , alors :

$$R_3 = \frac{1}{2\pi f_c C_3} = 39.8 \text{ k}\Omega \quad (3)$$

Ainsi, après normalisation, nous aurons :  $C_3 = 100 \text{ nF}$  et  $R_3 = 39 \text{ k}\Omega$ .

### 2.1.2 Amplificateur opérationnel

L'amplificateur opérationnel (AOP) constitue un élément essentiel du premier étage de l'amplificateur audio. Il permet d'amplifier la tension du signal d'entrée tout en assurant une grande impédance d'entrée et une faible impédance de sortie. Dans le cadre de ce projet, nous avons opté pour un AOP de type TL071, particulièrement adapté aux applications audio en raison de sa faible distorsion et de sa large bande passante.

L'AOP est configuré en amplificateur non-inverseur avec une contre-réaction globale négative. La contre-réaction permet de stabiliser le gain de l'amplificateur et de réduire la distorsion. Le gain en tension  $A_v$  de l'amplificateur est donné par la formule suivante :

$$A_v = 1 + \frac{R_2}{R_1} \quad (4)$$

où  $R_1$  et  $R_2$  sont les résistances de la contre-réaction.

L'amplification souhaitée est  $A_v \approx 100$  ( $40 \text{ dB}$ ) ce qui nous permet d'obtenir les valeurs de  $R_1$  et  $R_2$  :

$$100 = 1 + \frac{R_2}{R_1}$$

$$\Leftrightarrow \frac{R_2}{R_1} = 99$$

En posant  $R_1 = 1 \text{ k}\Omega$ , alors :

$$R_2 = 99 \text{ k}\Omega$$

Après normalisation des résistances :  $R_1 = 1 \text{ k}\Omega$  et  $R_2 = 100 \text{ k}\Omega$

**Impédance d'entrée du circuit** L'impédance d'entrée du circuit dans la bande passante est déterminée par la résistance  $R_3$  et le condensateur  $C_3$  et l'impédance d'entrée de l'AOP (négligeable car très élevée). Pour que l'impédance d'entrée soit d'environ  $47 \text{ k}\Omega$  dans la bande passante, nous devons nous assurer que la résistance  $R_3$  est correctement dimensionnée.

L'impédance d'entrée  $Z_{in}$  du filtre passe-haut est donnée par :

$$Z_{in} = \frac{R_3}{1 + j\omega R_3 C_3}$$

Pour les fréquences bien au-dessus de la fréquence de coupure  $f_c$ , l'impédance du condensateur  $C_3$  devient négligeable, donc  $Z_{in} = R_3 = 39 \text{ k}\Omega \approx 47 \text{ k}\Omega$  dans la bande passante.

## 2.2 Deuxième Étage

### 2.2.1 Push Pull

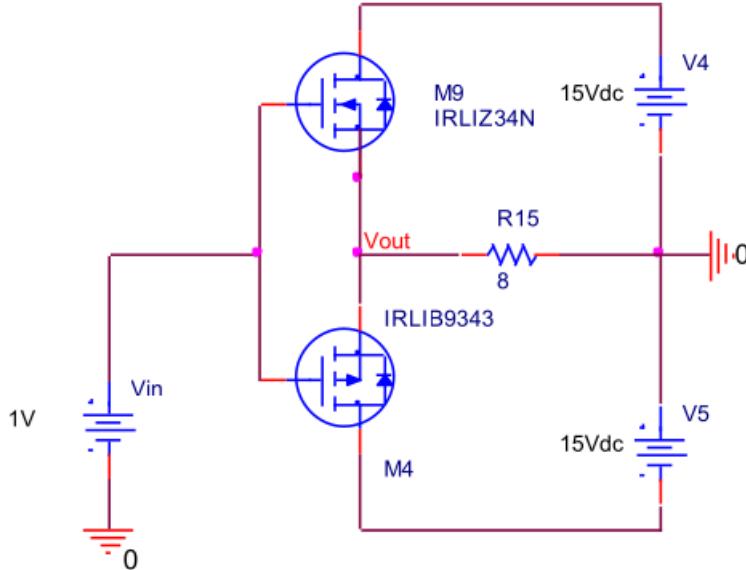


FIGURE 3 – Schéma du Push Pull

**Push Pull primitif** Prévision de la caractéristique de transfert  $V_{out}(V_{in})$  en fonction de l'état de fonctionnement des MOS et simulation sur PROTEUS.

**Les 2 MOS sont bloqués :**

- NMOS (M9) :  $V_{GS} < V_{T_9}$ , avec  $V_{GS_9} = V_{GS_4} = V_{GS}$
- PMOS (M4) :  $V_{GS} < -|V_T|$ , avec  $-V_{T_4} = V_{T_9} = V_T$

Comme les 2 MOS sont bloqués,  $V_{out} = 0$ , ainsi :

$$V_{GS} < V_T$$

$$V_{in} - V_{out} < V_T$$

$$V_{in} < V_T$$

Donc pour  $|V_{in}| < |V_T|$ ,  $V_{out} = 0$ .

**NMOS passant et PMOS bloqué :**

- NMOS (M9) :  $V_{GS} > V_T \implies V_{in} > V_T$  (car  $V_{out} = 0V$  à la frontière)
- PMOS (M4) :  $V_{GS} < |V_T|$

Lorsque  $V_{DS_9} > V_{GS} - V_T \Rightarrow$  NMOS linéaire.

Dans ce cas :  $I_{out} = \frac{\beta}{2}(V_{GS} - V_T)^2 = \frac{\beta}{2}(V_{in} - V_{out} - V_T)^2$

Ainsi, en négligeant  $\sqrt{\frac{2I_{out}}{\beta}} \approx 0,3V$ , il vient :

$$V_{out} = V_{in} - V_T$$

Une fois que  $V_{in}$  atteint  $V_4 + V_T$ , la sortie sature à  $V_{out} = V_4$ .

### NMOS bloqué et PMOS passant :

- NMOS (M9) :  $V_{GS} < V_T$
- PMOS (M4) :  $V_{GS} < -V_T \Rightarrow V_{in} < -V_T$  (car  $V_{out} = 0V$  à la frontière)

Lorsque  $V_{DS_4} < V_{GS} - (-V_T) \Rightarrow$  PMOS linéaire.

Dans ce cas :  $I_{out} = \frac{\beta}{2}(V_{GS} - (-V_T))^2 = \frac{\beta}{2}(V_{in} - V_{out} + V_T)^2$

Ainsi, en négligeant  $\sqrt{\frac{2I_{out}}{\beta}} \approx 0,3V$ , il vient :

$$V_{out} = V_{in} + V_T$$

Une fois que  $V_{in}$  atteint  $-V_5 - V_T$ , la sortie sature à  $V_{out} = -V_5$ .

### Simulation Vérification du modèle sur PROTEUS



FIGURE 4 – Simulation de la caractéristique de transfert  $V_{out}(V_{in})$

La largeur de la zone de blocage  $\Delta = 5V$  (de  $-2,5V$  à  $2,5V$ ) est environ égale à  $2V_T$ . De plus,  $V_{out}$  sature à  $+15V$  et à  $-15V$  pour  $V_{in} = 17,5V \approx V_4 + V_T$  et pour  $V_{in} = -17,5V \approx -V_5 - V_T$ , ce qui correspond à la théorie.

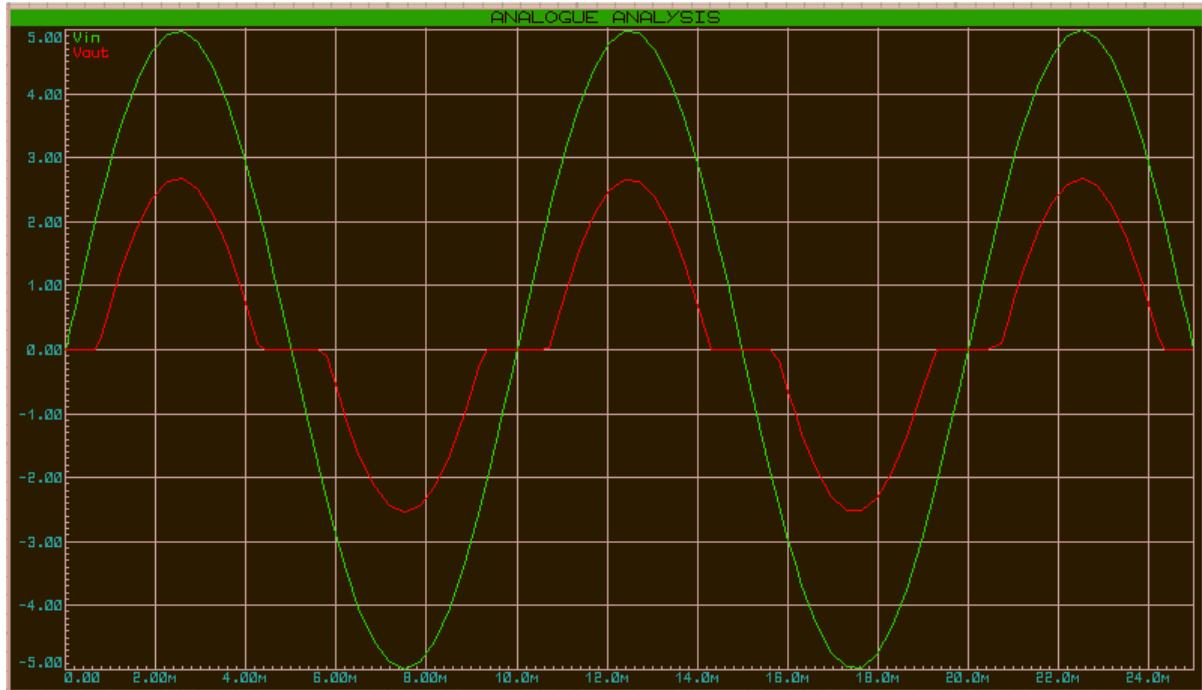


FIGURE 5 – Simulation temporelle de  $V_{out}$  et ( $V_{in}$ )

A cause de la distorsion de croisement,  $V_{out}$  ne suis pas correctement  $V_{in}$ .

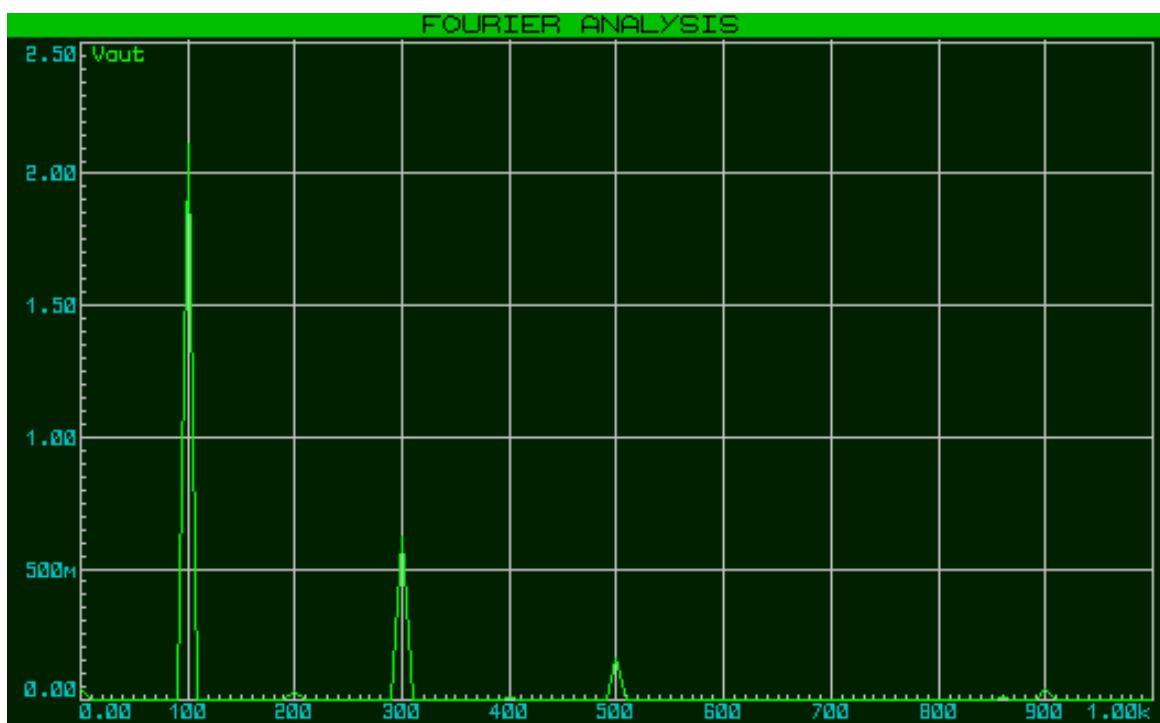


FIGURE 6 – Spectre de  $V_{out}$

La distorsion de croisement est également observable sur la FFT de  $V_{out}$ . Le spectre possède des harmoniques, c'est la conséquence de la distorsion de croisement.

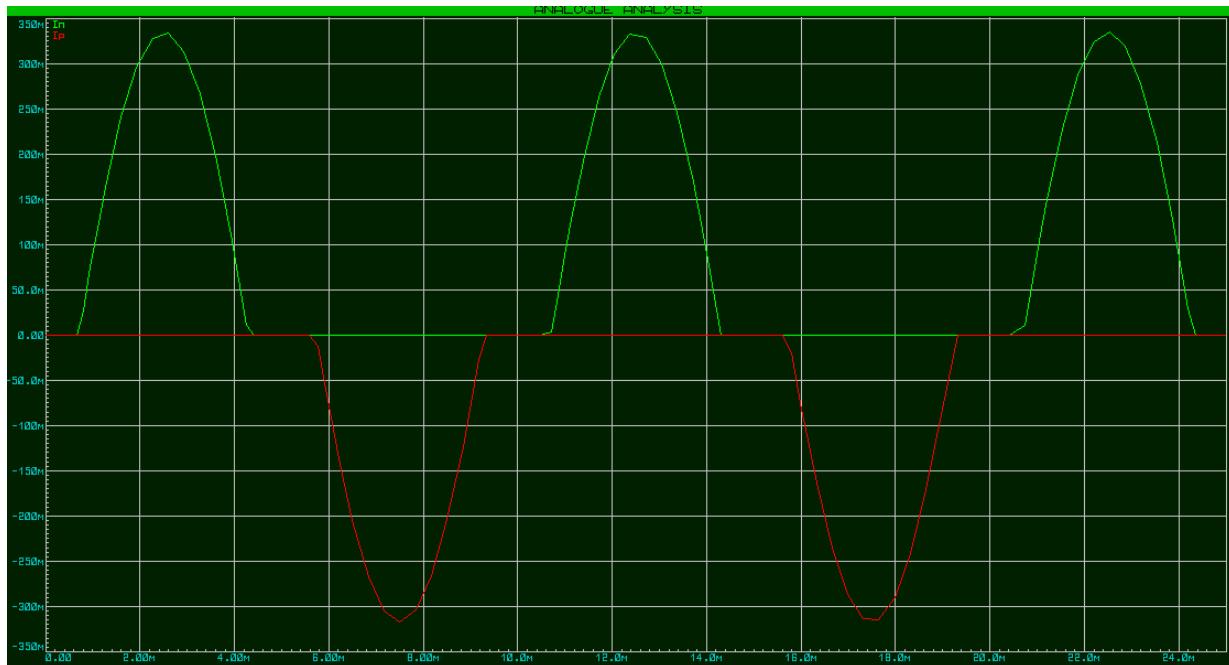


FIGURE 7 – Simulation de  $I_n(t)$  et  $I_p(t)$

$I_n(t)$  est positive tandis que  $I_p(t)$  est négative. Si le courant est positif et qu'il arrive dans la charge, c'est donc le push. S'il est négatif et qu'il part de la charge, c'est le pull. Ainsi le NMOS est le push et le PMOS le pull.

	Théorique littérale	Théorique numérique	Pratique formule	Pratique numérique
$V_m$	—	—	—	6 V
$I_{\text{alim}}$	$\frac{2V_m}{\pi R_L}$	98 mA	—	1,0 A
$P_{\text{alim}}$	$\frac{2V_m V_a}{\pi R_L}$	0,98 W	$I_{\text{alim}} \times V_a$	1,02 W
$P_u$	$\frac{V_m^2}{2R_L}$	0,46 W	$\frac{V_{\text{eff}}^2}{R_L} = \frac{V_s^2}{2R_L}$	0,44 W
$P_d$	$P_{\text{alim}} - P_u$	0,52 W	$P_{\text{alim}} - P_u$	0,56 W
$\eta$	$\frac{P_u}{P_{\text{alim}}} = \frac{V_m \pi}{4V_a}$	0,47	$\frac{P_u}{P_{\text{alim}}}$	0,44

TABLE 1 – Tableau de la puissance et du rendement du push pull

**Push Pull final** L'objectif est d'éliminer la distorsion de croisement en ajoutant des diodes en amont des MOS.

Voici le circuit retenu :

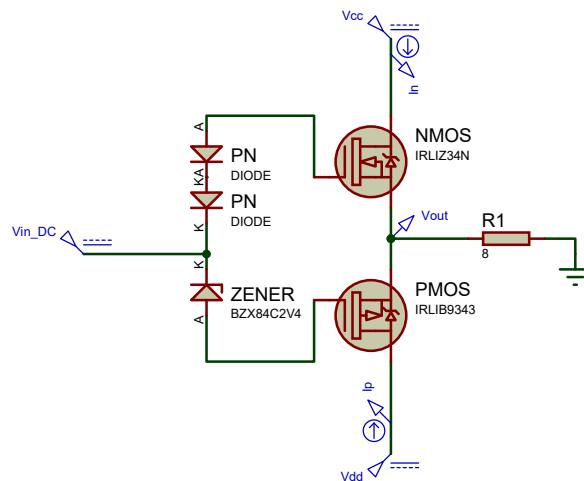


FIGURE 8 – Schéma du circuit

### Simulation Vérification du bon fonctionnement du circuit

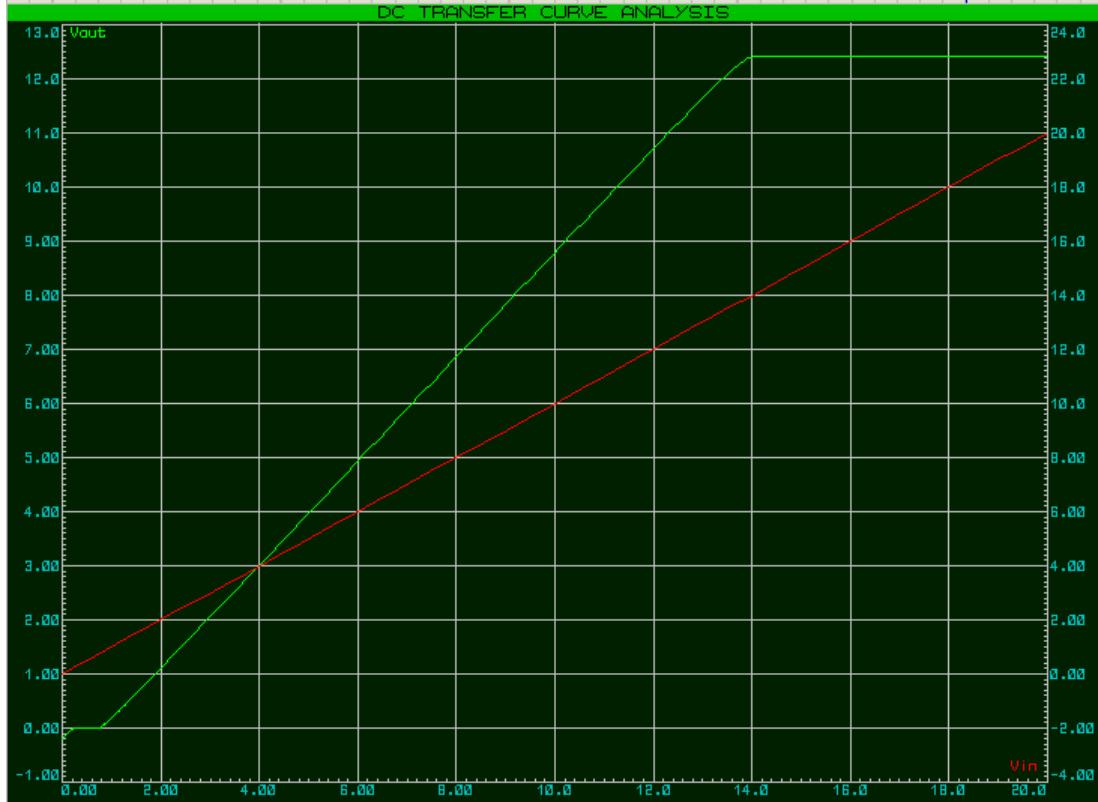


FIGURE 9 – Simulation de la caractéristique de transfert  $V_{out}(V_{in})$

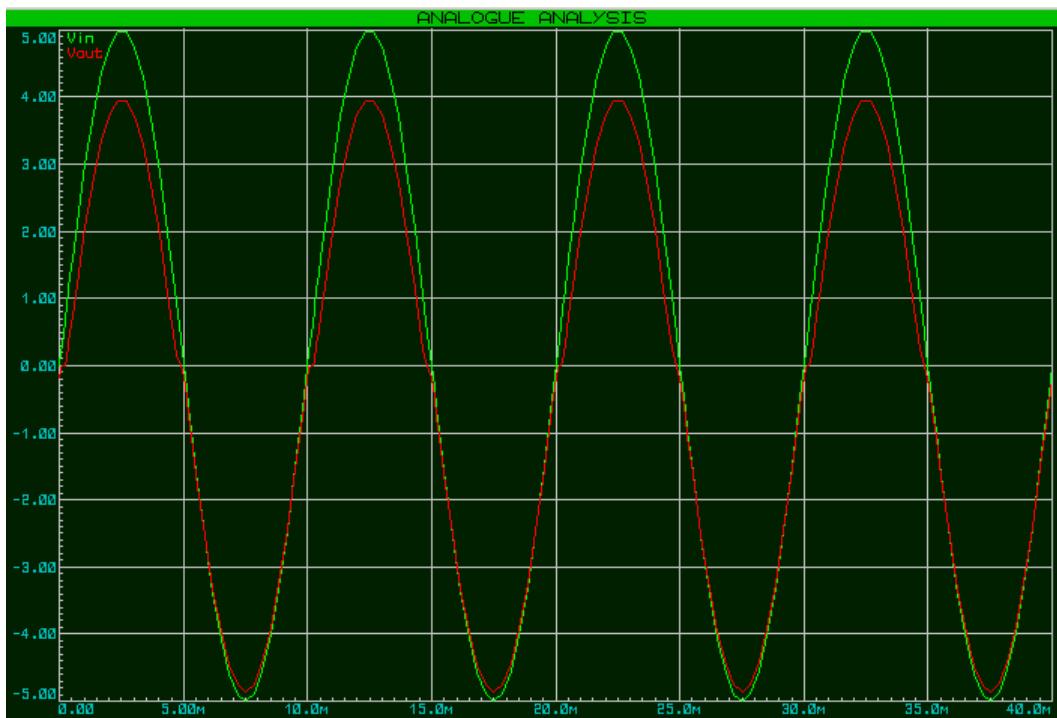


FIGURE 10 – Simulation temporelle de  $V_{out}(t)$  et  $V_{in}(t)$

Bien que la distortion de croisement n'est pas nulle, elle est beaucoup plus faible que

précédemment.

### 2.3 Circuit complet

La simulation montre qu'avec un sinus de 1kHz en entrée tel que la sortie soit de  $8V_{pp}$ , la distortion de croisement n'est pas visible et l'amplification est de 100.

Cependant, lorsque le sinus d'entrée augmente jusqu'à voir l'écrêtage de  $V_{out}$  alors une tension de déchet  $V_d = 2,9V$  apparaît.

Enfin,  $V_{out}$  présente des déformations lorsque la fréquence de  $V_{in}$  est de 10kHz.

**Dissipateurs** Lors de leurs fonctionnement, les NMOS et PMOS dissipent de la puissance. Cette puissance dissipée se traduit par un échauffement du composant. Cependant cette puissance est telle que les MOS pourraient atteindre des températures pouvant altérer leur fonctionnement, voir les dégrader. C'est pourquoi un dissipateur est installé avec chaque MOS transmettre leur excès de température à l'environnement, minimisant leur augmentation en température et assurant leur bon fonctionnement.

**Condensateurs de découplage** Des condensateurs de découplage sont placés en parallèle de chaque alimentations. Bien que théoriquement ils n'ont pas d'utilité puisque les alimentations sont constantes, mais en réalité ce n'est pas le cas. En effet, une ligne électrique est à la fois résistive et inductive. On limite les pertes résistive avec la largeur des pistes, et les pertes inductive avec les condensateurs. Les pertes inductives sont proportionnelles à la dérivée temporelle du courant, i.e. proportionnelles aux variations du courant. Lors des chutes de tensions, le condensateur se décharge en fournissant du courant, limitant les variations du courant et ainsi limitant les pertes inductive.

## 3 Réalisation du Circuit Imprimé

La réalisation du circuit imprimé (PCB) est une étape cruciale pour transformer le schéma électrique en un prototype physique fonctionnel. Cette section décrit les différentes étapes de la réalisation du PCB, depuis la conception du layout jusqu'à la réalisation finale du circuit.

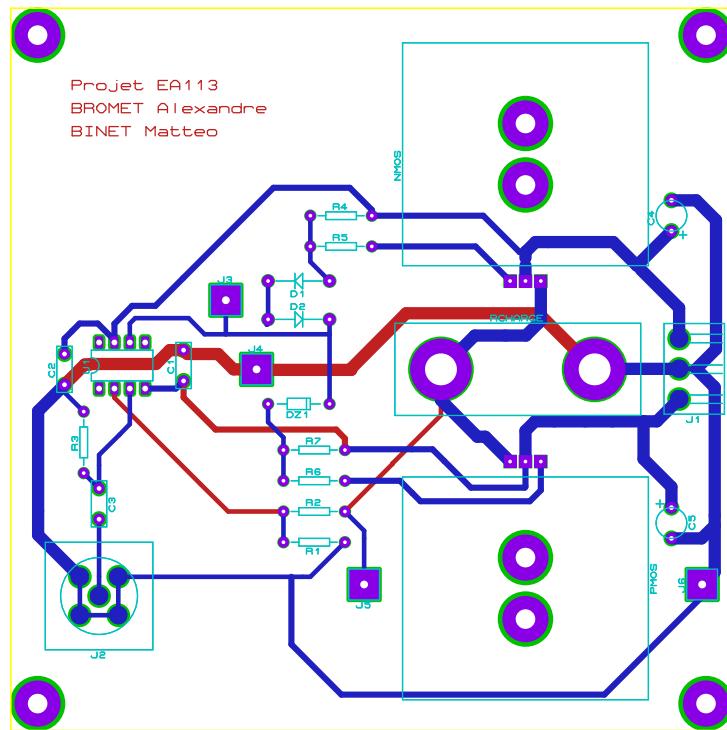


FIGURE 11 – Layout du circuit

### 3.1 Conception du layout

La conception du layout a aussi été réalisée à l'aide du logiciel PROTEUS. Cette étape consiste à transformer le schéma électrique en un plan de circuit imprimé, en définissant les empreintes des composants, les pistes de cuivre et les pastilles de soudure.

Les composants ont été placés de manière optimale pour minimiser les longueurs de pistes et les interférences. Les composants critiques, tels que les transistors MOSFET et l'AOP, ont été placés près des connexions d'alimentation pour réduire les pertes et les perturbations.

Le routage des pistes a été effectué en tenant compte des contraintes de largeur et de longueur minimales pour éviter les pertes par effet Joule et les inductances parasites. Les pistes de forte intensité ont été routées avec une largeur supérieure pour réduire les pertes et les risques de surchauffe. Les largeurs de pistes sont basées sur la règle empirique de  $5A/mm^2$ . L'ensemble des pistes sont au standard T30 sauf le GND et les alimentations principales pour les transistors ( $V_{DD}$  et  $V_{EE}$ ) qui sont en T80.

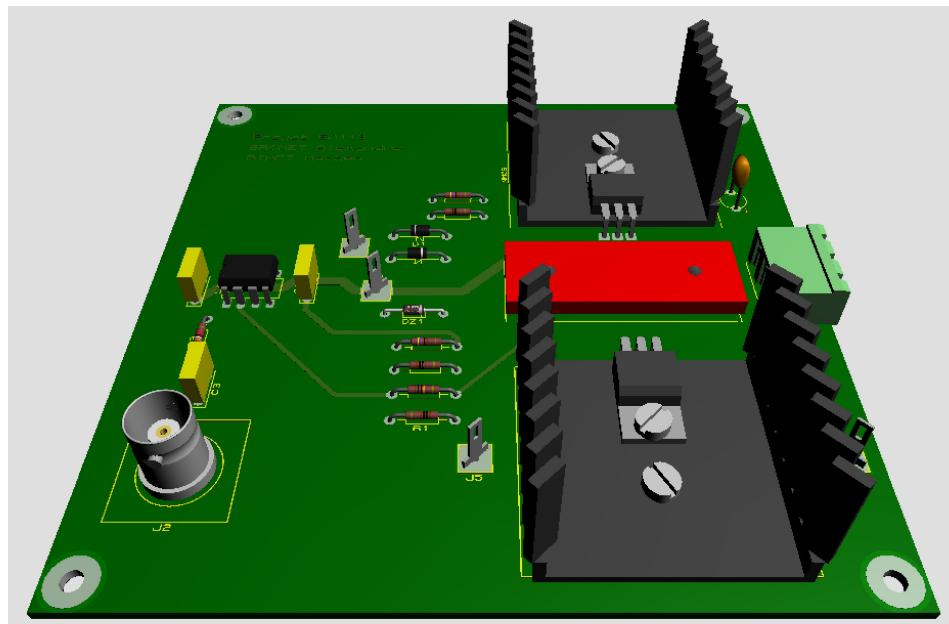


FIGURE 12 – Visualisation 3D du PCB

### 3.2 Fabrication du PCB

La fabrication du PCB a été réalisée, en suivant les étapes suivantes :

#### **Impression des typons :**

Les typons (masques de cuivre) ont été imprimés sur des feuilles de papier calque. Ces typons servent de modèle pour la gravure chimique du circuit imprimé. Ces papiers calques sont ensuite accrochés sur une plaque.

#### **Perçage :**

Les trous nécessaires pour les composants et les connexions ont été percés à l'aide d'une perceuse à commande numérique et du fichier de perçage .drl exporté de Proteus. Le perçage se fait sur une plaque FR4 cuivré photosensible.

#### **Transfert des typons :**

La plaque de cuivre est exposée à une source de lumière UV en étant sous vide pour durcir la couche photosensible, sauf sous les zones protégées par le typon.

#### **Révélation :**

Après l'insolation, la plaque a été plongée dans un bain de révélateur pour enlever la couche de résine sur les zones ne contenant pas de pistes.

#### **Gravure chimique :**

La plaque de cuivre a été plongée dans un bain de gravure chimique (perchlorure de fer) pour enlever le cuivre non protégé par la couche de résine photosensible. Cette étape permet de créer et de laisser uniquement les pistes de cuivre du circuit imprimé.

### Nettoyage et finition :

La plaque de cuivre a été nettoyée pour enlever les résidus de gravure et de perçage. Les bords de la plaque sont découpés aux bonnes dimensions.

### 3.3 Soudure des composants

Les composants ont été soudés sur le PCB en suivant un ordre de montage précis afin de faciliter l'assemblage et d'assurer une qualité de brasure optimale. Les composants les plus fins ont été soudés en premier (résistances, condensateurs, support du TL071), suivis des composants plus volumineux, tels que les transistors MOS et leurs dissipateurs thermiques.

Les soudures ont été systématiquement vérifiées pour s'assurer qu'elles étaient bien réalisées, en forme de cône, sans excès d'étain ni ponts de soudure.

La majorité des pistes étant situées sur la face inférieure ("Bottom"), les soudures sont principalement effectuées de ce côté. Toutefois, certains composants étant également connectés sur la face supérieure ("Top"), des soudures supplémentaires ont été réalisées de ce côté lorsque cela était nécessaire.

### 3.4 Vérification et tests

Après la fabrication, le PCB a été vérifié pour s'assurer qu'il n'y a pas de défauts de fabrication, tels que des pistes coupées ou des courts-circuits. Des tests de continuité ont été effectués à l'aide d'un multimètre pour vérifier les connexions électriques.

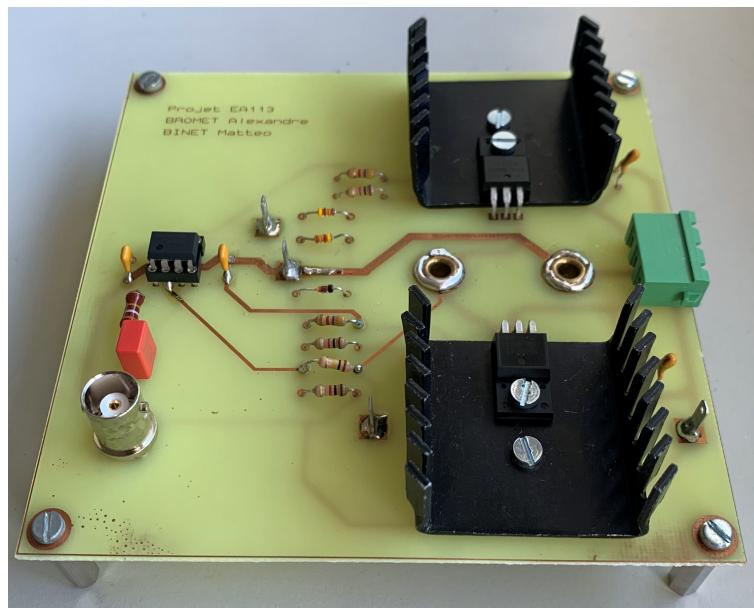


FIGURE 13 – Visualisation : côté

## 4 Test de la carte

Avant toute mise sous tension complète, la carte a été testée à vide, c'est-à-dire sans charge et sans source d'entrée. Cette précaution permet de s'assurer qu'aucune erreur de câblage ni court-circuit n'est présent avant d'alimenter le circuit.

Les alimentations symétriques  $\pm 15$  V ont été connectées avec une limitation de courant minimale. Une consommation excessive dans ces conditions indique généralement un court-circuit ou un composant mal monté. Dans notre cas, nous avons constaté que deux transistors NMOS différents avaient été utilisés par erreur. Ce test nous a donc permis d'identifier et de corriger le problème, après quoi la carte a pu être validée.

Un signal sinusoïdal de faible amplitude a ensuite été injecté à l'entrée afin d'observer le comportement du circuit. Les tensions de sortie ont été analysées à l'oscilloscope pour vérifier le bon fonctionnement de l'amplificateur.

Enfin, pour une validation qualitative, un signal audio réel a été appliqué via un câble jack connecté à un téléphone. Le signal de sortie a été dirigé vers un haut-parleur : la restitution sonore a été claire, confirmant le bon fonctionnement global du circuit et la qualité de l'amplification obtenue.

## Conclusion

Ce projet EA113 nous a permis de concevoir, simuler, réaliser et tester un amplificateur audio de puissance répondant à un cahier des charges précis. Grâce aux simulations sous PROTEUS, nous avons validé nos choix techniques avant la fabrication du circuit imprimé.

La réalisation pratique du PCB, suivie des tests et mesures, a confirmé le bon fonctionnement de l'amplificateur, malgré quelques ajustements nécessaires en cours de montage. Ce projet nous a permis de mieux comprendre les enjeux de la conception analogique, de la théorie à l'application concrète.

## Annexe

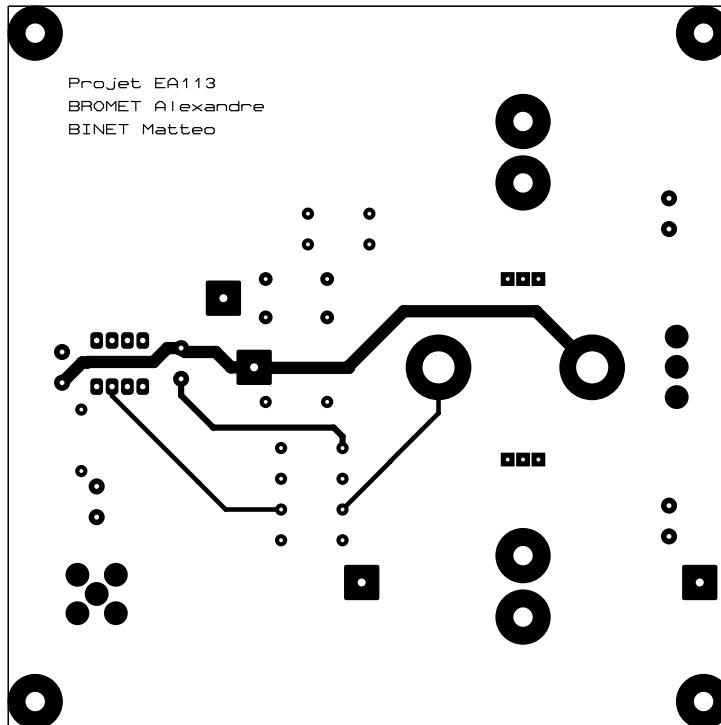


FIGURE 14 – Typons : Top Copper

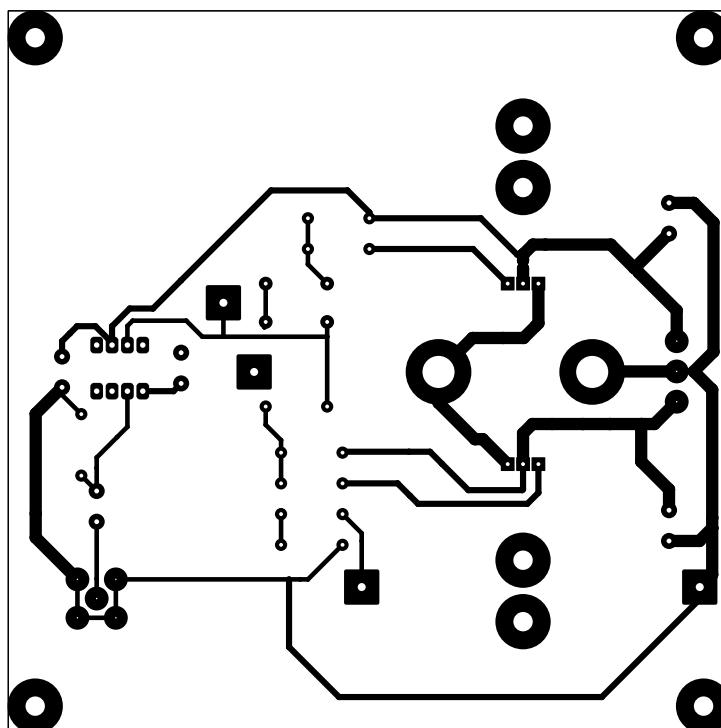


FIGURE 15 – Typons : Bottom Copper

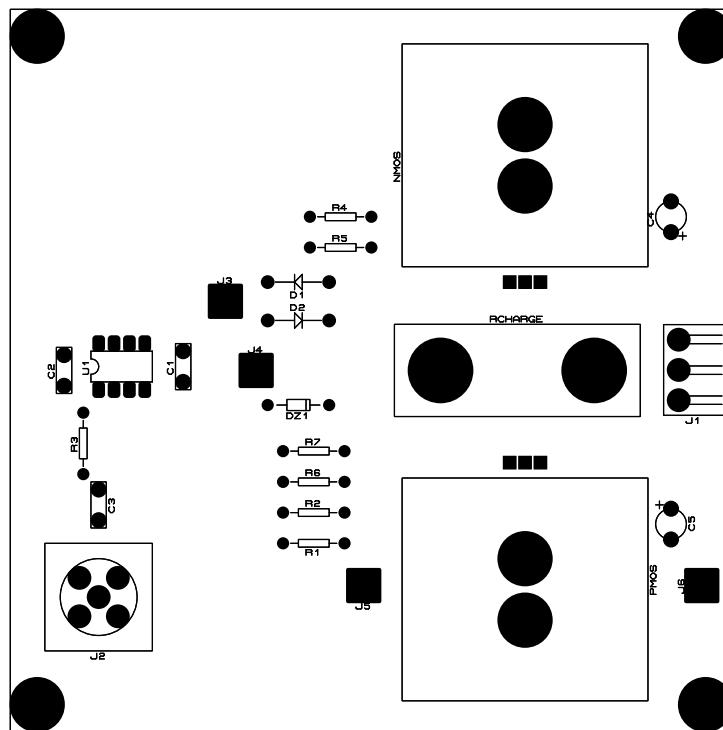


FIGURE 16 – Composants : Silk Top

## Légende :

- Top copper
- Bottom copper
- Silk Top
- Edge Cut

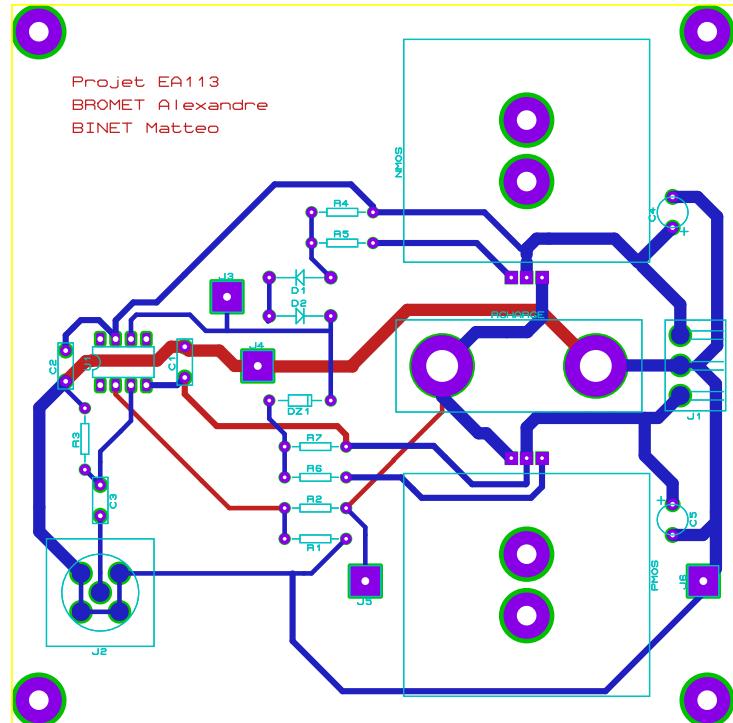


FIGURE 17 – Layout du circuit

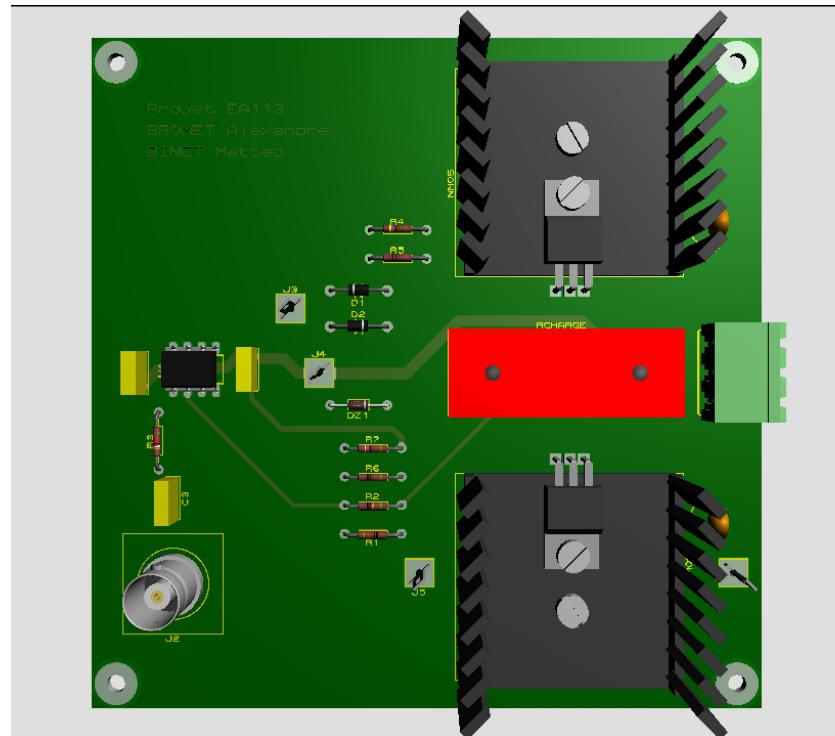


FIGURE 18 – Visualisation 3D : Top

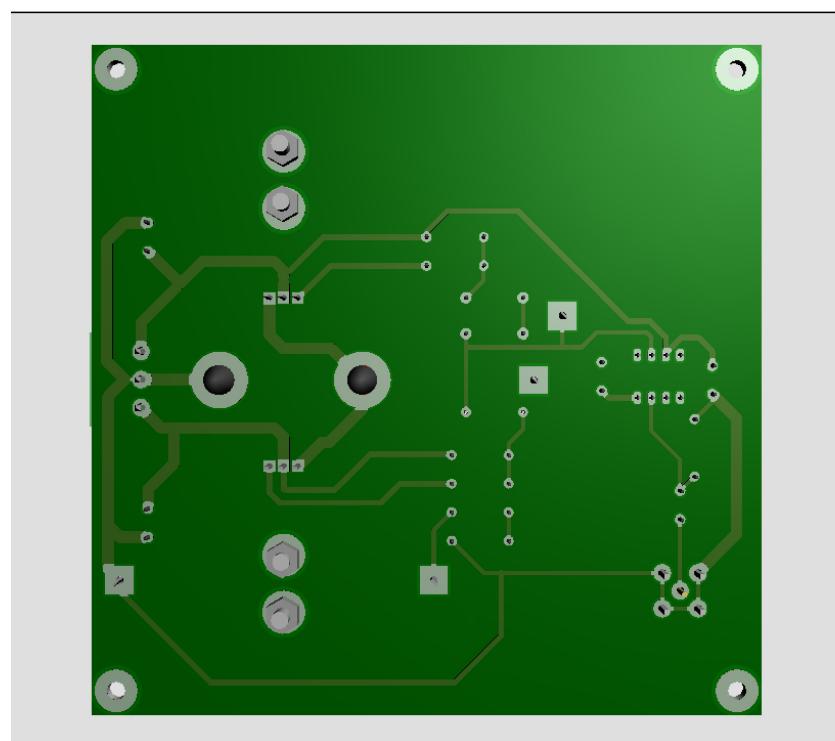


FIGURE 19 – Visualisation 3D : Bottom

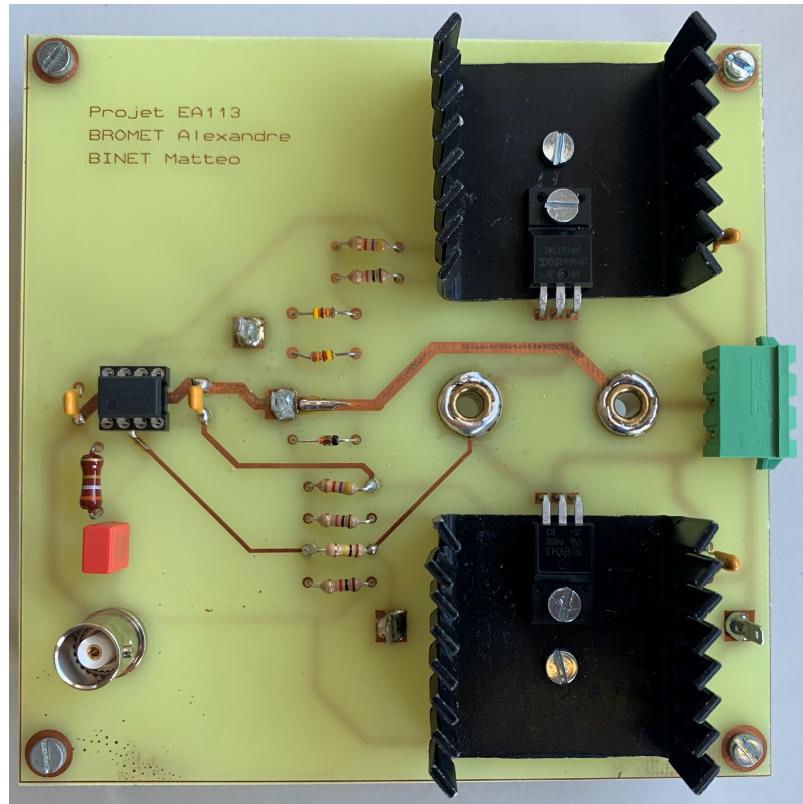


FIGURE 20 – Visualisation : Top

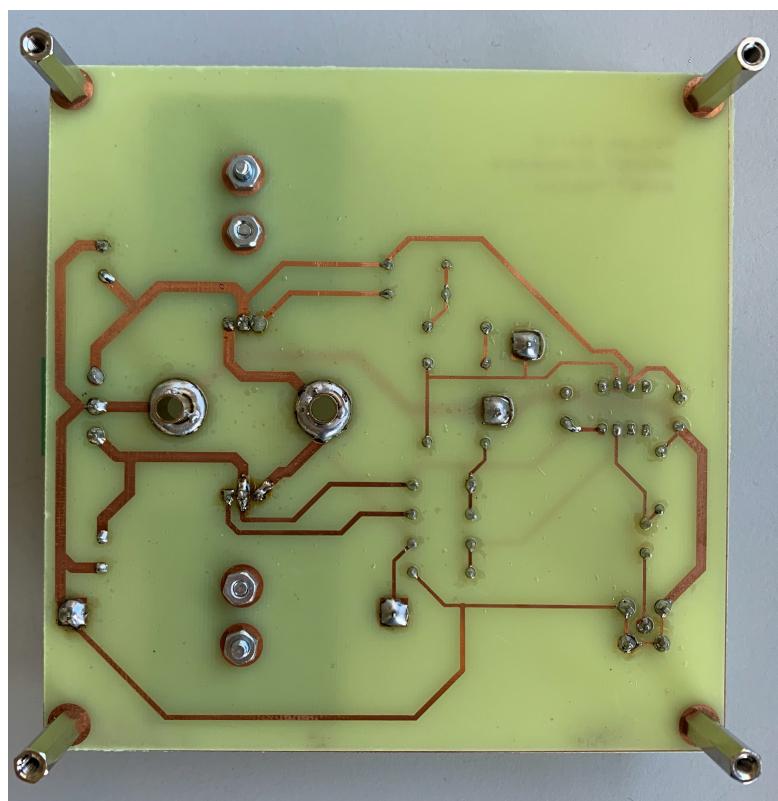


FIGURE 21 – Visualisation : Bottom

### Bill Of Materials for ampli\_PCB

**Design Title** ampli\_PCB  
**Author**  
**Document Number**  
**Revision**  
**Design Created** vendredi 28 février 2025  
**Design Last Modified** mercredi 16 avril 2025  
**Total Parts In Design** 25

#### 25 =PACKAGE

Quantity	References	PCB package	Value
3	C1,C2,C3	CAP20B_E	100n
2	C4,C5	CAP_TT20_E	2.2uF
2	D1,D2	DIO40	DIODE
1	DZ1	DO35	BZX84C2V4
1	J1	BORNIER3_H_E	CONN3ALIM
1	J2	BNC_B	BNC
4	J3,J4,J5,J6	CN1_A	CONN1
1	NMOS	TO220_D	IRLIZ34N
1	PMOS	TO220_D	IRLIB9343
3	R1,R5,R6	RES40	1k
1	R2	RES40	100k
1	R3	RES40	39k
2	R4,R7	RES40	4.7k
1	RCHARGE	R_SUPPORT	8
1	U1	DIP8_3E	TL071

Sub-totals:

---

Totals:

vendredi 18 avril 2025 10:00:28

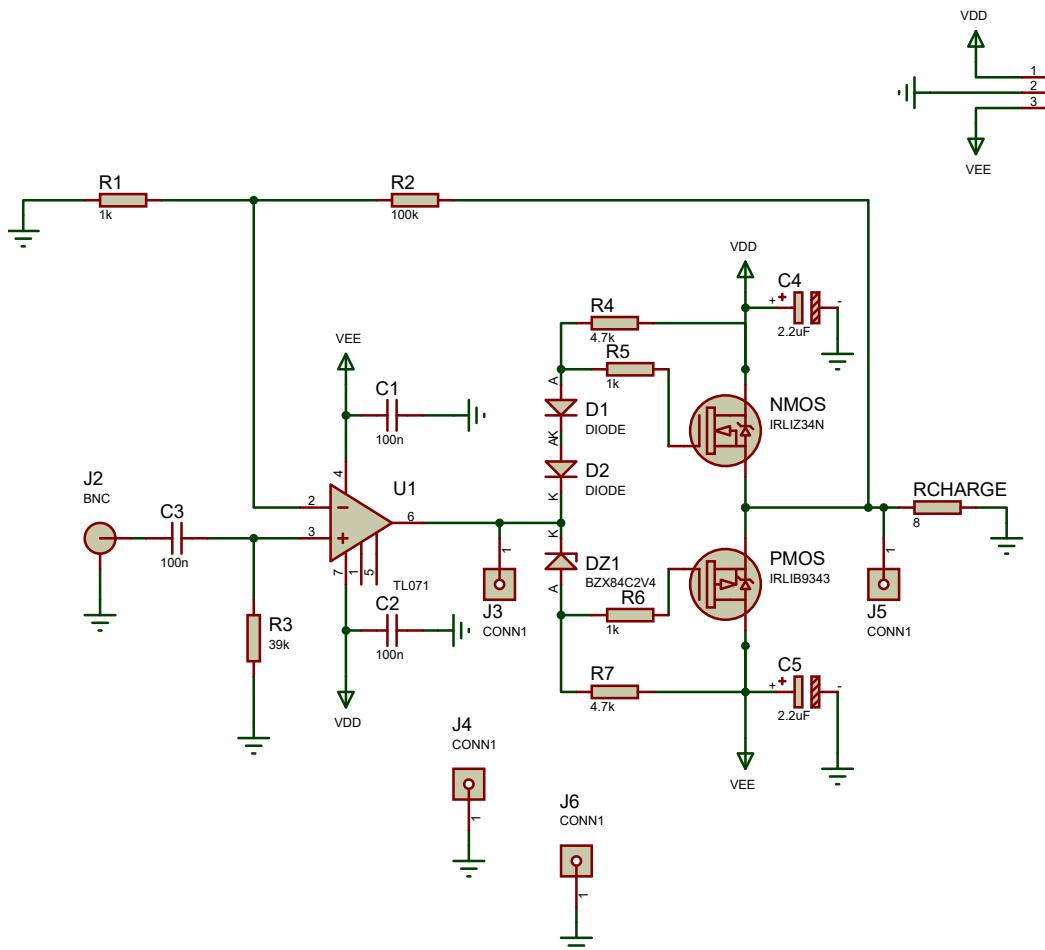


FIGURE 22 – Schéma Proteus du circuit