

# Tesi di Laurea

Matteo Dalle Vedove

16 agosto 2021



# Preambolo

Spesso nell'utilizzo comune di dispositivi digitali si dà per scontato il funzionamento intrinseco degli stessi, pensando che il computer ragiona solo con valori binari *0 ed 1*, *tensione alta e tensione bassa*. Spesso si dimentica però che, come ogni oggetto, anche i componenti che costituiscono i nostri device tecnologici sono, in origine, dei componenti analogici.

Lo scopo di questo documento è dunque quello di studiare come dei dispositivi analogici, in particolari i *transistor MOS*, possono essere utilizzati in ambito digitale, evidenziandone dunque i limiti fisici e dinamici legati alla loro implementazione. L'obiettivo sarà dunque quello di descrivere i principali circuiti che sono posti alla base di ogni calcolatore digitale, come le porte logiche, fino ad arrivare all'analisi di circuiti come il sommatore e moltiplicatore binario in tecnologia *c-MOS*.

L'approccio utilizzato per analizzare il problema sarà più di tipo simulativo: gli schematici sono realizzati tramite il software open source **XSchem** [2], mentre le simulazioni vengono effettuate mediante l'utilizzo del simulatore **ngspice** [5]. Per rendere tutto l'approccio il più reale ed applicativo possibile verranno utilizzati i modelli spice rilasciati pubblicamente mediante il progetto open source **google-skywater PDK** [1].



# Indice

<b>Preambolo</b>	<b>iii</b>
<b>1 Introduzione all’approccio SPICE</b>	<b>1</b>
1.1 Parametri di simulazione . . . . .	2
1.2 <i>Process Design Kit</i> : skywater . . . . .	2
<b>2 Porte logiche in tecnologia c-MOS</b>	<b>7</b>
2.1 Not gate . . . . .	7
2.2 Nor gate . . . . .	10
2.3 Nand gate . . . . .	11
2.4 And & or gate . . . . .	13
<b>Schematici</b>	<b>17</b>
<b>Bibliografia e sitografia</b>	<b>19</b>



# Capitolo 1

## Introduzione all'approccio SPICE

A livello accademico è stato descritto il principio di funzionamento dei *MOSFET*, ossia dei transistor che utilizzano l'effetto di carico che si instaura tra uno substrato semiconduttivo e un metallo ossidato per movimentare delle cariche elettriche. In base al drogaggio dei terminali di *source* e *drain*, complementare a quello di *bulk*, è possibile suddividere i transistori in due famiglie: gli *n-MOS* (drogaggio di tipo *n*) e i *p-MOS* (drogaggio di tipo *p*). In particolare la relazione statica che lega la corrente che scorre tra i terminali di drain e source è funzione sia della differenza di tensione  $V_{gs}$  tra *gate* e source, ma anche alla differenza di tensione  $V_{ds}$  tra drain e source:

$$I = K_n \frac{W}{L} \left[ (V_{gs} - V_{tn}) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (1.1)$$

In questa relazione è possibile osservare la presenza di 3 parametri fondamentali a determinare il comportamento del transistor: la *conducibilità intrinseca*  $K_n$ , proprietà caratteristica del semiconduttore utilizzato per il bulk, e le dimensioni caratteristiche  $W$  (larghezza) e  $L$  (lunghezza) del canale conduttivo. Nella caratteristica statica fondamentale è anche la *tensione di soglia*  $V_{tn}$  dipendente sia dalla costituzione del transistor, sia dalla differenza di tensione  $V_{bs}$  tra bulk e source.

Il modello presentato in equazione 1.1 è in realtà una versione approssimata della caratteristica di trasferimento reale di un transistor MOS e trascura molti fenomeni elettromagnetici che nella realtà dovrebbero essere considerati; esso può essere utile a livello didattico per concepire il funzionamento di alcuni circuiti semplici, tuttavia per problemi più complessi un approccio analitico approssimato può portare a risultati fuorvianti.

Un approccio simulativo è infatti più indicato per poter analizzare le prestazioni di circuiti più complessi in quanto a prova di errori (una volta che ci si è assicurati di aver implementato correttamente gli schematici) e permette di considerare effetti elettro-magnetici che analiticamente sarebbe difficile da studiare.

In ambito elettronico per effettuare delle simulazioni numeriche di circuiti si utilizzano i software cosiddetti *SPICE* (acronimo di *Simulation Program with Integrated Circuit Emphasis*); in particolare tra le numerose soluzioni disponibili sul mercato nel proseguimento del seguente testo verrà utilizzato il software gratuito **XScheme** [2] per la realizzazione degli schematici che verranno simulati tramite l'applicativo **ngspice** [5].

## 1.1 Parametri di simulazione

Per poter effettuare delle simulazioni è necessario fornire al software una raccolta con le informazioni da utilizzare per modellare il transistor, ossia è necessario specificare tutti i parametri che possono essere sia geometrici, ma anche legati alle proprietà dei materiali.

Facendo diretto riferimento ai parametri presenti nell'equazione 1.1 per un transistor è necessario in primo luogo indicare la conducibilità intrinseca  $K_p$  [ $A/V^2$ ], la lunghezza  $L$  [ $m$ ] e la larghezza  $W$  [ $m$ ] del canale conduttivo. Altri parametri geometrici che possono essere utilizzati per migliorare l'analisi è indicare sia perimetro che area per il terminale di drain (parametri  $PD$  [ $m$ ] e  $AD$  [ $m^2$ ]) e il terminale source (parametri  $PS$  e  $AS$ ).

Come parametri funzionali per il calcolo della caratteristica statica dei MOSFET si menziona la tensione di soglia, modellata tramite il parametro  $V_{to}$  [ $V$ ]. L'effetto body, dovuto alla differenza di tensione tra bulk e source, richiede invece di specificare il relativo coefficiente  $\Gamma$  [ $V^{0.5}$ ] e il coefficiente superficiale  $\Phi$  [ $V$ ]. Come ultimo parametro di un transistor si menziona il coefficiente di modulazione di lunghezza di canale  $\Lambda$  [ $V^{-1}$ ].

parametro	unità	famiglia di transistor	
		n-MOS	p-MOS
K	[ $A/V^2$ ]	$50 \cdot 10^{-6}$	$20 \cdot 10^{-6}$
W	[ $m$ ]	$50 \cdot 10^{-6}$	$20 \cdot 10^{-6}$
L	[ $m$ ]	$50 \cdot 10^{-6}$	$20 \cdot 10^{-6}$

**Tabella 1.1:** parametri di simulazioni utilizzati nel seguente documento; i dati sono basati su transistor **ALTRE INFORMAZIONI**

Un componente reale, in condizioni sia statiche, presenta delle perdite di corrente sia tra drain e source, sia tra gate e source, nel cosiddetto fenomeno della *current leakage* (perdita di corrente) associato alle correnti parassite. Analizzando invece il comportamento dinamico del circuito è possibile osservare che i MOSFET presentano un'inerzia alla trasmissione di carica (rispetto ad ogni coppia di terminali): tali effetti di *capacità parassite* possono essere modellate tramite l'inserimento nello schematico di capacità equivalenti.

Nella pratica le relazioni che determinano correnti e capacità parassite sono complesse (equazioni fortemente non lineari) e dipendenti da molti parametri dei transistor stessi: non esiste dunque un modello univoco che può essere utilizzato per la simulazione dei circuiti (ad un livello di complessità simil-realistico), ma in generale ogni produttore mette a disposizione dei progettisti i loro modelli spice che possono dunque essere inclusi negli schematici per effettuare delle simulazioni più interessanti.

## 1.2 Process Design Kit: skywater

Il *Process Design Kit*, spesso abbreviato dall'acronimo *PDK*, è una suite di librerie e applicativi che permettono una progettazione corretta di un circuito integrato. In questi kit sono contenuti infatti tutti i modelli spice (sia dal modello lineare più semplice, sia a modelli del 4° ordine più complessi) che possono essere utilizzati per le simulazioni, oltre che a una serie di informazioni che vincolano la progettazione per permettere di ottenere un prodotto che sia effettivamente utilizzabile nel mondo reale. Per esempio, oltre a tutte le informazioni riguardanti ingombri fisici, i PDK contengono le proprietà per simulare con maggior precisione le correnti e capacità parassite che si generano nel prodotto finito.

**skywater** PDK [1], come dice il nome stesso, è dunque un PDK rilasciato pubblicamente frutto della collaborazione di Google con la fondazione Skywater; questo progetto, per come



riportato dal team di sviluppo del PDK stesso, è ancora in fase sperimentale e dunque può non essere perfettamente accurato, tuttavia si osserva che lo stesso progetto deriva direttamente da PDK utilizzati da anni a livello professionale.

L'idea alla base di questo progetto open source è quella di permettere a tutte le persone di progettare e prototipare circuiti integrati, permettendo la realizzazione pratica sfruttando il processo produttivo a  $130nm$  fornito da SkyWater Technology foundry [4].

Sfruttando la suite di software composta da XSchem, ngspice e skywater PDK è possibile realizzare degli schematici e dei circuiti che si avvicinano il più possibile a dei circuiti reali.

## Contenuti del PDK

La libreria skywater mette a disposizione sostanzialmente 2 categorie di modelli spice per la simulazione:

- le *primitive cells*, abbreviate PR, ossia i modelli associati ai mosfet (sia a 4 pin, sia a 3 pin con bulk collegato a massa), ma anche per altri componenti passivi che possono essere integrati su chip quali svariati tipi di resistenze (in funzione della potenza dissipabile), di capacità MIM (*metal-insulator-metal*), diodi e diodi varicap;
- la *digital standard cells*, abbreviate SC, sono invece già dei circuiti combinatori che sfruttano l'interconnessione delle celle primitive per realizzare porte logiche (and, or, not...) e altri circuiti combinatori (latch).

Nella libreria sono presenti diverse varianti di transistori caratterizzati sia principalmente dalle differenze di tensioni ammissibili tra le coppie di terminali dei componenti (si trovano componenti che funzionano per tensioni  $V_{gs}$ ,  $V_{ds}$  di valori 1.8V, 3.3V, 5.0V, 20V). Leggendo la documentazione [3] rilasciata dagli sviluppatori è inoltre possibile individuare i valori di lunghezza  $L$  e larghezza  $W$  ammissibili per la produzione di ogni tipo di mosfet.

La libreria delle standard cells derivanti dalle celle primitive sono divise in diverse famiglie caratterizzate dagli appellativi:

- *high density* (HD) e *high density low leakage* (HDLL), ossia porte logiche la cui caratteristica è di avere ingombri su chip più bassi (pari a  $0.46 \times 2.72\mu m$ ) in modo da aumentare la densità di integrazione su scheda; la seconda tipologia, come si evince dal nome, è caratterizzata inoltre da una bassa dispersione di corrente elettrica. La tensione di alimentazione è posta a 1.8V;
- le celle a bassa tensione (alimentazione  $< 2.0V$ ) sono classificate in base alla velocità di commutazione dei gate secondo gli appellativi *low speed* (LS), *medium speed* (MS) e *high speed* (HS); in questa categoria è possibile rilevare anche le celle a basso consumo di potenza (categoria *low power* LP). L'ingombro su scheda di queste celle elementari è pari a  $0.48 \times 3.33\mu m$ ;
- *high voltage* (HVL) sono invece delle celle con tensione di alimentazione pari a 5.0V con ingombro su scheda di  $0.48 \times 4.07\mu m$ .

**Corner spice models** La descrizione tramite un modello matematico astratto per predire il comportamento empirico di un componente analogico non sempre risulta essere accurato per via dei parametri di influenza esterni che il calcolatore non può considerare (come correnti e capacità parassite che si instaurano inevitabilmente tra i componenti).

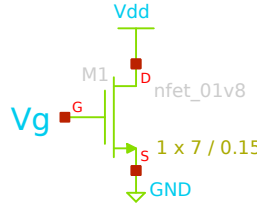
Per poter effettuare delle valutazioni più pratiche dei circuiti progettati, il pdk fornisce al progettista i cosiddetti modelli spice *corner* che sono tarati su particolari casi di funzionamento. In particolare, per convenzione è possibile individuare il comportamento dinamico tipico (*typical* T), veloce (*fast* F) e lento (*slow* S).

Importando, per esempio, in una simulazione il modello corner spice FS, il simulatore considererà come comportamento di funzionamento veloce per gli n-mos (transistori più veloci), mentre per i p-mos considererà un comportamento lento (i transistori risulteranno avere costanti di tempo più elevate).

## Componenti utilizzati

Effettuata questa premessa sui contenuti del pdk skywater, nel proseguimento del seguente documento per la progettazione e simulazione dei circuiti si utilizzeranno modelli di transistor n-mos e p-mos con tensione nominale a 1.8V, in linea con le tensioni di alimentazione utilizzate nei microprocessori nei primi anni 2000, periodo a cui è possibile far risalire il processo produttivo di skywater.

Facendo riferimento al processore Intel Pentium III Tualatin, rilasciato sul mercato nel 2001, in quanto prodotto con un processo a 130nm, è possibile stimare l'ingombro medio di un transistor su scheda di circa  $1.82\mu m^2$ : tramite una ricerca per approssimazioni successive si determinano le dimensioni  $W/L = 1/0.15\mu m/\mu m$  per gli n-mos, mentre per i p-mos  $W/L = 4.8/0.15\mu m/\mu m$ . Con tali dimensioni dei mosfet, l'ingombro medio di una coppia di transistor è pari a  $2.61\mu m^2$ .



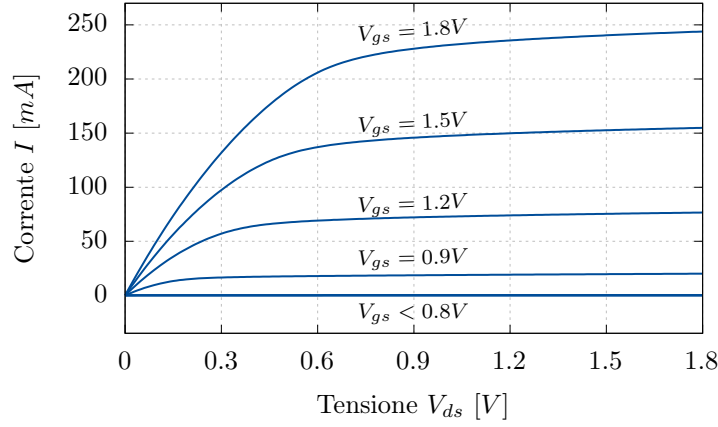
**Figura 1.1:** schematico di un transistor n-mos con bulk a massa, drain posto alla tensione di alimentazione  $V_{dd}$ , gate posto alla tensione  $V_g$  e source a massa.

Simulando il circuito in figura 1.1 è possibile ottenere la caratteristica statica (figura 1.2) di trasferimento che determina la corrente  $I_n$  che fluisce dal drain verso il source in funzione delle tensioni differenziali  $V_{ds}$  e  $V_{gs}$ . Tramite questa si può anche determinare la tensione di soglia  $V_{tn}$  del transistor che è pari a circa 0.6V.

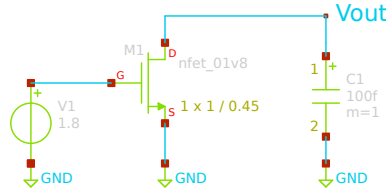
**Caratteristiche dinamiche** Individuate le principali caratteristiche statiche, è possibile osservare dei comportamenti dinamici del circuito legati in particolare agli andamenti dei transistori.

Il circuito più semplice da considerare a tale fine è quello riportato in figura 1.3 che si basa sullo scaricare una capacità di  $100fF$  mediante l'utilizzo di transistori n-mos. In questo caso si pone al massimo la tensione  $V_{gs} = 1.8V$  e si effettua una simulazione sul transistorio. Posto che al tempo iniziale la tensione in uscita  $V_{out}$  fosse pari allo stato alto 1.8V, utilizzando i diversi modelli corner spice forniti è possibile effettuare dei diagrammi di rappresentazione dei transistori.

Facendo riferimenti ai risultati in figura 1.4, è possibile osservare che modelli corner diversi, rispetto al nome loro assegnato, producono dei risultati distinti. Ipotizzando di



**Figura 1.2:** caratteristica statica ottenuta mediante simulazione *dc sweep* del circuito in figura 1.1.

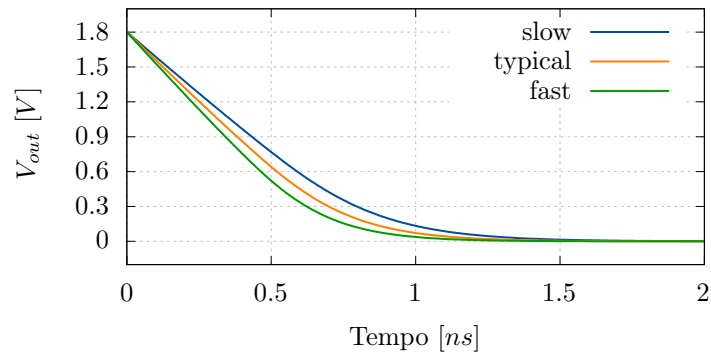


**Figura 1.3:** circuito per simulare la scarica di un condensatore  $C_1$  di capacità  $1nF$ , posto inizialmente ad una tensione  $V_{out} = 1.8V$ , mediante l'utilizzo di transistor n-mos.

concludere il transitorio al 90% di escursione del segnale, ossia quando la tensione in uscita raggiunge il valore  $V_{out} = 0.18V$ , si ottengono i tempi per i 3 modelli pari a:

$$t_{slow} \approx 932ps \quad t_{typical} \approx 812ps \quad t_{fast} \approx 722ps$$

Ove non diversamente specificato nella prosecuzione del documento tutti comportamenti transistori verranno valutati rispetto ad un comportamento tipico dei transistor.



**Figura 1.4:** evoluzione della tensione in uscita  $V_{out}$  dovuta alla scarica della capacità mediante un mosfet (circuitto in figura 1.3).

## Capitolo 2

# Porte logiche in tecnologia c-MOS

I principali componenti attuali utilizzati nei dispositivi digitali sono realizzati mediante l'implementazione su chip di transistor opportunamente connessi. Come visto i mosfet sono degli oggetti che sono intrinsecamente analogici, tuttavia il loro principio di funzionamento gli rende altamente adatti a realizzare funzioni digitali.

A livello digitale infatti i transistor possono essere considerati come degli interruttori che permettono o negano il passaggio di corrente tra i propri terminali. Considerando infatti la caratteristica statica dell'n-mos (figura 1.2, pagina 5) è possibile osservare che se si pone una tensione di gate  $V_g$  nulla (più in generale inferiore della tensione di soglia  $V_{tn}$ ) il dispositivo non permette il passaggio di corrente ai suoi capi (indipendentemente dalla tensione differenziale  $V_{ds}$  applicata); usciti dalla fascia di interdizione è possibile osservare invece che, in funzione della tensione  $V_{gs}$ , è possibile avere un passaggio di corrente attraverso i terminali del mosfet.

Dualmente si dimostra che se la tensione  $V_g$  applicata al gate di un transistor p-mos è elevata (tale per cui la differenza  $|V_{ds}|$  sia minore della tensione di soglia  $|V_{tp}|$ ) allora il componente risulta interdetto e non permette il passaggio di corrente.

Questa peculiarità nel funzionamento duale dei componenti è particolarmente utile nelle implementazioni digitali dove in generale si considerano i segnali di tensione (intrinsecamente analogici) come dei segnali binari di valore basso (0) associato alla tensione di massa e valore alto (1) associato alla tensione di alimentazione  $V_{dd}$ .

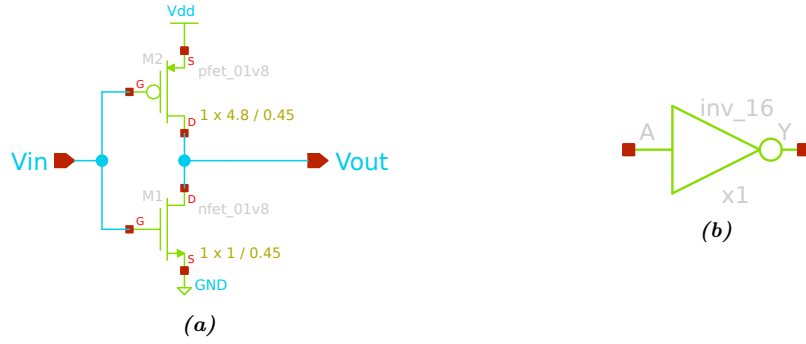
Lo scopo di questo capitolo è dunque quello di osservare e rappresentare le porte logiche che compongono ogni circuito combinatorio di un dispositivo tecnologico.

### 2.1 Not gate

La porta logica più semplice da realizzare, composta da solamente due transistori, è il *gate not*, ossia l'invertitore logico che realizza la seguente tabella di verità:

input	output
0	1
1	0

L'implementazione circuitale di questa porta è mostrata in figura 2.1 ed è realizzata ponendo in serie un p-mos con un n-mos: l'ingresso  $V_{in}$  del segnale digitale viene applicato ad entrambi i gate dei transistor, mentre il segnale in uscita  $V_{out}$  viene rilevato nel collegamento tra i due mosfet.



**Figura 2.1:** implementazione di un invertitore logico in tecnologia c-mos (a) e relativa rappresentazione semplificata per circuiti logici (b).

Per comprendere il funzionamento del sistema è sufficiente considerare la prima legge di Kirchhoff bilanciando la corrente al nodo rispetto alla quale si rileva il segnale in uscita  $V_{out}$  che si traduce nell'eguagliare le correnti generate dai due transistor:

$$I_n = I_p$$

A questo punto è possibile procedere con l'analisi del circuito per casi:

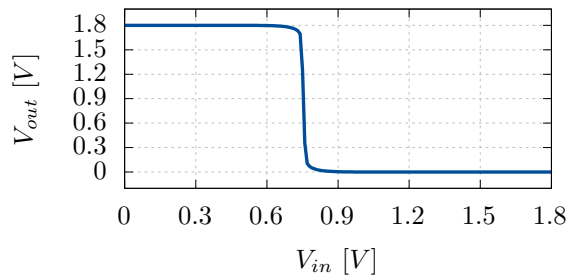
- nel caso in cui la tensione in ingresso sia bassa ( $V_{in} = 0$ ) allora l'n-mos risulterebbe essere interdetto ( $I_n = 0$ ), mentre il p-mos è posto in regime di saturazione. L'unica condizione che permette al p-mos di non far scorrere attraverso i suoi terminali è quella per cui la tensione differenziale  $V_{ds}$  sia nulla: questo porta dunque ad affermare che

$$V_d = V_s \quad \Rightarrow \quad V_{out} = V_{dd}$$

- analogamente nel caso in cui l'ingresso si trovi ad una tensione in ingresso alta ( $V_{in} = V_{dd}$ ), il p-mos risulterà interdetto, non permettendo il passaggio di alcuna corrente. Condizione necessaria affinché anche l'n-mos annulli la corrente attraverso i suoi terminali è che la tensione differenziale  $V_{ds}$  sia nulla, e dunque

$$V_{out} = 0$$

In figura 2.2 è possibile invece osservare la caratteristica statica analogica realizzata dal dispositivo.

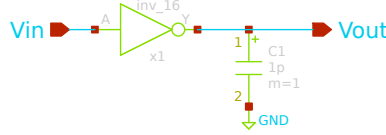


**Figura 2.2:** funzione di trasferimento statica dell'invertitore logico di figura 2.1.

L'implementazione delle porte logiche in tecnologia c-mos è caratterizzata da una forte immunità al rumore. I transistor implementati infatti, alimentati ad una tensione di  $1.8V$ , permettono di avere una tensione  $V_{ilmax}$  pari a circa  $0.6V$  e  $V_{ihmin} = 0.9V$ : questo significa che il segnale in uscita da una porta logica a valle può acquisire fino a  $0.6V$  di rumore senza inficiare sul corretto funzionamento del circuito.

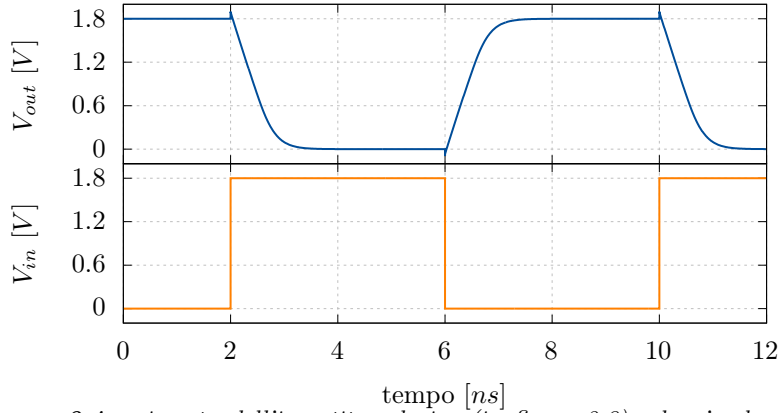
## Caratteristiche dinamiche

Nota la caratteristica statica del circuito logico, di rilevante interesse pratico è l'analisi dinamica del circuito, in quanto permetterà di stabilire a regime quale sarà la massima frequenza di commutazione della porta logica.



**Figura 2.3:** schema circuitale di riferimento per l'analisi della risposta dinamica di un invertitore logico che deve pilotare un circuito a valle modellato da una capacità di  $100fF$ .

A tale fine è necessario considerare un'invertitore, come in figura 2.3, che pilota un circuito a valle che può essere modellato come una capacità (in questo caso di valore nominale di  $100fF$ ).



**Figura 2.4:** risposta dell'invertitore logico (in figura 2.3) ad un'onda quadra in ingresso di periodo  $8ns$  e duty cycle del 50%.

In figura 2.4 è possibile leggere la risposta dell'invertitore ad un'onda quadra in ingresso. Data la simmetria di comportamento scelta grazie ai rapporti  $W/L$  diversi dei transistor p-mos ed n-mos è possibile osservare che i transistori di salita e discesa sono molto simili tra loro.

Il valore di capacità di scelto è sufficientemente basso e ci permette di valutare dei parametri fondamentali per la risposta dinamica della porta logica quale i ritardi di propagazione dei segnali, ossia il tempo che intercorre tra la commutazione dell'ingresso e la rispettiva variazione dell'uscita. Questo parametro può essere valutato singolarmente sia per una variazione dell'ingresso da alto a basso  $\tau_{hl}$ , ma anche per lo stesso che passa da basso a alto

$\tau_{lh}$  (in questo caso i tempi sono calcolati al 95% dell'escursione di tensione):

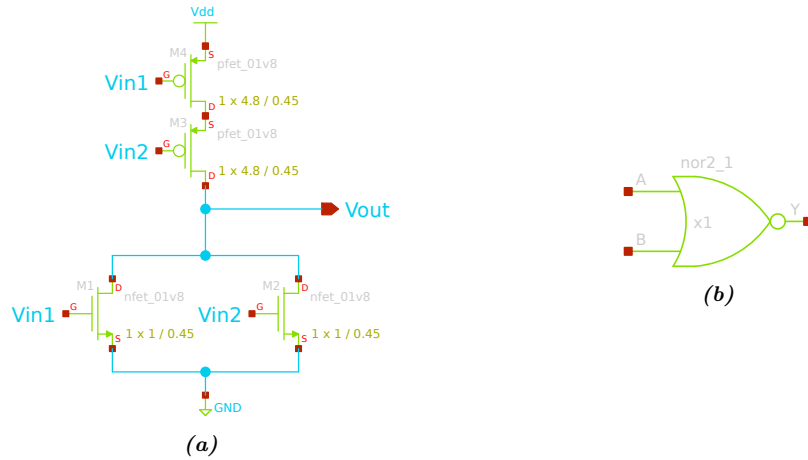
$$\tau_{lh} = 1018ps \quad \tau_{hl} = 1021ps$$

## 2.2 Nor gate

La porta logica *nor*, coincidente con la negazione del gate *or*, è un gate che, insieme al *nand*, costituisce un *gate universale*, ossia in grado di realizzare, tramite delle opportune interconnessioni, tutte le funzioni logiche digitali. Tale porta a due (o più ingressi) rispetta la seguente tabella di verità:

$V_{in,1}$	$V_{in,2}$	$V_{out}$
0	0	1
0	1	0
1	0	0
1	1	0

Si osserva dunque che tale porta logica determina un'uscita alta solamente se tutti i suoi ingressi sono bassi, mentre in tutti gli altri casi l'uscita è bassa.



**Figura 2.5:** implementazione della porta logica *nor* in tecnologia *c-mos* (a) e la relativa rappresentazione schematica (b).

In figura 2.5 è dunque possibile osservare un'implementazione della porta logica *nand* in tecnologia *c-mos*.

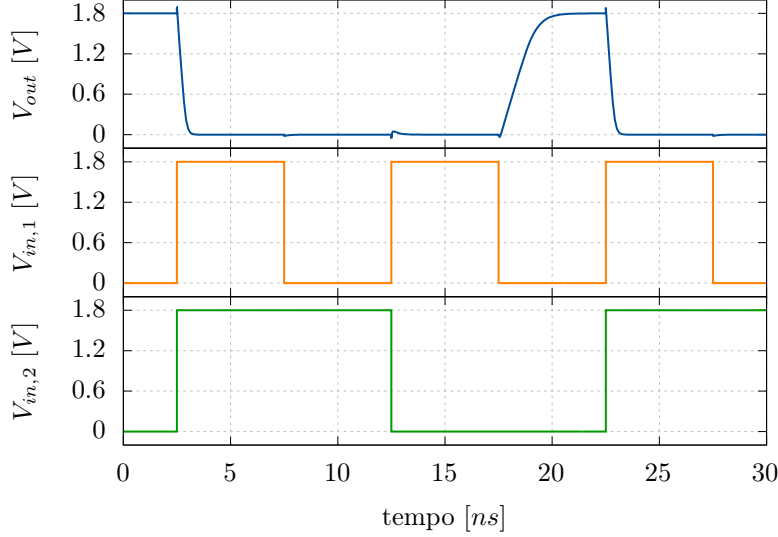
Tale circuito può essere analizzando le possibili combinazioni di ingresso presenti nella tabella di verità:

- nel caso in cui entrambi gli ingressi si trovano ad un valore basso (prima riga della tabella di verità), allora risultano interdetti i transistor a substrato *n*, mentre la rete di pull-up composta dai due *p-mos* in serie risulta essere attiva. L'unico modo per garantire corrente nulla in uscita dal circuito è quello di avere tensione differenziale  $V_{ds}$  dei *p-mos* nulla, ossia nel caso in cui  $V_{out} = V_{dd}$ , verificando la tabella di verità;
- in tutti gli altri casi in cui almeno un segnale si trova in uno stato di tensione alto si osserva che la rete di pull-up sarà sicuramente interdetta (il *p-mos* associato all'ingresso



alto non permette infatti passaggio di corrente), e dunque la tensione in uscita sarà determinata dalla rete di pull-down degli n-mos che risulteranno attivi. Sempre per imposizione della condizione di corrente nulla al nodo d'uscita si ottiene che la tensione differenziale  $V_{ds}$  degli n-mos deve essere nulla e dunque  $V_{out} = 0$ .

Tale comportamento può dunque essere verificato mediante una simulazione del transitorio (il cui risultato è mostrato in figura 2.6), imponendo come ingressi delle onde quadre di periodo multiplo per analizzare le risposte del circuito ai vari ingressi e determinare così le principali caratteristiche dinamiche.



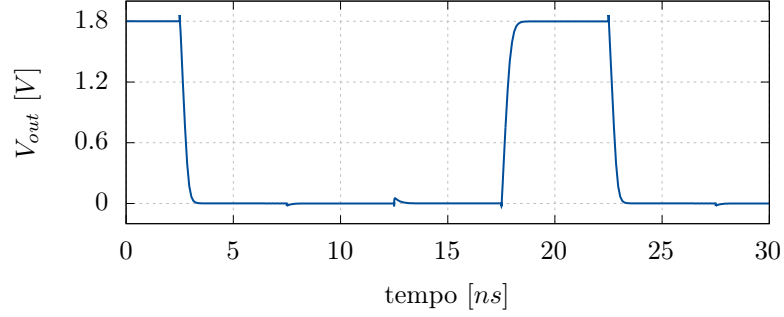
**Figura 2.6:** risposta del gate nor a due ingressi di onde quadre di periodi multipli. Come nel caso dell'invertitore (fig. 2.3) il circuito a valle della porta logica è modellato da una capacità di carico di  $100fF$ .

Calcolando i tempi di propagazione dei segnali per un'escursione del 95% della tensione di alimentazione, è possibile osservare che il tempo di transizione del segnale dal valore logico alto a quello basso è minore rispetto alla transizione inversa ( $525ps$  vs  $2224ps$ ): tale effetto è giustificabile considerando il fatto che la rete di pulldown composta dal parallelo di n-mos permette di generare una quantità di corrente maggiore rispetto alla rete di pull-up determinata dalla serie di p-mos. Un modo dunque per correggere questo sbilanciamento sarebbe di rideterminare dei nuovi parametri  $W/L$  per i transistor in modo da bilanciare il comportamento.

Diminuendo la lunghezza  $L$  dei transistor p-mos al valore  $0.15\mu m$  il comportamento del circuito tende a bilanciarsi (come si può osservare in figura 2.7), con tempi di transizione da uscita alta a bassa di  $547ps$  e da uscita bassa ad alta di  $695ps$ .

## 2.3 Nand gate

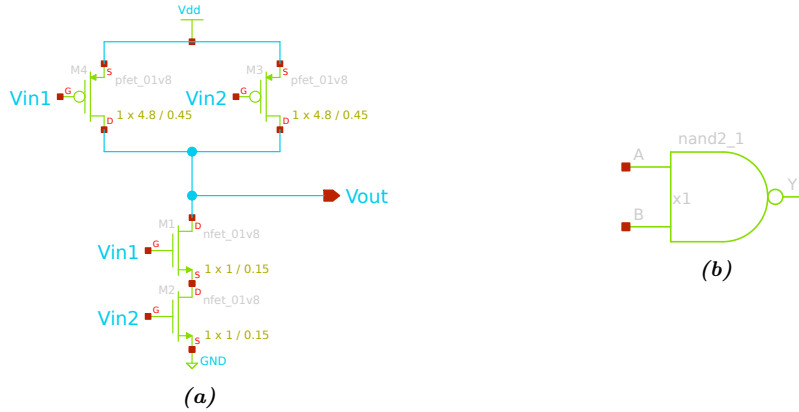
La porta logica *nand*, coincidente con la negazione del gate *and*, è il gate che, per costruzione, risulta duale alla porta nor appena studiata ed è caratterizzata dalla tabella di verità



**Figura 2.7:** risposta del circuito nor ottenuta aumentando il rapporto  $W/L$  dei p-mos al valore  $4.8/0.15\mu\text{m}/\mu\text{m}$ ; il segnale in ingresso coincide con quello mostrato in figura 2.6.

$V_{in,1}$	$V_{in,2}$	$V_{out}$
0	0	1
0	1	1
1	0	1
1	1	0

La realizzazione circuitale della porta logica, come in figura 2.8, è molto simile al gate nor, dove tuttavia la rete di pull-up è realizzata da un parallelo (e non da una serie) di p-mos, mentre la rete di pull-down è realizzata da una serie (e non da un parallelo) di transistor n-mos. Avendo osservato l'assimetria di comportamento dovuta al collegamento in serie/parallelo dei mosfet vista nel gate nor, si procede sin da principio a diminuire la larghezza  $W$  degli n-mos al valore di  $0.15\mu\text{m}$ .



**Figura 2.8:** implementazione della porta logica nand in tecnologia c-mos (a) e la relativa rappresentazione schematica (b).

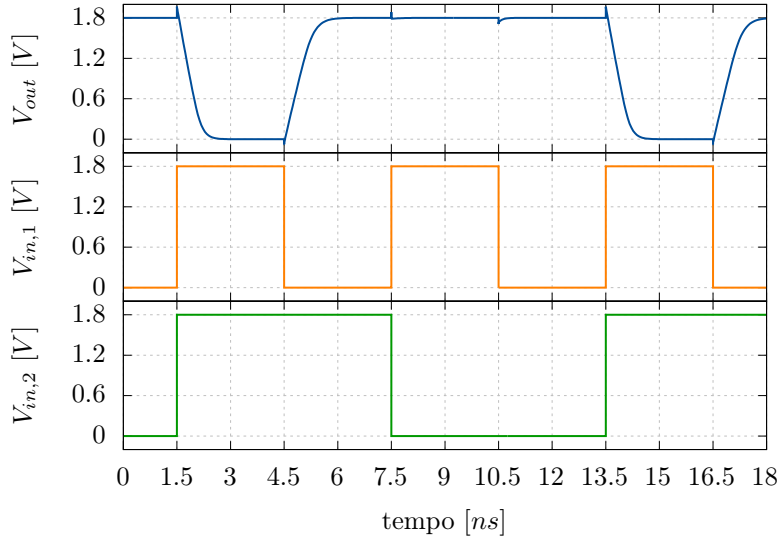
Il funzionamento del circuito può essere analizzato studiando le possibili combinazioni dei segnali in ingresso:

- nel caso in cui entrambi i segnali si trovino ad un valore logico alto (quarta riga della tabella di verità) si osserva che la rete di pull-up sarebbe interdetta (entrambi i p-mos sono spenti per via della tensione  $V_{gs}$  nulla), mentre la rete di pull-down a transistor

accesi permette un passaggio di corrente. Dovendo la stessa essere nulla per il bilancio della corrente al nodo d'uscita, si osserva necessariamente che  $V_{out} = 0$ ;

- in tutti gli altri casi in cui almeno un ingresso sia allo stato logico basso, allora sicuramente uno degli n-mos sarebbe interdetto (e dunque di conseguenza lo è anche la rete di pull-down), mentre almeno uno dei p-mos rimarrebbe acceso, permettendo il passaggio di corrente nella rete di pull-up. Il bilancio della corrente al nodo d'uscita permette infine di stabilire che il relativo stato logico è alto ( $V_{out} = V_{dd}$ ).

Mediante una simulazione del transitorio nel tempo (con capacità di carico di  $100fF$ ) è dunque possibile verificare il comportamento logico del circuito, arrivando ai risultati mostrati in figura 2.9.



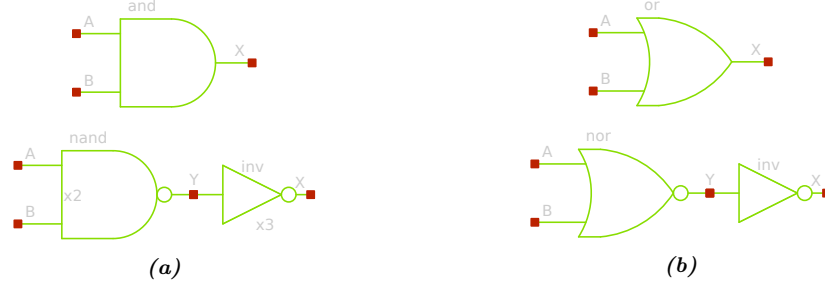
**Figura 2.9:** risposta del gate nand a due ingressi di onde quadre di periodi multipli. Come nel caso dell'invertitore (fig. 2.3) il circuito a valle della porta logica è modellato da una capacità di carico di  $100fF$ .

A questo punto è possibile misurare il tempo di commutazione dell'uscita nel passaggio da tensione alta a bassa (misurata al 95% dell'escursione del segnale), che si attesta al valore di  $832ps$ , mentre il passaggio del segnale da basso ad alto dura  $1037ps$ .

## 2.4 And & or gate

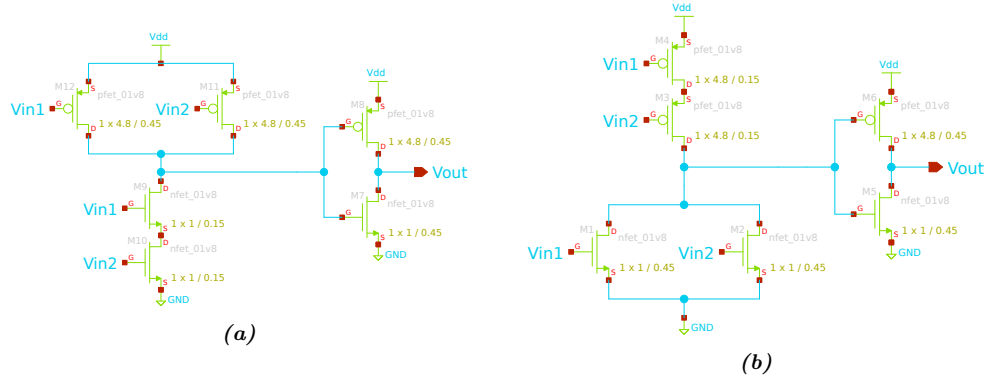
Avendo studiato singolarmente i gate nand, nor e not, la costruzione dei gate logici *and* e *or* deriva direttamente tramite la connessione in sequenza della rispettiva porta negata con l'invertitore logico. In particolare le tabelle di verità che i due componenti devono realizzare sono:

$V_{in,1}$	$V_{in,2}$	$V_{out,and}$	$V_{out,or}$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	1



**Figura 2.10:** rappresentazione schematica (sopra) e blocchi elementari che costituiscono (sotto) i gate logici and (a) e or (b).

In figura 2.10 si osserva la rappresentazione semplificata delle porte logiche che espandendone le implementazioni in tecnologia c-mos determinano gli schematici riportati in figura 2.11.

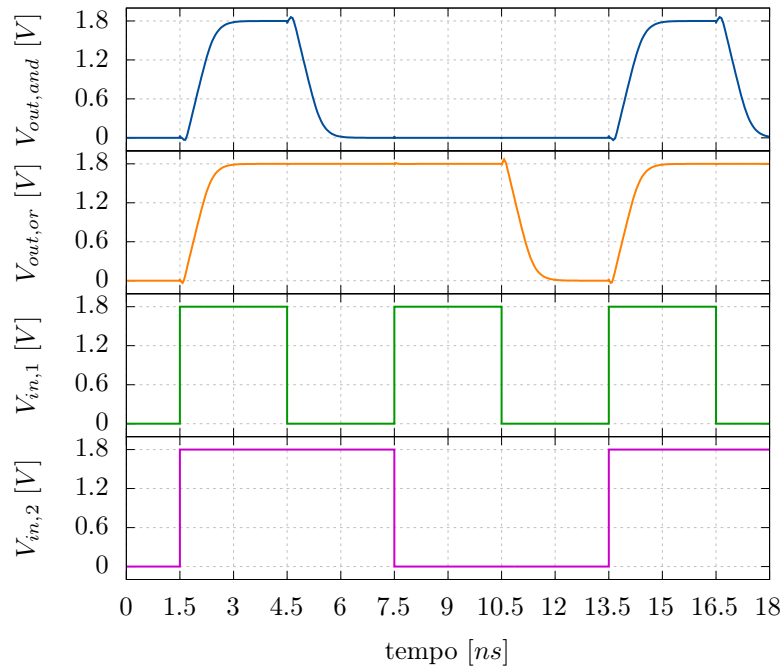


**Figura 2.11:** implementazione in tecnologia c-mos della porta logica and (a) e or (b).

E' inoltre possibile procedere con le simulazioni dei transistori (con una capacità di carico di  $100fF$ ) che determinano gli andamenti temporali mostrati in figura 2.12. Analizzando i tempi di propagazione dei segnali all'interno dei circuiti si arriva a dei tempi massimi per i due circuiti che si attestano ai valori

$$\tau_{max, and} \approx 1202ps \quad \tau_{max, or} \approx 1150ps$$

**MAGARI FARE DELLE CONSIDERAZIONI SULLE PRESTAZIONI, COME LA MASSIMA FREQUENZA DI COMMUTAZIONE**



**Figura 2.12:** risposta dei gate and e or a ingressi di onde quadre a periodi multipli. Come nel caso dell'invertitore (fig. 2.3) il circuito a valle della porta logica è modellato da una capacità di carico di 100fF.



## Capitolo 3

# Circuiti combinatori

Avendo studiato le porte logiche in tecnologia c-mos è possibile iniziare a progettare i primi circuiti combinatori che compongono ogni dispositivo di elaborazione digitale, quali i vari tipi di *latch* che compongono delle particolari strutture di registri quali il contatore binario, ma anche dei circuiti a valenza logica per operazioni binarie, quali il circuito sommatore e moltiplicatore.

### 3.1 SR latch

### 3.2 SR flip-flop

### 3.3 JK flip-flop

### 3.4 Contatore binario





# Schematici



# Bibliografia e sitografia

- [1] SkyWater Technology Foundry Google. *Google Skywater PDK*. URL: <https://github.com/google/skywater-pdk>.
- [2] Stefan Frederik Schippers. *XSchem*. URL: <https://github.com/StefanSchippers/xschem>.
- [3] *SkyWater Device Details*. URL: <https://skywater-pdk.readthedocs.io/en/latest/rules/device-details.html>.
- [4] *SkyWater Technology foundry*. URL: <https://www.skywatertechnology.com/>.
- [5] ngspice team U.C. Berkley CAD Group. *ngspice*. URL: <http://ngspice.sourceforge.net/>.