

Tesi di Laurea

Matteo Dalle Vedove

11 agosto 2021

Preambolo

Spesso nell'utilizzo comune di dispositivi digitali si dà per scontato il funzionamento intrinseco degli stessi, pensando che il computer ragiona solo con valori binari *0 ed 1*, *tensione alta e tensione bassa*. Spesso si dimentica però che, come ogni oggetto, anche i componenti che costituiscono i nostri device tecnologici sono, in origine, dei componenti analogici.

Lo scopo di questo documento è dunque quello di studiare come dei dispositivi analogici, in particolari i *transistor MOS*, possono essere utilizzati in ambito digitale, evidenziandone dunque i limiti fisici e dinamici legati alla loro implementazione. L'obiettivo sarà dunque quello di descrivere i principali circuiti che sono posti alla base di ogni calcolatore digitale, come le porte logiche, fino ad arrivare all'analisi di circuiti come il sommatore e moltiplicatore binario in tecnologia *c-MOS*.

L'approccio utilizzato per analizzare il problema sarà più di tipo simulativo: gli schematici sono realizzati tramite il software open source **XSchem** [2], mentre le simulazioni vengono effettuate mediante l'utilizzo del simulatore **ngspice** [5]. Per rendere tutto l'approccio il più reale ed applicativo possibile verranno utilizzati i modelli spice rilasciati pubblicamente mediante il progetto open source **google-skywater PDK** [1].

Indice

Preambolo	iii
1 Introduzione all’approccio SPICE	1
1.1 Parametri di simulazione	2
1.2 <i>Process Design Kit</i> : skywater	2
2 Porte logiche in tecnologia c-MOS	7
2.0.1 NOT gate	7
2.0.2 AND gate	7
2.0.3 OR gate	7
2.0.4 NOR gate	7
2.0.5 NAND gate	7
2.1 Elementi di memoria	7
2.1.1 SR latch	7
2.1.2 RAM dinamica	7
2.1.3 RAM statica	7
2.2 Circuiti logici	7
2.2.1 Sommatore	7
2.2.2 Moltiplicatore	7
Schematici	9
Bibliografia e sitografia	11

Capitolo 1

Introduzione all'approccio SPICE

A livello accademico è stato descritto il principio di funzionamento dei *MOSFET*, ossia dei transistor che utilizzano l'effetto di carico che si instaura tra uno substrato semiconduttivo e un metallo ossidato per movimentare delle cariche elettriche. In base al drogaggio dei terminali di *source* e *drain*, complementare a quello di *bulk*, è possibile suddividere i transistori in due famiglie: gli *n-MOS* (drogaggio di tipo *n*) e i *p-MOS* (drogaggio di tipo *p*). In particolare la relazione statica che lega la corrente che scorre tra i terminali di drain e source è funzione sia della differenza di tensione V_{gs} tra *gate* e source, ma anche alla differenza di tensione V_{ds} tra drain e source:

$$I = K_n \frac{W}{L} \left[(V_{gs} - V_{tn}) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (1.1)$$

In questa relazione è possibile osservare la presenza di 3 parametri fondamentali a determinare il comportamento del transistor: la *conducibilità intrinseca* K_n , proprietà caratteristica del semiconduttore utilizzato per il bulk, e le dimensioni caratteristiche W (larghezza) e L (lunghezza) del canale conduttivo. Nella caratteristica statica fondamentale è anche la *tensione di soglia* V_{tn} dipendente sia dalla costituzione del transistor, sia dalla differenza di tensione V_{bs} tra bulk e source.

Il modello presentato in equazione 1.1 è in realtà una versione approssimata della caratteristica di trasferimento reale di un transistor MOS e trascura molti fenomeni elettromagnetici che nella realtà dovrebbero essere considerati; esso può essere utile a livello didattico per concepire il funzionamento di alcuni circuiti semplici, tuttavia per problemi più complessi un approccio analitico approssimato può portare a risultati fuorvianti.

Un approccio simulativo è infatti più indicato per poter analizzare le prestazioni di circuiti più complessi in quanto a prova di errori (una volta che ci si è assicurati di aver implementato correttamente gli schematici) e permette di considerare effetti elettro-magnetici che analiticamente sarebbe difficile da studiare.

In ambito elettronico per effettuare delle simulazioni numeriche di circuiti si utilizzano i software cosiddetti *SPICE* (acronimo di *Simulation Program with Integrated Circuit Emphasis*); in particolare tra le numerose soluzioni disponibili sul mercato nel proseguimento del seguente testo verrà utilizzato il software gratuito **XScheme** [2] per la realizzazione degli schematici che verranno simulati tramite l'applicativo **ngspice** [5].

1.1 Parametri di simulazione

Per poter effettuare delle simulazioni è necessario fornire al software una raccolta con le informazioni da utilizzare per modellare il transistor, ossia è necessario specificare tutti i parametri che possono essere sia geometrici, ma anche legati alle proprietà dei materiali.

Facendo diretto riferimento ai parametri presenti nell'equazione 1.1 per un transistor è necessario in primo luogo indicare la conducibilità intrinseca K_p [A/V^2], la lunghezza L [m] e la larghezza W [m] del canale conduttivo. Altri parametri geometrici che possono essere utilizzati per migliorare l'analisi è indicare sia perimetro che area per il terminale di drain (parametri PD [m] e AD [m^2]) e il terminale source (parametri PS e AS).

Come parametri funzionali per il calcolo della caratteristica statica dei MOSFET si menziona la tensione di soglia, modellata tramite il parametro V_{to} [V]. L'effetto body, dovuto alla differenza di tensione tra bulk e source, richiede invece di specificare il relativo coefficiente Γ [$V^{0.5}$] e il coefficiente superficiale Φ [V]. Come ultimo parametro di un transistor si menziona il coefficiente di modulazione di lunghezza di canale Λ [V^{-1}].

parametro	unità	famiglia di transistor	
		n-MOS	p-MOS
K	[A/V^2]	$50 \cdot 10^{-6}$	$20 \cdot 10^{-6}$
W	[m]	$50 \cdot 10^{-6}$	$20 \cdot 10^{-6}$
L	[m]	$50 \cdot 10^{-6}$	$20 \cdot 10^{-6}$

Tabella 1.1: parametri di simulazioni utilizzati nel seguente documento; i dati sono basati su transistor **ALTRE INFORMAZIONI**

Un componente reale, in condizioni sia statiche, presenta delle perdite di corrente sia tra drain e source, sia tra gate e source, nel cosiddetto fenomeno della *current leakage* (perdita di corrente) associato alle correnti parassite. Analizzando invece il comportamento dinamico del circuito è possibile osservare che i MOSFET presentano un'inerzia alla trasmissione di carica (rispetto ad ogni coppia di terminali): tali effetti di *capacità parassite* possono essere modellate tramite l'inserimento nello schematico di capacità equivalenti.

Nella pratica le relazioni che determinano correnti e capacità parassite sono complesse (equazioni fortemente non lineari) e dipendenti da molti parametri dei transistor stessi: non esiste dunque un modello univoco che può essere utilizzato per la simulazione dei circuiti (ad un livello di complessità simil-realistico), ma in generale ogni produttore mette a disposizione dei progettisti i loro modelli spice che possono dunque essere inclusi negli schematici per effettuare delle simulazioni più interessanti.

1.2 Process Design Kit: skywater

Il *Process Design Kit*, spesso abbreviato dall'acronimo *PDK*, è una suite di librerie e applicativi che permettono una progettazione corretta di un circuito integrato. In questi kit sono contenuti infatti tutti i modelli spice (sia dal modello lineare più semplice, sia a modelli del 4° ordine più complessi) che possono essere utilizzati per le simulazioni, oltre che a una serie di informazioni che vincolano la progettazione per permettere di ottenere un prodotto che sia effettivamente utilizzabile nel mondo reale. Per esempio, oltre a tutte le informazioni riguardanti ingombri fisici, i PDK contengono le proprietà per simulare con maggior precisione le correnti e capacità parassite che si generano nel prodotto finito.

skywater PDK [1], come dice il nome stesso, è dunque un PDK rilasciato pubblicamente frutto della collaborazione di Google con la fondazione Skywater; questo progetto, per come

riportato dal team di sviluppo del PDK stesso, è ancora in fase sperimentale e dunque può non essere perfettamente accurato, tuttavia si osserva che lo stesso progetto deriva direttamente da PDK utilizzati da anni a livello professionale.

L'idea alla base di questo progetto open source è quella di permettere a tutte le persone di progettare e prototipare circuiti integrati, permettendo la realizzazione pratica sfruttando il processo produttivo a $130nm$ fornito da SkyWater Technology foundry [4].

Sfruttando la suite di software composta da XSchem, ngspice e skywater PDK è possibile realizzare degli schematici e dei circuiti che si avvicinano il più possibile a dei circuiti reali.

Contenuti del PDK

La libreria skywater mette a disposizione sostanzialmente 2 categorie di modelli spice per la simulazione:

- le *primitive cells*, abbreviate PR, ossia i modelli associati ai mosfet (sia a 4 pin, sia a 3 pin con bulk collegato a massa), ma anche per altri componenti passivi che possono essere integrati su chip quali svariati tipi di resistenze (in funzione della potenza dissipabile), di capacità MIM (*metal-insulator-metal*), diodi e diodi varicap;
- la *digital standard cells*, abbreviate SC, sono invece già dei circuiti combinatori che sfruttano l'interconnessione delle celle primitive per realizzare porte logiche (and, or, not...) e altri circuiti combinatori (latch).

Nella libreria sono presenti diverse varianti di transistori caratterizzati sia principalmente dalle differenze di tensioni ammissibili tra le coppie di terminali dei componenti (si trovano componenti che funzionano per tensioni V_{gs} , V_{ds} di valori 1.8V, 3.3V, 5.0V, 20V). Leggendo la documentazione [3] rilasciata dagli sviluppatori è inoltre possibile individuare i valori di lunghezza L e larghezza W ammissibili per la produzione di ogni tipo di mosfet.

La libreria delle standard cells derivanti dalle celle primitive sono divise in diverse famiglie caratterizzate dagli appellativi:

- *high density* (HD) e *high density low leakage* (HDLL), ossia porte logiche la cui caratteristica è di avere ingombri su chip più bassi (pari a $0.46 \times 2.72\mu m$) in modo da aumentare la densità di integrazione su scheda; la seconda tipologia, come si evince dal nome, è caratterizzata inoltre da una bassa dispersione di corrente elettrica. La tensione di alimentazione è posta a 1.8V;
- le celle a bassa tensione (alimentazione $< 2.0V$) sono classificate in base alla velocità di commutazione dei gate secondo gli appellativi *low speed* (LS), *medium speed* (MS) e *high speed* (HS); in questa categoria è possibile rilevare anche le celle a basso consumo di potenza (categoria *low power* LP). L'ingombro su scheda di queste celle elementari è pari a $0.48 \times 3.33\mu m$;
- *high voltage* (HVL) sono invece delle celle con tensione di alimentazione pari a 5.0V con ingombro su scheda di $0.48 \times 4.07\mu m$.

Corner spice models La descrizione tramite un modello matematico astratto per predire il comportamento empirico di un componente analogico non sempre risulta essere accurato per via dei parametri di influenza esterni che il calcolatore non può considerare (come correnti e capacità parassite che si instaurano inevitabilmente tra i componenti).

Per poter effettuare delle valutazioni più pratiche dei circuiti progettati, il pdk fornisce al progettista i cosiddetti modelli spice *corner* che sono tarati su particolari casi di funzionamento. In particolare, per convenzione è possibile individuare il comportamento dinamico tipico (*typical* T), veloce (*fast* F) e lento (*slow* S).

Importando, per esempio, in una simulazione il modello corner spice FS, il simulatore considererà come comportamento di funzionamento veloce per gli n-mos (transistori più veloci), mentre per i p-mos considererà un comportamento lento (i transistori risulteranno avere costanti di tempo più elevate).

Componenti utilizzati

Effettuata questa premessa sui contenuti del pdk skywater, nel proseguimento del seguente documento per la progettazione e simulazione dei circuiti si utilizzeranno modelli di transistor n-mos e p-mos con tensione nominale a 1.8V, in linea con le tensioni di alimentazione utilizzate nei microprocessori nei primi anni 2000, periodo a cui è possibile far risalire il processo produttivo di skywater.

Facendo riferimento al processore Intel Pentium III Tualatin, rilasciato sul mercato nel 2001, in quanto prodotto con un processo a 130nm, è possibile stimare l'ingombro medio di un transistor su scheda di circa $1.82\mu\text{m}^2$: per avere un ingombro su scheda simile nel seguente documento (ove non specificato) si utilizzano transistor con dimensioni $W = 7\mu\text{m}$ e $L = 0.15\mu\text{m}$ (area di $1.05\mu\text{m}^2$).

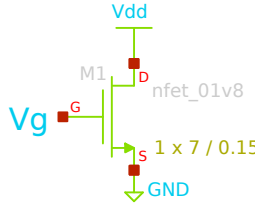


Figura 1.1: schematico di un transistor n-mos con bulk a massa, drain posto alla tensione di alimentazione V_{dd} , gate posto alla tensione V_g e source a massa.

Simulando il circuito in figura 1.1 è possibile ottenere la caratteristica statica (figura 1.2) di trasferimento che determina la corrente I_n che fluisce dal drain verso il source in funzione delle tensioni differenziali V_{ds} e V_{gs} . Tramite questa si può anche determinare la tensione di soglia V_{tn} del transistor che è pari a circa 0.8V.

Caratteristiche dinamiche Individuate le principali caratteristiche statiche, è possibile osservare dei comportamenti dinamici del circuito legati in particolare agli andamenti dei transistori.

Il circuito più semplice da considerare a tale fine è quello riportato in figura 1.3 che si basa sullo scaricare una capacità di $1nF$ mediante l'utilizzo di transistori n-mos. In questo caso si pone al massimo la tensione $V_{gs} = 1.8V$ e si effettua una simulazione sul transitorio. Posto che al tempo iniziale la tensione in uscita V_{out} fosse pari allo stato alto 1.8V, utilizzando i diversi modelli corner spice forniti è possibile effettuare dei diagrammi di rappresentazione dei transistori.

Facendo riferimenti ai risultati in figura 1.4, è possibile osservare che modelli corner diversi, rispetto al nome loro assegnato, producono dei risultati distinti. Ipotizzando di concludere il transitorio al 90% di escursione del segnale, ossia quando la tensione in uscita

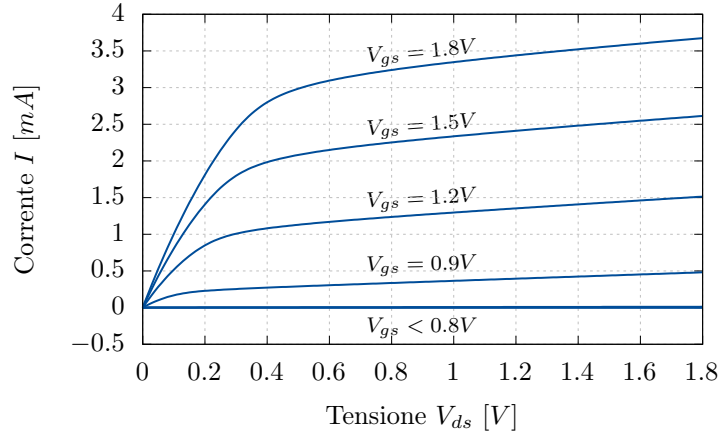


Figura 1.2: caratteristica statica ottenuta mediante simulazione *dc sweep* del circuito in figura 1.1.

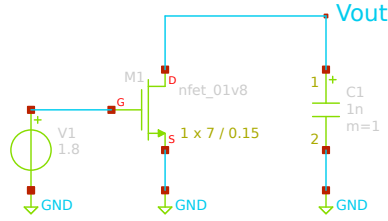


Figura 1.3: circuito per simulare la scarica di un condensatore C_1 di capacità $1nF$, posto inizialmente ad una tensione $V_{out} = 1.8V$, mediante l'utilizzo di transistor *n-mos*.

raggiunge il valore $V_{out} = 0.18V$, si ottengono i tempi per i 3 modelli pari a:

$$t_{slow} \approx 584ns \quad t_{typical} \approx 516ns \quad t_{fast} \approx 467ns$$

Ove non diversamente specificato nella prosecuzione del documento tutti comportamenti transistori verranno valutati rispetto ad un comportamento tipico dei transistor.

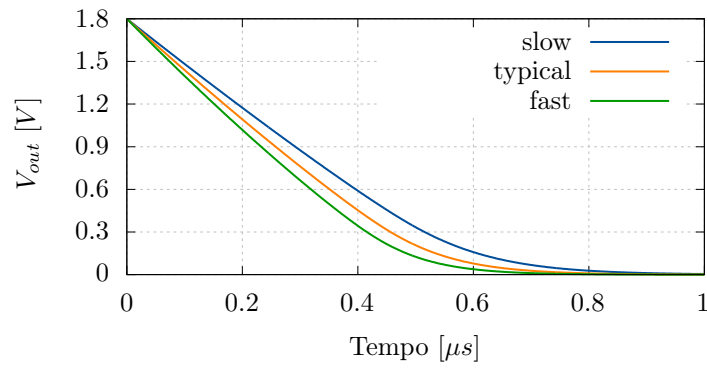


Figura 1.4: evoluzione della tensione in uscita V_{out} dovuta alla scarica della capacità mediante un mosfet (circuito in figura 1.3).

Capitolo 2

Porte logiche in tecnologia c-MOS

2.0.1 NOT gate

2.0.2 AND gate

2.0.3 OR gate

2.0.4 NOR gate

2.0.5 NAND gate

2.1 Elementi di memoria

2.1.1 SR latch

2.1.2 RAM dinamica

2.1.3 RAM statica

2.2 Circuiti logici

2.2.1 Sommatore

2.2.2 Moltiplicatore

Schematici

Bibliografia e sitografia

- [1] SkyWater Technology Foundry Google. *Google Skywater PDK*. URL: <https://github.com/google/skywater-pdk>.
- [2] Stefan Frederik Schippers. *XSchem*. URL: <https://github.com/StefanSchippers/xschem>.
- [3] *SkyWater Device Details*. URL: <https://skywater-pdk.readthedocs.io/en/latest/rules/device-details.html>.
- [4] *SkyWater Technology foundry*. URL: <https://www.skywatertechnology.com/>.
- [5] ngspice team U.C. Berkley CAD Group. *ngspice*. URL: <http://ngspice.sourceforge.net/>.