

Manuale di funzionamento per le schede di acquisizione dati

Virginio Merlin, Simone Stracka

Comunicazione

Attivare la comunicazione con la schedina via signal tap:

analogica:

```
quartus_stp -t /home/altera/codici/analogico/vj-uart-master/bin/vjuart.tcl
```

digitale:

```
quartus_stp -t /home/altera/codici/digitale/vj-uart-master/bin/vjuart.tcl
```

Viene fornita la lista degli USB-Blaster collegati.

Device 0 : USB-Blaster [2-5]

Device 1 : USB-Blaster [2-6]

Selezionare quello da collegare alla porta 2323. Select device [0]: 0 Select JTAG chain connected to USB-Blaster [2-5].

Selected device: @1: EP3C25/EP4CE22 (0x020F30DD).

JTAG VComm listening on 127.0.0.1:2323

E' possibile attivare due moduli simultaneamente: es. uno sulla porta 2323 e l'altro sulla porta 2324, lanciando due volte quartus_stp e istruendo l'applicazione di collegarsi in un caso al primo USB-Blaster, nell'altro caso al secondo.

Il programma di acquisizione in python va quindi istruito per leggere i dati che appaiono sulla porta corretta.

```
Analogica - /home/altera/codici/analogico/vj-uart-master/py/De0nanoconnect.py
```

```
Digitale - /home/altera/codici/digitale/vj-uart-master/py/De0nanoconnect.py
```

Schedina digitale

- Sono disponibili 8 canali digitali (TTL)
- **Il trigger viene effettuato sulla discesa del segnale**
- I segnali devono essere più lunghi del periodo del clock (20 ns)
- L'output è un timestamp - clock 50 MHz (nella versione di default) - la conversione nel programma python di acquisizione assume il clock di default
- Per periodi di acquisizione più lunghi di qualche minuto si osserva il ripple dovuto alla lunghezza eccessiva del registro (come mostrato nella figura seguente).

Activities Document Viewer Thu 13:07 stracka

CEBEFO_relazione_RC2.pdf

7 of 24 134.88%

8+9+10 621 10 5 11

Tabella 3.2: Efficienze, con relativi errori, dei PMT costituenti il telescopio 2. Tutti i valori sono moltiplicati per 10^3 .

Un'ulteriore analisi effettuata sull'acquisizione digitale della scheda FPGA è in merito al tempo registrato all'acquisizione: all'interno di una presa dati si osserva che il tempo registrato non è sempre crescente ma ha una struttura a dente di sega: ogni 750 s il contatore relativo arriva al suo termine e riparte da $t = 0$.

Inoltre, studiando la struttura più nel dettaglio si osservano strutture analoghe anche su tempi di 70 s. Queste, a detta del costruttore, sono dovute alla struttura dei contatori implementati. Tali contatori hanno un passaggio che richiede il cambio simultaneo di troppi bit rispetto a quanto sia sostenibile dal clock (cioè un passaggio da $111\dots1 \rightarrow 100\dots00$), per ovviare a questo problema il contatore cambia solo un numero limitato di bit, di fatto retrocedendo di diversi secondi nel conteggio. Il ripetersi di tale operazione forma la struttura a dente di sega. In figura 3.5 e 3.6 sono mostrati tali andamenti in funzione dello UNIX time.

Tempo registrato dalla scheda FPGA vs Unix Time registrato dal computer

Figura 3.6: Struttura a dente di sega osservata sul breve periodo dovuti all'implementazione non ottimale dei contatori. Da notare che non vi sono punti di sovrapposizione (cioè è un effettivo dente di sega).

A questo scopo si sono studiate le coincidenze di due telescopi vicini per indagare la presenza, o meno, di particelle che incidono simultaneamente su una certa area.

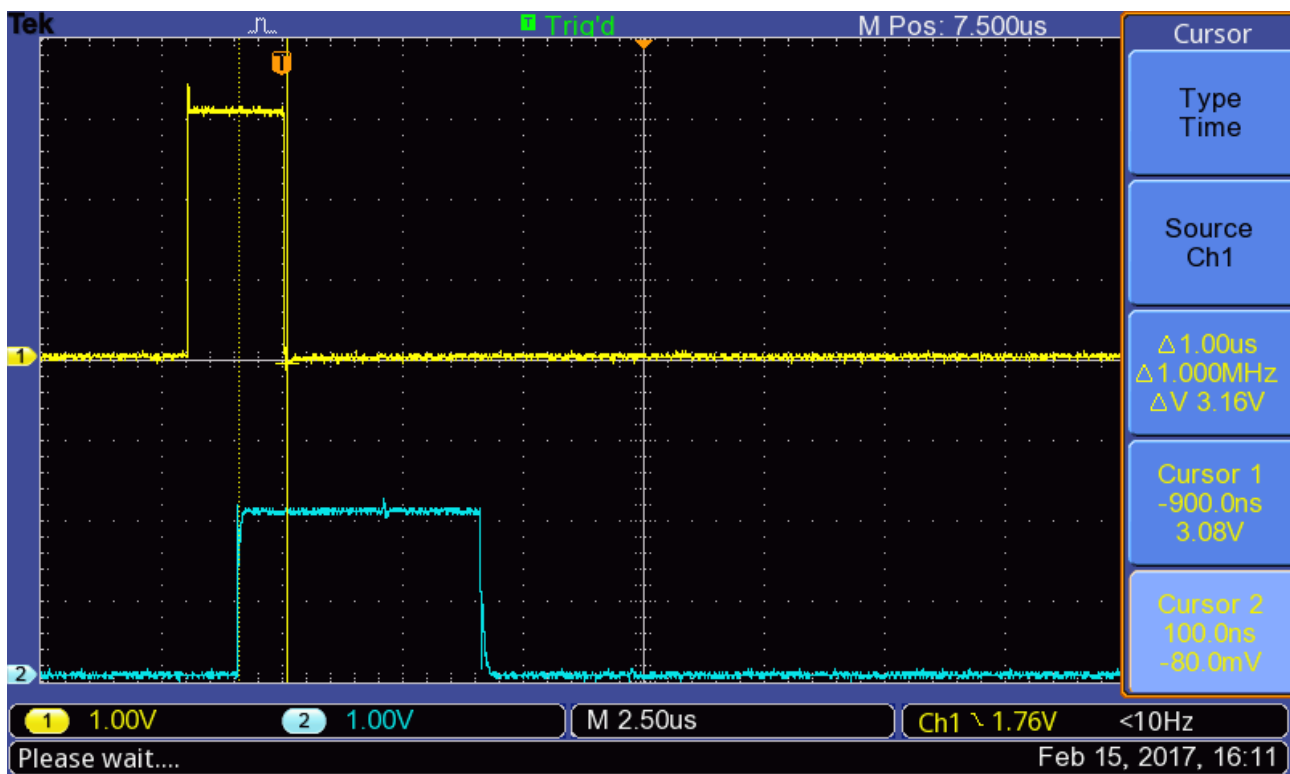
La presa dati con cui sono stati ottenuti i risultati mostrati nel seguito è durata circa due giorni e mezzo, ottenuta tra venerdì 20 maggio, ore 19:00 circa

4 Misure da acquisizioni digitali

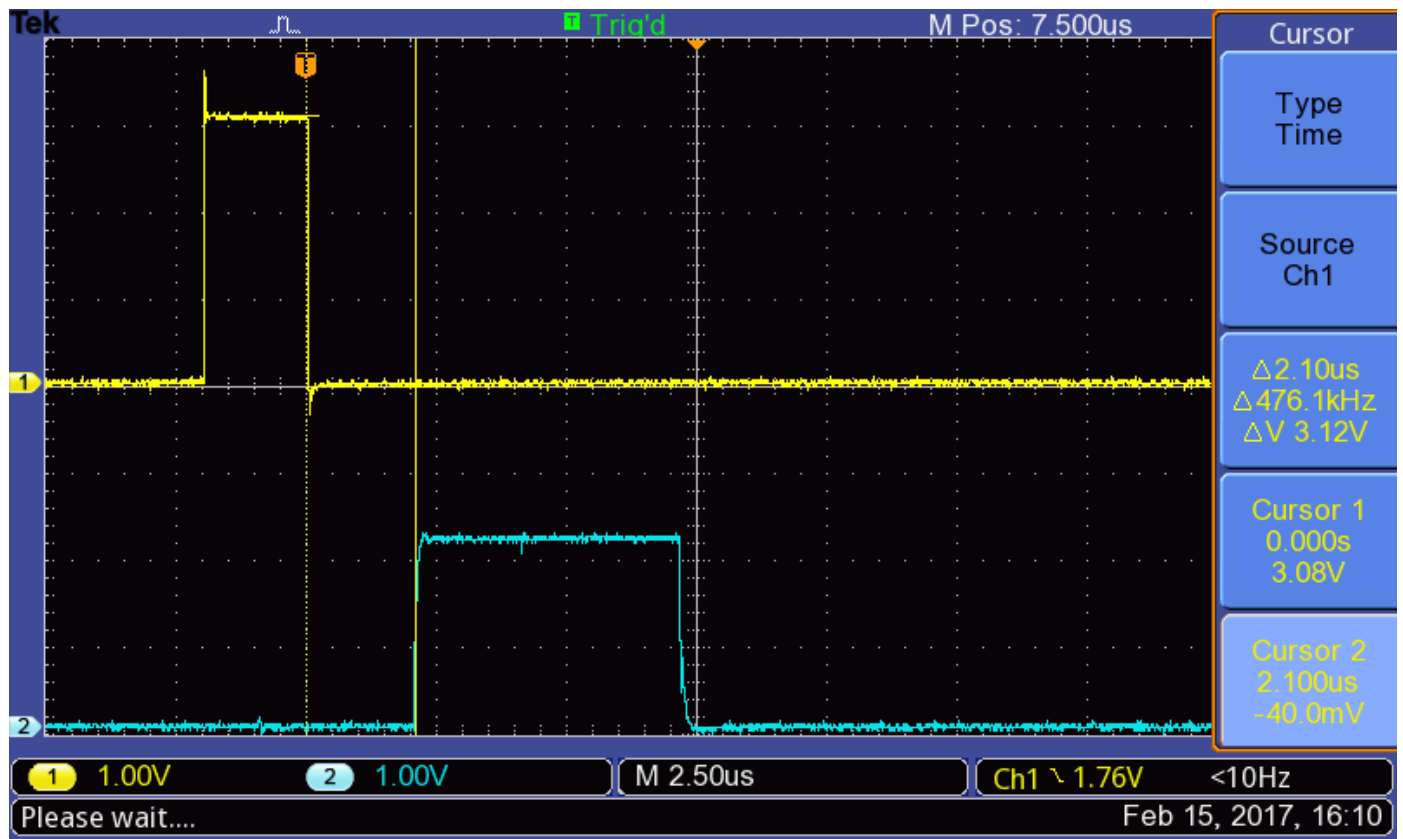
Schedina analogica

- Sono attivi 2 canali analogici e un canale digitale di trigger
- Il segnale analogico in input alla schedina deve essere positivo e non eccedere i 2.5 V per non danneggiare l'AD converter. L'output del TPHC deve pertanto essere attenuato.
- Il segnale digitale di trigger in input deve essere Low Voltage TTL (0-3.3 V) per non danneggiare la porta FPGA. E' possibile usare il segnale SCA del TPHC, opportunamente regolato in ampiezza mediante una doppia conversione da TTL a NIM e da NIM a TTL. Sul segnale NIM e' possibile agire estendendo il segnale o introducendo ritardi.
- La lettura dei due canali analogici e' sequenziale, dura 16 cicli di clock (di cui 3 per l'acquisizione) e il clock dell'ADC (ADC128S022) e' impostato a 3.2 MHz
- Quando la schedina viene utilizzata con la lettura da USB-Blaster, il segnale in input deve avere una frequenza inferiore a 40 Hz.

Nell'immagine sottostante, il segnale di trigger e' riportato in giallo. La lettura del segnale analogico (canale 1, in blu) avviene in corrispondenza del trailing edge (T).



La lettura del secondo canale avviene dopo 5 microsecondi (16 cicli di clock): il segnale analogico del secondo canale deve pertanto essere sufficientemente lungo (si può estendere agendo sul TPHC).

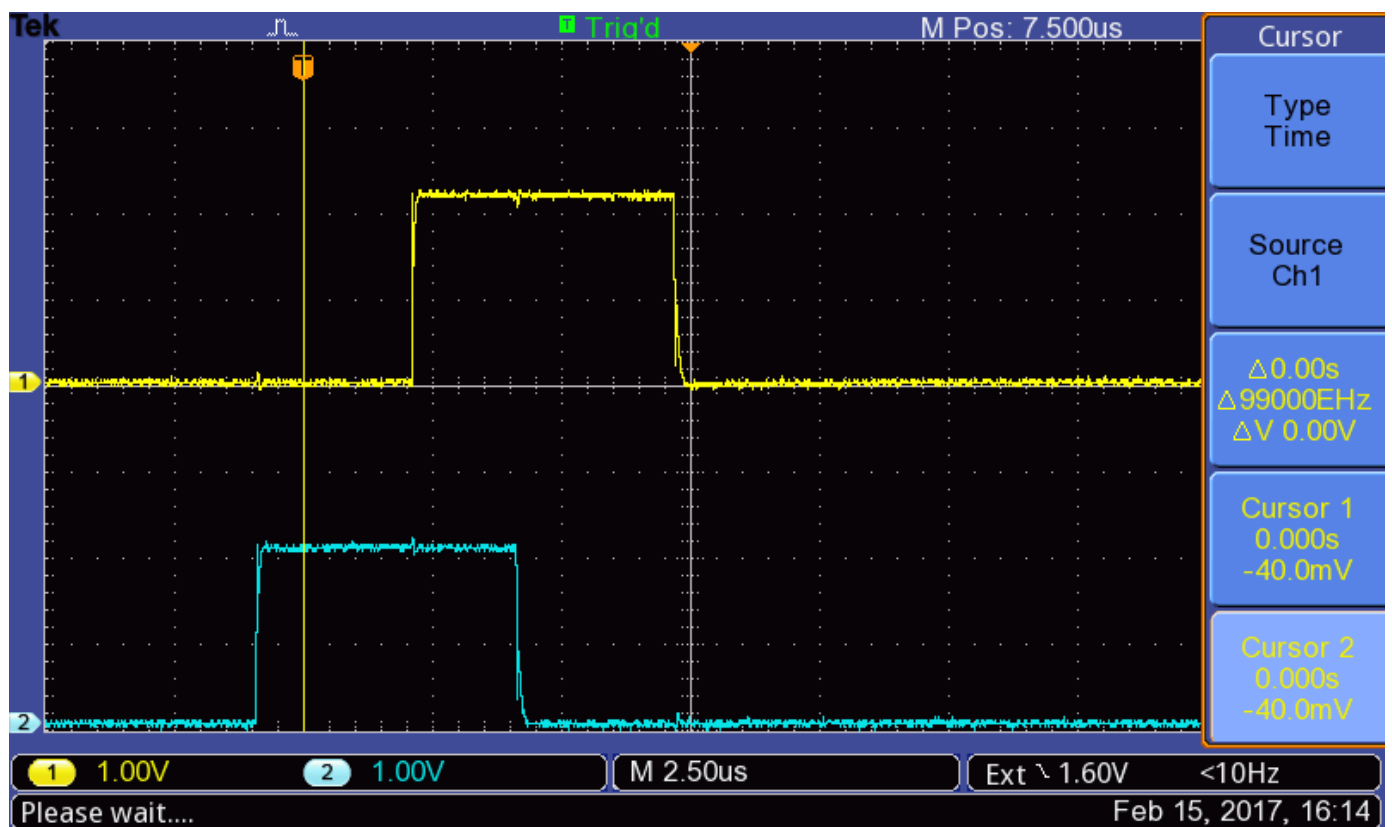


Inserendo due canali contemporaneamente dovremo rispettare il seguenti time:

(T)- Rappresenta il falling time del trigger input.

In giallo il canale CH0

In blu il CH1



SEGNALI DI PILOTAGGIO IN ANALOGICO DEL MODULO DE0NANO

