

Manuale di funzionamento per le schede di acquisizione dati

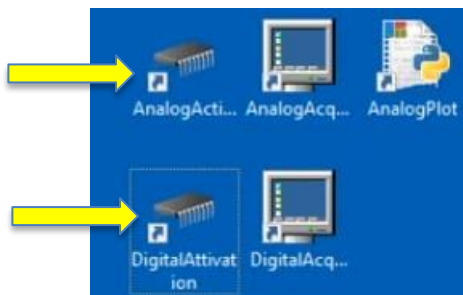
Virginio Merlin, Simone Stracka

Sul PC sono stati creati dei file/links per facilitare la procedura di acquisizione che si compone di due fasi:

- 1) Connessione. "Activation"
- 2) Acquisizione dati "Acquisition"

La prima fase (link Activation) lancia un file di Quartus (.stp) che attiva la connessione USB con il PC

Links di attivazione Windows



ATTIVAZIONE PORTA:

- **Analog Activation** - per abilitare la porta con acquisizioni di tipo analogico.
- **Digital Activation** - per abilitare la porta con acquisizioni di tipo digitale.

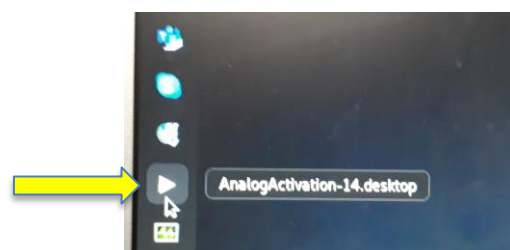
Analogica

Links di attivazione Linux

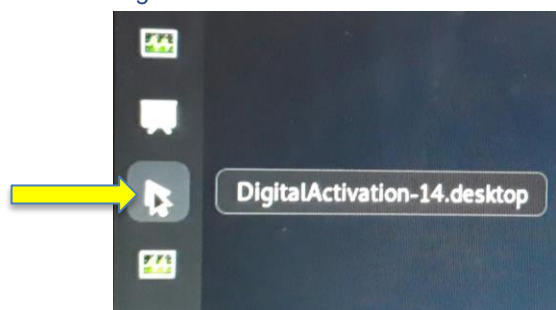


Aprire "Activities"

Poi

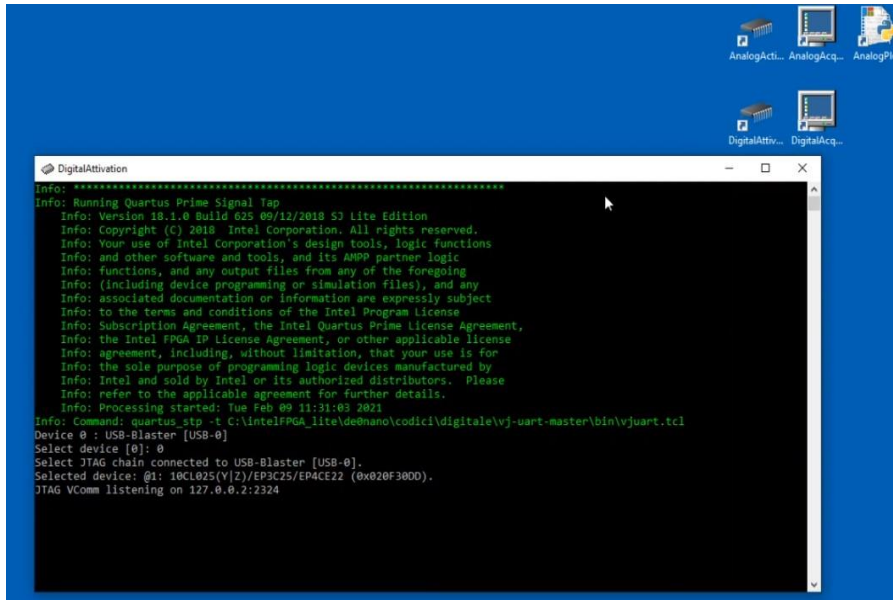


Digitale



Nei PC “linux fedora” i links hanno lo stesso nome, occorre però aprire la barra laterale “Activities” e cliccare l’icona relativa, tutto il resto è identico.

Finestra Attivazione porta

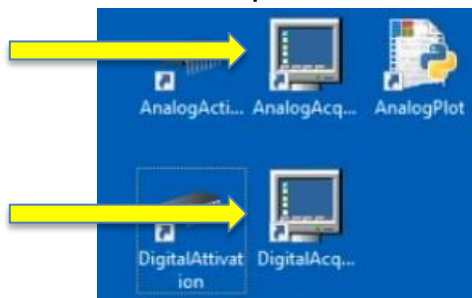


In questa prima fase viene avviata una finestra, da chiudere solo a fine acquisizione.
E' importante attendere la visualizzazione del numero porta 2323 o 2324, altrimenti si incorrerà in un errore nella fase di acquisizione

In questa fase occorre selezionare la porta per il flusso dati 0/1. Questa scelta permetterà di poter aggiungere un secondo modulo.

La seconda fase (link Acquisition) viene lanciato un file python che legge i dati dalla porta USB e li scrive in un file.

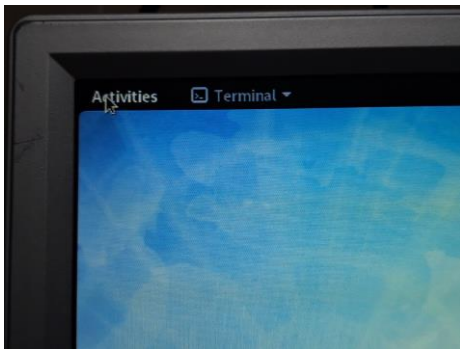
Links Acquisizione Windows



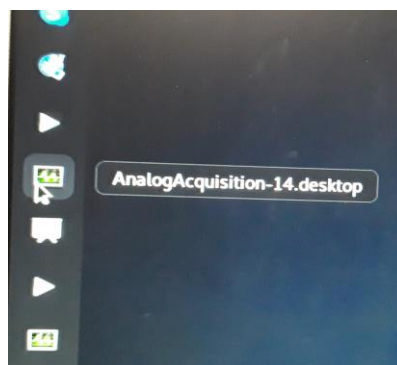
AVVIO ACQUISIZIONE:

- **Analog Acquisition** - per avviare acquisizioni di tipo analogico.
- **Digital Acquisition** - per avviare acquisizioni di tipo digitale.

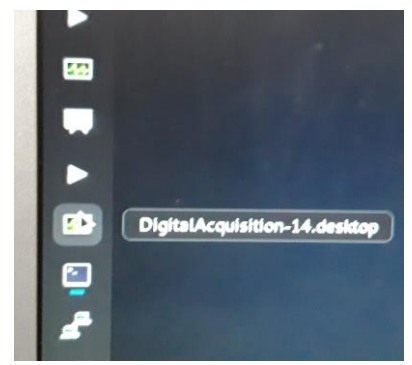
Linux Aprire "Activities"



Linux avvio Analog Acquisition

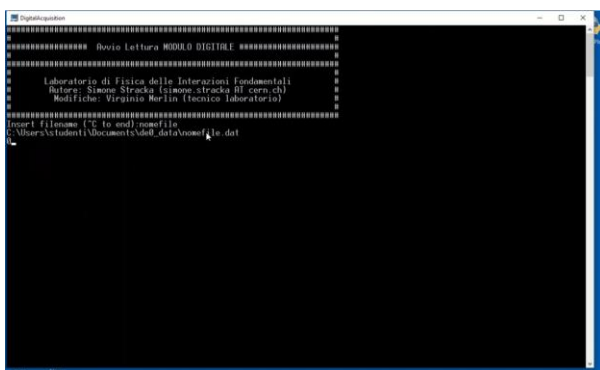


Linux Avvio Digital Acquisition



Inserire il nomefile (senza estensione) e spostare la levetta dello switch in posizione ON (in alto).

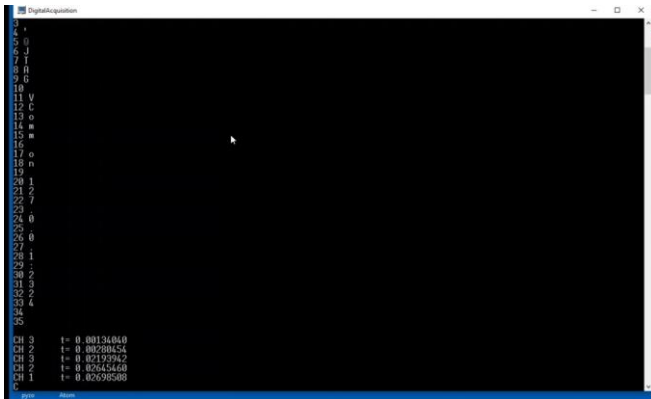
Avvio acquisizione (Windows/Linux)



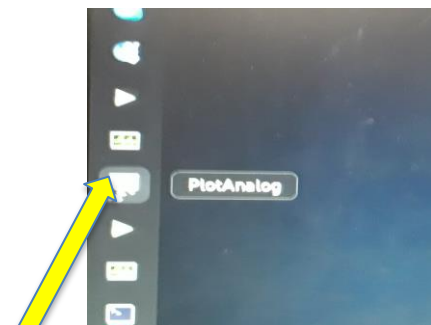
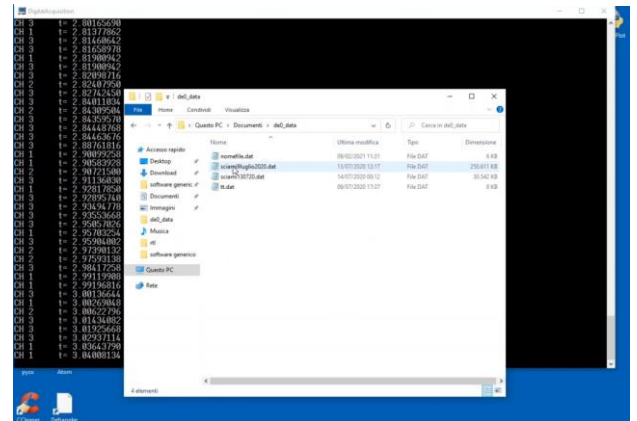
Inserimento del nomefile (senza estensione, chiudere a fine acquisizione).

A fine acquisizione si potrà trovare il file dati nella posizione "/Documenti/de0data dell'utente.

Dati in acquisizione



Dati acquisiti "cartella"



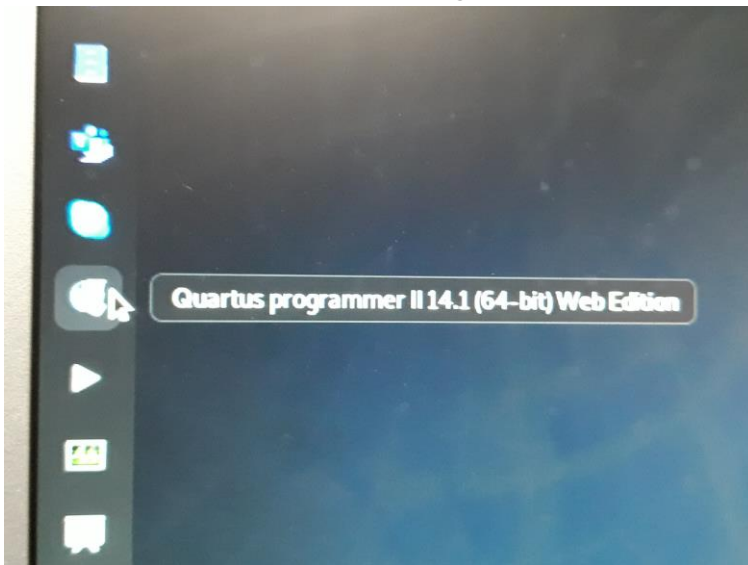
(Solo "Analog").

Dopo aver avviato l'acquisizione è possibile avviare il file python "AnalogPlot" per graficare i dati in acquisizione.

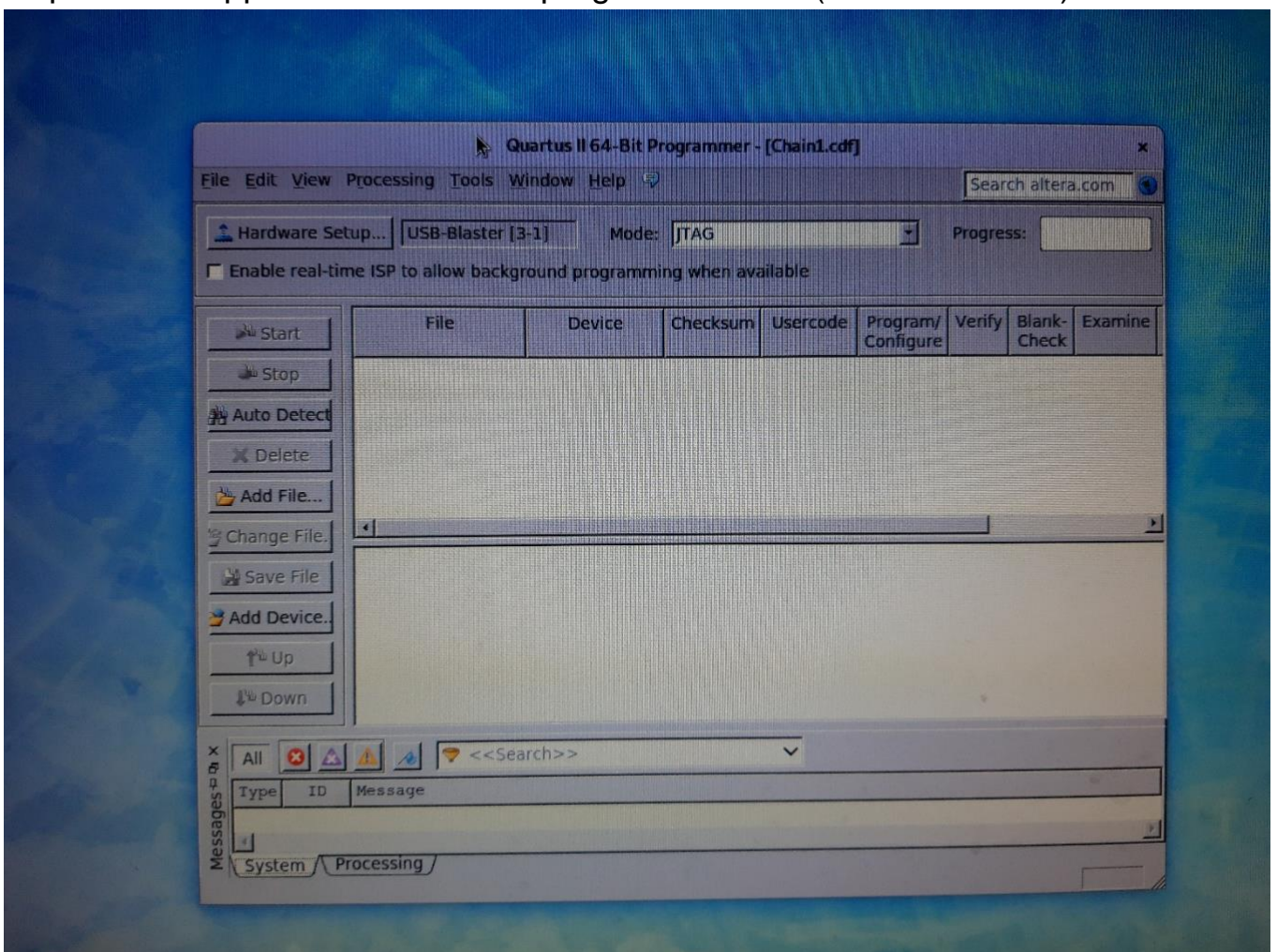
Programmare schedina DEONANO

Windows avviare Quartus Programmer Da “Start”.

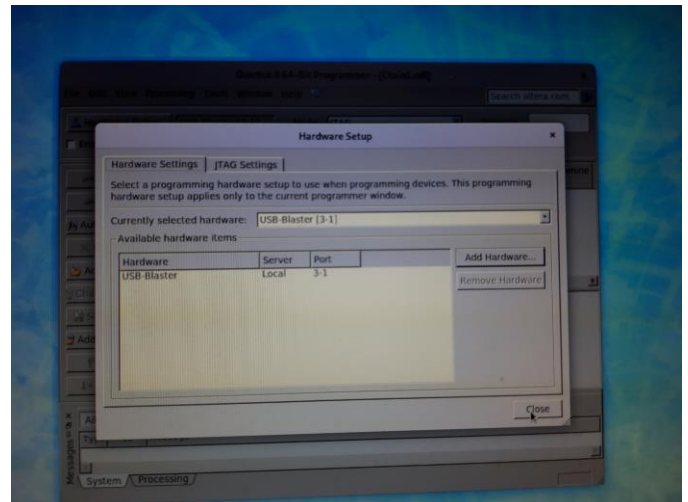
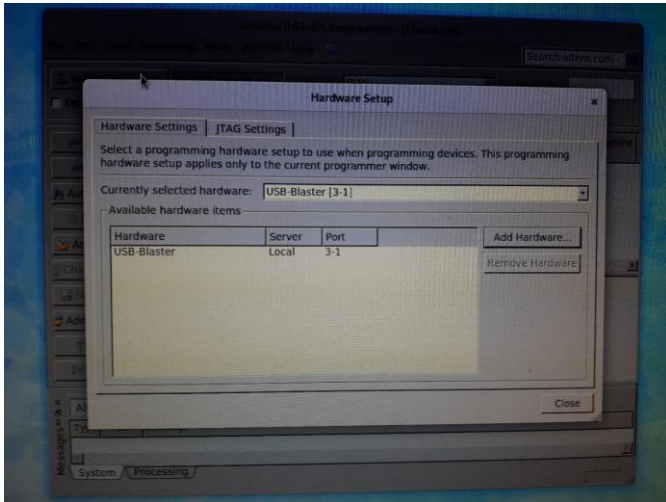
Linux: Avviare Quartus Programmer da “Activities”.



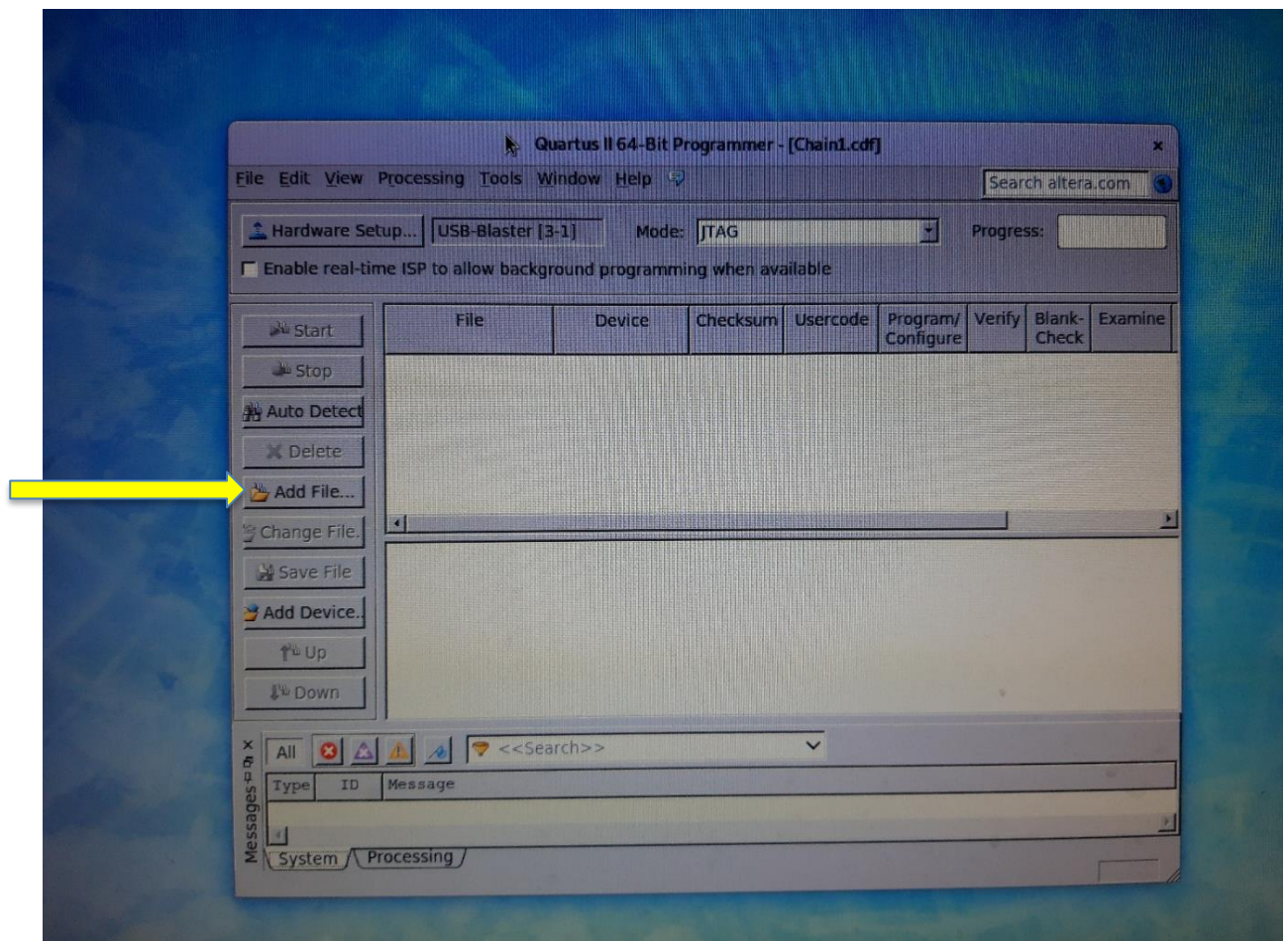
Dopo l'avvio apparirà la finestra di programmazione (Windows/Linux)



Selezionare Hardware setup, selezionare la porta USB-Blaster e click su “Close.”



Tornati alla schermata precedente selezionare “Add File”

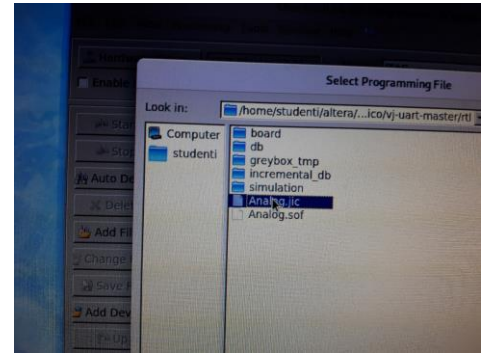


Aprire il file da:

c:\altera\de0nano\codici\analogico\vj-uart-master\rtl
\Analog.ijc (windows)

/home/studenti/altera/de0nano/codici/analogico/vj-
uart-master/rtl/Analog.ijc (linux)

per una programmazione di tipo analogico su
eprom.

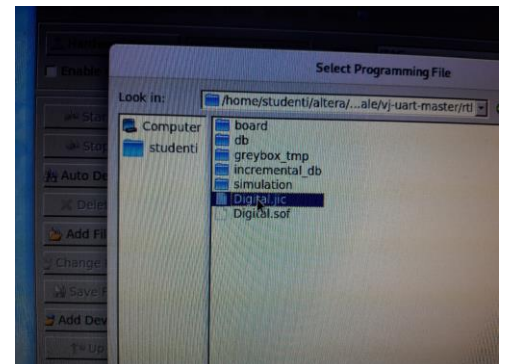


Oppure:

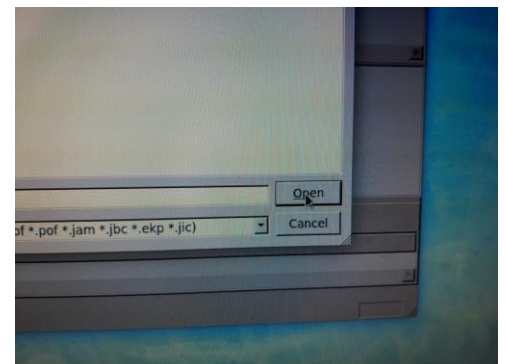
c:\altera\de0nano\codici\digitale\vj-uart-master\rtl
\Digital.ijc (windows)

/home/studenti/altera/de0nano/codici/digitale/vj-uart-
master/rtl/Digital.ijc (linux)

per una programmazione di tipo digitale su eprom.

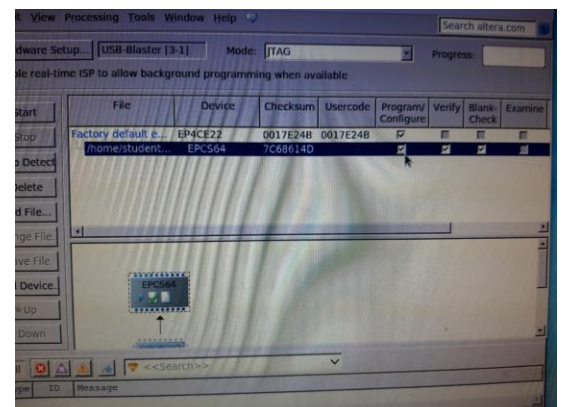


A questo punto fare click su “Open”.

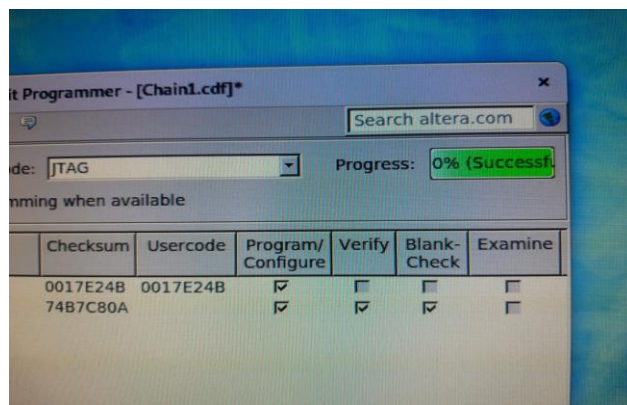
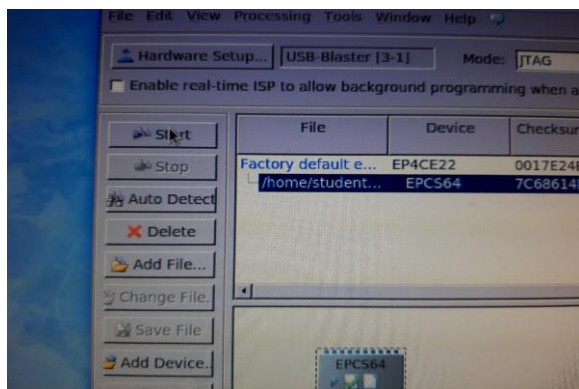


Settare le prime tre impostazioni.

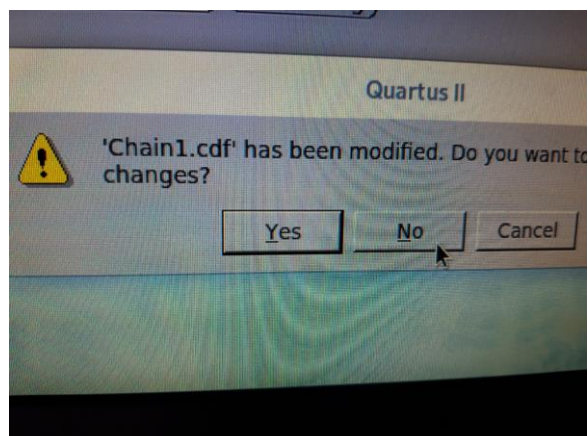
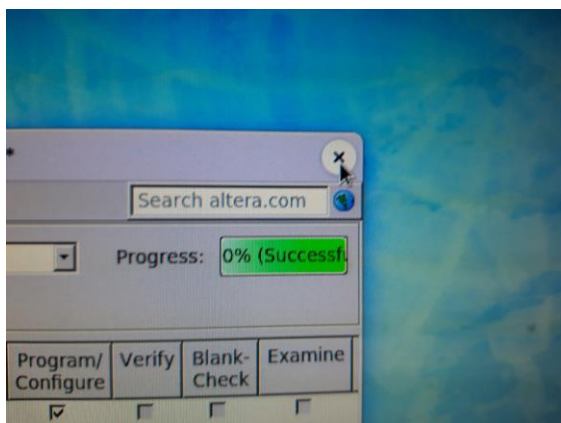
(Program Configure, Verify, Blank-Check).



Selezionare "Start" e attendere che finisca il caricamento



Chiudere senza salvare



Connessione da terminale

Attivare la comunicazione con la schedina via signal tap:

analogica:

```
quartus_stp -t /home/altera/codici/analogico/vj-uart-master/bin/vjuart.tcl
```

digitale:

```
quartus_stp -t /home/altera/codici/digitale/vj-uart-master/bin/vjuart.tcl
```

Viene fornita la lista degli USB-Blaster collegati.

Device 0 : USB-Blaster [2-5]

Device 1 : USB-Blaster [2-6]

Selezionare quello da collegare alla porta 2323. Select device [0]: 0 Select JTAG chain connected to USB-Blaster [2-5].

Selected device: @ 1: EP3C25/EP4CE22 (0x020F30DD).

JTAG VComm listening on 127.0.0.1:2323

E' possibile attivare due moduli simultaneamente: es. uno sulla porta 2323 e l'altro sulla porta 2324, lanciando due volte quartus_stp e istruendo l'applicazione di collegarsi in un caso al primo USB-Blaster, nell'altro caso al secondo.

Il programma di acquisizione in python va quindi istruito per leggere i dati che appaiono sulla porta corretta.

```
Analogica - /home/altera/codici/analogico/vj-uart-master/py/De0nanoconnect.py
```

```
Digitale - /home/altera/codici/digitale/vj-uart-master/py/De0nanoconnect.py
```

Ricordarsi di posizionare lo switch presente sul modulo DE0NANO in posizione OFF, in basso, prima di avviare le procedure di avvio del modulo.

DeOnano digitale

- Sono disponibili 8 canali digitali (TTL)
- **Il trigger viene effettuato sulla discesa del segnale**
- I segnali devono essere piu` lunghi del periodo del clock (20 ns)
- L'output e` un timestamp - clock 50 MHz (nella versione di default) - la conversione nel programma python di acquisizione assume il clock di default
- Per periodi di acquisizione piu` lunghi di qualche minuto si osserva il ripple dovuto alla lunghezza eccessiva del registro (come mostrato nella figura seguente).

Activities Document Viewer Thu 13:07 CEBEFO_relazione_RC2.pdf

7 of 24 134.88%

8+9+10 621 10 5 11

Tabella 3.2: Efficienze, con relativi errori, dei PMT costituenti il telescopio 2. Tutti i valori sono moltiplicati per 10^3 .

Un'ulteriore analisi effettuata sull'acquisizione digitale della scheda FPGA è in merito al tempo registrato all'acquisizione: all'interno di una presa dati si osserva che il tempo registrato non è sempre crescente ma ha una struttura a dente di sega: ogni 750 s il contatore relativo arriva al suo termine e riparte da $t = 0$.

Inoltre, studiando la struttura più nel dettaglio si osservano strutture analoghe anche su tempi di 70 s. Queste, a detta del costruttore, sono dovute alla struttura dei contatori implementati. Tali contatori hanno un passaggio che richiede il cambio simultaneo di troppi bit rispetto a quanto sia sostenibile dal clock (cioè un passaggio da $111\dots 1 \rightarrow 100\dots 00$), per ovviare a questo problema il contatore cambia solo un numero limitato di bit, di fatto retrocedendo di diversi secondi nel conteggio. Il ripetersi di tale operazione forma la struttura a dente di sega. In figura 3.5 e 3.6 sono mostrati tali andamenti in funzione dello UNIX time.

Tempo registrato dalla scheda FPGA vs Unix Time registrato dal computer

Figura 3.6: Struttura a dente di sega osservata sul breve periodo dovuti all'implementazione non ottimale dei contatori. Da notare che non vi sono punti di sovrapposizione (cioè è un effettivo dente di sega).

A questo scopo si sono studiate le coincidenze di due telescopi vicini per indagare la presenza, o meno, di particelle che incidono simultaneamente su una certa area.

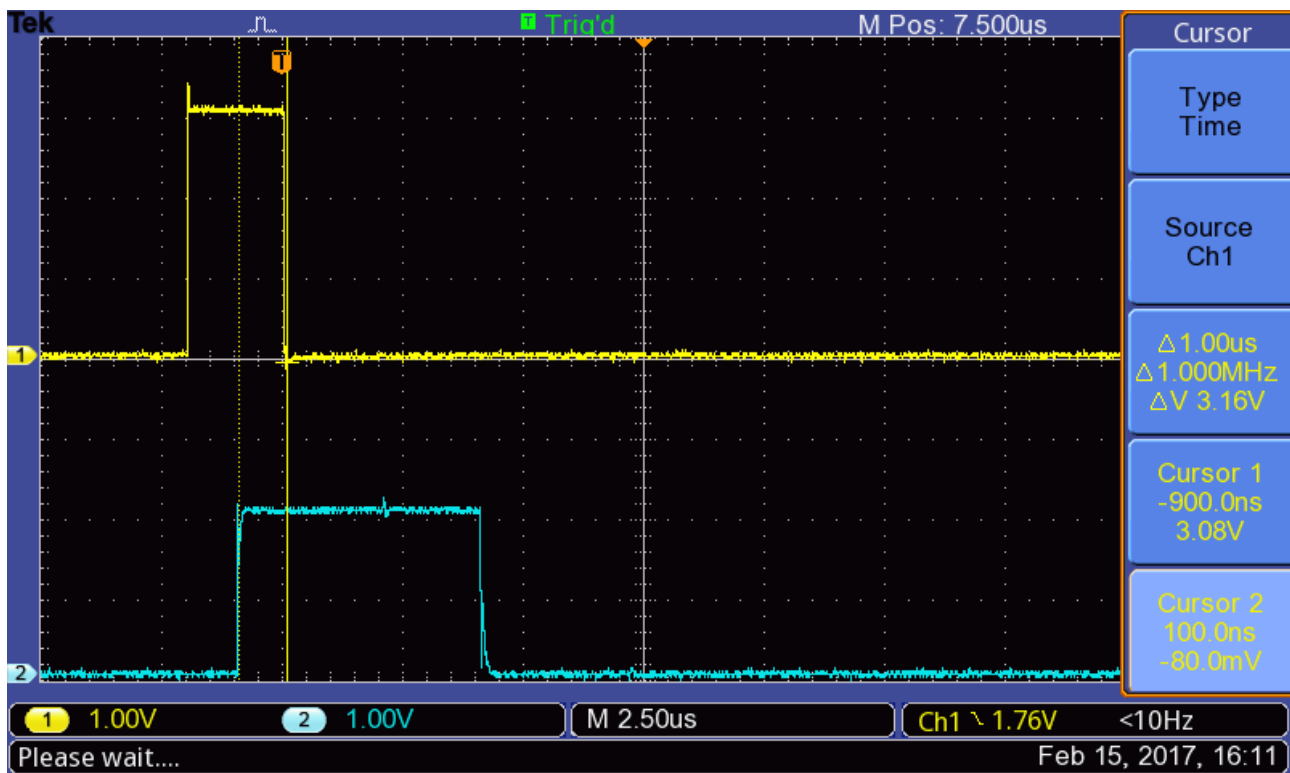
La presa dati con cui sono stati ottenuti i risultati mostrati nel seguito è durata circa due giorni e mezzo, ottenuta tra venerdì 20 maggio, ore 19:00 circa

4 Misure da acquisizioni digitali

De0nano analogico

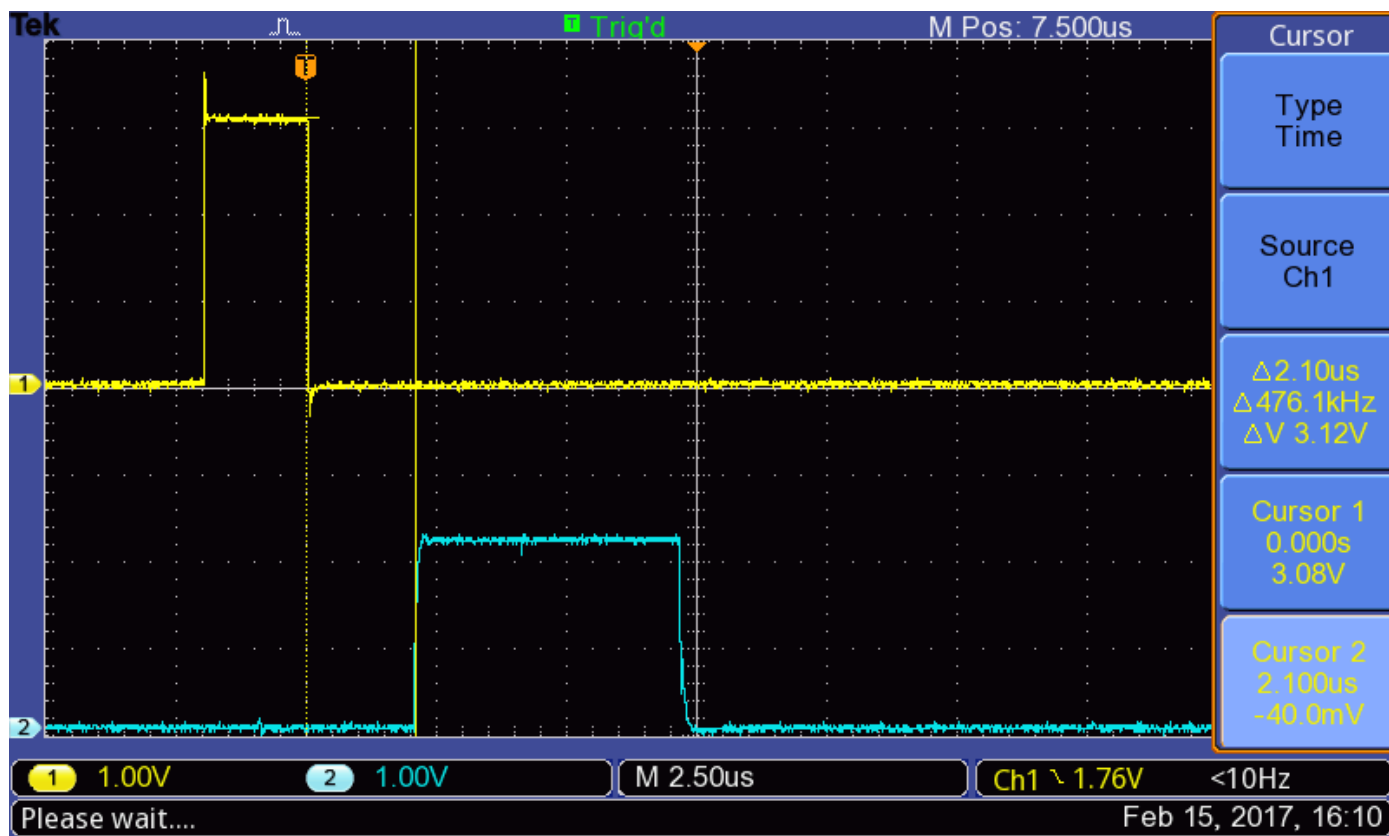
- Sono attivi 2 canali analogici e un canale digitale di trigger
- Il segnale analogico in input alla scheda deve essere positivo e non eccedere i 2.5 V per non danneggiare l'AD converter. Nel caso di utilizzo di moduli TAC il segnale di output del TPHC deve pertanto essere attenuato.
- Il segnale digitale di trigger in input deve essere Low Voltage TTL (0-3.3 V) per non danneggiare la porta FPGA. E' possibile usare, nel caso di utilizzo di moduli TAC, il segnale SCA del TPHC, opportunamente regolato in ampiezza mediante una doppia conversione da TTL a NIM e da NIM a TTL. Sul segnale NIM è possibile agire estendendo il segnale o introducendo ritardi.
- La lettura dei due canali analogici è sequenziale, dura 16 cicli di clock (di cui 3 per l'acquisizione) e il clock dell'ADC (ADC128S022) è impostato a 3.2 MHz
- Quando la scheda viene utilizzata con la lettura da USB-Blaster, il segnale in input deve avere una frequenza inferiore a 40 Hz.

Nell'immagine sottostante, il segnale di trigger è riportato in giallo. La lettura del segnale analogico (canale 1, in blu) avviene in corrispondenza del trailing edge (T).



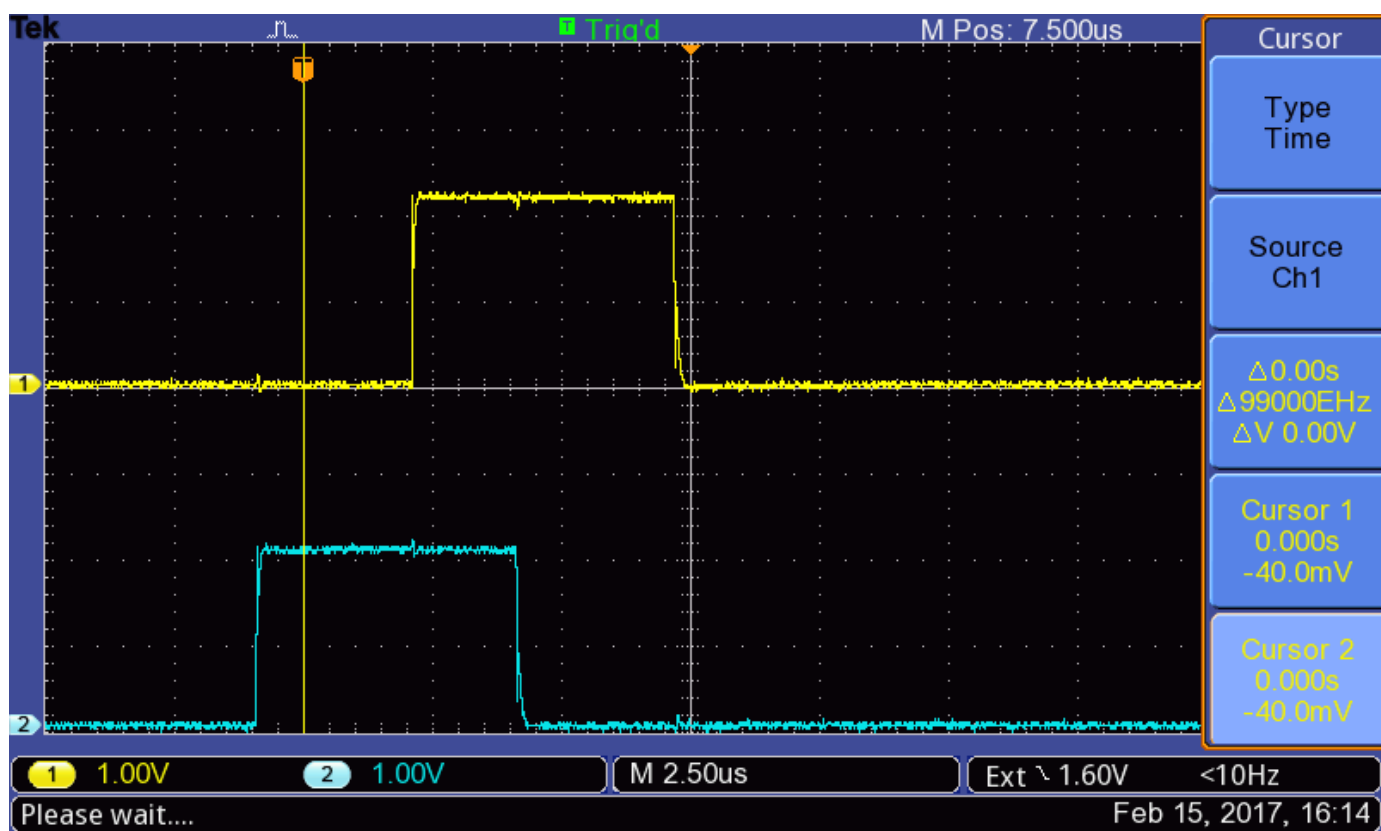
La lettura del CH0 avviene dopo 5 microsecondi (16 cicli di clock): il segnale analogico del CH0 canale deve pertanto essere sufficientemente lungo (si può estendere, nel caso di utilizzo di moduli TAC, agendo sul TPHC).

T=trigger, in blu CH0



Inserendo due canali contemporaneamente dovremo rispettare il seguenti time:

(T)- Rappresenta il falling time del trigger input. In giallo il canale CH0 In blu il CH1



SEGNALI DI PILOTAGGIO IN ANALOGICO DEL MODULO DE0NANO

