

Contador decrescente módulo diferente de potência de dois: problema e solução

Marcos Antônio da Silva Pinto¹
 Maria Luisa P. D. Ramos²

Este artigo apresentará um problema e a sua respectiva solução na construção de um contador assíncrono decrescente módulo diferente de potência de dois utilizando *flip-flops*. O exemplo apresentado pode ocorrer na maioria dos contadores deste tipo, independentemente da quantidade de bits que o contador possua. A finalidade principal deste artigo é cobrir uma lacuna. O que será mostrado aqui tem valor para experimentos em laboratórios de ensino de lógica digital, pois industrialmente estes tipos de circuitos são implementados em *PLD's* ou *PLC's* através de software, onde este problema não aparece. As montagens foram feitas no módulo didático digital *DATAPOOL* e, para a realização dos testes, utilizou-se o osciloscópio digital *TEKTRONIX TDS 320*, equipamentos existentes no laboratório de eletrônica do CEFET-MG.

PALAVRAS-CHAVE: CONTADOR;
 ASSÍNCRONO;
 DECRESCENTE;
 FLIP-FLOP.

1 INTRODUÇÃO

Os contadores assíncronos podem contar para cima (crescentes) ou contar para baixo (decrecentes). Em uma contagem crescente, o estado atual i é seguido pelo estado $(i + 1)$, enquanto que, na contagem do contador decrescente, o estado atual i é seguido pelo estado $(i - 1)$. O que determina se o contador é crescente ou decrescente é a conexão de um *flip-flop* (FF) ao outro. No contador crescente a saída normal alimenta o *clock* (CLK) do FF seguinte, ao passo que, no contador decrescente quem alimenta o CLK do FF seguinte é a saída invertida do FF anterior. A FIG. 1 apresenta um contador crescente. Para que o mesmo contador seja transformado em decrescente, o CLK do FF B deverá ser alimentado pela saída invertida do FF A, e o CLK do FF C deverá ser alimentado pela saída invertida do FF B.

A principal característica dos contadores assíncronos é que a saída de cada FF aciona a entrada de CLK do FF seguinte, sendo que a entrada do CLK externo só acontece no FF menos significativo. Esses conta-

dores são denominados de contadores assíncronos porque os FFs não trocam de estado em exato sincronismo com os pulsos de CLK aplicados.

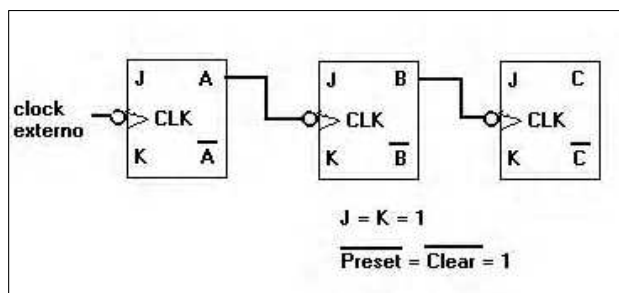


FIGURA 1 - Contador Assíncrono Crescente de três bits.

Conforme a FIG. 1, apenas o FF A responde aos pulsos de CLK; o FF B deve esperar o FF A mudar de estado antes de poder comutar; o FF C deve aguardar pelo FF B, e assim por diante. Assim, existe um atraso entre as respostas dos sucessivos FFs. Este atraso é tipicamente de 5-20 ns por FF. Este problema poderá gerar

¹ Professor do Curso Técnico de Eletrônica Industrial do CEFET-MG – Mestre em CIM pelo CEFET-MG.

² Professora do Curso Técnico de Informática Industrial do CEFET-MG – Mestre em CIM pelo CEFET-MG.

estados temporários dentro de um único pulso de CLK, não deixando com isto o contador ter uma contagem seqüencial.

Este artigo abordará o problema destes estados temporários existentes nos contadores assíncronos decrescentes módulo diferente de potência de 2 construídos com FF e apresentará uma proposta de projeto que poderá ser usada na solução de problemas como este. Este problema pode ocorrer com contadores deste tipo, independentemente do número de FF (ou bits) que o contador possua.

2 O PROBLEMA

A FIG. 2 apresenta um contador assíncrono decrescente módulo 5 construído com três FFs, sendo o FF A o menos significativo, pois é ele quem recebe o CLK externo. Este contador, sem a lógica de interrupção, conta os seguintes estados: 111, 110, 101, 100, 011, 010, 001, 000 e volta para 111; se possuir uma lógica de interrupção, que é a porta NAND atuando no clear dos FFs A e B, a seqüência de contagem é interrompida, passando a apresentar somente os seguintes estados: 100, 011, 010, 001, 000 e voltando para o estado 100. O estado em que ocorre esta interrupção é chamado de “estado temporário”. Neste contador, este estado ocorrerá quando a sua contagem atingir o estado 111, conforme apresentado no diagrama da FIG. 3.

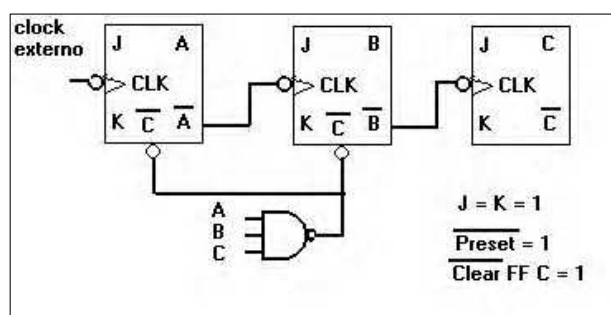


FIGURA 2 - Contador Assíncrono Decrescente Módulo 5.

Estando o contador no estado 100 (CBA) e, ao receber o próximo pulso de CLK, ele deveria ir para o estado (i - 1), ou seja, para o estado 011. Porém, nesta mudança de estado, o contador retorna ao estado 000, passando a exibir apenas as seqüências 100 e 000.

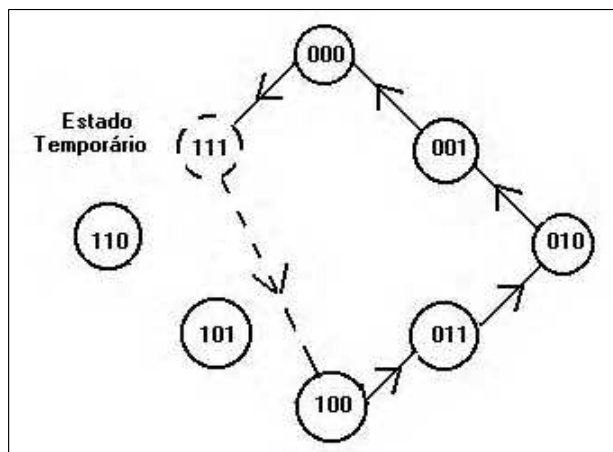


FIGURA 3 - Diagrama de Transição do Contador Assíncrono Decrescente Módulo 5.

3 ESCLARECENDO O PROBLEMA

Nos contadores assíncronos os FFs mudam de estado em seqüência, isto é, um de cada vez. Isto ocorre porque a mudança de estado do FF antecedente é que produz o CLK no FF seguinte, e somente após receber a transição de CLK que o FF mudará de estado.

Estando o contador da FIG. 2 no estado 100 (CBA), após receber um pulso de CLK externo, o FF A mudará de estado, indo de 0 para 1. Assim, o contador apresentará o estado transitório 101 (CBA). Nesta situação o FF A mudou de 0 para 1, porém, sua saída A' (invertida) mudou de 1 para 0, produzindo então um pulso de CLK no FF B, já que estes FFs tem CLK de transição negativa. Somente após a mudança do FF A é que ocorrerá a mudança do FF B, e assim sucessivamente, fazendo com que o contador assíncrono apresente estados transitórios, como mostrado na FIG. 4:

C	B	A	
1	0	0	Transição negativa de CLK
1	0	1	1o. Estado Transitório
1	1	1	2o. Estado Transitório
0	0	0	Estado Final

FIGURA 4 - Estados transitórios apresentados pelo contador.

Como pode ser observado no 2º estado transitório, o contador terá o estado 111 (CBA) que ativa a lógica de interrupção, fazendo a porta NAND atuar no clear dos FFs A e B. Só que, neste mesmo instante, a saída B'

(invertida) muda de 1 para 0, produzindo um pulso de CLK no FF C, fazendo sua saída ir para 0. O estado final, isto é, o estado que o contador atinge depois do pulso de CLK que o FF A recebeu, será então 000 (CBA). Assim, este contador ficará contando somente os estados 100 e 000 continuamente.

A FIG. 5 mostra a curva onde pode ser visto o tempo de duração que o estado temporário gera na porta NAND com a finalidade de provocar a interrupção de contagem.

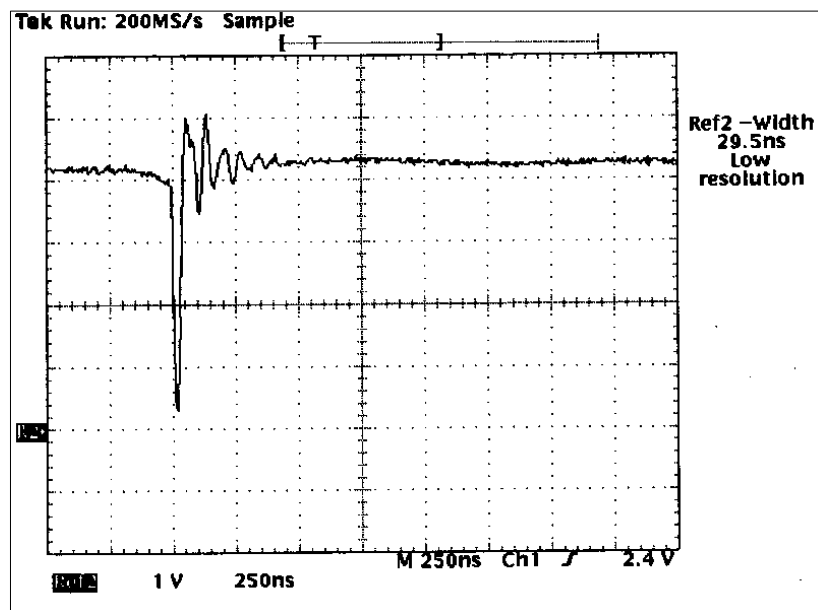


FIGURA 5 - Curva da saída da porta NAND no momento em que ocorre o 2º estado transitório: base de tempo em 250ns/Div.

Nesta curva pode-se observar como o estado transitório provoca um *glitch* na saída da NAND. Este *glitch* tem que ser eliminado com o auxílio de dispositivos eletrônicos.

4 SOLUÇÃO

Para solucionar este problema, colocou-se na saída da porta NAND um capacitor de 1nf, ligado conforme FIG. 6.

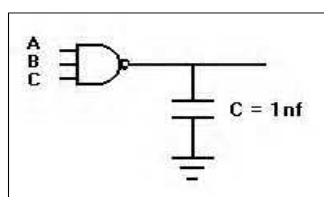


FIGURA 6 - Diagrama da porta NAND com o capacitor.

Este capacitor deve ser colocado fisicamente bem próximo da porta NAND, pelo fato do *glitch* ser muito rápido, podendo o comprimento de um fio representar indutância importante para este *glitch*. O uso do capacitor elimina o comando transitório, que por sua vez elimina o estado final apresentado na FIG. 4. A presença do capacitor prolonga um pouco o momento da ocorrência da interrupção, deixando com isto os estados 011, 010 e 001 (CBA) acontecerem. Desta forma o estado temporário de interrupção 111 (CBA) só ocorrerá no momento devido, isto é, depois que o estado 000 ocorrer.

5 CONCLUSÃO

A melhor opção para não se ter este tipo de problema em projetos que envolvem contadores, é usar contadores síncronos, isto é, contadores onde o pulso de CLK ocorre simultaneamente em todos os FFs, ou usar contadores integralizados onde este problema já se encontra corrigido. Caso seja necessário o uso de contadores como os apresentados neste artigo, a solução também apresentada aqui é a ideal.

6 ABSTRACT

This article is going to show a problem and its respective solution of building a Different of two potency module decreasing asynchronous counter by using Flip-Flops. The example that has been shown may occur in most of the counters of this type, no matter how many bits the counter has. The main objective by presenting this article is to fill an existent lacuna. The thing that is gonna be shown here has value for experiences in digital logic teaching, because industrially this kind of circuits are implemented in PLD's or PLC's, through the software, in wich this problem doesn't exist.

The montages were made in DATAPOOL Digital Didactic Module and to make the tests, it has been used the TEKTRONIK TDS 320 Digital Oscilloscope, equipments availables in the CEFET-MG's electronic laboratory.



7 REFERÊNCIAS BIBLIOGRÁFICAS

- 1 ERCEGOVAC, M., Lang, T., Moreno, J. **Introdução aos sistemas digitais**. Porto Alegre: Bookman, 2000, 453p.
- 2 IDOETA, I., Capuano, Francisco. **Elementos de eletrônica Digital**. 6.ed. São Paulo: Érica, 1984, 504p.
- 3 TAUB, Herbert. **Circuitos digitais e microprocessadores**. São Paulo: McGraw-Hill do Brasil, 1984, 510p.
- 4 TOCCI, R., Widmer, N. **Sistemas digitais: princípios e aplicações**. 7.ed. Rio de Janeiro: Livros técnicos e Científicos Editora S/A, 2000, 588p.