

Prof. Dr. Christoph Scholl  
Tobias Seufert

Freiburg, 28. Juni 2023

## Technische Informatik Übungsblatt 10

*Hinweis: Auf diesem Blatt befindet sich eine „Bonusaufgabe“. Diese Aufgabe zählt nicht in die Gesamtheit der Aufgaben, bei sinnvoller Bearbeitung wird sie jedoch zur Menge der sinnvoll bearbeiteten Aufgaben gerechnet.*

### Aufgabe 1 (3 Punkte)

Geben Sie einen möglichst kleinen Schaltkreis an, der zu einer  $n$ -Bit-Zweierkomplementzahl deren Betrag berechnet, das heißt, entwerfen Sie einen Schaltkreis zu der booleschen Funktion

$$abs_n : \mathbb{B}^n \rightarrow \mathbb{B}^n, (a_{n-1}, \dots, a_0) \mapsto (s_{n-1}, \dots, s_0)$$

mit  $\langle s_{n-1}, \dots, s_0 \rangle = |[a_{n-1}, \dots, a_0]|$ .

Bestimmen Sie die Kosten Ihrer Schaltkreisrealisierung.

Hinweis: Berücksichtigen Sie die Definition des Betrags einer Zahl  $r$  mit:

$$|r| = \begin{cases} r, & \text{falls } r \geq 0 \\ -r, & \text{falls } r < 0. \end{cases}$$

Aus der Vorlesung bekannte Schaltkreise (wie Addierer, Inkremente) dürfen Sie verwenden.

Kann bei der Berechnung des Betrags einer  $n$ -Bit-Zweierkomplement-Zahl ein Übertrag auftreten? Wenn ja, in welchem Fall? Ergänzen Sie Ihre Schaltung gegebenenfalls um eine Überlauferkennung!

### Aufgabe 2 (3 Punkte)

Eine alternative, vom Carry-Ripple-Addierer inspirierte Möglichkeit, eine ALU zu entwerfen, ist in Abbildung 1 skizziert. Dabei gibt es eine Basiszelle „CR-ALU“, die jeweils nur ein einziges Bit des Ergebnisses  $r$  und ein eventuell notwendiges Carry-Bit berechnet.

Geben Sie eine Realisierung der „CR-ALU“-Basiszelle an, so dass über den *select*-Eingang mit  $m = 3$  Bit dieselben Operationen realisiert werden wie in der aus der Vorlesung bekannten ALU. Sie müssen die Schaltung nicht unbedingt zeichnen. Eine ausführliche und nachvollziehbare Beschreibung ist ausreichend.

*Hinweis:* Wiederholen Sie Kapitel 3.6, Folie 10ff – Option 2. Beachten Sie auch, dass das *select*-Signal mit den richtigen Eingangssignalen  $s_0, s_1, s_2$  verbunden werden muss.

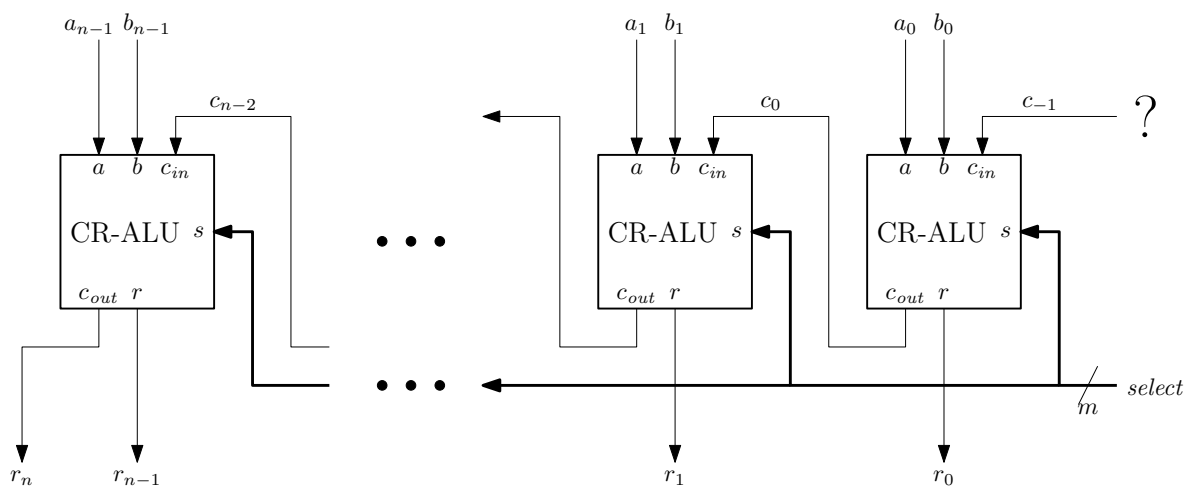


Abbildung 1: Eine vom Carry-Ripple-Addierer inspirierte ALU-Realisierung

Durch welche Schaltung muss dabei das Signal  $c_{-1}$  berechnet werden?

### Aufgabe 3 (2 + 1 + 1 + 1 Punkte)

Ihnen gefällt das in der Vorlesung vorgestellte RS-Flipflop nicht, weswegen Sie beschließen, sich einen anderen, aber relativ ähnlichen Schaltkreis aus OR- und NOT Bausteinen anzusehen (siehe Abbildung 2).

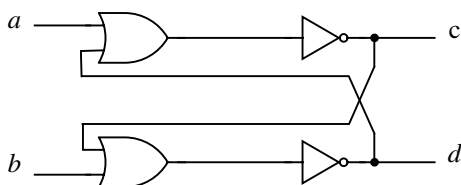


Abbildung 2: Kein RS-Flipflop

- Welche stabilen Belegungen gibt es für diesen Schaltkreis? Geben Sie dazu die Werte für  $a$ ,  $b$ ,  $c$  und  $d$  an.
- Geben Sie an, bei welcher Eingangsbelegung ein gespeicherter Wert gehalten wird und durch welche Eingangsbelegungen ein neuer Wert gespeichert werden kann.
- Sind  $a$  und  $b$  active-low oder active-high? Begründen Sie!
- Welche der stabilen Belegungen ergibt bei der Verwendung als speicherndes Element keinen Sinn? Was ist der Grund dafür?

### Aufgabe 4 (Bonusaufgabe: 3 Punkte)

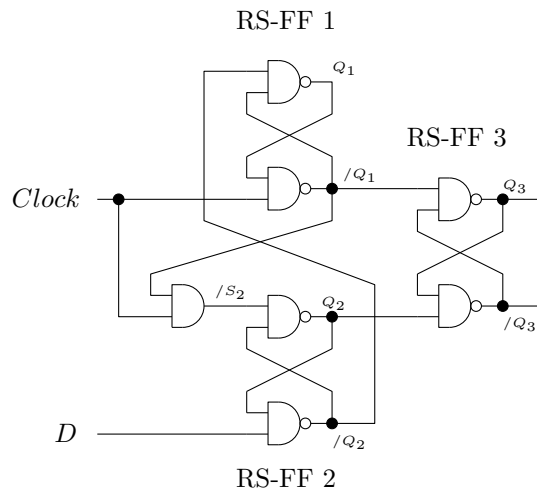


Abbildung 3: D-Flipflop

Betrachten Sie das in der Vorlesung vorgestellte D-Flip-Flop in Abbildung 3.

Betrachten Sie nun einen Zeitraum von zwei Takten. Während dieser Zeitspanne ändert sich der Dateneingang  $D$  von 0 auf 1 (siehe Timingdiagramm in Abbildung 4). Vervollständigen Sie das Timingdiagramm aus Abb. 4 für die Signale  $/S_2$ ,  $Q_1$ ,  $/Q_1$ ,  $Q_2$ ,  $/Q_2$ ,  $Q_3$  und  $/Q_3$ , wobei die  $Q_i$ s für die entsprechenden  $Q$ -Signale des RS-Flip-Flops  $i$  stehen (siehe Abb. 3).

Ergänzen Sie dabei zunächst die Werte für die Signale vor dem ersten Flankenanstieg der  $Clock$ . Sie können davon ausgehen, dass sich alle Werte zu Beginn bereits eingestellt haben. Dabei sei der Zustand des RS-Flip-Flops 3 auf „ $Q = 1$ “, d.h. es gilt vor dem ersten betrachteten Flankenwechsel von  $Clock$ :  $Q_3 = 1$  und  $/Q_3 = 0$ .

Geben Sie danach für jedes Signal einen schematischen Verlauf in der Zeit an – Sie brauchen hier *keine* exakte Timinganalyse vornehmen, es sollte aber klar werden, wie sich die Signale untereinander beeinflussen. Die Werte für  $Clock$  und  $D$  sind bereits für den gesamten Zeitraum, den Sie betrachten sollen, angegeben (vergessen Sie dabei nicht das Stück nachdem  $Clock$  zum zweiten Mal auf 0 gesetzt wird).

Sie dürfen davon ausgehen, dass nach allen Änderungen von  $D$  und  $Clock$  genügend Zeit vergeht, so dass alle Schaltvorgänge der Gatter bis zur nächsten Änderung auf  $D$  bzw.  $Clock$  vollständig abgeschlossen sind.

Eine Vorlage des Timingdiagramms in PDF-Format finden Sie bei den Vorlesungsmaterialien unter „Zusatzmaterial“.

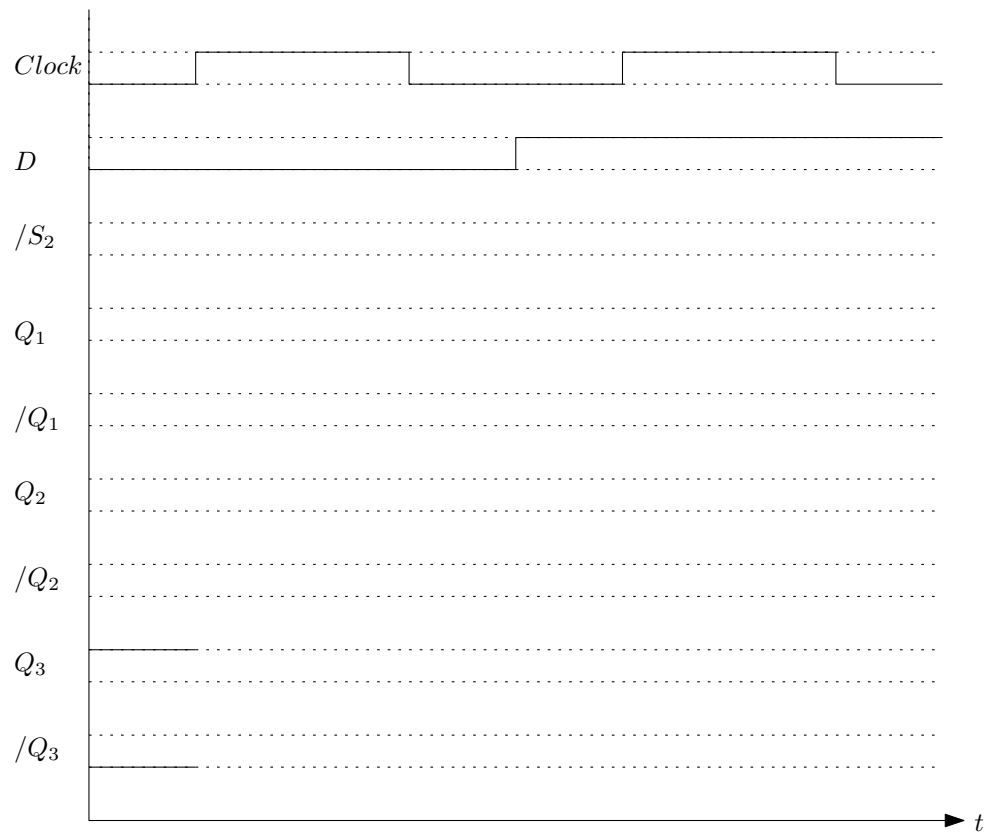


Abbildung 4: Timingdiagramm

Abgabe: 05. Juli 2023, 13<sup>00</sup> über das Übungsportal