

Indice delle Box

Prefissi SI (Notazione Scientifica)	3	Potenza statica	15	DAC - DNL (2/2)	31
Grafico	4	Potenza dinamica - Formula	16	DAC - Dinamica Transizioni (OpAmp reale)	32
Resistenze e Alimentazioni	4	Potenza dinamica - Calcolo da grafico	16	DAC a Correnti Pesate	33
Diodi	4	Duty Cycle	16	DAC Correnti Pesate - Deviatori	33
Diodi - Esercizio Tipico (1/2)	4	Porte cMOS - Definizione	17	DAC Correnti Pesate - DNL	33
Diodi - Esercizio Tipico (2/2)	5	Costruzione PUN da PDN	17	DAC Correnti Pesate - Dinamica	33
Diodo + Condensatore	5	Invertitore nMOS con	17	Comparatore a Singola Soglia	34
Rilevatore di Picco	5	GUIDA - Tabella di Verità Reti CMOS	18	Trigger di Schmitt - Tabella Comparativa	34
Alimentatore DC	5	Livelli di Tensione e Soglia Logica	18	Comparatore - Rumore vs Isteresi	34
RC + Diodo: Analisi STATICÀ	6	Riconoscere Rete cMOS Completa	18	Trigger di Schmitt - Funzionamento	35
RC + Diodo: Analisi DINAMICA (1/2)	6	Complementare vs Non Complementare — Cosa Fare	18	Trigger di Schmitt - Caratteristica	35
RC + Diodo: Analisi DINAMICA (2/2)	6	Contention PUN/PDN - Teoria	19	Trigger di Schmitt - Calcolo Soglie	35
Potenza Dissipata - Diodo	6	Contention PUN/PDN - Calcolo	19	Trigger di Schmitt - Metodo Calcolo Soglie	36
Capacità: Formule e Comportamento	7	Soglia Logica della Porta ()	20	ADC - Introduzione	37
Transistori con gradini multipli	7	OpAmp - Introduzione e Caratteristica	21	Catena di Acquisizione	37
Verifica ipotesi stato diodi	7	Impedenza con Condensatori	21	Sample e Hold	37
Notazione alimentazioni	8	Forma Standard per Bode	22	Sample e Hold con Buffer	38
Onda Quadra Ideale - Guida al Disegno	8	Bode - Singolarità in Zero ()	22	Buffer - Dimensionamento Dinamico	38
Formazione del Canale nei MOSFET	9	Bode - Diagramma della Fase	22	ADC - Adattamento e Dinamica	38
Simboli e convenzioni nMOS/pMOS	9	Intersezione 0 dB in Bode	23	ADC - Buffer e Errore Statico	39
Caratteristica I-V nMOS	9	Calcolo Guadagno a Frequenze Specifiche	23	ADC - Richieste Tipiche d'Esame	40
Caratteristica I-V pMOS	9	Bode - Polo e Zero Coincidenti	23	ADC - Altre Richieste Esame	40
nMOS - Metodo operativo	10	Guadagno Reale - Intersezioni	24	ADC - LSB all'Ingresso e Numero di Bit	40
pMOS - Metodo operativo	10	Margine di Fase e Stabilità	24	ADC - Tempi di Sample e Hold	41
Riepilogo: nMOS vs pMOS	10	Stabilità - Senza Crossover	24	ADC - Risposta con Guadagno	41
MOSFET simmetrici - Source e Drain a runtime	11	OpAmp - Retroazione e Saturazione	26	ADC - Dimens. e Errore Fondo Scala	41
Regola pratica - MOSFET ON/OFF veloce	11	OpAmp - Riconoscere Configurazione	26	ADC - SAR (Successive Approximation)	42
Parametro K (Transconduttanza)	11	OpAmp - Saturazione dell'Uscita	26	ADC - Doppia Rampa (Dual Slope)	42
Semplificazioni MOSFET	11	OpAmp Rail-to-Rail	27	ADC - Singola Rampa (A Gradi)	42
Analisi Porte Logiche	12	OpAmp - Non idealità: Tensione di Offset	27	ADC - Inseguito (Tracking)	43
Resistenza di canale	12	OpAmp - Non idealità: Correnti di Bias	27	ADC - Terminologia	43
Carica di un condensatore con MOSFET	12	OpAmp - Non idealità: Correnti di Offset	28	GUIDA - Riconoscere Configurazioni (1/2)	44
Scarica di un condensatore con MOSFET	13	OpAmp - Non idealità: Slew Rate	28	GUIDA - Riconoscere Configurazioni (2/2)	44
Valutazione logica circuiti ibridi/intermedi (PTL)	13	OpAmp - Non idealità: Errore Statico di Guadagno	28	Multivibratore Astabile (1/2)	44
Tempo di propagazione	13	Risposta al Gradino - Sistema 1 Ordine	29	Multivibratore - Forme d'Onda	45
PTL vs CMOS Logic	14	OpAmp - Analisi Dinamica	29	Multivibratore - Comutazione	45
Tempo di propagazione - PTL	14	OpAmp Non Compensato - Stabilità	29	Multivibratore Astabile - Esame (1/2)	45
Riconoscere circuiti PTL	14	Integratore OpAmp - Ideale	30	Multivibratore Astabile - Esame (2/2)	46
Contention (CMOS) vs Limitazione (PTL)	14	Integratore Reale - Problema	30	Generatore Forme d'Onda	46
Soglia Logica CMOS vs. PTL	14	DAC - FSR e LSB	31		
Tabella di Verità - Circuiti PTL	15	DAC - DNL (1/2)	31		

Indice delle Box

Prefissi SI (Notazione Scientifica)

Simbolo	Nome	Fattore
G	giga	10^9
M	mega	10^6
k	kilo	10^3
h	etto	10^2
da	deca	10^1
d	deci	10^{-1}
c	centi	10^{-2}
m	milli	10^{-3}
μ	micro	10^{-6}
n	nano	10^{-9}
p	pico	10^{-12}

Grafico

- Traccio asintoto
- Sfrutto proprietà dell'esponenziale: tangente al grafico in $t = 0$ interseca il valore asintotico dopo $\Delta t = \tau$
- Dopo $t = 5\tau$ la funzione assume valore asintotico

Resistenze e Alimentazioni

Resistenze in parallelo:

1. Caso con 2 resistenze:

$$R_{eq} = \frac{R_1 \cdot R_2}{R_1 + R_2}$$

2. Caso generale (n resistenze):

$$\frac{1}{R_{eq}} = \sum_{i=1}^n \frac{1}{R_i}$$

△ NOTA IMPORTANTE - Tensioni di alimentazione

Le tensioni fornite dalle alimentazioni sono le **massime e minime** possibili nel circuito.

I NODI della rete NON possono mai avere tensioni:

- Più alte di V_{max} (alimentazione massima)
- Più basse di V_{min} (alimentazione minima)

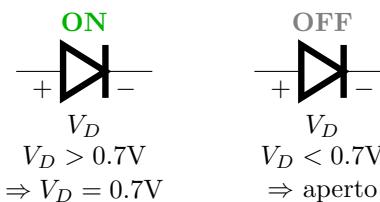
ATTENZIONE: Questo vale per le tensioni dei **NODI** (riferite a massa).

Le **cadute di tensione** (misurate tra due nodi diversi) possono superare questi limiti!

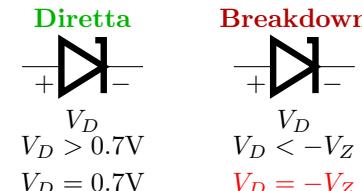
Uso pratico: Fondamentale quando si fanno ipotesi sullo stato dei diodi (ON/OFF). Se un'ipotesi porta un nodo oltre V_{max} o sotto V_{min} , l'ipotesi è **sbagliata**.

Diodi

1. Diodo normale:

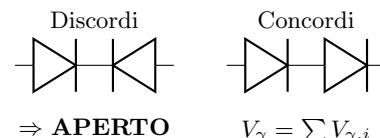


2. Diodo Zener:



ATTENZIONE: In breakdown, la tensione $V_D = -V_Z$ ha polarità **opposta** rispetto ai +0.7V della conduzione diretta!

3. Configurazioni in serie:



★ TRUCCO PRATICO - Verifica stato diodo:

Quando sei **in un intorno della soglia** ($V_D \approx 0.7V$, anche infinitesimalmente superiore), le **correnti sono molto basse**.
⇒ Per verificare se il diodo si accende puoi **ignorare le resistenze in serie** ($I \approx 0 \Rightarrow \Delta V_R \approx 0$).

Uso nei transitori: A fine esercizio, verifica che l'ipotesi sul diodo (ON/OFF) resti valida in:

- \hat{T}^- (istante prima della transizione)
- \hat{T}^+ (istante dopo della transizione)
- $t \rightarrow \infty$ (regime)

Diodi - Esercizio Tipico (1/2)

Esercizio Tipico Diodi - Algoritmo

a) Caratteristica statica I_{out} vs V_{in}

Step 1: Ipotizza stato diodo

- Parti da V_{in} molto negativo ⇒ diodo probabilmente OFF
- Oppure parti da V_{in} molto positivo ⇒ diodo probabilmente ON

Step 2: Risolvi il circuito con l'ipotesi

- Diodo ON: sostituisci con V_γ (es. 0.7V)
- Diodo OFF: sostituisci con circuito aperto

Step 3: Trova V_{in} di commutazione

- Diodo ON → OFF: trova V_{in} per cui $I_D = 0$
- Diodo OFF → ON: trova V_{in} per cui $V_D = V_\gamma$

Step 4: Calcola $I_{out}(V_{in})$ in ogni regione

- Scrivi l'espressione di I_{out} per ogni stato
- Disegna la caratteristica (spesso lineare a tratti)

★ TRUCCO per trovare la soglia:

Per trovare V_{in} di commutazione:

- Metti il diodo **al limite**: $V_D = V_\gamma$ e $I_D = 0$
- In questa condizione le R in serie al diodo hanno $\Delta V = 0$
- Risovi il circuito semplificato per trovare $V_{in,soglia}$

△ Circuito tipico (raddrizzatore + filtro):

$$V_{in} \rightarrow D_1 \rightarrow C_1 \parallel R_1 \rightarrow V_{out}$$

- D_1 ON: $V_{out} = V_{in} - V_\gamma$ (C si carica)
- D_1 OFF: V_{out} dipende dalla scarica di C su R

$$\text{Soglia: } V_{in} = V_{out} + V_\gamma$$

Diodi - Esercizio Tipico (2/2)

Esercizio Tipico Diodi - Ripple

b) Tensione di ripple e tensione inversa max

Dati tipici: $V_{in} = V_m \sin(2\pi f_{in} t)$, C_1 , R_1 , V_γ

Step 1: Tensione massima su C

$$V_{out,max} = V_m - V_\gamma$$

Step 2: Calcolo del ripple

Se $RC \gg T$ (scarica lenta), approssimazione lineare:

$$\Delta V_{ripple} \approx \frac{V_{out,max}}{R_1 C_1 f_{in}} = \frac{V_m - V_\gamma}{R_1 C_1 f_{in}}$$

Formula esatta (scarica esponenziale):

$$V_{out,min} = V_{out,max} \cdot e^{-T/R_1 C_1}$$

$$\Delta V_{ripple} = V_{out,max} - V_{out,min}$$

Step 3: Tensione inversa massima sul diodo

Quando $V_{in} = -V_m$ e $V_{out} \approx V_{out,max}$:

$$V_{D,inv,max} = V_{out,max} - (-V_m) = V_{out,max} + V_m$$

$$V_{D,inv,max} \approx 2V_m - V_\gamma$$

★ FORMULE RAPIDE:

- $V_{out,max} = V_m - V_\gamma$
- $\Delta V_{ripple} \approx \frac{V_{out,max}}{RC \cdot f}$ (se $RC \gg T$)
- $V_{inv,max} \approx 2V_m - V_\gamma$
- Duty cycle diodo $\approx \frac{\Delta V_{ripple}}{2\pi V_m}$ (piccolo!)

△ VERIFICA FINALE:

- Il diodo deve sopportare $V_{inv,max} \Rightarrow$ scegliere diodo adeguato
- Se ΔV_{ripple} troppo grande \Rightarrow aumentare C o R
- Il diodo conduce solo per una piccola frazione del periodo!

Diodo + Condensatore

Diodo + Condensatore: Come Gestirli Insieme

★ REGOLA FONDAMENTALE:

Per la **caratteristica statica** (I_{out} vs V_{in}):

\Rightarrow Il condensatore è un **CIRCUITO APERTO!**

Perché? In DC (statica) $I_C = C \frac{dV}{dt} = 0$

\Rightarrow Tutta la corrente passa solo per R_1

Caratteristica statica - Algoritmo:

1. Sostituisci C con circuito aperto
2. Ora hai solo: $V_{in} \rightarrow D_1 \rightarrow R_1 \rightarrow$ massa
3. Ipotizza stato diodo:

Diodo OFF ($V_{in} < V_\gamma$):

$$I_{out} = 0 \text{ (circuito aperto)}$$

Diodo ON ($V_{in} \geq V_\gamma$):

$$I_{out} = \frac{V_{in} - V_\gamma}{R_1}$$

4. Soglia di commutazione: $V_{in} = V_\gamma$

△ Per il RIPPLE invece:

Il condensatore **NON** è aperto! È un elemento dinamico.

Diodo ON: C si carica rapidamente

$$V_{out} \approx V_{in} - V_\gamma \text{ (segue l'ingresso)}$$

Diodo OFF: C si scarica lentamente su R

$$V_{out}(t) = V_{out,max} \cdot e^{-t/RC}$$

\Rightarrow Il diodo si spegne quando $V_{in} < V_{out} + V_\gamma$

★ RIASSUNTO:

- **Caratteristica statica:** $C =$ aperto, analisi DC
- **Ripple:** $C =$ elemento attivo, analisi dinamica
- La soglia del diodo dipende da V_{out} (che dipende da C !)

Rilevatore di Picco

Rilevatore di Picco (Peak Detector)

SCOPO: "Ricordare" il **valore massimo** raggiunto dal segnale

★ RICONOSCIMENTO:

- $D + C$ senza R_L (o R_L molto grande, $RLC \gg T$)
- Il condensatore **non si scarica**

FUNZIONAMENTO:

1. V_{in} sale $\Rightarrow D$ ON, C si carica, $V_{out} = V_{in} - V_\gamma$

2. V_{in} scende $\Rightarrow D$ OFF, V_{out} **resta al picco!**

3. Nuovo picco solo se $V_{in} > V_{out} + V_\gamma$

FORMULE:

- $V_{out} = V_{in,max} - V_\gamma = V_m - V_\gamma$ (a regime)
- Con R_L : $\tau = R_L C$, ripple $\Delta V \approx \frac{V_{out}}{R_L C f}$

★ SANITY CHECK:

- V_{out} può solo **salire o restare costante**, MAI scendere!
- Forma d'onda: rampa che sale, poi **piatta** al valore di picco
- Se V_{out} scende \Rightarrow NON è un rilevatore di picco puro

Alimentatore DC

Alimentatore DC (con filtro)

SCOPO: Convertire AC \rightarrow tensione **DC quasi costante** per alimentare circuiti

★ RICONOSCIMENTO:

- Raddrizzatore + $C + R_L$ (condensatore **filla** il ripple)
- $R_L C \sim T$ o poco più grande

FUNZIONAMENTO:

Carica (D ON): $V_{in} > V_{out} + V_\gamma \Rightarrow V_{out}$ sale rapido

Scarica (D OFF): C alimenta $R_L \Rightarrow V_{out}$ scende lento

FORMULE:

- $\Delta V_{ripple} \approx \frac{V_m - V_\gamma}{R_L C f}$ (1/2 onda) $\frac{V_m - 2V_\gamma}{R_L C \cdot 2f}$ (ponte)
- $V_{DC} \approx V_m - V_\gamma - \frac{\Delta V_{ripple}}{2}$ • $V_{inv,max} \approx 2V_m - V_\gamma$
- Dimensionamento: $C \geq \frac{V_m - V_\gamma}{R_L \cdot f \cdot \Delta V_{max}}$

★ SANITY CHECK:

- $V_{out} \approx$ costante, **MAI zero** (oscilla tra V_{max} e V_{min})
- Forma d'onda: "dente di sega" invertito (sale rapido, scende lento)
- $V_{out,medio}$ alto, vicino a $V_m - V_\gamma$
- Ripple piccolo se $RC \gg T$

RC + Diodo: Analisi STATICÀ

Esercizio RC + Diodo: ANALISI STATICÀ

QUANDO: Ti chiedono caratteristica statica I_{out} vs V_{in} (o V_{out} vs V_{in})

★ REGOLA FONDAMENTALE:

In analisi statica (DC):

C = CIRCUITO APERTO

Perché $I_C = C \frac{dV}{dt} = 0$ in DC!

⇒ **Ignora il condensatore**, analizza solo D e R

PROCEDURA:

1. Modellizza D come **aperto** (OFF)
⇒ Calcola V_{out} , I_{out} con D aperto
2. Modellizza D come **generatore** V_γ (ON)
⇒ Calcola V_{out} , I_{out} con $D = V_\gamma$
3. Trova V_{in} di soglia (dove D commuta)
⇒ Imponi $V_D = V_\gamma$ e $I_D = 0$
4. Disegna la caratteristica unendo i due tratti

△ **NON devi verificare le ipotesi sul diodo!**

Devi solo capire cosa succede a V_{out} e I_D nei due casi (ON/OFF) e trovare dove avviene la transizione.

RC + Diodo: Analisi DINAMICA (1/2)

Esercizio RC + Diodo: ANALISI DINAMICA

QUANDO: Ti chiedono ripple, $V_{out}(t)$, tensione inversa massima

★ STRATEGIA GENERALE:

1. Analizza prima l'effetto del diodo da solo (come se C non ci fosse: raddrizzatore puro)
2. Poi "aggiusta" il grafico con l'effetto di C (il condensatore "tiene su" la tensione)

COMPORTAMENTO TIPICO (singola semionda):

Fase 1 - Carica (D ON):

- $V_{in} > V_{out} + V_\gamma \Rightarrow V_{out}$ segue $V_{in} - V_\gamma$
- V_{out} sale fino a $V_{out,max} = V_m - V_\gamma$

Fase 2 - Scarica (D OFF):

- $V_{in} < V_{out} + V_\gamma \Rightarrow D$ si spegne
- C si scarica su R_L : $V_{out}(t) = V_{out,max} \cdot e^{-t/\tau}$
- con $\tau = R_L C$

★ IMPORTANTE: Confronta τ con T !

- Se $\tau \gg T$: scarica lenta, C non arriva a regime
⇒ Approssima $V_{out,min}$ con esponenziale troncato
- Se $\tau \sim T$: scarica significativa ogni periodo

RC + Diodo: Analisi DINAMICA (2/2)

Analisi Dinamica: Calcolo Ripple e $V_{inv,max}$

★ CALCOLO DEL RIPPLE:

1. $V_{out,max} = V_m - V_\gamma$
2. Trova $V_{out,min}$ (alla fine della scarica):
Se $\tau \gg T$: $V_{out,min} = V_{out,max} \cdot e^{-T/\tau}$
3. Ripple:

$$\Delta V_{ripple} = V_{out,max} - V_{out,min}$$

Approssimazione (se $\tau \gg T$):

$$\Delta V_{ripple} \approx \frac{V_{out,max}}{R_L C f} = \frac{V_m - V_\gamma}{R_L C f}$$

★ CALCOLO $V_{inv,max}$ (tensione inversa max):

1. Scrivi $V_D = V_{in} - V_{out}$ (tensione sul diodo)
2. Massimizza $|V_D|$ quando D è OFF:
 - V_{in} è al minimo ($-V_m$)
 - V_{out} è ancora alto (vicino a $V_{out,max}$)
3. Quindi:

$$V_{inv,max} = V_{out} - V_{in,min} \approx (V_m - V_\gamma) - (-V_m)$$

$$V_{inv,max} \approx 2V_m - V_\gamma$$

△ TRUCCO: Valore a metà scarica

Se serve V_{out} a metà della fase di scarica:

$$V_{out,meta'} \approx V_{out,max} - \frac{\Delta V_{ripple}}{2}$$

(approssimazione lineare della scarica esponenziale)

Potenza Dissipata - Diodo

Potenza Media Dissipata da un Diodo

Quando serve calcolare la potenza media dissipata da un diodo in un periodo di tempo T :

★ FORMULA GENERALE:

$$P_{m,diss} = V \cdot I_D$$

dove:

- V = tensione ai capi del diodo (in conduzione)
- I_D = corrente attraverso il diodo

★ DIODO ZENER con segnale periodico:

$$P_{m,diss} = \frac{\Delta t_1}{T} V_{dir} \cdot I_D + \frac{\Delta t_2}{T} V_{zener} \cdot I_D$$

dove:

- Δt_1 = tempo in conduzione diretta
- Δt_2 = tempo in conduzione inversa (zener)
- T = periodo del segnale
- V_{dir} = tensione in conduzione diretta
- V_{zener} = tensione zener

Interpretazione:

- Il diodo dissipava potenza solo quando conduce
- Con segnale periodico: pesare la potenza con il **duty cycle**
- Le frazioni $\frac{\Delta t_1}{T}$ e $\frac{\Delta t_2}{T}$ rappresentano i pesi temporali

△ Verifica CRITICA:

Controllare sempre: $P_{m,diss} < P_{max,spec}$ del datasheet!

Esempio TdE 3/11/23: calcolo con onda quadra

Capacità: Formule e Comportamento

1. Tensione del condensatore:

$$V_C(t) = V_C(0^+) + [V_C(\infty^*) - V_C(0^+)] \left(1 - e^{-\frac{t}{\tau}}\right)$$

$V_C(0^+)$: iniziale; $V_C(\infty^*)$: a regime; $\infty^* \neq \infty$

2. Corrente: $I_C(t) = C \frac{dV_C(t)}{dt}$

Proprietà: La corrente varia **istantaneamente**; La tensione NON commuta: $V_C(t_0^-) = V_C(t_0^+)$

★ REGOLA D'ORO - A REGIME

A regime ($t \rightarrow \infty$): $\frac{dV_C}{dt} = 0 \Rightarrow I_C = 0$

Condensatore = CIRCUITO APERTO

Per calcolare $V_C(\infty)$:

1. Sostituisci C con circuito aperto
2. Risovi il circuito semplificato
3. Calcola la tensione nel punto dove c'era C

Es: $V \xrightarrow{R_1} \bullet \xrightarrow{R_2} \text{GND} + C \parallel R_2$
 $\Rightarrow V_C(\infty) = V \frac{R_2}{R_1 + R_2}$ (partitore)

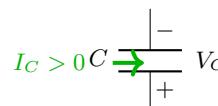
3. Ripple: $\Delta V_{out} = V_{picco} \frac{\Delta T}{\tau} = V_{picco} \frac{T}{f \cdot \tau}$

4. Comportamento fisico ($Q = C \cdot V$; $I = C \frac{dV}{dt}$)

CARICA ($\frac{dV_C}{dt} > 0$): Corrente ENTRA ($I_C > 0$)

Il condensatore accumula energia; $V_C \uparrow$

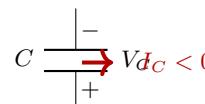
Corrente ENTRA



SCARICA ($\frac{dV_C}{dt} < 0$): Corrente ESCE ($I_C < 0$)

Il condensatore rilascia energia; $V_C \downarrow$

Corrente ESCE



Regola: $V_C \uparrow \Rightarrow$ CARICA; $V_C \downarrow \Rightarrow$ SCARICA; segno I_C indica verso

Transitori con gradini multipli

Formula tempo centrale \hat{T} :

$$V_C(\hat{T}) = V_C(0^+)_{\hat{T}} + [V_C(\infty^*) - V_C(0^+)_{\hat{T}}] \left(1 - e^{-\frac{\hat{T}}{\tau}}\right)$$

Prassi: segnale rettangolare
salita → plateau → discesa

Procedimento step-by-step:

1. FASE 1 - Salita

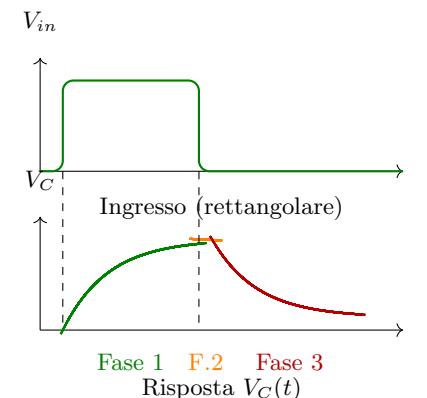
- Analizza $t = 0^-$ (condizioni iniziali)
- $V_C(0^+)$ per continuità
- Determina stato diodi
- Calcola $V_C(\infty^*)$
- Applica formula con τ

2. FASE 2 - Plateau

- Se durata $\gg 5\tau$: regime
- Se durata $< 5\tau$: calcola V_C fine
- Verifica diodi (Box 7)

3. FASE 3 - Discesa

- $V_C(0^+) = V_C(\text{fine plateau})$
- Ridetermina stato diodi
- Nuovo $V_C(\infty^*)$
- Applica formula



Verifica ipotesi stato diodi

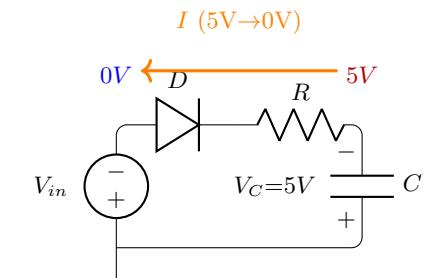
△ VERIFICA FONDAMENTALE

Verifica ipotesi diodo (ON/OFF) rimanga valida per tutto il transitorio

FASE 0: Metodo intuitivo

Regola: I scorre da V_+ a V_-

- 1) $V_C(0^+)$ continuità
- 2) Trova V_{max} 3) I va da V_{max} a V_{min}
- 4) Compatibile con diodo?
- 5) No \Rightarrow cambia stato



Contraddizione! I va \leftarrow
ma D conduce solo \rightarrow
 \Rightarrow D OFF

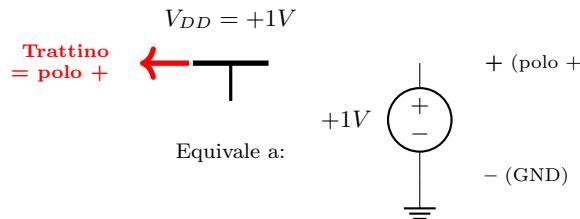
1. Ipotesi (es: D ON)
2. Risovi (ON: gen 0.7V; OFF: aperto)
3. Calcola $V_C(t)$
4. Verifica $\forall t$:
 - ON:** $I_D(t) > 0$? No \rightarrow errore
 - OFF:** $V_D(t) < 0.7V$? No \rightarrow errore
5. Se errore: dividi in 2 fasi (t^* cambio), ricalcola

Notazione alimentazioni

NOTAZIONE ALIMENTAZIONI

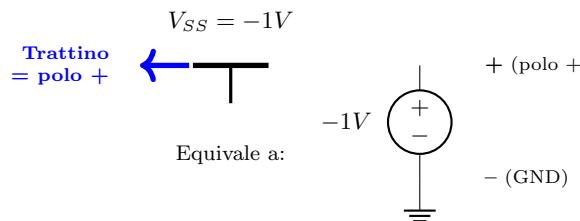
REGOLA D'ORO: Il trattino indica SEMPRE il polo + del generatore, sia con tensione positiva che negativa!

Caso 1: $V_{DD} = +1V$ (alimentazione positiva)



Tensione $+1V \rightarrow$ polo + sul trattino, tutto normale

Caso 2: $V_{SS} = -1V$ (alimentazione negativa)



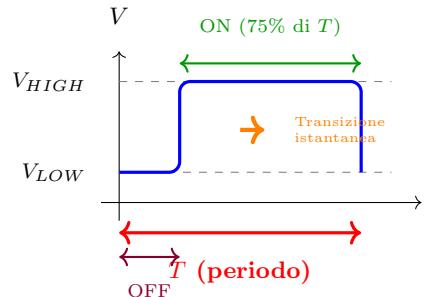
Tensione $-1V \rightarrow$ polo + è comunque sul trattino!

TRUCCO: Con $V_{SS} = -1V$ puoi ridisegnare il generatore invertendo polarità E segno: diventa $+1V$ con polo + su GND. Utile per evitare tensioni negative nei calcoli.

Onda Quadra Ideale - Guida al Disegno

- Transizioni verticali istantanee (tempo di salita/discesa = 0)
- Due livelli costanti: V_{HIGH} e V_{LOW}

DUTY CYCLE DEFAULT: Se non specificato, un'onda quadra ha duty cycle 50% ($HIGH = LOW = T/2$)



COME DISEGNARE A MANO:

- Segna i livelli V_{HIGH} e V_{LOW} con righe orizzontali
- Scegli quanti quadretti = T (es: 4 quadretti = 1 periodo)
- Disegna righe verticali per le transizioni
- Collega con righe orizzontali ai livelli

COME TROVARE IL PERIODO T :

Il periodo è la distanza tra due punti identici del ciclo:

- Da LOW a LOW (stesso punto)
- Da HIGH a HIGH (stesso punto)
- Da salita a salita successiva
- Da discesa a discesa successiva

Trucco: Scegli un punto qualsiasi e conta i quadretti fino a quando si ripete!

Esempio pratico (duty cycle 75%):

- Se $T = 10\mu s$ e vuoi disegnare 2 periodi
- Usa 4 quadretti per ogni periodo (tot. 8 quadretti)
- Duty cycle 75%: 1 quadretto LOW (OFF), poi 3 quadretti HIGH (ON)
- Ripeti il pattern: 1 LOW, 3 HIGH per il 2° periodo

Formazione del Canale nei MOSFET

1. Zona OFF (o Cutoff):

- (a) Non c'è formazione del canale.
- (b) Il dispositivo è spento e non permette il flusso di corrente tra drain e source.

2. Zona Ohmica (o Triodo):

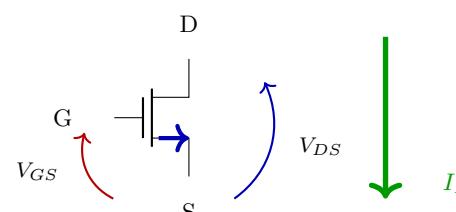
- (a) Si forma un canale.
- (b) Quando il gate è abbastanza polarizzato (cioè $V_{GS} > V_{Tn}$ per nMOS o $V_{GS} < V_{Tp}$ per pMOS), si forma un canale conduttivo tra il drain e il source.
- (c) Il dispositivo si comporta come un **resistore il cui valore varia in base alla tensione V_{GS}** .

3. Zona di Saturazione (o Pinch-off):

- (a) Si forma un canale.
- (b) Il canale diventa "strozzato" o "pinched-off" vicino al drain (per il nMOS) o vicino al source (per il pMOS).
- (c) Anche se la tensione V_{DS} aumenta ulteriormente, la corrente I_D rimane costante.
- (d) Questo comportamento è **analogo a quello di un generatore di corrente**.

Simboli e convenzioni nMOS/pMOS

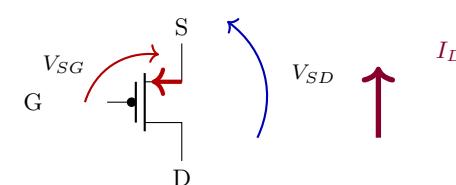
nMOS:



nMOS: Gate a sinistra, Drain in alto, Source in basso

Corrente: Da Drain → Source (verso il basso)

pMOS:

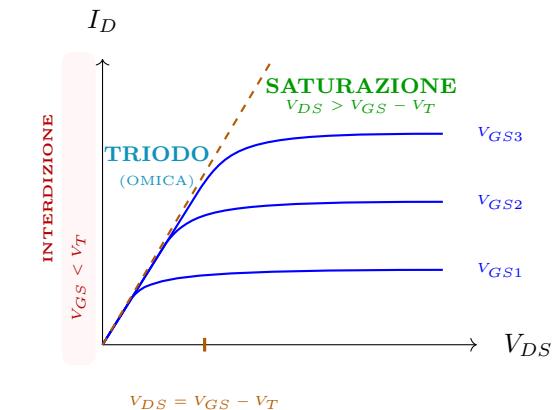


pMOS: Gate a sinistra, Source in alto, Drain in basso

Corrente: Da Source → Drain (verso il basso)

NOTA: Nel pMOS il source è in alto (invertito rispetto a nMOS)!

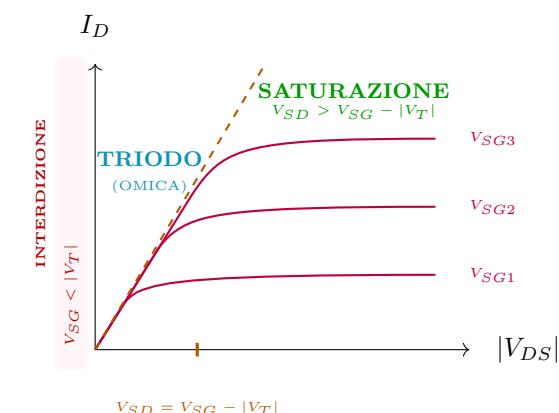
Caratteristica I-V nMOS



Zone di funzionamento:

- **INTERDIZIONE:** $V_{GS} < V_T \rightarrow I_D = 0$
- **TRIODO (OMICHA):** $V_{GS} > V_T$ e $V_{DS} < (V_{GS} - V_T)$
- **SATURAZIONE:** $V_{GS} > V_T$ e $V_{DS} > (V_{GS} - V_T)$

Caratteristica I-V pMOS



Zone di funzionamento:

- **INTERDIZIONE:** $V_{SG} < |V_T| \rightarrow I_D = 0$
- **TRIODO:** $V_{SG} > |V_T|$ e $|V_{SD}| < (V_{SG} - |V_T|)$
- **SATURAZIONE:** $V_{SG} > |V_T|$ e $|V_{SD}| > (V_{SG} - |V_T|)$

nMOS - Metodo operativo

PRIMO CONTROLLO: V_{GS} vs V_T

1. Se $V_{GS} < V_T \Rightarrow$ MOSFET OFF

- $I_D = 0$ (circuito aperto)
- Non c'è conduzione

2. Se $V_{GS} > V_T \Rightarrow$ MOSFET ON

- Proseguire al SECONDO CONTROLLO

SECONDO CONTROLLO (solo se ON): V_{DS} vs $(V_{GS} - V_T)$

Tensione di Overdrive:

$$V_{OV} = V_{GS} - V_T$$

1. **ZONA DI SATURAZIONE:** Se $V_{DS} > (V_{GS} - V_T)$

$$I_D = K_n(V_{GS} - V_T)^2$$

Nota: La corrente dipende SOLO da V_{GS}

2. **ZONA OHMICA (Triodo):** Se $V_{DS} < (V_{GS} - V_T)$

$$I_D = K_n [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

Nota: La corrente dipende da V_{GS} E V_{DS}

Direzione corrente: In nMOS, I_D scorre da **Drain** → **Source**

pMOS - Metodo operativo

PROCEDIMENTO OPERATIVO PER pMOS

★ STEP 0 - CONTROLLO POLARITÀ

Prima di tutto, verifica che:

$$V_S > V_G$$

Se $V_S \leq V_G \rightarrow$ pMOS OFF (anche se $|V_{GS}| \geq |V_T|$!)

Motivo: Il modulo $|V_{GS}|$ nasconde il segno! Potresti avere $|V_{GS}| \geq |V_T|$ ma con polarità sbagliata (es. $V_{GS} > 0$), e il pMOS sarebbe OFF.

Step 1: Calcolare $|V_{GS}|$

(solo se hai verificato $V_S > V_G$)

Step 2: PRIMO CONTROLLO - $|V_{GS}|$ vs $|V_T|$

1. Se $|V_{GS}| < |V_T| \Rightarrow$ MOSFET OFF

- $I_D = 0$ (circuito aperto)
- Non c'è conduzione

2. Se $|V_{GS}| > |V_T| \Rightarrow$ MOSFET ON

- Calcolare $V_{OV} = |V_{GS}| - |V_T|$
- Proseguire allo Step 3

Step 3: SECONDO CONTROLLO - $|V_{DS}|$ vs V_{OV}

Tensione di Overdrive:

$$V_{OV} = |V_{GS}| - |V_T|$$

1. **ZONA DI SATURAZIONE:** Se $|V_{DS}| > V_{OV}$

$$I_D = K_p \cdot V_{OV}^2 = K_p(|V_{GS}| - |V_T|)^2$$

Nota: La corrente dipende SOLO dall'overdrive

2. **ZONA OHMICA (Triodo):** Se $|V_{DS}| < V_{OV}$

$$I_D = K_p [2V_{OV} \cdot |V_{DS}| - |V_{DS}|^2]$$

dove $V_{OV} = |V_{GS}| - |V_T|$

Nota: La corrente dipende da V_{OV} E $|V_{DS}|$

Direzione corrente: In pMOS, I_D scorre da **Source** → **Drain**

pMOS - Formule V_{SG}/V_{SD}

pMOS — Formule con V_{SG}/V_{SD} (senza moduli)

Definendo $V_{SG} = V_S - V_G$ e $V_{SD} = V_S - V_D$ (entrambe positive quando pMOS è ON):

ON se $V_{SG} > |V_T|$ (equiv. a $V_S > V_G + |V_T|$)
 $V_{OV} = V_{SG} - |V_T|$

Saturazione ($V_{SD} > V_{OV}$):

$$I_D = K_p(V_{SG} - |V_T|)^2$$

Ohmica ($V_{SD} < V_{OV}$):

$$I_D = K_p [2(V_{SG} - |V_T|)V_{SD} - V_{SD}^2]$$

Equivalenti alle formule con $|V_{GS}|/|V_{DS}|$, ma V_{SG} e V_{SD} sono sempre > 0 per pMOS ON ⇒ niente moduli.

Riepilogo: nMOS vs pMOS

Grandezze da calcolare per determinare lo stato:

nMOS	pMOS
V_{GS}	$ V_{GS} $
V_T	$ V_T $
$V_{OV} = V_{GS} - V_T$	$V_{OV} = V_{GS} - V_T $
V_{DS}	$ V_{DS} $

Controlli identici:

1. Se V_{GS} (o $|V_{GS}|$) $< V_T$ (o $|V_T|$) \Rightarrow OFF
2. Se ON: confronta V_{DS} (o $|V_{DS}|$) con V_{OV}

La **procedura è identica**, solo che per pMOS si usano i **valori assoluti**.

MOSFET simmetrici - Source e Drain a runtime

★ MOSFET SIMMETRICI

I MOSFET sono dispositivi **simmetrici**: Source e Drain **NON sono fissi** ma vengono determinati dalle **tensioni a runtime**!

Come identificare i terminali negli esercizi:

GATE (sempre indicato):

- nMOS: gate **senza pallino**
- pMOS: gate **con pallino (•)**

SOURCE e DRAIN (determinati a runtime): Se non indicati esplicitamente nel testo, si determinano in base alle **tensioni dei nodi**.

Regole per determinare SOURCE:

1. nMOS

Il **SOURCE** è il nodo alla **tensione più BASSA** tra i due terminali non-gate.

Il **DRAIN** è l'altro terminale (tensione più alta).

2. pMOS

Il **SOURCE** è il nodo alla **tensione più ALTA** tra i due terminali non-gate.

Il **DRAIN** è l'altro terminale (tensione più bassa).

★ ATTENZIONE - Riassegnazione a RUNTIME

Durante l'esercizio, le tensioni ai nodi possono **cambiare**!

⇒ Source e Drain possono essere **riassegnati** in base alle nuove tensioni.

Devi verificare quale nodo ha la tensione più alta/bassa in ogni fase dell'analisi!

Esempio pratico (nMOS):

Inizialmente: Nodo A = 3V, Nodo B = 1V ⇒ Source = B (1V, più basso), Drain = A (3V)

Dopo un transitorio: Nodo A = 0.5V, Nodo B = 2V ⇒ Source = A (0.5V, più basso), Drain = B (2V)

I terminali sono stati **invertiti**!

Perché è importante: V_{GS} e V_{DS} dipendono da quale terminale è il Source. Per calcolare correttamente le formule, devi identificare Source e Drain correttamente in ogni momento. La zona di funzionamento (saturazione/omica) dipende da V_{DS} , quindi dall'identificazione corretta dei terminali.

Regola pratica - MOSFET ON/OFF veloce

REGOLA PRATICA VELOCE:

Come capire subito se un MOSFET è probabilmente **ON o OFF**?

nMOS:

Gate a GND (0V) → probabilmente **OFF**

Se il gate è a massa, V_{GS} è molto basso (o negativo se source è più alto), quindi $V_{GS} < V_T \rightarrow \text{OFF}$

Gate a V_{DD} → probabilmente **ON**

Se il gate è all'alimentazione, V_{GS} è alto (assumendo source a GND o comunque più basso), quindi $V_{GS} > V_T \rightarrow \text{ON}$

pMOS:

Gate a GND (0V) → probabilmente **ON**

Se il gate è a massa, V_{SG} è alto (assumendo source a V_{DD} o comunque più alto), quindi $V_{SG} > |V_T| \rightarrow \text{ON}$

Gate a V_{DD} → probabilmente **OFF**

Se il gate è all'alimentazione, V_{SG} è molto basso (o negativo se source è più basso), quindi $V_{SG} < |V_T| \rightarrow \text{OFF}$

Riassunto veloce:

Gate = GND Gate = V_{DD}

nMOS	OFF	ON
pMOS	ON	OFF

ATTENZIONE: Questa è una regola **approssimata** che assume:

- Per nMOS: source vicino a GND
- Per pMOS: source vicino a V_{DD}

Se il source è collegato diversamente (es. nMOS con source a V_{DD} , pMOS con source a GND), la regola **NON vale!** Devi sempre calcolare V_{GS} o V_{SG} correttamente.

Parametro K (Transconduttanza)

$$K = \frac{1}{2} \mu \cdot C_{OX} \cdot \frac{W}{L}$$

Dove:

- μ = mobilità dei portatori nel canale
- C_{OX} = capacità specifica dell'ossido
- W/L = dimensioni fisiche del MOSFET (Width/Length)

△ NOTA IMPORTANTE - Fattore 1/2

K può essere definito **SENZA** il fattore $\frac{1}{2}$ al suo interno.
In tal caso, le formule delle correnti devono essere **riadattate**:

• Saturazione:

$$I = \frac{K}{2}(V_{GS} - V_T)^2 \text{ invece di } I = K(V_{GS} - V_T)^2$$

• Omica:

$$I = K \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$\text{invece di } I = K [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

Semplificazioni MOSFET

★ CONDIZIONE FONDAMENTALE:

Tutti i **GATE** devono essere in **COMUNE** (stessa tensione al gate)

1. MOSFET in PARALLELO

- GATE in comune
- SOURCE in comune (vengono mantenuti)

Formula:

$$K_{eq} = K_1 + K_2 + \dots + K_n$$

Se tutte uguali: $K_{eq} = n \cdot K$

Es: 3 nMOS con $K = 0.5 \text{ mA/V}^2 \rightarrow K_{eq} = 1.5 \text{ mA/V}^2$

2. MOSFET in SERIE

- GATE in comune
- SOURCE equivalente = SOURCE più BASSO

Formula:

$$\frac{1}{K_{eq}} = \frac{1}{K_1} + \frac{1}{K_2} + \dots + \frac{1}{K_n}$$

Per 2 MOS: $K_{eq} = \frac{K_1 \cdot K_2}{K_1 + K_2}$

Se uguali: $K_{eq} = \frac{K}{n}$

Es: 2 nMOS $K_1 = 1$, $K_2 = 2 \text{ mA/V}^2 \rightarrow K_{eq} = 0.67 \text{ mA/V}^2$

Nota: Queste semplificazioni evitano calcoli complessi nei circuiti.

Analisi Porte Logiche

Quando usare: Dopo aver fatto semplificazioni (serie/parallelo), quando $V_{DS} = V_{OUT}$ e devi capire la zona di funzionamento.

IPOTESI: Se ti hanno chiesto l'espressione logica della porta, puoi ipotizzare che sia **ideale**:

- V_{OUT} ha valori logici **ALTO** e **BASSO**
- $V_{OUT} = V_{DS}$ del MOSFET (dopo semplificazioni)

METODO:

1. Uscita logica BASSA ("0")

$V_{OUT} \approx 0V \rightarrow V_{DS}$ piccola $\rightarrow V_{DS} < V_{OV} \rightarrow$ **ZONA OMICA**

2. Uscita logica ALTA ("1")

$V_{OUT} \approx V_{DD} \rightarrow V_{DS}$ grande $\rightarrow V_{DS} > V_{OV} \rightarrow$ **ZONA SATURAZIONE**

Nota: Questo metodo ti permette di **ipotizzare** la zona di funzionamento senza fare calcoli complessi. Poi puoi verificare con le formule.

Esempio pratico:

Se $V_{OUT} = 0V$ (logica bassa) e hai $V_{OV} = 2V$:

$V_{DS} \approx 0V < 2V \rightarrow$ OMICA ✓

Se $V_{OUT} = 5V$ (logica alta) e hai $V_{OV} = 2V$:

$V_{DS} \approx 5V > 2V \rightarrow$ SATURAZIONE ✓

Resistenza di canale

Resistenza di Canale (R_{CH} o R_{eq})

Quando usare: Calcolare la corrente nel MOSFET quando:

- $V_{OUT} = V_{DS}$ (l'uscita coincide con la tensione drain-source)
- $V_{OUT} \approx 0V$ (uscita logica bassa)

La **resistenza di canale** è la resistenza equivalente del MOSFET in un **intorno di $V_{DS} = 0V$**

FORMULA:

$$R_{CH} = R_{eq} = \frac{1}{2K \cdot V_{OV}}$$

dove $V_{OV} = V_{GS} - V_T$

Nota: K può essere il K del singolo MOSFET o il K_{eq} del MOSFET equivalente (dopo semplificazioni serie/parallelo)

Origine: Derivata di I_D rispetto a V_{DS} calcolata in $V_{DS} = 0$ (approssimazione di Taylor al primo ordine)

QUANDO È VALIDA:

- ✓ $V_{DS} \approx 0V$ (uscita logica bassa)
- ✓ MOSFET in zona OMICA
- ✓ Calcoli approssimativi di corrente
 - ✗ Se V_{DS} NON è vicino a 0V
 - ✗ In altri punti di lavoro (devi ricalcolare la derivata nel punto specifico)

★ SANITY CHECK

Dopo aver calcolato I_D usando R_{CH} , **DEVI** verificare:

$$V_{R_{CH}} \ll V_{OV}$$

Dove $V_{R_{CH}}$ è la tensione ai capi della resistenza equivalente (= V_{DS} del MOSFET).

Se $V_{R_{CH}} \approx V_{OV}$ o maggiore, l'approssimazione **NON** è valida!

Esempio pratico:

Se $K = 1 \text{ mA/V}^2$, $V_{GS} = 3V$, $V_T = 1V$:

$$V_{OV} = 3V - 1V = 2V$$

$$R_{CH} = \frac{1}{2 \cdot 1 \cdot 2} = \frac{1}{4} \text{ k}\Omega = 250 \text{ }\Omega$$

Con $V_{DS} = 0.1V$:

$$I_D \approx \frac{V_{DS}}{R_{CH}} = \frac{0.1V}{250\Omega} = 0.4 \text{ mA}$$

Verifica: $V_{DS} = 0.1V \ll V_{OV} = 2V \checkmark$ OK!

Carica di un condensatore con MOSFET

Scenario: MOSFET utilizzato per caricare un condensatore (es. in porte logiche, circuiti di trasferimento carica)

Nota importante: La tensione massima/minima raggiungibile sul condensatore dipende dal **tipo di MOSFET**!

REGOLA MNEMONICA:

Gli **nMOS** NON sono bravi a **CARICARE**

I **pMOS** NON sono bravi a **SCARICARE**

CARICA - 1. Con pMOS

Carica COMPLETA: Il condensatore si carica fino a V_{DD}

$$V_{C,max} = V_{DD}$$

Motivo: Nel pMOS, la corrente scorre da Source (alto) → Drain (basso). Il pMOS può rimanere acceso fino a quando il condensatore raggiunge V_{DD} , perché il Source è collegato a V_{DD} e mantiene sempre $V_{SG} > |V_T|$.

CARICA - 2. Con nMOS

Carica LIMITATA: Il condensatore si carica **solo fino a**:

$$V_{C,max} = V_G - V_T$$

Motivo: Nel nMOS, quando il condensatore (collegato al Drain) si carica, aumenta V_D . Quando V_D raggiunge $V_G - V_T$, si ha $V_{GS} = V_G - V_S = V_G - (V_G - V_T) = V_T \rightarrow$ il MOSFET **si spegne** (entra in interdizione). **Non può caricare oltre** perché $V_{GS} = V_T$ è la condizione di soglia (OFF).

Esempio pratico (CARICA):

Se $V_G = 5V$ e $V_T = 1V$ per un nMOS:

$$V_{C,max} = 5V - 1V = 4V \text{ (non } 5V!)$$

Con pMOS invece: $V_{C,max} = V_{DD}$ (carica completa)

Scarica di un condensatore con MOSFET

Comportamento SPECULARE alla carica

SCARICA - 1. Con nMOS

Scarica COMPLETA: Il condensatore si scarica fino a GND (0V)

$$V_{C,min} = 0V$$

Motivo: Nel nMOS, il Source è collegato a GND e la corrente scorre dal condensatore (Drain) verso GND. Il nMOS rimane acceso finché $V_{GS} > V_T$. Dato che $V_S = 0V$ (GND), finché $V_G > V_T$ il transistor resta acceso e può scaricare completamente il condensatore.

SCARICA - 2. Con pMOS

Scarica LIMITATA: Il condensatore si scarica solo fino a:

$$V_{C,min} = V_G + |V_T|$$

Motivo: Nel pMOS, quando il condensatore (collegato al Source) si scarica, diminuisce V_S . Quando V_S scende fino a $V_G + |V_T|$, si ha $V_{SG} = |V_T| \rightarrow$ il MOSFET si spegne. Non può scaricare oltre perché $V_{SG} = |V_T|$ è la condizione di soglia (OFF).

Esempio pratico (SCARICA):

Se $V_G = 2V$ e $|V_T| = 1V$ per un pMOS:

$V_{C,min} = 2V + 1V = 3V$ (non può scendere sotto!)

Con nMOS invece: $V_{C,min} = 0V$ (scarica completa)

△ CONSEGUENZA PRATICA - Simmetria CARICA/SCARICA

CARICA: pMOS completa ($\rightarrow V_{DD}$), nMOS limitata ($\rightarrow V_G - V_T$)

SCARICA: nMOS completa (\rightarrow GND), pMOS limitata ($\rightarrow V_G + |V_T|$)

Nelle porte logiche cMOS:

- pMOS nella rete pull-up (PUN) \rightarrow porta uscita a V_{DD}

- nMOS nella rete pull-down (PDN) \rightarrow porta uscita a GND

Valutazione logica circuiti ibridi/intermedi (PTL)

Scenario: Circuiti con un solo MOSFET + condensatore (non completamente cMOS)

★ SOGLIA LOGICA: $\frac{V_{DD}}{2}$

Per la tabella di verità, l'uscita è considerata:

- HIGH se $V_{OUT} > \frac{V_{DD}}{2}$
- LOW se $V_{OUT} < \frac{V_{DD}}{2}$

Caso 1: nMOS sulla pull-up + condensatore

Problema: nMOS carica solo fino a $V_{C,max} = V_G - V_T$

Valutazione logica:

Se $V_G - V_T > \frac{V_{DD}}{2} \rightarrow$ Uscita = HIGH (logicamente "1")

Se $V_G - V_T < \frac{V_{DD}}{2} \rightarrow$ Uscita = LOW (logicamente "0")

Esempio: $V_{DD} = 5V$, $V_G = 4V$, $V_T = 1V$

$$V_{C,max} = 4V - 1V = 3V$$

$$\frac{V_{DD}}{2} = 2.5V$$

$3V > 2.5V \rightarrow$ Uscita = HIGH (anche se non raggiunge V_{DD} !)

Caso 2: pMOS sulla pull-down + condensatore

Problema: pMOS scarica solo fino a $V_{C,min} = V_G + |V_T|$

Valutazione logica:

Se $V_G + |V_T| < \frac{V_{DD}}{2} \rightarrow$ Uscita = LOW (logicamente "0")

Se $V_G + |V_T| > \frac{V_{DD}}{2} \rightarrow$ Uscita = HIGH (logicamente "1")

Esempio: $V_{DD} = 5V$, $V_G = 1V$, $|V_T| = 1V$

$$V_{C,min} = 1V + 1V = 2V$$

$$\frac{V_{DD}}{2} = 2.5V$$

$2V < 2.5V \rightarrow$ Uscita = LOW (anche se non raggiunge GND!)

Nota importante: Questa valutazione si usa SOLO per le **tabelle di verità** dei circuiti ibridi. Nei circuiti cMOS completi, l'uscita raggiunge sempre V_{DD} o GND.

Tempo di propagazione

Tempo di propagazione (τ o t_{prop})

Definizione: Tempo impiegato a raggiungere la soglia della porta logica successiva.

Convenzione: Se non specificato, si prende:

$$V_{finale} = \frac{V_{DD}}{2}$$

Metodo 1: Approssimazione a corrente costante

$$\tau = \frac{\Delta V \cdot C}{I_{sat}}$$

Dove:

- $\Delta V = V_{finale} - V_{iniziale}$

- $V_{finale} = \frac{V_{DD}}{2}$ (sempre!)

- C = capacità di carico

- I_{sat} = corrente di saturazione del MOSFET

Esempio: Se $V_{DD} = 5V$ e $V_{iniziale} = 0V$:
La transizione è da 0V a $\frac{5V}{2} = 2.5V$ (NON a 5V!)

$$\Delta V = 2.5V - 0V = 2.5V$$

△ ATTENZIONE: Questo metodo vale per CMOS (transistor resta in saturazione). Per PTL il transistor passa da sat \rightarrow ohmica \Rightarrow usa il metodo R_{eq} (vedi box PTL).

PTL vs CMOS Logic

Confronto: Due approcci diversi per implementare porte logiche

1. CMOS (Complementary MOS Logic)

Struttura:

- Rete PUN (pMOS) - pull-up network
- Rete PDN (nMOS) - pull-down network
- Sempre una rete ON, l'altra OFF

Vantaggi:

- Uscita sempre a V_{DD} o GND (livelli completi)
- Potenza statica = 0 (nessun percorso VDD→GND)
- Immunità al rumore elevata

Svantaggi:

- Richiede reti complementari (più transistor)
- Area maggiore

2. PTL (Pass Transistor Logic)

Struttura:

- Usa singoli transistor (nMOS o pMOS)
- I transistor "passano" i segnali da ingresso a uscita
- NON usa reti complementari

Vantaggi:

- Meno transistor (area ridotta)
- Circuiti più semplici

Svantaggi:

• Livelli degradati:

- nMOS carica solo fino a $V_G - V_T$
- pMOS scarica solo fino a $V_G + |V_T|$

- Immunità al rumore ridotta

- Potenza statica $\neq 0$ (possibili percorsi VDD→GND)

CONFRONTO RAPIDO:

CMOS: Livelli completi, 0 potenza statica, + area
PTL: Livelli degradati, potenza statica, - area

Tempo di propagazione - PTL

★ NON usare corrente costante per PTL!

Il metodo $\tau = \frac{\Delta V \cdot C}{I_{sat}}$ sottostima t_p nella PTL perché il MOSFET passa da saturazione a ohmica e la corrente diminuisce.

Scenario: N nMOS in serie (PTL), gate a V_{DD} , source a GND, uscita con C_L . Scarica da $V_{DD} - V_{Tn}$ verso GND.

Step 1: K equivalente (per N in serie)

$$K_{eq} = \frac{K_n}{N}$$

Step 2: Resistenza equivalente (scegli UNO, metodi Prof. Acconcia)

Metodo 1 - Retta origine → pinch-off:

Retta che passa per $(0, 0)$ e (V_{OV}, I_{sat}) :

$$R_{eq} = \frac{V_{OV}}{I_{sat}} = \frac{1}{K_{eq} \cdot V_{OV}}$$

Metodo 2 - $R_{DS,on}$ (tangente in $V_{DS} = 0$):

$$R_{DS,on} = \frac{1}{2K_{eq} \cdot V_{OV}}$$

Con $V_{OV} = V_{GS} - V_{Tn} = V_{DD} - V_{Tn}$ (gate a V_{DD} , source a GND)

Step 3: Tempo di propagazione

$$t_p = R_{eq} \cdot C_L \cdot \ln \left(\frac{V_{START}}{V_{END}} \right)$$

△ Come scegliere le tensioni:

- V_{START} : Tensione iniziale su C_L .
 - nMOS [PTL]: $V_{DD} - V_{Tn}$ (es. 4V)
- V_{END} : Soglia logica porta successiva.
 - Spesso $V_{DD}/2$ (es. 2.5V).

Nota: Metodo 1 sovrastima il ritardo, Metodo 2 lo sottostima.

Riconoscere circuiti PTL

★ Come riconoscere un circuito PTL:

1. I transistor **passano** il segnale attraverso Source/Drain (non solo Gate come in CMOS)
2. **NON** c'è struttura PUN+PDN esplicita verso V_{DD} /GND
3. Spesso c'è un **condensatore** sull'uscita senza logica di rigenerazione
4. Livelli d'uscita **degradati** ($V_{DD} - V_T$ o $|V_T|$)

Regola rapida:

- Vedi PUN sopra + PDN sotto con uscita in mezzo → **CMOS**
- Vedi transistor che "passano" segnali da un nodo all'altro con C in uscita → **PTL**

Contention (CMOS) vs Limitazione (PTL)

Entrambi danno uscite **non ideali**, ma il meccanismo è diverso:

Contention (CMOS)	Limitazione (PTL)
PUN e PDN entrambi ON	Transistor si spegne da solo
Corrente a regime: sì	Corrente a regime: no
$P_{stat} \neq 0$	$P_{stat} = 0$
V_{OUT} da $I_p = I_n$	$V_{OUT} = V_G \pm V_T$
Calcolo: eq. 2° grado o $R_{DS,on}$	Basta trovare V_G e V_T

△ Analogia:

Contention = tiro alla fune (entrambi tirano, corrente continua)

PTL = rubinetto che si chiude da solo (corrente si azzera)

Limiti PTL (valgono SEMPRE, indipendenti da serie/parallelo):

- nMOS in carica: $V_{max} = V_G - V_{Tn} \rightarrow$ Weak 1 (W1)
 - pMOS in scarica: $V_{min} = V_G + |V_{Tp}| \rightarrow$ Weak 0 (W0)
- Serie/parallelo cambiano solo la **velocità** (K_{eq}), non il livello finale.

Soglia Logica CMOS vs. PTL

★ REGOLA D'ORO ESAME (Prof. Acconcia)

COSA VEDI	CHE FORMULA USI
CMOS Standard (Inverter, NAND...)	Corrente Costante: $\tau = \frac{C \cdot \Delta V}{I_{sat}}$
Pass Transistor (nMOS in serie)	Resistenza Eq. (R_{eq}): Vedi procedura sotto ↓

Tabella di Verità - Circuiti PTL

★ METODO per tabella di verità PTL:

1. Identifica il **nodo di uscita** (spesso ha un C)
2. Per ogni combinazione di ingressi, chiediti: c'è un **percorso** tra l'uscita e V_{DD} o GND?
3. Se sì: chi "passa" il segnale? nMOS o pMOS?
4. Applica la limitazione:
 - V_{DD} tramite nMOS $\rightarrow V_{OUT} = V_G - V_{Tn}$ (**W1**)
 - GND tramite pMOS $\rightarrow V_{OUT} = V_G + |V_{Tp}|$ (**W0**)
 - V_{DD} tramite pMOS $\rightarrow V_{OUT} = V_{DD}$ (completa)
 - GND tramite nMOS $\rightarrow V_{OUT} = 0$ (completa)
5. Valuta logicamente: $> V_{DD}/2 \rightarrow "1"$, $< V_{DD}/2 \rightarrow "0"$

Differenza chiave vs CMOS:

- **CMOS**: analizza PUN e PDN (ON/OFF) \rightarrow 4 casi
- **PTL**: segui il **percorso del segnale** attraverso i pass-transistor e applica le limitazioni di carica/scarica

Potenza statica

Potenza statica

Definizione: Potenza consumata dal circuito quando gli ingressi e le uscite **NON commutano** (analisi statica).

Importante: In analisi statica, il condensatore si comporta come se non ci fosse (circuito aperto).

Formula:

$$P_{statica} = I \cdot V_{DD}$$

Dove:

- I = corrente che scorre nel MOSFET/circuito
- V_{DD} = tensione di alimentazione

Nota: Poiché il condensatore è un circuito aperto in regime stazionario (nessun $\frac{dV}{dt}$), si calcola solo la corrente continua che scorre attraverso i MOSFET.

cMOS complementare: $P_{statica} = 0$ sempre (mai contention).

cMOS non complementare: $P_{statica} \neq 0$ quando c'è **contention** (uscita a valore intermedio, non V_{DD} né GND).

△ **Regola:** Si consuma potenza statica **solo** quando l'uscita NON è a V_{DD} o GND (= contention, cammino DC da V_{DD} a GND).

Formula con duty cycle:

$$P_{stat} = V_{DD} \cdot I_{sat} \cdot \frac{T_{contention}}{T_{periodo}}$$

Dove $T_{contention}$ = tempo totale in un periodo in cui l'uscita è a un livello intermedio.

I_{sat} = corrente del MOS in saturazione durante contention.

★ IMPORTANTE - Calcolo V_{GS}

In analisi statica, se il **source dell'nMOS NON è a massa** (ma collegato a un'altra alimentazione):

NON usare V_G direttamente, ma calcolare:

$$V_{GS} = V_G - V_S$$

Lo stesso vale per pMOS se il source NON è a V_{DD} .

Potenza dinamica - Formula

Definizione: Potenza consumata durante le commutazioni degli ingressi uscite.

★ CONDIZIONE FONDAMENTALE

Prima di applicare la formula, verificare che:

$$\tau_{prop} \leq \frac{T_{in}}{2}$$

Dove:

- τ_{prop} = tempo di propagazione
- T_{in} = periodo del segnale di ingresso

Se $\tau_{prop} > \frac{T_{in}}{2}$, il circuito **NON ha tempo** di raggiungere il regime prima della prossima commutazione \Rightarrow la formula **NON è valida**.

Nota pratica: Se hai calcolato τ_{prop} per una transizione (es. high \rightarrow low) ma la potenza dinamica riguarda la transizione opposta (low \rightarrow high), verifica l'**ordine di grandezza**. Se K_n e K_p sono comparabili numericamente, i due tempi di propagazione saranno multipli ma **stesso ordine di grandezza**. Se $\tau_{prop} \ll \frac{T_{in}}{2}$ (molto minore), sei a posto anche senza calcolare l'altro! **ATTENZIONE:** Questa assunzione vale **SOLO** se $K_n \approx K_p$. Se i valori di K sono molto diversi, devi calcolare entrambi i tempi di propagazione.

Formula generale:

$$P_D = V_{DD} \sum_i (V_{OH,i} - V_{OL,i}) \cdot C_i \cdot \alpha_i \cdot f_i$$

Caso semplificato (un solo nodo d'uscita):

$$P_D = C_L \cdot \Delta V \cdot V_{DD} \cdot f \cdot \alpha$$

- $\Delta V = V_{OH} - V_{OL}$ = swing dell'uscita
- C_L = capacità del carico
- $f = 1/T$ = frequenza del segnale di riferimento
- $\alpha = \#$ fronti di salita dell'uscita in un periodo T

Potenza dinamica - Calcolo da grafico

★ Come trovare T sul grafico - Metodo “La Foto”:

STEP 1 - Foto a $t = 0$: annota per **TUTTI** i segnali:

- Valore (es. 2V, HIGH, LOW)
- Pendenza (salita \nearrow , discesa \searrow , costante \rightarrow)
- Fase del clock/ingressi

STEP 2: Scorri in avanti finché l'uscita torna al valore iniziale.

STEP 3 - Check: Fermati **SOLO** quando la “foto” è identica a $t = 0$ per **TUTTI** i segnali (uscita, clock, ingressi).

Regola: Il periodo del sistema è sempre un **multiplo intero** del clock: $T_{sys} = n \cdot T_{clk}$ con $n \in \mathbb{N}$

Come determinare V_{OH} e V_{OL} :

Sono i valori massimo e minimo dell'uscita durante le commutazioni.

Metodi:

- Dal grafico di $V_{out}(t)$ (se richiesto in precedenza)
- Forniti direttamente nel testo dell'esercizio
- Analizzando le transizioni del circuito

Come contare α :

Conta i **fronti di salita** dell'uscita nel periodo T trovato con il metodo sopra.

Duty Cycle

Duty Cycle (ciclo di lavoro)

Definizione: Il **duty cycle** δ è il rapporto tra il tempo in cui il segnale è HIGH e il periodo totale:

$$\delta = \frac{T_{HIGH}}{T} = \frac{T_{HIGH}}{T_{HIGH} + T_{LOW}}$$

Espresso in percentuale: $\delta\% = \delta \times 100$

Esempi comuni:

- $\delta = 0.5$ (50%) \rightarrow onda quadra simmetrica (HIGH e LOW stesso tempo)
- $\delta = 0.25$ (25%) \rightarrow segnale HIGH per 25% del periodo
- $\delta = 0.75$ (75%) \rightarrow segnale HIGH per 75% del periodo

Relazione con la potenza dinamica: Se il duty cycle $\neq 50\%$, può influenzare la frequenza effettiva delle commutazioni complete. In molti esercizi si assume duty cycle = 50% (onda quadra simmetrica).

Prestazioni e f_{max}

Prestazioni e Massima Frequenza di Commutazione

Per circuiti digitali che commutano periodicamente, le prestazioni dipendono dalla capacità di raggiungere il regime prima della prossima transizione.

Prestazioni del Circuito:

Il circuito funziona correttamente se:

$$\tau_{prop} \leq \frac{T_{in}}{2}$$

Dove:

- τ_{prop} = tempo di propagazione (tempo per raggiungere il regime)
- T_{in} = periodo del segnale di ingresso

Massima Frequenza di Commutazione:

La frequenza massima a cui il circuito può commutare correttamente è:

$$f_{max} = \frac{1}{2\tau_{prop}}$$

In altre parole: $T_{min} = 2\tau_{prop}$

Interpretazione:

- Se $f > f_{max}$: il circuito **NON ha tempo** di raggiungere il regime
 - L'uscita non raggiunge i valori V_{OH} / V_{OL} completi
 - Le formule di potenza dinamica **NON sono valide**
- ★ NOTA PRATICA**
- Queste formule si usano per verificare se il circuito può operare a una data frequenza
 - Prima di calcolare P_D , controllare sempre: $\tau_{prop} \leq \frac{T_{in}}{2}$
 - Se hai calcolato solo τ_{prop} per una transizione (es. H \rightarrow L) e $K_n \approx K_p$, l'altra transizione ha tempo simile (stesso ordine di grandezza)

Porte cMOS - Definizione

Definizione: Una porta logica **cMOS** (Complementary MOS) è composta da due reti complementari:

- **PUN** (Pull-Up Network): rete di **pMOS**
- **PDN** (Pull-Down Network): rete di **nMOS**

★ REGOLA FONDAMENTALE

In qualsiasi configurazione di ingresso:

Solo UNA rete è attiva (ON) alla volta

- Se PUN è ON \rightarrow PDN è OFF (uscita = V_{DD})
- Se PDN è ON \rightarrow PUN è OFF (uscita = GND)

Significato PRATICO negli esercizi:

1. Potenza statica = 0

Poiché una rete è sempre OFF, non c'è percorso diretto tra V_{DD} e GND $\rightarrow P_{statica} = 0$

2. Analisi per stati logici

Per ogni combinazione di ingressi, verifica:

- Quali MOSFET sono ON/OFF
- Quale rete (PUN o PDN) è attiva
- Output = V_{DD} se PUN ON, = GND se PDN ON

Esempio: cMOS Inverter

Ingresso ALTO ("1"):

- nMOS ON \rightarrow PDN attiva \rightarrow Uscita = GND ("0")
- pMOS OFF \rightarrow PUN spenta

Ingresso BASSO ("0"):

- pMOS ON \rightarrow PUN attiva \rightarrow Uscita = V_{DD} ("1")
- nMOS OFF \rightarrow PDN spenta

Nota: Le reti sono **complementari**: se PUN realizza f , PDN realizza \bar{f}

Costruzione PUN da PDN

Problema: Data la rete Pull-Down (PDN) con nMOS, costruire la rete Pull-Up (PUN) con pMOS

★ METODO - Trasformazione DUALE

In pratica: INVERSIONE RICORSIVA di SERIE e PARALLELO

Dalla PDN alla PUN:

1. SERIE \rightarrow PARALLELO
2. PARALLELO \rightarrow SERIE
3. nMOS \rightarrow pMOS
4. Gate (ingressi) \rightarrow RIMANGONO UGUALI

PROCEDURA MECCANICA:

Step 1: Identifica la struttura della PDN

- Individua le connessioni SERIE
- Individua le connessioni PARALLELO
- Step 2:** Applica la trasformazione
 - Ogni SERIE diventa PARALLELO
 - Ogni PARALLELO diventa SERIE
 - Sostituisci nMOS con pMOS
 - Mantieni gli stessi gate

Esempio pratico:

PDN: nMOS(A) in SERIE con [nMOS(B) —— nMOS(C)]

Applicazione trasformazione:

- A in SERIE \rightarrow A in PARALLELO
- (B —— C) \rightarrow (B in SERIE con C)

PUN: pMOS(A) in PARALLELO con [pMOS(B) in SERIE con pMOS(C)]

In formula: $PUN = A \parallel (B \cdot C)$

Verifica: Le due reti sono complementari

- PDN: $f = A \cdot (B + C)$
- PUN: $\bar{f} = \overline{A} + (\overline{B} \cdot \overline{C}) = \overline{A} \cdot (\overline{B} + \overline{C}) \checkmark$

Nota: Questo metodo garantisce che solo una rete sia ON alla volta (proprietà fondamentale delle porte cMOS)

★ REGOLA MNEMONICA:

- nMOS in parallelo \Rightarrow funzione OR
- nMOS in serie \Rightarrow funzione AND

Nota: La negazione avviene "naturalmente" nella rete pull-down! PDN implementa la funzione logica diretta, PUN implementa il complemento (per dualità).

Invertitore nMOS con R_L

Invertitore nMOS con Carico Resistivo

Circuito più semplice di un inverter cMOS: usa un nMOS e una resistenza di pull-up al posto del pMOS.

Schema:

- V_{DD} collegato a resistenza R_L (carico)
- Resistenza R_L collegata all'uscita V_{out}
- Uscita V_{out} collegata al Drain dell'nMOS
- Source dell'nMOS collegato a GND
- Gate dell'nMOS collegato all'ingresso V_{in}

Funzionamento:

• Ingresso HIGH ($V_{in} = V_{DD}$):

- nMOS ON (saturazione o ohmica)
- Corrente scorre attraverso R_L e nMOS
- $V_{out} = V_{DD} - R_L \cdot I_D$ (basso, \approx GND)

• Ingresso LOW ($V_{in} = 0$):

- nMOS OFF
- Nessuna corrente: $I_D = 0$
- $V_{out} = V_{DD}$ (alto)

Formula V_{out} (nMOS ON):

Equazione: $I_{RL} = I_D$ (stessa corrente)

$$\frac{V_{DD} - V_{out}}{R_L} = I_D$$

Dove I_D dipende dalla regione di funzionamento dell'nMOS:

- **Saturazione:** $I_D = K_n(V_{in} - V_T)^2$

- **Ohmica:** $I_D = K_n[2(V_{in} - V_T)V_{out} - V_{out}^2]$

★ SVANTAGGIO rispetto al cMOS

- Con nMOS ON: scorre corrente **statica** da V_{DD} a GND
- \Rightarrow Potenza statica $P_{stat} = V_{DD} \cdot I_D$ (dissipazione continua!)
- Il cMOS invece ha $P_{stat} = 0$ (una rete sempre OFF)

GUIDA - Tabella di Verità Reti CMOS

★ METODO SISTEMATICO:

NON enumerare tutte le 2^N combinazioni di ingresso!

1. Analizza la **PUN**: con quali ingressi è ON? (serie/parallelo)
2. Analizza la **PDN**: con quali ingressi è ON? (serie/parallelo)
3. Combina i casi (sono solo 4 possibili, vedi sotto)

Trucco: Transistor in **serie** spento \Rightarrow tutta la branch spenta (don't care sugli altri). Transistor in **parallelo** \Rightarrow basta uno acceso.

★ REGOLA ON/OFF dei MOSFET:

nMOS: Gate = "1" (V_{DD}) \Rightarrow **ON**
Gate = "0" (GND) \Rightarrow **OFF**

pMOS: Gate = "0" (GND) \Rightarrow **ON**
Gate = "1" (V_{DD}) \Rightarrow **OFF**

Mnemonico: nMOS ON con HIGH, pMOS ON con LOW

★ DETERMINAZIONE USCITA:

PUN	PDN	OUT
Percorso	No percorso	V_{DD} ("1")
No percorso	Percorso	GND ("0")
No percorso	No percorso	Hi-Z
Percorso	Percorso	Contention!

Contention \neq **cortocircuito ideale!** L'uscita si assesta a un valore **intermedio** (V_{OL} o V_{OH}) determinato dal rapporto delle K . Solo in cMOS pura questo caso **non si verifica mai**. \Rightarrow Vedi box "Contention PUN/PDN"

★ ALTA IMPEDENZA (Hi-Z):

Cos'è: L'uscita è "scollegata" - né HIGH né LOW

Quando si verifica:

- Entrambe le reti PUN e PDN sono **OFF**
- Nessun percorso verso V_{DD} né verso GND

Nella tabella: Si indica con "Z" o "Hi-Z"

Fisicamente: L'uscita "galleggia" al valore precedente (se c'è C) o è indefinita

△ ATTENZIONE - Circuiti NON cMOS:

Nei circuiti **cMOS puri**: sempre una sola rete ON \Rightarrow **mai Hi-Z**

Hi-Z si verifica in:

- **Transmission gate** (TG) quando è aperto
- **Buffer tri-state** quando è disabilitato
- Circuiti **PTL** (Pass Transistor Logic)
- Reti con **segnali di enable/disable**

Livelli di Tensione e Soglia Logica

★ LIVELLI DI TENSIONE (se richiesti):

cMOS ideale:

- OUT = "1" \Rightarrow $V_{OUT} = V_{DD}$
- OUT = "0" \Rightarrow $V_{OUT} = 0V$ (GND)

PTL / Pass Transistor:

- nMOS passa LOW bene: $V_{OUT} = 0V$
- nMOS passa HIGH male: $V_{OUT} = V_{DD} - V_T$ (degradato!)
- pMOS passa HIGH bene: $V_{OUT} = V_{DD}$
- pMOS passa LOW male: $V_{OUT} = |V_T|$ (degradato!)

★ SOGLIA LOGICA (per valutazione):

Se V_{OUT} non è esattamente V_{DD} o GND:

- $V_{OUT} > \frac{V_{DD}}{2} \Rightarrow$ Logicamente "1"
- $V_{OUT} < \frac{V_{DD}}{2} \Rightarrow$ Logicamente "0"

Ese: $V_{DD} = 3V$, $V_T = 0.5V \Rightarrow$ nMOS passa $2.5V > 1.5V \Rightarrow$ "1"

Riconoscere Rete cMOS Completa

Come riconoscere una rete cMOS completa (complementare)

Una rete è **cMOS pura** se PUN e PDN sono **duali**: per ogni combinazione di ingressi, **una sola** rete è ON.

\Rightarrow Uscita **sempre** definita: solo "1" o "0", **mai** Hi-Z né cortocircuito.

★ CHECKLIST "a occhio":

1. La PDN usa solo nMOS
2. La PUN usa solo pMOS
3. PUN è il **duale topologico** della PDN:
serie \leftrightarrow parallelo
4. **Stesso numero** di transistor sopra e sotto
5. **Stessi segnali** di ingresso in entrambe le reti

△ NON è cMOS pura se:

- Manca una delle due reti (PUN o PDN)
 - Ci sono segnali di **enable/disable** separati
 - La topologia **non è duale** (serie/parallelo non si corrispondono)
 - Sono presenti **transmission gate** o pass transistor
- \Rightarrow Possibili stati **Hi-Z** o **cortocircuito!**

Complementare vs Non Complementare — Cosa Fare

Cosa fare: complementare vs non complementare

★ STEP 1: Guardo la rete — è complementare?

Stesso numero di MOS sopra/sotto, stessi segnali, topologia duale (serie \leftrightarrow parallelo)?

- **SÌ** \Rightarrow uscita sempre 0 o 1, **basta** la tabella
- **NO** \Rightarrow prosegui allo Step 2

★ STEP 2: Per ogni riga della tabella

Stabilisci quali reti sono ON (percorso verso rail):

Situazione	Uscita
Solo PUN ON	V_{DD}
Solo PDN ON	0V
Entrambe ON	Contention \Rightarrow Step 3
Nessuna ON	Hi-Z

★ STEP 3: Calcolo valore contention

Chi "vince"? La rete con K_{eq} più grande tira l'uscita verso il proprio rail.

- PDN vince \Rightarrow uscita bassa (V_{OL}):
nMOS ohmica, pMOS saturazione

- PUN vince \Rightarrow uscita alta (V_{OH}):
pMOS ohmica, nMOS saturazione

Poi: $I_{PUN} = I_{PDN}$ (Metodo 1 o 2, vedi box Calcolo)

Contention PUN/PDN - Teoria

Contention: PUN e PDN entrambe ON

Se la rete **non è cMOS pura**, può accadere che PUN e PDN siano **entrambe ON** \Rightarrow **non** è un semplice cortocircuito: l'uscita si assesta a un valore intermedio determinato dal **rapporto delle correnti**.

★ REGOLA CHIAVE:

È il **valore dell'uscita** a determinare le zone di funzionamento:

Se V_{OUT} è **basso** (PDN "vince"):

- pMOS: $|V_{DS}| \approx V_{DD} - V_{OL}$ grande \Rightarrow **saturazione**
- nMOS: $V_{DS} \approx V_{OL}$ piccolo \Rightarrow **ohmica**

Se V_{OUT} è **alto** (PUN "vince"):

- pMOS: $|V_{DS}| \approx V_{DD} - V_{OH}$ piccolo \Rightarrow **ohmica**

• nMOS: $V_{DS} \approx V_{OH}$ grande \Rightarrow **saturazione**

★ PROCEDIMENTO GENERALIZZATO:

1. Ipotizzare uscita bassa/alta \Rightarrow fissa le zone
2. Scrivere $I_{PUN} = I_{PDN}$ (regime stazionario)
3. Usare le formule appropriate:

nMOS ($V_{GS,n} = V_G - V_S$, $V_{DS,n} = V_D - V_S$):

$$\text{Sat: } I_n = K_n(V_{GS,n} - V_{Tn})^2$$

$$\text{Ohm: } I_n = K_n [2(V_{GS,n} - V_{Tn})V_{DS,n} - V_{DS,n}^2]$$

pMOS ($V_{SG,p} = V_S - V_G$, $V_{SD,p} = V_S - V_D$):

$$\text{Sat: } I_p = |K_p|(V_{SG,p} - |V_{Tp}|)^2$$

$$\text{Ohm: } I_p = |K_p| [2(V_{SG,p} - |V_{Tp}|)V_{SD,p} - V_{SD,p}^2]$$

4. Risolvere per V_{OUT} (o per K_p/K_n)

5. Verificare consistenza delle ipotesi sulle zone

★ MOS IN SERIE — K EQUIVALENTE:

N transistor uguali in serie (stesso K):

$$K_{eq} = \frac{K}{N}$$

Es: 2 nMOS in serie con K_n ciascuno $\Rightarrow K_{n,eq} = \frac{K_n}{2}$

N transistor in parallelo:

$$K_{eq} = N \cdot K$$

△ SOSTITUZIONE RAPIDA (nei calcoli di contention):

$D = V_{OUT}$ (sempre in mezzo), $S_n = GND$, $S_p = V_{DD}$

$$\Rightarrow V_{OV} = V_{DD} - V_T$$

$$V_{DS,n} = V_{OUT}$$

$$V_{SD,p} = V_{DD} - V_{OUT}$$

Contention PUN/PDN - Calcolo

Contention: Metodi di Calcolo V_{OL}/V_{OH}

△ **SETUP** (esempio: uscita bassa, V_{OL}):

pMOS (sat.) = nMOS eq. (ohm.):

$$|K_p|(V_{DD} - |V_T|)^2 = K_{n,eq} [2(V_{GS,n} - V_T)V_{OL} - V_{OL}^2]$$

★ METODO 1: Equazione completa (esatto)

Si risolve l'equazione $I_{sat} = I_{ohm}$ per V_{OL} :

\Rightarrow Equazione di **2° grado** in V_{OL} , si risolve con formula risolutiva.

$$\text{Riarrangiando: } K_{n,eq}V_{OL}^2 - 2K_{n,eq}(V_{GS,n} - V_T)V_{OL} + I_{sat,p} = 0$$

Pro: Risultato esatto

Contro: Richiede risoluzione eq. 2° grado

★ METODO 2: Approssimazione $R_{DS,on}$ (più rapido)

Il MOS in **ohmica** con V_{DS} piccolo si comporta come una **resistenza**. Per N MOS uguali in serie: $R_{DS,on,eq} = N \cdot R_{DS,on}$

Caso A — Uscita bassa (nMOS in ohmica):

$$R_{DS,on,n} = \frac{1}{2K_n(V_{GS,n} - V_{Tn})}$$

$$I_{sat,p} = |K_p|(V_{SG,p} - |V_{Tp}|)^2$$

$$V_{OL} \approx I_{sat,p} \cdot R_{DS,on,neq}$$

Caso B — Uscita alta (pMOS in ohmica):

$$R_{DS,on,p} = \frac{1}{2|K_p|(V_{SG,p} - |V_{Tp}|)}$$

$$I_{sat,n} = K_n(V_{GS,n} - V_{Tn})^2$$

$$V_{OH} \approx V_{DD} - I_{sat,n} \cdot R_{DS,on,peq}$$

Pro: Calcolo diretto, nessuna eq. 2° grado

Contro: Approssimazione (trascura V_{DS}^2).

Valida se V_{OUT} è vicino al rail della rete che "vince"

★ QUANDO USARE QUALE:

- Valore **esatto** richiesto \Rightarrow Metodo 1
- Dimensionare K_p/K_n dato $V_{OL,max}$ \Rightarrow Metodo 2
- V_{OL} piccolo rispetto a $V_{GS} - V_T \Rightarrow$ Metodo 2 OK
- In **dubbio**: Metodo 2, poi verificare con Metodo 1

$R_{DS,on}$ — Riepilogo Formule

$R_{DS,on}$ — Riepilogo e Significato Fisico

★ COS'È:

Quando un MOS è in zona **ohmica** con V_{DS} piccolo, il canale si comporta come una **resistenza controllata dal gate**:

$$I_{DS} \approx 2K(V_{GS} - V_T) \cdot V_{DS}$$

$$\text{Quindi: } R_{DS,on} = \frac{V_{DS}}{I_{DS}} = \frac{1}{2K(V_{GS} - V_T)}$$

★ FORMULE:

nMOS:

$$R_{DS,on,n} = \frac{1}{2K_n(V_{GS,n} - V_{Tn})}$$

pMOS:

$$R_{DS,on,p} = \frac{1}{2|K_p|(V_{SG,p} - |V_{Tp}|)}$$

N MOS uguali in serie: $R_{DS,on,eq} = N \cdot R_{DS,on}$

N MOS uguali in parallelo: $R_{DS,on,eq} = \frac{R_{DS,on}}{N}$

★ APPLICAZIONE ALLA CONTENTIONE:

La rete che "vince" (più forte) è in ohmica \Rightarrow modellata come $R_{DS,on}$.

La rete che "perde" (più debole) è in saturazione \Rightarrow generatore di corrente I_{sat} .

Uscita bassa (PDN vince):

$$V_{OL} \approx I_{sat,p} \cdot R_{DS,on,neq}$$

Uscita alta (PUN vince):

$$V_{OH} \approx V_{DD} - I_{sat,n} \cdot R_{DS,on,peq}$$

Soglia Logica della Porta (V_M)

Soglia Logica della Porta (V_M)

★ COS'È:

V_M è il punto della caratteristica $V_{OUT}(V_{IN})$ in cui:

$$V_{IN} = V_{OUT} = V_M$$

È la tensione alla quale la porta "commuta": separa la zona in cui l'uscita è HIGH dalla zona in cui è LOW.

Idealmente: $V_M = \frac{V_{DD}}{2}$ (margini di rumore simmetrici)

★ COME SI CALCOLA:

Nel punto V_M : $V_{IN} = V_{OUT} = V_M$

⇒ Entrambi i MOS sono in **saturazione** (entrambi hanno $|V_{DS}| = V_M$ che è "grande")

Procedimento:

1. Porre $V_{IN} = V_{OUT} = V_M$
2. Entrambi i MOS in **saturazione**
3. Imporre $I_n = I_p$:

$$K_n(V_M - V_{Tn})^2 = |K_p|(V_{DD} - V_M - |V_{Tp}|)^2$$

4. Risolvere per V_M

★ SOLUZIONE (inverter cMOS):

Prendendo la radice:

$$\sqrt{K_n}(V_M - V_{Tn}) = \sqrt{|K_p|}(V_{DD} - V_M - |V_{Tp}|)$$

Risolvendo per V_M :

$$V_M = \frac{V_{Tn} + \sqrt{\frac{|K_p|}{K_n}(V_{DD} - |V_{Tp}|)}}{1 + \sqrt{\frac{|K_p|}{K_n}}}$$

Se $V_{Tn} = |V_{Tp}| = V_T$:

$$V_M = \frac{V_T + \sqrt{\frac{|K_p|}{K_n}(V_{DD} - V_T)}}{1 + \sqrt{\frac{|K_p|}{K_n}}}$$

Se inoltre $K_n = |K_p|$: $V_M = \frac{V_{DD}}{2}$

△ PER PORTE COMPLESSE (NAND, NOR...):

Stessa logica, ma si usa $K_{n,eq}$ o $K_{p,eq}$:

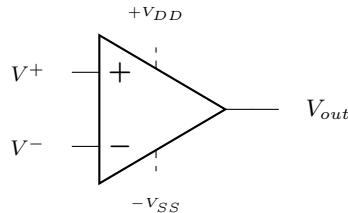
- **NAND** (N nMOS in serie): $K_{n,eq} = \frac{K_n}{N}$
⇒ V_M si **alza** (PDN più debole)

- **NOR** (N pMOS in serie): $K_{p,eq} = \frac{|K_p|}{N}$
⇒ V_M si **abbassa** (PUN più debole)

Si sostituisce K_{eq} nella formula e si calcola V_M per il **caso peggiore** (un solo ingresso attivo nella rete in serie).

OpAmp - Introduzione e Caratteristica

Amplificatore Operazionale (OpAmp)

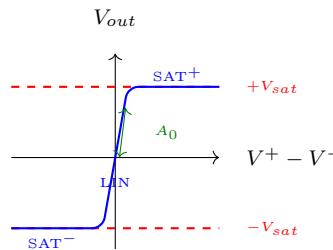


Equazione fondamentale:

$$V_{out} = A_0 \cdot (V^+ - V^-)$$

dove A_0 = guadagno ad anello aperto ($A_0 \rightarrow \infty$ ideale)

Caratteristica V_{out} vs $(V^+ - V^-)$:



ZONA LINEARE (tra le saturazioni):

$$V_{out} = A_0 \cdot (V^+ - V^-)$$

L'OpAmp amplifica la differenza degli ingressi

ZONA di SATURAZIONE:

- Se $(V^+ - V^-) > 0$ (anche di poco): $V_{out} = +V_{sat}$
- Se $(V^+ - V^-) < 0$ (anche di poco): $V_{out} = -V_{sat}$

L'uscita "tocca" le alimentazioni e non va oltre!

★ I trattini (- - -) nel grafico:

Indicano i **limiti di saturazione** $\pm V_{sat}$.

L'uscita si "appiattisce" su questi valori e non segue più $(V^+ - V^-)$!

Valori tipici di V_{sat} :

- Rail-to-rail: $V_{sat} = V_{alim}$ esattamente
- Standard: $V_{sat} \approx V_{alim} - 1V \div 2V$

Impedenza con Condensatori

Impedenza del condensatore:

$$Z_C(s) = \frac{1}{sC}$$

Con $s = j\omega$: modulo $|Z_C| = \frac{1}{\omega C}$, fase $\angle Z_C = -90^\circ$

Comportamento del condensatore in base alla frequenza:

Freq.	Z_C	Equiv.	Effetto
DC ($\omega = 0$)	∞	Aperto	Cancella ramo
Alta ($\omega \rightarrow \infty$)	0	Corto	Filo (a GND)

★ DC ($\omega = 0$): $Z_C = \frac{1}{0 \cdot C} \rightarrow \infty \rightarrow \text{APERTO}$

Il condensatore è carico, blocca la corrente continua.

★ Alta freq. ($\omega \rightarrow \infty$): $Z_C = \frac{1}{\infty \cdot C} \rightarrow 0 \rightarrow \text{CORTO}$

Il condensatore non ha tempo di caricarsi, la corrente passa libera.

Nota: Se C è collegato a massa, il nodo va a **GND**.

Configurazioni comuni:

1. C in PARALLELO con R:

$$Z(s) = \frac{R \cdot \frac{1}{sC}}{R + \frac{1}{sC}} = \frac{R}{1 + sRC}$$

Notazione comoda per paralleli: $Z = (R^{-1} + Z_C^{-1})^{-1}$

Più facile da manipolare rispetto a $\frac{Z_1 \cdot Z_2}{Z_1 + Z_2}$

Polo in: $\omega_p = \frac{1}{RC}$

2. C in SERIE con R:

$$Z(s) = R + \frac{1}{sC} = \frac{1 + sRC}{sC}$$

Zero in: $\omega_z = \frac{1}{RC}$

★ CONTROLLI (SANITY CHECKS):

Dopo aver calcolato impedanze (serie/parallelo):

1. **Controllo Dimensionale:**

- L'impedenza Z deve avere dimensione di Ω (ohm)
- Il coefficiente τ che moltiplica s deve essere in [s]
- Relazione utile: $[F] \cdot [\Omega] = [s]$
- Es: RC ha dimensioni $[\Omega] \cdot [F] = [s]$ ✓

2. **Controllo a Frequenza Nulla ($s = 0$):**

- A $s = 0$ (DC), il condensatore è APERTO
- Sostituisci $s = 0$ in $Z(s)$ calcolata
- Deve dare la stessa R_{eq} ottenuta considerando C aperto

Es: $Z = \frac{R}{1+sRC}|_{s=0} = R$ (corretto: C aperto lascia R)

Forma Standard per Bode

Data una funzione di trasferimento generica come $T(s) = \frac{V_{out}}{I_{in}}$, portala in forma:

Trasferimento vs Guadagno:

- **Guadagno** = numero puro (adimensionale): $\frac{V_{out}}{V_{in}}$
- **Trasferimento** = ha unità di misura: es. $\frac{V_{out}}{I_{in}} [\Omega]$

Es: amplificatore a **transimpedenza** ha trasferimento in Ω

$$T(s) = K \cdot s^n \cdot \frac{(1 + s\tau_{z1})(1 + s\tau_{z2}) \dots}{(1 + s\tau_{p1})(1 + s\tau_{p2}) \dots}$$

Dove:

- K = guadagno costante (può essere assente se $K = 1$)
- s^n = poli/zeri nell'origine (può essere assente se $n = 0$)
 $n > 0$: zeri nell'origine, $n < 0$: poli nell'origine
- $\tau_{zi} = \frac{1}{\omega_{zi}}$ = costante di tempo dello zero i -esimo
- $\tau_{pi} = \frac{1}{\omega_{pi}}$ = costante di tempo del polo i -esimo

Procedimento:

1. Fattorizza numeratore e denominatore
2. Porta ogni fattore $(s + a)$ nella forma $(1 + s\tau)$:
 $(s + a) = a(1 + s/a) \rightarrow$ raccolta a in K , con $\tau = 1/a$
3. Raccogli tutti i coefficienti costanti in K
4. Eventuali s isolati formano il termine s^n

Nota: In questa forma, poli e zeri sono immediatamente visibili:
 $\omega_p = \frac{1}{\tau_p}$ e $\omega_z = \frac{1}{\tau_z}$

Conversione Scala Logaritmica \leftrightarrow Lineare

Da LINEARE a dB (logaritmica):

$$|T|_{dB} = 20 \log_{10}(|T|_{lin})$$

Da dB a LINEARE:

$$|T|_{lin} = 10^{|T|_{dB}/20}$$

Valori utili da ricordare:

- 0 dB \leftrightarrow 1 (lineare)
- 20 dB \leftrightarrow 10 (lineare)
- -20 dB \leftrightarrow 0.1 (lineare)
- 3 dB \leftrightarrow $\sqrt{2} \approx 1.41$ (lineare)
- -3 dB \leftrightarrow $1/\sqrt{2} \approx 0.707$ (lineare)
- 6 dB \leftrightarrow 2 (lineare)

Bode - Singolarità in Zero ($n \neq 0$)

Caso: $T(s) = s\tau_0 \cdot \frac{(1+s\tau_{z1})}{(1+s\tau_{p1})}$ (zero nell'origine)

Procedimento:

1. Trova il punto di partenza (intersezione con 0 dB):

Frequenza: $f_0 = \frac{1}{2\pi\tau_0}$ oppure $\omega_0 = \frac{1}{\tau_0}$

\Rightarrow A $\omega = \omega_0$ il contributo di $s\tau_0$ vale **0 dB**

2. Traccia la retta con pendenza +20 dB/dec passante per il punto $(\omega_0, 0 \text{ dB})$

3. Aggiungi i contributi di poli/zeri:

- A $\omega_{z1} = 1/\tau_{z1}$: pendenza +20 dB/dec
- A $\omega_{p1} = 1/\tau_{p1}$: pendenza -20 dB/dec

\triangle Se polo nell'origine (es. $\frac{1}{s\tau_0}$):

- Pendenza iniziale -20 dB/dec
- Stesso punto di partenza: $(\omega_0 = 1/\tau_0, 0 \text{ dB})$

FASE con singolarità in zero:

Zero nell'origine (s^n al numeratore):

Fase iniziale: $+90^\circ \cdot n$ (costante $\forall \omega$)

Polo nell'origine (s^n al denominatore):

Fase iniziale: $-90^\circ \cdot n$ (costante $\forall \omega$)

Poi aggiungi i contributi dei poli/zeri normali ($\pm 90^\circ$ ciascuno)

Bode - Diagramma della Fase

Tracciamento della Fase:

1. **Contributo di K:**

- Se $K > 0$ (cioè $T(0) > 0$): fase = 0°
- Se $K < 0$ (cioè $T(0) < 0$): fase = -180°

Se $T(0) < 0$, parti da -180° e somma i contributi

2. **Contributo di s^n :**

Fase costante: $+90^\circ \cdot n$ per ogni frequenza

3. **Contributo degli ZERI** ($1 + s\tau_z$):

Transizione centrata in $\omega_z = \frac{1}{\tau_z}$:

- $\omega < \omega_z/10$: fase $\approx 0^\circ$
- $\omega = \omega_z$: fase = $+45^\circ$
- $\omega > 10\omega_z$: fase $\approx +90^\circ$

Transizione lineare tra $\omega_z/10$ e $10\omega_z$

4. **Contributo dei POLI** ($1 + s\tau_p$):

Transizione centrata in $\omega_p = \frac{1}{\tau_p}$:

- $\omega < \omega_p/10$: fase $\approx 0^\circ$
- $\omega = \omega_p$: fase = -45°
- $\omega > 10\omega_p$: fase $\approx -90^\circ$

Transizione lineare tra $\omega_p/10$ e $10\omega_p$

5. **Tracciamento finale:**

- Parti dalla fase iniziale:

- Se $T(0) > 0$: parte da $0^\circ + 90^\circ \cdot n$
- Se $T(0) < 0$: parte da $-180^\circ + 90^\circ \cdot n$

- Somma algebrica dei contributi di poli e zeri:

- Zeri: $+90^\circ$ asintoticamente (transizione da $\omega_z/10$ a $10\omega_z$)
- Poli: -90° asintoticamente (transizione da $\omega_p/10$ a $10\omega_p$)

- I contributi si **sovrappongono** se poli/zeri sono vicini

★ ERRORE COMUNE

Nel modulo, le pendenze si **sommano** ad ogni polo/zero

Nella fase, i contributi si **sovrappongono** (somma algebrica delle fasi)

Intersezione 0 dB in Bode

Problema: Il diagramma passa vicino a 0 dB nei pressi di una singolarità. Interseca prima o dopo?

Regola di Conservazione Guadagno-Frequenza:

Su un tratto con pendenza costante di m dB/dec, vale:

$$|T(\omega)| \cdot \omega^{m/20} = \text{costante}$$

Metodo pratico (verifica per ipotesi):

IPOTESI: Supponi che la retta continui **indisturbata** con la stessa pendenza (cioè che interseca 0 dB PRIMA della singolarità)

- Identifica un punto noto sul tratto: $(\omega_1, |T(\omega_1)|)$

Es: a basse frequenze, spesso $|T(0)| = K$

- Con pendenza m dB/dec costante, calcola ω_0 dove $|T| = 1$:

$$\omega_0 = \omega_1 \cdot |T(\omega_1)|^{20/m}$$

ATTENZIONE: $|T(\omega_1)|$ in scala LINEARE, non in dB!

Se hai il valore in dB: $|T| = 10^{(\text{dB}/20)}$

- Confronta ω_0 con la singolarità ω_s :

- Se $\omega_0 < \omega_s$: ipotesi **CORRETTA** → interseca prima La retta raggiunge 0 dB prima di cambiare pendenza
- Se $\omega_0 > \omega_s$: ipotesi **ERRATA** → interseca dopo La pendenza cambia prima di raggiungere 0 dB

Casi comuni:

Pendenza 0 dB/dec ($m = 0$): costante, già noto

Pendenza -20 dB/dec ($m = -20$):

$$\omega_0 = \omega_1 \cdot |T(\omega_1)|$$

Questa è la formula del **GBW** (Guadagno di Banda)!

Pendenza +20 dB/dec ($m = +20$):

$$\omega_0 = \frac{\omega_1}{|T(\omega_1)|}$$

★ UTILITÀ PRATICA

Questo metodo evita di dover disegnare con precisione il diagramma per capire l'ordine di intersezione e singolarità, garantendo il tracciamento corretto dopo entrambi i punti.

Calcolo Guadagno a Frequenze Specifiche

Quando ti chiedono il guadagno a una frequenza specifica:

CASO 1: Lontano dalle singolarità (≥ 1 decade)

Usa il **diagramma sintotico** (approssimazione):

- Se $\omega < \omega_p/10$ o $\omega > 10\omega_p$: il polo/zero ha effetto trascurabile
- Leggi il valore dal diagramma asintotico con la pendenza corrente

Esempio: Con pendenza -20 dB/dec da ω_1 a ω_2 :

$$|T(\omega_2)|_{\text{dB}} = |T(\omega_1)|_{\text{dB}} - 20 \log_{10} \left(\frac{\omega_2}{\omega_1} \right)$$

CASO 2: Esattamente sulla singolarità ($\omega = \omega_p$ o ω_z)

Usa le **formule esatte**:

Modulo:

- Polo: $|1 + j\omega_p \tau_p| = |1 + j| = \sqrt{2} \rightarrow -3 \text{ dB}$
- Zero: $|1 + j\omega_z \tau_z| = |1 + j| = \sqrt{2} \rightarrow +3 \text{ dB}$

Fase:

- Polo: $\angle(1 + j\omega_p \tau_p) = \arctan(1) \rightarrow -45^\circ$
- Zero: $\angle(1 + j\omega_z \tau_z) = \arctan(1) \rightarrow +45^\circ$

CASO 3: Vicino alle singolarità (< 1 decade ma \neq singolarità)

Usa i **numeri complessi**, sostituendo $s = j\omega$:

$$T(j\omega) = K \cdot (j\omega)^n \cdot \frac{(1 + j\omega \tau_{z1})(1 + j\omega \tau_{z2}) \dots}{(1 + j\omega \tau_{p1})(1 + j\omega \tau_{p2}) \dots}$$

- Sostituisci il valore numerico di ω
- Calcola ogni termine: $|1 + j\omega \tau| = \sqrt{1 + (\omega \tau)^2}$
- Moltiplica/dividi i moduli per ottenere $|T(j\omega)|$
- Converti in dB: $20 \log_{10} |T(j\omega)|$

Regola pratica:

- Lontano → diagramma sintotico (veloce)
- Esattamente sopra → ±3 dB, ±45° (immediato)
- Vicino → numeri complessi (calcolo esatto)

Bode - Polo e Zero Coincidenti

Polo e Zero alla STESSA Frequenza

Situazione: Un polo e uno zero coincidono: $\omega_p = \omega_z$

Esempio:

$$T(s) = K \cdot \frac{1 + s\tau}{1 + s\tau} \cdot \frac{1}{1 + s\tau_2}$$

dove il polo e lo zero a $\omega = 1/\tau$ coincidono.

Effetto sul MODULO: si COMPENSANO

- Polo: -20 dB/dec
- Zero: +20 dB/dec

⇒ Effetto netto: 0 dB/dec

Il modulo **non cambia pendenza** a quella frequenza!
È come se polo e zero **non esistessero** per il modulo.

Effetto sulla FASE: NON si compensano!

- Polo: -90 (da 0 a -90 attorno a ω_p)
- Zero: +90 (da 0 a +90 attorno a ω_z)

MA: la transizione di fase avviene su **2 decadi** ($\omega/10$ a 10ω)

⇒ Alla frequenza $\omega_p = \omega_z$:

Polo: -45 Zero: +45

Fase netta a $\omega_p = \omega_z$: $-45 + 45 = 0$

★ MA c'è un TRANSITORIO di fase!

Prima di $\omega_p = \omega_z$ (es. a $\omega_p/10$):

Polo: ≈ 0, Zero: ≈ 0 ⇒ Fase ≈ 0

Dopo $\omega_p = \omega_z$ (es. a $10\omega_p$):

Polo: ≈ -90, Zero: ≈ +90 ⇒ Fase ≈ 0

⇒ Alla fine si compensano, ma **durante la transizione** la fase può avere una "gobba"!

★ RIASSUNTO:

	Modulo	Fase
Effetto	Si compensano	Si compensano
A $\omega_p = \omega_z$	Nessun cambio	0 netto
Transitorio	Nessuno	Possibile "gobba"

⇒ In pratica: polo e zero coincidenti si **cancellano** (semplificazione algebrica)!

Guadagno Reale - Intersezioni

△ ATTENZIONE alle INTERSEZIONI

Problema tipico:

G_A e G_{id} hanno zeri/poli a frequenze diverse \Rightarrow le intersezioni possono essere **non ovvie**.

Caso comune:

- G_A sale poi diventa piatto (a un certo valore)
- G_{id} sale poi diventa piatto (a valore **diverso**)

Domanda: L'intersezione è **prima o dopo** il prossimo polo?

Metodo per ipotesi:

1. **Fai un'ipotesi** su quale tratto (salita/discesa/piatto) interseca

2. Usa le **regole di navigazione**:

- Discesa: $G \cdot f = \text{cost}$
- Salita: $G/f = \text{cost}$

3. Calcola la frequenza di intersezione f_x

4. **Verifica:** Se f_x viene **più alta** del polo successivo \Rightarrow **ipotesi sbagliata!**

Rifai con pendenza diversa (es: crescente invece che decrescente)

Alla fine:

Per ogni frequenza, evidenzia il **punto più basso** tra G_A e $G_{id} \Rightarrow$ ottieni G_{reale}

★ NOTA su A_0 e GBW:

Se non viene dato A_0 ma viene dato τ_0 :

- Potrebbe essere dato il **GBW** (prodotto guadagno-banda)
- Oppure c'è un altro modo per risolvere l'esercizio

Ricorda: $\text{GBW} = A_0 \cdot \omega_p = A_0 / \tau_0$

Calcolo analitico di G_{id} :

Se richiesto esplicitamente, può portare a **equazioni di 2° grado in s** (conti lunghi).

\Rightarrow Raramente richiesto all'esame.

Margine di Fase e Stabilità

★ MARGINE DI FASE e STABILITÀ

Procedimento:

1. Disegna il Bode di G_{loop} (modulo e fase)
2. Trova la **frequenza di crossover** f_c : frequenza dove $|G_{loop}| = 0 \text{ dB}$ (taglia l'asse **orizzontale**)
3. Leggi la **fase** di G_{loop} a f_c : $\phi(f_c)$
4. Calcola il **margine di fase**:

$$\text{PM} = 360 + \phi(f_c)$$

Formula esplicita per $\phi(f_c)$:

$$\phi(f_c) = 180^\circ - \sum_i \arctan\left(\frac{f_c}{f_{pi}}\right) + \sum_j \arctan\left(\frac{f_c}{f_{zj}}\right)$$

- f_c = frequenza di crossover (dove $|G_{loop}| = 0 \text{ dB}$)
- f_{pi} = frequenza del polo i -esimo
- f_{zj} = frequenza dello zero j -esimo

I poli **sottraggono** fase, gli zeri **aggiungono** fase.

Classificazione della stabilità:

Margine di Fase	Sistema
$\text{PM} > 45$	Asintoticamente stabile
$\text{PM} = 0$	Criticamente stabile
$\text{PM} < 0$	Instabile

△ NOTA PRATICA:

- $\text{PM} \approx 60-70$: risposta ben smorzata
- $\text{PM} \approx 45$: leggero overshoot
- $\text{PM} < 45$: oscillazioni/overshoot significativo

Regola: Più alto il PM, più stabile il sistema

△ SISTEMA CON 2 POLI PRIMA DI f_c :

Se f_c viene **dopo** entrambi i poli (cioè $f_{p1}, f_{p2} < f_c$):

\Rightarrow Sistema **SICURAMENTE INSTABILE**

(fase già a -180 prima del taglio)

△ f_c a meno di 1 decade dal 2° polo:

Se $f_{p1} < f_c < f_{p2}$ ma $f_c < 10 \cdot f_{p2}$:

\Rightarrow Il grafico **ideale** della fase **NON è affidabile!**

\Rightarrow Devi calcolare il **PM analiticamente** con gli arctan

Verifica: $f_c > 10 \cdot f_{p2}$? \Rightarrow OK grafico ideale

Es: $f_{p2} = 15.92 \text{ kHz} \Rightarrow$ serve $f_c > 159.2 \text{ kHz}$

Se $f_c = 90.9 \text{ kHz} < 159.2 \text{ kHz} \Rightarrow$ **calcolo analitico!**

Interpretazione grafica:

Il margine di fase è “quanto manca” alla fase per raggiungere -360 (o -180 in alcuni testi) quando il guadagno vale 0 dB .

Se la fase è già oltre -360 quando $|G| = 0 \text{ dB} \Rightarrow$ sistema **instabile**

Stabilità - Senza Crossover

Stabilità: Modulo che **NON taglia 0 dB**

Problema:

Il modulo di G_{loop} rimane **sempre sopra o sempre sotto 0 dB** \Rightarrow non esiste f_c !

Come calcolo il margine di fase se non c'è crossover?

CASO 1: $|G_{loop}| > 0 \text{ dB}$

Il guadagno d'anello è **sempre maggiore di 1**.

Analisi: Guarda la fase a tutte le frequenze:

- Se la fase **non raggiunge mai** -360 :

\Rightarrow Sistema **STABILE**
($\text{PM} > 0$ a tutte le frequenze)

- Se la fase **raggiunge o supera** -360 :

\Rightarrow Sistema **INSTABILE**
(il guadagno è > 1 quando la fase è critica)

CASO 2: $|G_{loop}| < 0 \text{ dB}$

Il guadagno d'anello è **sempre minore di 1**.

\Rightarrow Sistema **SEMPRE STABILE!**

Perché? Anche se la fase raggiunge -360 , il guadagno è < 1 quindi il segnale si **attenua** ad ogni giro dell'anello.

\Rightarrow Le oscillazioni si **smorzano** invece di crescere.

$\text{PM} = \infty$ (o indefinito, ma sistema stabile)

★ REGOLA PRATICA:

Condizione di instabilità (criterio di Barkhausen):

$$|G_{loop}| \geq 1 \quad \text{E} \quad \angle G_{loop} = -360$$

Servono **ENTRAMBE** le condizioni simultaneamente!

- Se $|G_{loop}| < 1$ sempre \Rightarrow **stabile** (non importa la fase)
- Se fase $\neq -360$ sempre \Rightarrow **stabile** (non importa il modulo)

★ RIASSUNTO:

Modulo	Fase	Stabilità
Sempre $< 0 \text{ dB}$	Qualsiasi	STABILE
Sempre $> 0 \text{ dB}$	> -360	STABILE
Sempre $> 0 \text{ dB}$	≤ -360	INSTABILE
Taglia 0 dB	—	Usa PM normale

Stabilità - Segno di G_{loop}

Stabilità dal SEGNO di G_{loop} (senza Bode)

★ REGOLA VELOCE per la stabilità:

In analisi statica (DC, $s = 0$), il segno di G_{loop} determina la stabilità!

$$G_{loop}(0) < 0 \Rightarrow \text{STABILE}$$

$$G_{loop}(0) > 0 \Rightarrow \text{INSTABILE}$$

$G_{loop} < 0$ (NEGATIVO) \Rightarrow STABILE

Il sistema è in retroazione negativa.

Fisicamente: una perturbazione viene contrastata
 \Rightarrow Il sistema torna all'equilibrio

Esempi:

- Buffer: $G_{loop} = -A_0 < 0 \checkmark$
- Amplificatore invertente: $G_{loop} < 0 \checkmark$
- Amplificatore non invertente: $G_{loop} < 0 \checkmark$

$G_{loop} > 0$ (POSITIVO) \Rightarrow INSTABILE

Il sistema è in retroazione positiva.

Fisicamente: una perturbazione viene amplificata
 \Rightarrow Il sistema "scappa" verso saturazione

Esempi:

- Trigger di Schmitt: $G_{loop} > 0$ (bistabile)
- Comparatore con retroaz. positiva

Perché funziona (intuizione):

$G_{loop} = A_0 \cdot \beta$ dove β = fattore di retroazione

- Se β inverte il segno $\Rightarrow G_{loop} < 0 \Rightarrow$ stabile
- Se β mantiene il segno $\Rightarrow G_{loop} > 0 \Rightarrow$ instabile

Il segno negativo indica che il feedback contrasta l'errore!

△ ATTENZIONE - Quando serve Bode:

Questa regola vale per analisi DC (stabilità asintotica).

Per sistemi con poli/zeri a frequenze specifiche, serve comunque il Bode per verificare il margine di fase a tutte le frequenze!

Quando fare il Bode di G_{loop}

Quando fare il Bode di G_{loop} ?

★ SCOPO del Bode di G_{loop} :

Analizzare la STABILITÀ del sistema retroazionato e calcolare il margine di fase.

Quando È UTILE farlo:

1. Verifica stabilità con poli/zeri:

Se il sistema ha singolarità, il segno DC non basta!
 \Rightarrow Serve il margine di fase

2. L'esercizio chiede il margine di fase:

$$\text{PM} = 360 + \phi(f_c)$$

3. Progettare una compensazione:

Per stabilizzare un sistema instabile

4. Trovare G_{reale} a una certa frequenza:

$$G_{reale} = \min(G_A, G_{id}) \text{ dipende da } G_{loop}$$

Quando NON serve farlo:

- Analisi statica (DC): basta il segno di $G_{loop}(0)$
- Sistema semplice senza poli/zeri critici
- Buffer ideale: $G_{loop} = -A_0 < 0 \Rightarrow$ stabile
- Trigger di Schmitt: già sai che è bistabile

★ PROCEDIMENTO Bode di G_{loop} :

1. Apri l'anello (taglia il feedback)
2. Inserisci generatore di test V_t
3. Calcola $G_{loop} = V_y/V_t$
4. Disegna Bode (modulo e fase)
5. Trova f_c dove $|G_{loop}| = 0 \text{ dB}$
6. Leggi fase a $f_c \Rightarrow$ calcola PM

★ RIASSUNTO:

Obiettivo	Serve Bode G_{loop} ?
Stabilità DC	NO (usa segno)
Margine di fase	SÌ
G_{reale} vs frequenza	SÌ
Compensazione	SÌ

OpAmp - Retroazione e Saturazione

Retroazione e Saturazione dell'OpAmp

RETROAZIONE NEGATIVA

Condizione: V_{out} ritorna su V^- (morsetto invertente)

Comportamento:

- Sistema **STABILE**
- L'OpAmp **NON saturata** (lavora in zona lineare)
- Vale l'ipotesi: $V^+ = V^-$
- Vale l'ipotesi: $I^+ = I^- = 0$

⇒ Usare le formule degli amplificatori (inv, non-inv, sommatore...)

RETROAZIONE POSITIVA

Condizione: V_{out} ritorna su V^+ (morsetto non invertente)

Comportamento:

- Sistema **INSTABILE / BISTABILE**
- L'OpAmp **SATURA** sempre!
- $V_{out} = +V_{sat}$ oppure $V_{out} = -V_{sat}$
- **NON vale** $V^+ = V^-$

⇒ L'uscita si comporta come **generatore indipendente**!

★ Come capire DOVE satura:

Con retroazione positiva, confronta V^+ e V^- :

- Se $V^+ > V^- \Rightarrow V_{out} = +V_{sat}$
- Se $V^+ < V^- \Rightarrow V_{out} = -V_{sat}$

L'OpAmp "amplifica" la differenza $V^+ - V^-$ fino a saturare!

★ REGOLA PRATICA - Riconoscimento:

Guarda dove va V_{out} :

- V_{out} torna su V^- ⇒ Retroaz. **NEGATIVA** ⇒ **NON saturata**
- V_{out} torna su V^+ ⇒ Retroaz. **POSITIVA** ⇒ **SATURA**

(Se non c'è retroazione, l'OpAmp è in **anello aperto** e satura!)

△ Caso COMPARATORE (no retroazione):

Senza retroazione, l'OpAmp ha guadagno $A_0 \rightarrow \infty$:

⇒ Anche una piccola differenza $V^+ - V^-$ porta a saturazione!

⇒ $V_{out} = +V_{sat}$ se $V^+ > V^-$, altrimenti $V_{out} = -V_{sat}$

OpAmp - Riconoscere Configurazione

Come Riconoscere la Configurazione

★ REGOLA FONDAMENTALE:

Retroazione = esiste un **percorso** da V_{out} verso un ingresso dell'OpAmp.

Il percorso può passare attraverso:

- Resistenze (R_f)
- Condensatori
- Reti di componenti
- Collegamento diretto (buffer)

⇒ **Non serve** collegamento diretto!

PASSO 1: C'è retroazione?

Parti da V_{out} e chiediti:

"Posso raggiungere V^+ o V^- seguendo un percorso?"

- **SÌ** ⇒ C'è retroazione (vai al passo 2)
- **NO** ⇒ **Anello aperto** (comparatore) ⇒ SATURA!

PASSO 2: Su quale morsetto arriva?

Segui il percorso da V_{out} :

- Arriva su V^- ⇒ **Retroazione NEGATIVA**
⇒ Stabile, NON satura, vale $V^+ = V^-$
- Arriva su V^+ ⇒ **Retroazione POSITIVA**
⇒ Bistabile, SATURA, Trigger di Schmitt

△ ATTENZIONE - Casi misti:

Se V_{out} arriva su **ENTRAMBI** V^+ e V^- :

⇒ Analizza quale retroazione **domina**

⇒ Di solito la negativa (se R_f su V^- è più "forte")

★ TRUCCO VELOCE:

Guarda la resistenza di feedback R_f :

- R_f collega V_{out} a V^- ⇒ Amplificatore (inv/non-inv)
- R_f collega V_{out} a V^+ ⇒ Trigger di Schmitt
- Nessuna R_f ⇒ Comparatore (satura!)

OpAmp - Saturazione dell'Uscita

Saturazione dell'Uscita dell'OpAmp

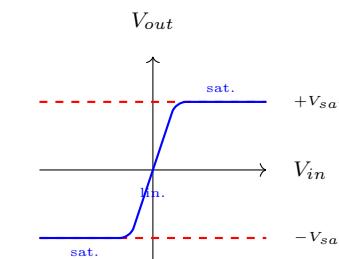
L'uscita dell'OpAmp **non può superare** le tensioni di alimentazione!

Limiti di saturazione:

$$-V_{sat} \leq V_{out} \leq +V_{sat}$$

- $+V_{sat} \approx +V_{DD}$ (alimentazione positiva)
 - $-V_{sat} \approx -V_{SS}$ (o $\approx 0V$ se alim. singola)
- (OpAmp reali: $V_{sat} \approx V_{alim} - 1V \div 2V$)

Caratteristica V_{out} vs V_{in} :



I trattini orizzontali (---) indicano i livelli di saturazione: l'uscita si appiattisce e non segue più l'ingresso!

Zona LINEARE (tra le saturazioni):

$$V_{out} = A_v \cdot V_{in}$$

L'OpAmp amplifica normalmente (pendenza = guadagno A_v)

Zona di SATURAZIONE:

- **Saturazione ALTA:** $V_{out} = +V_{sat}$ (costante)
Si verifica quando V_{in} è "troppo positivo"
 - **Saturazione BASSA:** $V_{out} = -V_{sat}$ (costante)
Si verifica quando V_{in} è "troppo negativo"
- ⇒ L'uscita **non cambia** anche se V_{in} varia!

★ Quando verificare la saturazione:

Dopo aver calcolato V_{out} con le formule, controlla:

Se $V_{out,calc} > +V_{sat} \Rightarrow V_{out} = +V_{sat}$

Se $V_{out,calc} < -V_{sat} \Rightarrow V_{out} = -V_{sat}$

⇒ Le formule valgono **solo** se V_{out} resta nella zona lineare!

OpAmp Rail-to-Rail

OpAmp - Alimentazione Rail-to-Rail

OpAmp Rail-to-Rail:

$$V_{out} \in [V_{ALIM}^-, V_{ALIM}^+]$$

L'uscita può raggiungere (quasi) le tensioni di alimentazione.

(in realtà: piccolo offset di 0.1-0.2V dalle rail)

Limiti su segnali sinusoidali:

Con $V_{in} = A \sin(2\pi f_{int} t)$ e guadagno $G_{id} = \frac{R_2}{R_1}$ (o altro):

- $V_{out} = G_{id} \cdot V_{in}$ (sinusoidale idealmente)
- Ma: V_{out} **clippato** se supera le alimentazioni!
- Ampiezza massima senza distorsione:

$$A_{max} = \frac{V_{ALIM}^+ - V_{ALIM}^-}{2 \cdot |G_{id}|}$$

⚠ Se supera: distorsione (clipping)!

La sinusoide viene "tagliata" ai limiti delle alimentazioni
⇒ forma d'onda distorta (non più sinusoidale).

Esempio:

$V_{ALIM}^+ = +5V$, $V_{ALIM}^- = 0V$, $G_{id} = -10$

$$A_{max} = \frac{5 - 0}{2 \cdot 10} = 0.25V = 250 \text{ mV}$$

Se $A > 250 \text{ mV}$ ⇒ clipping!

OpAmp - Non idealità: Tensione di Offset

Tensione di Offset (V_{OS}):

Differenza di tensione necessaria tra V^+ e V^- per avere $V_{out} = 0$

Condizioni di analisi:

- Siamo in **corrente continua** ⇒ condensatori aperti ($\rightarrow \infty$)
- L'OpAmp in analisi è **ideale**: $V^+ = V^-$ (retroazione negativa)

Metodo di calcolo:

1. Spegnere tutti i generatori d'ingresso
2. Aggiungere V_{OS} a **uno dei due morsetti** (scegliere verso arbitrario)
3. Calcolare il contributo all'uscita:

$$V_{out}|_{V_{OS}} = V_{OS} \cdot G_{ID}$$

dove G_{ID} è il guadagno ideale del circuito

★ IMPORTANTE

- Il verso di V_{OS} è **arbitrario** ⇒ l'effetto finale è $\pm V_{OS} \cdot G_{ID}$
- V_{OS} è un contributo **statistico** con limite superiore e inferiore
- Il contributo si somma algebricamente con gli altri errori (sovraposizione)

OpAmp - Non idealità: Correnti di Bias

Correnti di Bias (I_B^+ e I_B^-):

Correnti che fluiscono negli ingressi dell'OpAmp reale

Condizioni di analisi:

- Siamo in **corrente continua** ⇒ condensatori aperti ($\rightarrow \infty$)
- L'OpAmp in analisi è **ideale**: $V^+ = V^-$ (retroazione negativa)

Rappresentazione nel circuito:

I generatori di corrente I_B^+ e I_B^- si collegano **esternamente ai nodi** V^+ e V^-

(collegamento esterno evita confusione durante sovrapposizione effetti)

- Le correnti possono essere:
 - **Entranti** nell'OpAmp (verso ↓)
 - **Uscenti** dall'OpAmp (verso ↑)

Algoritmo di calcolo:

1. Spegnere tutti i generatori d'ingresso
2. Applicare **sovrapposizione degli effetti** tra I_B^+ e I_B^-
3. Calcolare i contributi separatamente:

$$V_{out}|_{I_B^+} \quad \text{e} \quad V_{out}|_{I_B^-}$$

$$V_{out}|_{I_B} = V_{out}|_{I_B^+} + V_{out}|_{I_B^-}$$

★ NOTE CRUCIALI

- L'OpAmp resta ideale: $V^+ = V^-$ e $i^+ = i^- = 0$ **internamente**
- I generatori I_B sono **esterni** ai nodi, quindi non violano $i^+ = i^- = 0$
- Collegando i generatori **esternamente**, posso applicare sovrapposizione senza ambiguità

OpAmp - Non idealità: Correnti di Offset

Correnti di Offset (I_{OS}):

Contributo **statistico** alle correnti di bias (modellazione dell'incertezza)

Condizioni di analisi:

- Siamo in **corrente continua** \Rightarrow condensatori aperti ($\rightarrow \infty$)
- L'OpAmp in analisi è **ideale**: $V^+ = V^-$ (retroazione negativa)

Rappresentazione nel circuito:

Ogni morsetto ha un contributo pari a $\frac{I_{OS}}{2}$ con **versi opposti**:

- Su V^+ : $+\frac{I_{OS}}{2}$ (verso arbitrario)
- Su V^- : $-\frac{I_{OS}}{2}$ (verso opposto)

I versi opposti modellano l'asimmetria tra i due ingressi

Algoritmo di calcolo:

Come per le correnti di bias: sovrapposizione degli effetti

$$V_{out}|_{I_{OS}} = V_{out}|_{I_{OS}/2, V^+} + V_{out}|_{I_{OS}/2, V^-}$$

★ IMPORTANTE

- I_{OS} è un **contributo statistico** \Rightarrow l'effetto ha limite sup. e inf.
- L'effetto finale è \pm (come V_{OS})
- Si applica sovrapposizione come per I_B (stessa procedura)

OpAmp - Non idealità: Slew Rate

Slew Rate (SR):

Massima pendenza di uscita che l'OpAmp può raggiungere (derivata massima)

$$SR = \left. \frac{d}{dt} (V_{out, OpAmp}) \right|_{MAX}$$

Unità: $V/\mu s$ oppure V/s

Verifica per sinusoidi:

Per $V_{out}(t) = V_{max} \sin(\omega t)$:

$$\frac{dV_{out}}{dt} = V_{max}\omega \cos(\omega t)$$

Derivata massima:

$$\left| \frac{dV_{out}}{dt} \right|_{max} = 2\pi f V_{max}$$

Condizione per evitare distorsione:

$$2\pi f V_{max} \leq SR$$

★ NOTE IMPORTANTI

- Se non specificato, usare G_R (guadagno reale) invece di G_{ID}
- Con più sinusoidi in uscita: se una domina in modulo e frequenza, approssimare V_{out} solo a quella
- SR è **indipendente dal guadagno** (caratteristica dell'OpAmp)

OpAmp - Non idealità: Errore Statico di Guadagno

Errore Statico di Guadagno:

Differenza tra uscita ideale e reale dovuta a G_{loop} finito

Origine: L'OpAmp reale ha $\varepsilon \neq 0$ (segna d'errore non nullo)

Formula errore:

$$\text{Errore} = V_{out, ideale} - V_{out, reale}$$

$$= V_{IN} (G_{ID} - G_{reale}) = V_{IN} \left(G_{ID} - \frac{G_{ID}}{1 - \frac{1}{G_{loop}}} \right)$$

$$\text{Errore} = V_{IN} \cdot \frac{G_{ID}}{1 - G_{loop}}$$

Come trovare l'ERRORE MASSIMO:

Per massimizzare l'errore, osservare la formula:

$$\text{Errore}_{MAX} = V_{IN}|_{MAX} \cdot \frac{G_{ID}|_{MAX}}{1 - G_{loop}|_{MIN}}$$

Strategia:

1. **Massimizzare** V_{IN} (prendere il valore massimo)
2. **Massimizzare** G_{ID} (numeratore)
3. **Minimizzare** G_{loop} (denominatore)

dove $G_{loop}(0)$ è il guadagno d'anello in **continua**

★ TRADE-OFF tra parametri:

Se un parametro **massimizza** G_{ID} ma **NON minimizza** G_{loop} :

\Rightarrow Calcola l'errore per **entrambi i casi** e prendi il **MASSIMO**

Esempio: se R_1 alta $\rightarrow G_{ID}$ alto ma G_{loop} alto (errore basso)
e R_1 bassa $\rightarrow G_{ID}$ basso ma G_{loop} basso (errore ?)

\Rightarrow Calcola errore per entrambi i valori di R_1 e scegli il peggiore!

★ NOTE

- Più grande è G_{loop} , più piccolo è l'errore
- Per ADC/DAC: errore accettabile se < 1 LSB
- Con più ingressi: applicare sovrapposizione degli effetti

Risposta al Gradino - Sistema 1° Ordine

Sistema del primo ordine:

$$T(s) = \frac{K}{1+s\tau}$$

Dove:

- K = costante (guadagno statico)
- τ = costante di tempo (coefficiente di s)
- Polo in $\omega_p = \frac{1}{\tau}$

Risposta al gradino di ampiezza X_0 :

L'uscita ha andamento esponenziale:

$$y(t) = K \cdot X_0 \cdot \left(1 - e^{-t/\tau}\right)$$

Valore asintotico (per $t \rightarrow \infty$):

$$y_\infty = K \cdot X_0$$

Dove X_0 può essere una tensione o una corrente.

⚠ ATTENZIONE al segno di K :

- Se $K > 0$: esponenziale **crescente** (parte da 0, sale verso $K \cdot X_0$)
- Se $K < 0$: esponenziale **decrescente** (parte da 0, scende verso $K \cdot X_0$)

Parametri chiave:

- τ = costante di tempo (si legge direttamente dal denominatore come coefficiente di s)
- Dopo $t = 5\tau$ l'uscita raggiunge $\approx 99\%$ del valore finale

Caso con due poli (raro in questo corso):

$$T(s) = \frac{K}{(1+s\tau_1)(1+s\tau_2)}$$

Se i due poli sono **ben separati** (uno molto più lento dell'altro), la dinamica è dominata dal **polo a frequenza minore** (quello con τ maggiore).

In questo caso si può approssimare il sistema come se avesse un solo polo dominante.

OpAmp - Analisi Dinamica

OpAmp - Analisi Dinamica con Condensatore

Quando un circuito OpAmp include condensatori, il comportamento dinamico introduce poli/zeri.

Procedimento generale:

1. Calcolare Z_{eq} (impedenza equivalente nel dominio s)
2. Calcolare $G_{ID}(s)$ (guadagno ideale in frequenza)
3. Identificare poli e zeri dalla forma di $G_{ID}(s)$
4. Determinare il tipo di filtro (passa-alto, passa-basso, passa-banda)

Esempio - Filtro Passa-Alto:

Circuito con R_1, C_1 in serie all'ingresso:

$$Z_{eq} = R_1 + \frac{1}{sC_1} = \frac{1 + sC_1 R_1}{sC_1}$$

Guadagno ideale (es. con R_f in retroazione):

$$G_{ID}(s) = -\frac{R_f}{Z_{eq}} = -\frac{sC_1 R_f}{1 + sC_1 R_1}$$

• **Zero nell'origine**: s al numeratore

• **Polo**: $\omega_p = \frac{1}{C_1 R_1} \Rightarrow f_p = \frac{1}{2\pi C_1 R_1}$

Interpretazione:

- Zero nell'origine \Rightarrow **Filtro passa-alto**
- Il polo f_p determina la frequenza di taglio
- Per far passare tutto il segnale: porre f_p **sotto** la freq. minima del segnale

★ IMPORTANTE

- In continua ($s = 0$): condensatori aperti, calcola $G_{ID}(0)$
- In dinamica: usa Laplace e analizza poli/zeri
- Il condensatore introduce memoria \Rightarrow risposta transitoria

OpAmp Non Compensato - Stabilità

OpAmp Non Compensato - 2 Poli

Un OpAmp **non compensato** ha una funzione di trasferimento con **due poli**:

★ Funzione di trasferimento:

$$A(s) = \frac{A_0}{(1 + s/\omega_1)(1 + s/\omega_2)}$$

dove:

- ω_1 = primo polo (dominante, frequenza bassa)
- ω_2 = secondo polo (frequenza alta)
- A_0 = guadagno DC

△ PROBLEMA nel BUFFER:

Un OpAmp a **2 poli** usato in configurazione buffer (guadagno = 1) **NON garantisce stabilità!**

- Margine di fase può essere **insufficiente**
- Rischio di **oscillazioni**

Il sistema può oscillare perché il loop gain attraversa 0 dB con pendenza -40 dB/dec (dovuto ai 2 poli).

★ BUFFER con OpAmp a SINGOLO POLO:

$$A(s) = \frac{A_0}{1 + s/\omega_1}$$

\Rightarrow **SEMPRE STABILE** in configurazione buffer!

- Margine di fase = 90° (pendenza -20 dB/dec)
- Nessun rischio di oscillazioni
- Utilizzabile direttamente senza preoccupazioni

Trade-off con retroazione:

Per OpAmp non compensato con retroazione negativa:

- Aumentando $\frac{R_1+R_2}{R_1}$ (cioè il guadagno) si aumenta f_T
- Ma si **riduce** il margine di stabilità
- Massima stabilità quando $f_T = f_1$ (frequenza primo polo)

Grafico Bode: mostrare intersezione loop gain con 0 dB e margine di fase

Integratore OpAmp - Ideale

Integratore con OpAmp - Ideale

Schema circuitale:

- Resistenza R tra V_{in} e ingresso invertente (-)
- Condensatore C tra uscita e ingresso invertente (retroazione)
- Ingresso non invertente (+) a GND

★ EQUAZIONE DIFFERENZIALE:

$$\frac{dV_{out}}{dt} = -\frac{1}{RC} \cdot V_{in}(t)$$

Soluzione (integrale):

$$V_{out}(t) = -\frac{1}{RC} \int_0^t V_{in}(\tau) d\tau + V_{out}(0)$$

Funzione di trasferimento (dominio s):

$$G_{id}(s) = \frac{V_{out}(s)}{V_{in}(s)} = -\frac{1}{sRC}$$

- Filtro **passa-basso** del primo ordine
- Guadagno aumenta a basse frequenze ($\propto 1/f$)
- Sfasamento: -90° (+ inversione da segno -)

Esempio - Ingresso a gradino:

- $V_{in} = V_0 \cdot u(t)$ (costante)
- $V_{out}(t) = -\frac{V_0}{RC} \cdot t$ (**rampa lineare!**)

Esempio - Ingresso sinusoidale:

- $V_{in} = A \sin(\omega t)$
- $V_{out} = \frac{A}{\omega RC} \cos(\omega t)$ (sfasato 90° , invertito)

Integratore Reale - Problema I_B

Integratore REALE - Problema I_B

△ PROBLEMA con OpAmp REALE:

La corrente di bias I_B carica il condensatore anche con $V_{in} = 0$!

$$\frac{dV_C}{dt} = \frac{I_B}{C}$$

$\Rightarrow V_{out}$ aumenta linearmente fino alla **saturazione** (V_{sat})

\Rightarrow L'integratore si **satura** anche senza ingresso!

In pratica: $V_C(t) = \frac{I_B}{C} \cdot t + V_0 \rightarrow V_{alim}$

★ SOLUZIONE: Resistenza R_2 in parallelo a C

Aggiungere R_2 in parallelo al condensatore:

- Permette **scarica DC** del condensatore
- Elimina deriva dovuta a I_B
- Mantiene comportamento integratore per AC

Scelta di R_2 :

- R_2 abbastanza **grande**: non degrada troppo l'integrazione
- R_2 abbastanza **piccola**: previene saturazione

Tipicamente: $R_2 \approx 10 \cdot R$ oppure $R_2 > \frac{V_{sat}}{I_B}$

Funzione di trasferimento modificata:

$$G(s) = -\frac{R_2/R}{1 + sR_2C}$$

- A **bassa frequenza**: integratore perfetto
- A **DC** ($s = 0$): guadagno finito $-R_2/R$ (no saturazione!)
- Polo a $f_p = \frac{1}{2\pi R_2 C}$

DAC R-2R - Deviatori e V_{out}

Deviatori (Switch):

- $S_i = 1 \Rightarrow$ deviatore **CHIUSO** (corrente passa)
- $S_i = 0 \Rightarrow$ deviatore **APERTO** (corrente non passa)

Tutti aperti ($S_0 = S_1 = S_2 = 0$):

$R_{eq} = \infty \Rightarrow$ utile per calcolo errore con V_{offset}

Formula V_{out} (DAC R-2R a 3 bit):

$$V_{out} = -I_F \cdot R_F$$

dove I_F = corrente di feedback:

$$I_F = I \cdot S_0 + 2I \cdot S_1 + 4I \cdot S_2$$

Quindi:

$$V_{out} = -I \cdot R_F \cdot (S_0 + 2S_1 + 4S_2)$$

I “+” funzionano come OR: solo i bit a 1 contribuiscono!

DAC - FSR e LSB

FSR e LSB (DAC a N bit):

LSB (Least Significant Bit):

Tensione corrispondente al bit meno significativo:

$$\text{LSB} = V_{out}(000\dots1) = I \cdot R_F$$

FSR (Full Scale Range):

Escursione massima dell'uscita:

$$\text{FSR} = V_{out,max} - V_{out,min}$$

Con $V_{out,min} = 0$ (tutti i bit a 0):

$$\text{FSR} = V_{out}(111\dots1) = \text{LSB} \cdot 2^N$$

Relazione LSB-FSR:

$$\text{LSB} = \frac{\text{FSR}}{2^N}$$

Nota: Più bit $N \Rightarrow$ LSB più piccolo \Rightarrow risoluzione migliore

DAC - DNL (1/2)

DNL (Differential Non-Linearity)

Misura lo **scostamento** tra il gradino reale e quello ideale nella caratteristica V_{out} vs S_{in} .

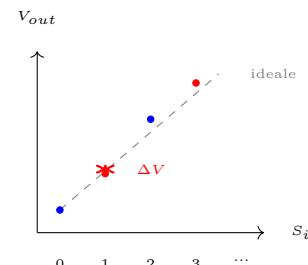
DNL Assoluta (in Volt):

$$\text{DNL}_{ABS}(i) = V_{out}(i) - V_{out}(i-1) - \text{LSB}$$

DNL Relativa (in LSB):

$$\text{DNL}_{REL}(i) = \frac{\text{DNL}_{ABS}(i)}{\text{LSB}}$$

Caratteristica V_{out} vs S_{in} (word):



DAC - DNL (2/2)

Calcolo pratico:

Se l'errore è su un **pattern** (es. tutti i dispari):

1. Calcola V_{out} per un **solo caso** (es. word = 1)
2. Trova $\text{DNL}_{ABS} = V_{out,reale}(1) - V_{out,ideale}(1)$
3. Dividi per LSB $\Rightarrow \text{DNL}_{REL}$

Nota: La word 0 non si calcola (nessun gradino precedente)

\triangle **ATTENZIONE** ai gradini di “ritorno”:

Se da 0→1 ho un gradino di $-\Delta V$ (es. -100 mV):

- $V_{out}(1)$ è **sotto** la retta ideale

Quando passo da 1→2 (e 2 è **corretto**):

- Devo “recuperare” il ΔV perso!
- Il gradino 1→2 sarà di $+\Delta V$ rispetto all'ideale

\Rightarrow **DNL alternata**: $-\Delta V, +\Delta V, -\Delta V, \dots$

Interpretazione DNL:

- $\text{DNL}_{REL} = 0 \Rightarrow$ gradino perfetto
- $\text{DNL}_{REL} > 0 \Rightarrow$ gradino più grande
- $\text{DNL}_{REL} < 0 \Rightarrow$ gradino più piccolo
- $\text{DNL}_{REL} = -1 \Rightarrow$ **missing code**

DAC - Dinamica Transizioni (OpAmp reale)

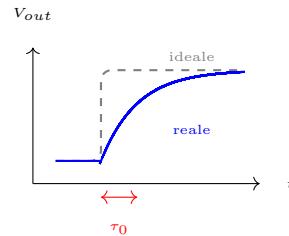
Dinamica delle Transizioni (OpAmp reale)

Caso ideale: transizione istantanea (gradino perfetto)

Caso reale: OpAmp con guadagno finito e polo

$$A(s) = \frac{A_0}{1 + s\tau_0}$$

⇒ La transizione è un **esponenziale** con $\tau = \tau_0$



Transizione (es. da 000 a 100):

$$V_{out}(t) = V_{finale} \cdot \left(1 - e^{-t/\tau_0}\right)$$

dove τ_0 = costante di tempo del polo dell'OpAmp

Nota: τ_0 limita la **velocità** del DAC (settling time)

△ Configurazione influenza G_{loop} :

Al cambiare della **word** (configurazione deviatori), cambia la R_{eq} vista dall'OpAmp.

⇒ Cambia il **guadagno d'anello** G_{loop}

⇒ Cambia il **guadagno reale** G_{reale}

⇒ Cambiano i **tempi di propagazione!**

Conseguenza: Il settling time dipende dalla word

DAC a Correnti Pesate

DAC a Correnti Pesate

Ogni bit controlla un **generatore di corrente** con peso binario. Le correnti vengono sommate e convertite in tensione.

Principio di funzionamento:

Ogni bit S_i attiva un generatore di corrente I_i :

$$I_i = 2^i \cdot I_{LSB}$$

dove I_{LSB} = corrente del bit meno significativo.

Corrente totale:

$$I_{tot} = I_{LSB} \cdot (S_0 \cdot 2^0 + S_1 \cdot 2^1 + \cdots + S_{N-1} \cdot 2^{N-1})$$

Semplificando:

$$I_{tot} = I_{LSB} \cdot \sum_{i=0}^{N-1} S_i \cdot 2^i$$

Formula V_{out} :

Con OpAmp in configurazione transimpedenza:

$$V_{out} = -I_{tot} \cdot R_F$$

$$V_{out} = -I_{LSB} \cdot R_F \cdot (S_0 + 2S_1 + 4S_2 + \cdots)$$

★ ATTENZIONE al VERSO della corrente!

Il segno di V_{out} dipende dal **verso** della corrente:

- Corrente **entrante** nel nodo V^- (verso il basso):

$$V_{out} = +R_F \cdot I_{in}$$

- Corrente **uscente** dal nodo V^- (verso l'alto):

$$V_{out} = -R_F \cdot I_{in}$$

Regola: Guarda il verso della freccia della corrente nel circuito!

DAC Correnti Pesate - Deviatori

Deviatori (Switch):

- $S_i = 1 \Rightarrow$ corrente I_i va verso il **sommatore**
- $S_i = 0 \Rightarrow$ corrente I_i va verso **massa**

Nota: Le correnti scorrono **sempre**, cambiano solo direzione!

△ Se una corrente cambia (es. $I_2 \rightarrow I'_2$):

- Solo il contributo di quel bit cambia
- Gli altri bit **non sono influenzati**

Errore: $\Delta V = (I'_2 - I_2) \cdot R_F \cdot S_2$

★ L'errore c'è SOLO se $S_i = 1$!

FSR e LSB:

$$\text{LSB} = I_{LSB} \cdot R_F$$

$$\text{FSR} = \text{LSB} \cdot 2^N$$

DAC Correnti Pesate - DNL

DNL nel DAC a Correnti Pesate

DNL Assoluta (in Volt):

$$\text{DNL}_{ABS}(i) = V_{out}(i) - V_{out}(i-1) - \text{LSB}$$

DNL Relativa (in LSB):

$$\text{DNL}_{REL}(i) = \frac{\text{DNL}_{ABS}(i)}{\text{LSB}}$$

Calcolo pratico:

Se una corrente I_k è errata:

- L'errore appare su tutte le word con $S_k = 1$
- Basta calcolare V_{out} per **una** word con $S_k = 1$

Nota: La word 0 **non si calcola**

△ Gradini di “ritorno”:

Stesso principio del DAC R-2R:

Se 0→1 ha DNL = $-\Delta V$, allora 1→2 (se corretto) ha DNL = $+\Delta V$

⇒ **DNL alternata** sui pattern affetti

DAC Correnti Pesate - Dinamica

Dinamica delle Transizioni

Caso ideale: transizione istantanea

Caso reale: OpAmp con guadagno finito e polo

$$A(s) = \frac{A_0}{1 + s\tau_0}$$

⇒ Transizione esponenziale con $\tau = \tau_0$

Transizione:

$$V_{out}(t) = V_{finale} \cdot \left(1 - e^{-t/\tau_0}\right)$$

△ Configurazione influenza G_{loop} :

Al cambiare della **word**, cambia l'impedenza vista dall'OpAmp.

⇒ Cambia G_{loop} ⇒ Cambia G_{reale}

⇒ Cambiano i **tempi di propagazione**!

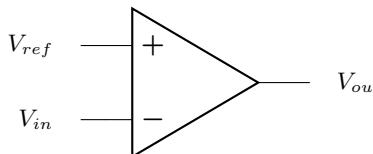
Conseguenza: Settling time **dipende dalla word**

Comparatore a Singola Soglia

Comparatore a Singola Soglia

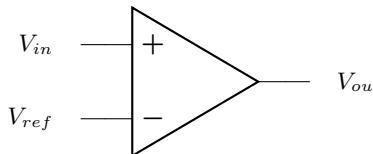
Confronta V_{in} con una tensione di riferimento V_{ref} (soglia unica).

INVERTENTE (V_{in} su V^- , V_{ref} su V^+):



$$V_{out} = \begin{cases} +V_{sat} & \text{se } V_{in} < V_{ref} \\ -V_{sat} & \text{se } V_{in} > V_{ref} \end{cases}$$

NON INVERTENTE (V_{in} su V^+ , V_{ref} su V^-):



$$V_{out} = \begin{cases} +V_{sat} & \text{se } V_{in} > V_{ref} \\ -V_{sat} & \text{se } V_{in} < V_{ref} \end{cases}$$

Soglia unica: $V_{TH} = V_{ref}$

\triangle PROBLEMA: Rumore!

Se $V_{in} \approx V_{ref}$, piccole oscillazioni causano **commutazioni multiple** indesiderate.

\Rightarrow Soluzione: Comparatore a doppia soglia (isteresi)

Trigger di Schmitt - Tabella Comparativa

Trigger di Schmitt - Regola Base

★ REGOLA UNIVERSALE (vale SEMPRE):

Condizione	Uscita
$V^+ > V^-$	$V_{out} = +V_{sat}$ (HIGH)
$V^+ < V^-$	$V_{out} = -V_{sat}$ (LOW)

\Rightarrow Questa regola vale per **qualsiasi** OpAmp!

★ TABELLA COMPARATIVA INV vs NON INV:

Tipo	$V_{in} \uparrow$	$V_{in} \downarrow$
INV	$V_{out} \rightarrow -V_{sat}$	$V_{out} \rightarrow +V_{sat}$
NON INV	$V_{out} \rightarrow +V_{sat}$	$V_{out} \rightarrow -V_{sat}$

Perché?

- **INV:** V_{in} entra su V^- , quindi $V_{in} \uparrow \Rightarrow V^- \uparrow \Rightarrow V^- > V^+ \Rightarrow$ LOW
- **NON INV:** V_{in} entra su V^+ , quindi $V_{in} \uparrow \Rightarrow V^+ \uparrow \Rightarrow V^+ > V^- \Rightarrow$ HIGH

\triangle SCHEMA MENTALE:

1. Guarda dove entra V_{in} (V^+ o V^- ?)
2. Se V_{in} sale, quel terminale sale
3. Applica regola: $V^+ > V^- \Rightarrow$ HIGH, $V^+ < V^- \Rightarrow$ LOW
 \Rightarrow L'uscita "segue" chi vince tra V^+ e V^- !

Comparatore - Rumore vs Isteresi

Comparatore Semplice vs con Isteresi

\triangle PROBLEMA - Comparatore a soglia singola:

Quando $V_{in} \approx V_{soglia}$ e c'è rumore:

- L'uscita commuta **multiple volte** (chatter)
- Transizioni spurie e instabilità
- Impossibile contare correttamente gli attraversamenti

Grafico: V_{in} con rumore che oscilla attorno alla soglia

Se V_{in} = segnale reale + rumore, ogni piccola variazione causa commutazione!

★ SOLUZIONE - Isteresi (Trigger di Schmitt):

Due soglie diverse: V_{LH} (basso→alto) e V_{HL} (alto→basso)

$$\text{Banda morta} = |V_{HL} - V_{LH}|$$

- Previene transizioni spurie
- Immunità al rumore
- Il rumore deve superare **ENTRAMBE** le soglie per causare commutazione
 \Rightarrow Il sistema è **stabile** anche in presenza di rumore fino a $\Delta V < |V_{HL} - V_{LH}|$

Dimensionamento banda morta:

- Banda morta **troppo stretta**: rumore può ancora causare problemi
- Banda morta **troppo larga**: perdita di precisione nella soglia

Regola pratica: Banda morta $\approx 2-3 \times$ ampiezza rumore attesa

Trigger di Schmitt - Funzionamento

Come Funziona il Trigger di Schmitt

INVERTENTE (V_{in} su V^- , feedback su V^+)

Idea: L'ingresso "combatte" contro la retroazione positiva.

- V_{in} basso $\Rightarrow V^- < V^+ \Rightarrow V_{out} = +V_{sat}$

$$\text{La retroazione porta } V^+ = +V_{sat} \cdot \frac{R_1}{R_1+R_2} = V_{TH}$$

- V_{in} sale e supera $V_{TH} \Rightarrow V^- > V^+ \Rightarrow \text{COMMUTA!}$

$$V_{out} = -V_{sat} \Rightarrow \text{ora } V^+ = V_{TL} \text{ (soglia si abbassa!)}$$

- V_{in} scende sotto $V_{TL} \Rightarrow V^- < V^+ \Rightarrow \text{COMMUTA!}$

Comportamento: $V_{in} \uparrow \Rightarrow V_{out} \downarrow$ (invertente!)

NON INVERTENTE (V_{in} e feedback entrambi su V^+)

Idea: Ingresso e retroazione si "sommano" su V^+ .

- V_{in} basso $\Rightarrow V^+$ basso $\Rightarrow V^+ < V^- \Rightarrow V_{out} = -V_{sat}$
Retroazione "tira giù" ancora di più V^+

- V_{in} sale abbastanza da vincere retroazione negativa:
 $V^+ > V^- \Rightarrow \text{COMMUTA!}$ $V_{out} = +V_{sat}$
Ora retroazione "aiuta" a tenere V^+ alto

- V_{in} deve scendere molto per ricommutare

Comportamento: $V_{in} \uparrow \Rightarrow V_{out} \uparrow$ (non invertente!)

Perché c'è isteresi?

La retroazione positiva sposta la soglia dopo ogni commutazione!

- Dopo $V_{out} = +V_{sat}$: soglia diventa V_{TH} (alta)
- Dopo $V_{out} = -V_{sat}$: soglia diventa V_{TL} (bassa)

\Rightarrow Servono variazioni più grandi di V_{in} per commutare \Rightarrow immunità al rumore

Trigger di Schmitt - Caratteristica

Disegno Caratteristica V_{out} vs V_{in}

★ REGOLE FONDAMENTALI:

1. $V_{in} < V_{TL}$ E $V_{in} < V_{TH}$ (sotto entrambe):
 $\Rightarrow V_{out}$ è determinata (HIGH o LOW)

2. $V_{in} > V_{TL}$ E $V_{in} > V_{TH}$ (sopra entrambe):
 $\Rightarrow V_{out}$ è determinata (opposta al caso 1)

3. $V_{TL} < V_{in} < V_{TH}$ (fra le due soglie):
 $\Rightarrow V_{out}$ mantiene il valore precedente

Regola pratica:

"Per commutare devo attraversare la **soglia più lontana**"

\Rightarrow Da HIGH: devo scendere sotto V_{TL}

\Rightarrow Da LOW: devo salire sopra V_{TH}

Esempio con ingresso triangolare:

1. Partenza: V_{in} molto basso $\Rightarrow V_{out}$ determinata
2. V_{in} sale, supera V_{TL} : nessuna commutazione
3. V_{in} supera V_{TH} : COMMUTA!
4. V_{in} scende, rientra sotto V_{TH} : nessuna commutazione
5. V_{in} scende sotto V_{TL} : COMMUTA!

★ METODO DI ANALISI TRIGGER:

1. Riconoscere che è retroazione positiva:
 V_{out} torna su V^+ ? \Rightarrow È un **Trigger di Schmitt**!
2. Calcolare V^+ e V^- in funzione di V_{in} e V_{out}
(usare partitore/sovraposizione)
3. Trovare le soglie: valori di V_{in} per cui $V^+ = V^-$
 \Rightarrow Con $V_{out} = +V_{sat}$: trovo V_{TH}
 \Rightarrow Con $V_{out} = -V_{sat}$: trovo V_{TL}

Calcolo V^+ con sovrapposizione:

Trigger NON INV (V^- a massa):

V^- non influisce su V_{out} (contributo = 0)

\Rightarrow Calcolare solo contributo di V_{in} e V_{out} su V^+

Trigger di Schmitt - Calcolo Soglie

Calcolo Dettagliato delle Soglie

INVERTENTE (V_{in} su V^- , R_1-R_2 su V^+)

Passo 1: $V^- = V_{in}$ (collegamento diretto)

Passo 2: $V^+ =$ partitore tra V_{out} e massa:

$$V^+ = V_{out} \cdot \frac{R_1}{R_1 + R_2}$$

Passo 3: Soglia quando $V^+ = V^-$:

$$V_{in} = V_{out} \cdot \frac{R_1}{R_1 + R_2}$$

Passo 4: Sostituisco $V_{out} = \pm V_{sat}$:

$$\Rightarrow V_{TH} = +V_{sat} \cdot \frac{R_1}{R_1+R_2} \text{ (quando } V_{out} \text{ è HIGH)}$$

$$\Rightarrow V_{TL} = -V_{sat} \cdot \frac{R_1}{R_1+R_2} \text{ (quando } V_{out} \text{ è LOW)}$$

NON INVERTENTE (V_{in} e V_{out} entrambi su V^+)

Passo 1: $V^- = 0$ (a massa)

Passo 2: V^+ con sovrapposizione:

$$V^+ = V_{in} \cdot \frac{R_2}{R_1 + R_2} + V_{out} \cdot \frac{R_1}{R_1 + R_2}$$

Passo 3: Soglia quando $V^+ = V^- = 0$:

$$V_{in} \cdot \frac{R_2}{R_1 + R_2} + V_{out} \cdot \frac{R_1}{R_1 + R_2} = 0$$

$$V_{in} = -V_{out} \cdot \frac{R_1}{R_2}$$

Passo 4: Sostituisco $V_{out} = \pm V_{sat}$:

$$\Rightarrow V_{TH} = -V_{sat} \cdot \frac{R_1}{R_2} \text{ (quando } V_{out} \text{ è LOW, per salire)}$$

$$\Rightarrow V_{TL} = +V_{sat} \cdot \frac{R_1}{R_2} \text{ (quando } V_{out} \text{ è HIGH, per scendere)}$$

Nota: nel non invertente $V_{TL} > V_{TH}$ (soglie "invertite")

△ ATTENZIONE - V_{ref} generale:

Le soglie vanno sempre calcolate in funzione di V_{ref} !

Se V^- non è a massa ma a V_{ref} :

$$V^+ = V^- = V_{ref} \Rightarrow \text{soglie traslate di } V_{ref}$$

Con correnti di bias I_B : se presenti, possono modificare le tensioni sui nodi \Rightarrow ricalcolare le soglie tenendo conto della caduta $I_B \cdot R$

Trigger di Schmitt - Metodo Calcolo Soglie

★ METODO per Calcolare le Soglie

STEP 1: Identificare il tipo

- V_{in} entra su $V^- \Rightarrow$ INVERTENTE
- V_{in} entra su $V^+ \Rightarrow$ NON INVERTENTE

STEP 2: Scrivere le equazioni dei nodi

Per ogni ingresso (V^+ e V^-), scrivi la tensione:

- Se collegato diretto: $V = V_{sorgente}$
- Se partitore resistivo: usa sovrapposizione

Sovrapposizione (nodo con più sorgenti):

$$V_{nodo} = \sum_i V_i \cdot \frac{R_{eq,i}}{R_{tot}}$$

dove $R_{eq,i}$ = parallelo di tutte le R tranne quella verso V_i

STEP 3: Imporre la condizione di commutazione

La commutazione avviene quando:

$$\boxed{V^+ = V^-}$$

Sostituisci le equazioni dello Step 2 e risolvi per V_{in}

STEP 4: Calcolare V_{TH} e V_{TL}

Nell'equazione $V^+ = V^-$ compare V_{out} :

- Metti $V_{out} = +V_{sat} \Rightarrow$ ottieni una soglia
- Metti $V_{out} = -V_{sat} \Rightarrow$ ottieni l'altra soglia

Quale è V_{TH} e quale V_{TL} ?

V_{TH} = soglia da superare salendo

V_{TL} = soglia da superare scendendo

△ VERIFICA FINALE:

- INV: $V_{TH} > V_{TL}$ (soglie "normali")
- NON INV: $V_{TL} > V_{TH}$ (soglie "invertite" nel nome!)
- Isteresi: $\Delta V = |V_{TH} - V_{TL}|$

ADC - Introduzione

ADC (Analog-to-Digital Converter)

Converte un segnale **analogico** (tensione) in un segnale **digitale** (word a N bit).

Input: Tensione analogica V_{in}

Output: Word digitale a N bit

Range di ingresso:

L'ADC può convertire **solo** tensioni nel range:

$$V_{SS} \leq V_{in} \leq V_{DD}$$

dove V_{SS} = tensione di alimentazione bassa, V_{DD} = tensione di alimentazione alta.

Principio di funzionamento:

L'ADC suddivide internamente il range $[V_{SS}, V_{DD}]$ in 2^N **intervalli** (livelli di quantizzazione).

Ogni tensione in ingresso viene "collocata" in uno di questi intervalli \Rightarrow associata a una word digitale.

Risoluzione: $\Delta V = \frac{V_{DD}-V_{SS}}{2^N}$

△ PROBLEMA: Segnale fuori range!

Se $V_{in} < V_{SS}$ o $V_{in} > V_{DD}$, l'ADC **non può convertire** correttamente!

Soluzione: Serve un **blocco di condizionamento** (amplificatore + offset) prima dell'ADC per adattare il segnale al range $[V_{SS}, V_{DD}]$.

Catena di Acquisizione

Catena di Acquisizione

Schema tipico per acquisire un segnale analogico:



1. Condizionamento (opzionale):

Amplificatore + offset per adattare V_{in} al range ADC

$$V_{out} = A \cdot V_{in} + V_{offset}$$

2. Sample & Hold (S&H):

"Congela" il valore di V_{in} durante la conversione

3. ADC:

Converte la tensione "congelata" in word digitale

Perché serve il S&H?

L'ADC impiega un **tempo finito** per convertire. Se V_{in} varia durante la conversione, il risultato è **errato**!

\Rightarrow Il S&H "memorizza" il valore all'istante di campionamento

★ Semplificazione S&H:

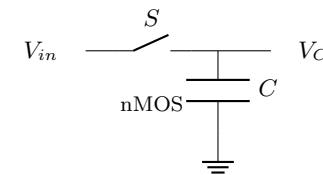
In prima approssimazione il S&H **non introduce offset né guadagno**.

\Rightarrow Per l'**adattamento** tra V_{in} e ADC, il S&H si considera come un **filo** (passa la tensione inalterata).

Sample & Hold

Sample & Hold (S&H)

Circuito che "memorizza" una tensione analogica.



Fase di SAMPLE (interruttore chiuso):

Il condensatore C si carica a V_{in}

$$V_C = V_{in}$$

Il condensatore "segue" le variazioni di V_{in}

Fase di HOLD (interruttore aperto):

L'interruttore si apre \Rightarrow il condensatore **rimane carico** a $V_{in,0}$ (valore all'istante di apertura)

V_{in} può variare (es. oscillare a $V_{in,3}$), ma V_C resta **fermo** a $V_{in,0}$

\Rightarrow L'ADC converte con calma $V_{in,0}$ senza essere influenzato da oscillazioni!

★ È una MEMORIA ANALOGICA!

Il condensatore "ricorda" il valore di tensione all'istante del campionamento.

Perché C non si scarica in fase di HOLD?

- Verso sinistra: interruttore **aperto!**
- Verso destra: ingresso ADC ha **impedenza infinita** (idealmente)
 \Rightarrow Nessun percorso di scarica $\Rightarrow V_C$ resta costante

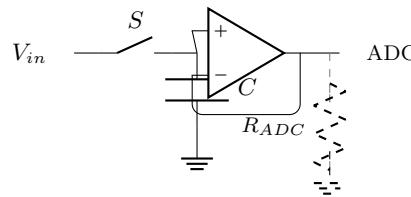
Implementazione tipica: nMOS (interruttore) + Condensatore

Sample & Hold con Buffer

Sample & Hold con Buffer

Nella realtà, l'ADC ha una resistenza finita verso GND \Rightarrow il condensatore si scaricherebbe lentamente!

Soluzione: Aggiungere un OpAmp a guadagno 1 (buffer)



Come funziona:

- Il buffer ha guadagno 1: $V_{out} = V^+ = V_C$
- L'ADC vede una **replica** della tensione sul condensatore
- L'ingresso V^+ dell'OpAmp ha impedenza **infinita**

\Rightarrow Il condensatore **non si scarica** anche se R_{ADC} è bassa!

Funzione del buffer:

Separa il condensatore dall'ADC (disaccoppiamento di impedenza)

- **Ingresso** buffer: impedenza ∞ (non carica C)
- **Uscita** buffer: impedenza ≈ 0 (pilota R_{ADC})

$\Rightarrow C$ "vede" impedenza infinita, ADC "vede" sorgente ideale

\triangle Senza buffer:

Se R_{ADC} fosse finita (anche alta), il condensatore si scaricherebbe lentamente attraverso R_{ADC} durante la fase di HOLD.

\Rightarrow Errore nella conversione (tensione che "cala" nel tempo)

Buffer - Dimensionamento Dinamico

Buffer - Dimensionamento per Risposta in Frequenza

Quando il buffer include componenti reattivi (condensatori), il sistema ha risposta in frequenza.

Esempio: Amplificatore + Buffer con accoppiamento AC

Circuito con amplificatore (guadagno G_1) seguito da buffer ($G_{buffer} = 1$):

- C_1, R_1 all'ingresso dell'amplificatore (accoppiamento AC)
- R_2 in retroazione sull'amplificatore

Analisi:

$$\text{Impedenza di ingresso: } Z_{eq} = R_1 + \frac{1}{sC_1}$$

Guadagno ideale dell'amplificatore:

$$G_{ID}(s) = -\frac{R_2}{Z_{eq}} = -\frac{sC_1 R_2}{1 + sC_1 R_1}$$

- **Zero nell'origine** \Rightarrow Filtro passa-alto

$$\bullet \text{ Polo: } f_p = \frac{1}{2\pi C_1 R_1}$$

Criterio di dimensionamento:

Per garantire che **tutta la banda del segnale** passi inalterata:

$$f_p \leq f_{segnalet, min}$$

Dove $f_{segnalet, min}$ è la frequenza **minima** del segnale d'ingresso.

Esempio: Se il segnale ha componenti ≥ 10 Hz, porre $f_p = 10$ Hz:

$$C_1 = \frac{1}{2\pi f_p R_1}$$

★ IMPORTANTE

- Il buffer ($G = 1$) **non modifica** il guadagno, solo isola l'ADC
- La dinamica è determinata dall'**amplificatore**, non dal buffer
- Garantire f_p basso permette al segnale di passare integralmente

ADC - Adattamento e Dinamica

Adattamento del Segnale (Fitting)

Obiettivo: Sfruttare al meglio l'**escursione** (dinamica) dell'ADC.

★ PROBLEMA TIPICO D'ESAME:

Dato un segnale $V_{in} \in [V_{in,min}, V_{in,max}]$, progettare il circuito di condizionamento per **mappare** il segnale sull'intero range ADC [V_{SS}, V_{DD}].

Mappatura lineare:

Si vuole che:

- $V_{in,min} \rightarrow V_{SS}$
- $V_{in,max} \rightarrow V_{DD}$

Formula del condizionamento:

$$V_{ADC} = A \cdot V_{in} + V_{offset}$$

Guadagno:

$$A = \frac{V_{DD} - V_{SS}}{V_{in,max} - V_{in,min}}$$

Offset:

$$V_{offset} = V_{SS} - A \cdot V_{in,min}$$

oppure equivalentemente:

$$V_{offset} = V_{DD} - A \cdot V_{in,max}$$

Esempio:

$V_{in} \in [-1V, +3V]$, ADC con $V_{SS} = 0V$, $V_{DD} = 5V$

$$A = \frac{5-0}{3-(-1)} = \frac{5}{4} = 1.25$$

$$V_{offset} = 0 - 1.25 \cdot (-1) = 1.25V$$

$$\Rightarrow V_{ADC} = 1.25 \cdot V_{in} + 1.25V$$

Perché massimizzare la dinamica?

Se il segnale usa solo una **parte** del range ADC, si "sprecano" bit di risoluzione!

\Rightarrow Mappando su tutto il range si sfrutta la **massima risoluzione** disponibile.

ADC - Metodo Calcolo V_{REF}

Calcolo V_{REF} per Adattamento

★ METODO DI CALCOLO:

1. Calcolare V_{ADC} in funzione di V_{in} e V_{REF}

2. Imporre le condizioni di mappatura:

- $V_{in} = V_{in,min} \Rightarrow V_{ADC} = V_{SS}$

- $V_{in} = V_{in,max} \Rightarrow V_{ADC} = V_{DD}$

3. Risolvere il sistema per trovare V_{REF}

★ REGOLE per il calcolo di V_{ADC} :

Sample & Hold: considerarlo come un filo!

(S&H influisce solo in fase di conversione, non modifica il mapping ingresso/uscita)

Condensatore: diventa un aperto!

(Stiamo studiando l'accoppiamento I/O, non il comportamento in frequenza \Rightarrow siamo in DC $\Rightarrow s = 0 \Rightarrow C$ aperto)

Buffer (OpAmp guadagno 1): $V_{out} = V^+$

Calcolo V_{ADC} con sovrapposizione:

Se il circuito ha V_{in} e V_{REF} :

$$V_{ADC} = \underbrace{f_1(V_{in})}_{\text{contributo } V_{in}} + \underbrace{f_2(V_{REF})}_{\text{contributo } V_{REF}}$$

Procedimento:

1. Spegni V_{REF} ($= 0V$) \Rightarrow calcola contributo di V_{in}

2. Spegni V_{in} ($= 0V$) \Rightarrow calcola contributo di V_{REF}

3. Somma i due contributi

△ RICORDA:

- Il secondo OpAmp (buffer) ha sempre **guadagno 1**

- Non stai facendo analisi in frequenza \Rightarrow NO Bode, NO poli/zeri

- È come calcolare la caratteristica statica (tipo esercizi con diodi)

ADC - Buffer e Errore Statico

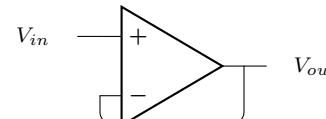
Buffer prima dell'ADC - Errore Statico

Buffer = Sample & Hold in analisi statica

In analisi statica, il S&H si riduce solo all'**OpAmp** (il condensatore è aperto, l'interruttore è un filo).

\Rightarrow "Buffer" è un altro nome per il circuito S&H quando lo analizzi in DC.

★ Buffer di tensione (Voltage Follower):



Configurazione: V^- collegato direttamente a V_{out}

$$A_v = 1 \quad \Rightarrow \quad V_{out} = V_{in}$$

Ricordalo a memoria per risparmiare conti!

△ Errore statico massimo di guadagno:

Se l'esercizio chiede l'errore dovuto a variazione del guadagno A_0 del buffer:

★ SEI SEMPRE IN ANALISI STATICÀ!

\Rightarrow NON introdurre poli/zeri a meno che l'esercizio lo richieda esplicitamente!

Assumi che il buffer **non abbia singolarità** (né poli né zeri).

Guadagno reale del buffer:

Con guadagno ad anello aperto finito A_0 :

$$G_{reale} = \frac{A_0}{1 + A_0} = \frac{1}{1 + \frac{1}{A_0}}$$

Errore rispetto al guadagno ideale (=1):

$$\varepsilon = |G_{ideale} - G_{reale}| = \left| 1 - \frac{A_0}{1 + A_0} \right| = \frac{1}{1 + A_0}$$

Se $A_0 \gg 1$: $\varepsilon \approx \frac{1}{A_0}$

★ TRUCCO VELOCE - Buffer:

Per il buffer (follower): $G_{loop} = -A_0$

Quindi posso usare direttamente la formula generale:

$$G_{reale} = \frac{G_{ideale}}{1 - \frac{1}{G_{loop}}} = \frac{1}{1 + \frac{1}{A_0}}$$

\Rightarrow Non serve tagliare l'anello e introdurre generatore di test!

(Si può fare anche "a mano", ma così è più veloce)

★ Calcolo $V_{ADC,reale}$ e Errore:

Procedimento:

1. Calcola $V_{ADC,id}$ (caso ideale, buffer con guadagno 1)

2. Calcola G_{reale} del buffer: $G_{39le} = \frac{1}{1 + \frac{1}{A_0}}$

3. Moltiplica:

ADC - Richieste Tipiche d'Esame

Richieste Tipiche d'Esame - Errori

Le domande più frequenti sul calcolo degli errori nella catena di acquisizione:

1. Errore dovuto a GUADAGNO FINITO

L'OpAmp (buffer) ha A_0 finito invece di ∞ .

Procedimento:

- Calcola $G_{reale} = \frac{1}{1+1/A_0}$
- $V_{ADC,R} = V_{ADC,id} \cdot G_{reale}$
- $\varepsilon = |V_{ADC,R} - V_{ADC,id}|$

Il caso **peggiore** è quando $V_{ADC,id}$ è massimo!

2. Errore dovuto a V_{OS}

Uno o più OpAmp hanno tensione di offset.

Procedimento:

- **Sovrapposizione:** spegni tutte le sorgenti tranne V_{OS}
- Calcola il contributo di V_{OS} all'uscita
- Se ci sono più OpAmp: somma i contributi

Tip: V_{OS} sul buffer si propaga direttamente con guadagno ≈ 1

3. Errore dovuto a CORRENTE DI BIAS

L'OpAmp ha corrente I_B entrante o uscente negli ingressi.

Procedimento:

- Identifica su quale morsetto scorre I_B (V^+ o V^-)
- Trova la **resistenza** vista da quel morsetto
- Calcola la caduta: $\Delta V = I_B \cdot R_{eq}$
- Propaga l'errore all'uscita

Attenzione al verso! Entrante vs uscente cambia il segno.

★ FORMULA FINALE - Tutti i casi:

$$\varepsilon_{max}[LSB] = \frac{\varepsilon_{max}}{LSB} = \frac{\varepsilon_{max} \cdot 2^N}{FSR}$$

dove: $FSR = V_{DD} - V_{SS}$, N = bit dell'ADC

Caso peggiorio: Valuta ε quando V_{in} è al suo estremo (min o max).

△ ERRORI COMBINATI:

Se l'esercizio chiede errore totale con guadagno finito + V_{OS} + I_B :

⇒ Usa **sovraposizione!** Calcola ogni contributo separatamente.

⇒ Per il **caso peggiorio**: somma i valori assoluti (worst case).

ADC - Altre Richieste Esame

Altre Richieste Tipiche d'Esame - ADC

4. CALCOLO RISOLUZIONE

Determinare LSB dell'ADC e LSB all'ingresso:

$$LSB_{ADC} = \frac{FSR}{2^N} = \frac{V_{DD} - V_{SS}}{2^N}$$

$$LSB_{ingresso} = \frac{LSB_{ADC}}{|G_{id}|}$$

dove G_{id} è il guadagno del condizionamento prima dell'ADC.

5. DIMENSIONAMENTO V_{REF} dell'ADC

Dato il range di V_{in} e il numero di bit N :

- Calcolare V_{REF} per sfruttare tutto il range ADC
- Applicare formule di mapping lineare (vedi box Adattamento)

$$V_{ADC} = G_{cond} \cdot V_{in} + V_{offset}$$

6. TIMING del S&H

a) Calcolo $T_{sample,min}$ per caricare C_H :

Usando formula carica condensatore attraverso $R_{DS,on}$:

$$T_{sample} \geq n\tau = n \cdot R_{DS,on} \cdot C_H$$

con $n = 5 - 7$ costanti di tempo per precisione desiderata.

b) Calcolo $T_{hold,min}$ per conversione ADC:

$$T_{hold} \geq T_{conv,ADC}$$

dove T_{conv} dipende dal tipo di ADC (SAR, Doppia Rampa, etc.).

c) Frequenza massima di campionamento:

$$f_{max} = \frac{1}{T_{sample} + T_{hold}}$$

7. ERRORI COMBINATI (Worst-Case)

Errore da I_B + charge injection + offset:

$$\varepsilon_{tot} = |\varepsilon_{I_B}| + |\varepsilon_{inj}| + |\varepsilon_{OS}| + \dots$$

Sommare valori assoluti per worst-case.

ADC - LSB all'Ingresso e Numero di Bit

ADC - LSB all'Ingresso e Numero di Bit

★ Risoluzione all'INGRESSO del circuito:

Se mi chiedono l'LSB all'ingresso (non all'ADC):

$$LSB_{ingresso} = \frac{LSB_{ADC}}{|G_{id}|}$$

dove G_{id} è il guadagno ideale del circuito di condizionamento.
(Il guadagno "amplifica" anche la risoluzione!)

★ Calcolo NUMERO di BIT minimo:

"Data una risoluzione ΔV (es. a mV), calcolare n minimo."

Procedimento:

1. Calcola la minima variazione in ingresso ADC:

$$\Delta V_{min,ADC} = \Delta V_{in} \cdot |G_{id}|$$

2. Imponi che l'ADC possa distinguere:

$$\Delta V_{min,ADC} \geq LSB_{ADC} = \frac{FSR}{2^n}$$

3. Risovi per n :

$$n \geq \log_2 \left(\frac{FSR}{\Delta V_{min,ADC}} \right)$$

Arrotonda n all'intero superiore!

ADC - Tempi di Sample e Hold

ADC - Tempi di Sample e Hold

★ Tempo di SAMPLE minimo:

“Dato segnale in $[V_{min}, V_{max}]$, R_{on} dello switch, trovare $t_{sample,min}$.”

Procedimento:

- Prendi l'**escursione massima**: da V_{min} a V_{max} (o viceversa)
- Usa la formula esponenziale di carica:

$$V_C(t) = V(\infty) + (V(0) - V(\infty)) \cdot e^{-t/\tau}$$

dove $\tau = R_{on} \cdot C_H$

Condizione: raggiungere il valore finale a meno di 1 LSB:

$$|V_C(t) - V(\infty)| \leq LSB$$

Risolvendo:
$$t_{sample} \geq \tau \cdot \ln \left(\frac{|V_{max} - V_{min}|}{LSB} \right)$$

★ Tempo di HOLD massimo (con I_B):

“Determinare massima durata della fase di Hold.”

Procedimento:

- In HOLD lo switch è aperto
- I_B carica/scarica il condensatore a corrente costante:

$$\Delta V = \frac{I_B \cdot \Delta t}{C_H}$$

Condizione: $\Delta V \leq 1$ LSB (o la specifica data)

$$t_{hold,max} = \frac{C_H \cdot LSB}{I_B}$$

Soltamente $t_{hold} = T_{conversione\ ADC}$

ADC - Risposta con Guadagno $A(s)$

ADC - Risposta con Guadagno $A(s)$

★ Risposta a SCALINO con OpAmp reale:

“Dato ingresso a scalino A_m , tracciare $V_{out}(t)$ con $A(s)$.”

Procedimento:

1. Calcola G_{id} (guadagno ideale del circuito)
2. Calcola G_{loop} (guadagno d'anello)
3. Calcola G_{reale} con la formula **precisa**:

$$G_{reale} = \frac{G_{id}}{1 + G_{id}/A_0}$$

4. Trova la frequenza di taglio di G_{loop} (da Bode)
5. Calcola la costante di tempo:

$$\tau = \frac{1}{2\pi f_{taglio, G_{loop}}}$$

★ Andamento di $V_{out}(t)$:

V_{out} evolve come esponenziale con costante τ :

$$V_{out}(t) = G_{reale} \cdot A_m \cdot (1 - e^{-t/\tau})$$

Valore finale: $V_{out}(\infty) = G_{reale} \cdot A_m$

(Non $G_{id} \cdot A_m$ perché il guadagno reale è minore!)

ADC - Dimens. V_B e Errore Fondo Scala

ADC - Dimensionamento V_B e Errore Fondo Scala

★ Calcolo V_B (o V_{REF}) per dinamica ottimale:

“Determinare V_B per sfruttare al meglio la dinamica ADC.”

Procedimento:

1. Guarda il FSR dell'ADC: $[V_{SS}, V_{DD}]$
2. L'ingresso ADC deve coprire **tutto** il range
3. Per ogni OpAmp calcola prima il G_{id}
4. Imponi le condizioni agli estremi e risovi per V_B

★ Errore STATICO di guadagno a FONDO SCALA:

Procedimento:

1. Trova $V_{in,fs}$ = valore max in ingresso tale che all'ADC si abbia V_{REF} :

$$V_{in,fs} = \frac{V_{REF}}{G_{id}}$$

2. Calcola l'errore:

$$\varepsilon = G_{id} \cdot V_{in,fs} \cdot (1 - G_{reale})$$

3. Se richiesto in LSB:

$$\varepsilon_{LSB} = \frac{\varepsilon}{LSB_{ADC}}$$

★ Errore in LSB da V_{OS} :

1. Spegni generatore di input
2. Inserisci V_{OS} all'ingresso dell'OpAmp
3. Calcola $V_{ADC,OS}$ all'uscita dell'OpAmp
4. Errore in LSB:

$$\varepsilon_{OS} = \frac{V_{ADC,OS}}{LSB_{ADC}}$$

ADC - SAR (Successive Approximation)

ADC SAR (Successive Approximation Register)

Convertitore a **approssimazioni successive**: il più usato per velocità e precisione.

Principio:

L'ADC "prova" i bit uno alla volta, dal più significativo (MSB) al meno significativo (LSB), confrontando ogni volta V_{in} con una tensione di riferimento generata internamente.

Formula Tempo di Conversione:

$$T_{conv} = (N + 1) \cdot T_{ck}$$

oppure (dipende dall'implementazione):

$$T_{conv} = N \cdot T_{ck}$$

dove:

- N = numero di bit dell'ADC
- $T_{ck} = \frac{1}{f_{ck}}$ = periodo di clock

★ Richiesta tipica d'esame:

"Determinare la minima frequenza di clock necessaria."

Soluzione: Imponi che il tempo di conversione non superi il tempo di hold:

$$T_{conv} \leq T_{hold}$$

$$(N + 1) \cdot T_{ck} \leq T_{hold}$$

$$f_{ck} \geq \frac{N + 1}{T_{hold}}$$

Esempio:

$N = 10$ bit, $T_{hold} = 50 \mu s$

$$f_{ck,min} = \frac{10 + 1}{50 \mu s} = \frac{11}{50 \times 10^{-6}} = 220 \text{ kHz}$$

★ Velocità:

Il tempo di conversione cresce **linearmente** con N (molto più veloce di singola rampa).

Per $N = 10$, con clock a qualche centinaia di kHz è già sufficiente.

ADC - Doppia Rampa (Dual Slope)

ADC a Doppia Rampa (Dual Slope)

Convertitore usato per **precisione e reiezione ai disturbi**, non per velocità.

Principio:

- **Fase 1 (Integrazione):** Il segnale V_{in} viene integrato per un tempo fisso T_{int}
- **Fase 2 (De-integrazione):** Una tensione di riferimento $-V_{ref}$ viene integrata fino a tornare a zero

Il tempo della fase 2 è proporzionale a V_{in}

Formula Tempo di Conversione:

$$T_{conv} = T_{int} + T_{deint}$$

dove:

- T_{int} = tempo di integrazione (fisso)
- T_{deint} = tempo di de-integrazione (variabile)

Nel **caso peggiore**:

$$T_{deint,max} = 2^N \cdot T_{ck}$$

$$T_{conv,max} \approx 2 \cdot T_{int}$$

★ REIEZIONE DISTURBI:

Se T_{int} è un **multiplo intero** del periodo di un disturbo periodico (es. rete elettrica 50 Hz), l'ADC **cancella** quel disturbo!

Esempio: $T_{int} = 20 \text{ ms} = \frac{1}{50 \text{ Hz}} \Rightarrow$ reiezione perfetta di disturbi a 50 Hz

Calcolo bit del contatore:

"*Dato T_{int} e f_{ck} , trovare il numero minimo di bit n del contatore.*"

1. $N_{max} = T_{int} \cdot f_{ck}$
2. $2^n \geq N_{max}$
3. $n \geq \log_2(N_{max})$ (arrotonda all'intero superiore)

ADC - Singola Rampa (A Gradinata)

ADC a Singola Rampa (A Gradinata)

Convertitore **molto lento**: confronta V_{in} con una rampa crescente generata da un contatore + DAC.

Principio:

Un contatore parte da 0 e incrementa ad ogni colpo di clock. La sua uscita digitale viene convertita in tensione da un DAC. Quando la tensione DAC supera V_{in} , il comparatore ferma il contatore.

⇒ Il valore del contatore è il risultato della conversione.

Formula Tempo di Conversione (CASO PEGGIORE):

Nel caso peggiore, il contatore deve contare fino a 2^N :

$$T_{conv,max} = 2^N \cdot T_{ck}$$

dove:

- N = numero di bit dell'ADC
- $T_{ck} = \frac{1}{f_{ck}}$ = periodo di clock

★ Richiesta tipica d'esame:

"Ripetere il calcolo della frequenza di clock nel caso di ADC a singola rampa."

Soluzione: Imponi $T_{conv,max} \leq T_{hold}$:

$$2^N \cdot T_{ck} \leq T_{hold}$$

$$f_{ck} \geq \frac{2^N}{T_{hold}}$$

Esempio:

$N = 10$ bit, $T_{hold} = 50 \mu s$

$$f_{ck,min} = \frac{2^{10}}{50 \mu s} = \frac{1024}{50 \times 10^{-6}} \approx 20.5 \text{ MHz}$$

△ PROBLEMA:

Il tempo di conversione cresce **esponenzialmente** con $N \Rightarrow$ richiede frequenze di clock **altissime** (GHz per $N > 10$).

⇒ Spesso **impraticabile** per tempi di hold brevi!

ADC - Inseguimento (Tracking)

ADC a Inseguimento (Tracking)

Convertitore che **insegue** il segnale: non riparte da zero ad ogni conversione, ma sale o scende di 1 LSB per volta.

Principio:

Un contatore up/down (reversibile) aumenta o diminuisce di 1 ad ogni colpo di clock, a seconda se V_{in} è maggiore o minore della tensione DAC attuale.

⇒ Il contatore “segue” le variazioni del segnale.

Condizione critica: SLOPE OVERLOAD

La pendenza del segnale d’ingresso **non deve superare** la velocità massima di inseguimento dell’ADC:

$$\frac{dV_{in}}{dt} \leq \frac{dV_{max}}{dt} = \frac{LSB}{T_{ck}}$$

oppure:

$$\frac{dV_{in}}{dt} \leq LSB \cdot f_{ck}$$

dove:

$$\bullet \text{ LSB} = \frac{V_{DD} - V_{SS}}{2^N} = \text{risoluzione ADC}$$

$$\bullet T_{ck} = \frac{1}{f_{ck}} = \text{periodo di clock}$$

★ Richiesta tipica d’esame:

“Determinare la frequenza/ampiezza massima del segnale d’ingresso affinché l’ADC possa convertirlo correttamente.”

Soluzione per sinusoida $V_{in} = A \sin(2\pi ft)$:

$$\text{Derivata massima: } \left. \frac{dV_{in}}{dt} \right|_{max} = 2\pi f A$$

$$\text{Imponi: } 2\pi f A \leq LSB \cdot f_{ck}$$

$$f \leq \frac{LSB \cdot f_{ck}}{2\pi A}$$

Esempio:

$$\text{LSB} = 10 \text{ mV}, f_{ck} = 1 \text{ MHz}, A = 1 \text{ V}$$

$$f_{max} = \frac{10 \times 10^{-3} \times 10^6}{2\pi \times 1} \approx 1.59 \text{ kHz}$$

★ Vantaggio:

Tempo di conversione molto rapido per segnali che variano lentamente (l’ADC è già “vicino” al valore da convertire).

ADC - Terminologia

ADC - Terminologia

RISOLUZIONE

Larghezza dell’**intervallo di quantizzazione** (= LSB).

Quanto è “fine” la suddivisione del range.

PRECISIONE

Capacità di **ridare la stessa conversione** a fronte dello stesso segnale.

Ripetibilità della misura (bassa dispersione).

ACCURATEZZA

Vicinanza del valore ottenuto al **valore ideale** (vero).

Quanto la conversione è “giusta” rispetto al target.

△ Se il segnale cambia durante la conversione?

Se V_{in} varia prima che l’ADC completi la conversione:

⇒ Il risultato è **errato/inaffidabile!**

Per questo serve il **Sample & Hold**: “congela” il valore per il tempo necessario alla conversione.

GUIDA - Riconoscere Configurazioni (1/2)

GUIDA: Riconoscere le Configurazioni OpAmp

★ PASSO 1: C'è retroazione?

Parti da V_{out} : esiste un percorso verso V^+ o V^- ?

- NO \Rightarrow vai a **COMPARATORE**
- SÌ, verso $V^- \Rightarrow$ vai a **RETROAZ. NEGATIVA**
- SÌ, verso $V^+ \Rightarrow$ vai a **RETROAZ. POSITIVA**

COMPARATORE (no retroazione)

L'OpAmp è in **anello aperto** \Rightarrow **SATURA** sempre!

- $V^+ > V^- \Rightarrow V_{out} = +V_{sat}$
- $V^+ < V^- \Rightarrow V_{out} = -V_{sat}$

C'è una V_{ref} su un morsetto?

- SÌ \Rightarrow Comparatore a **SINGOLA** soglia
Soglia = V_{ref}

- NO \Rightarrow Comparatore semplice (soglia = 0V o altra)

RETROAZIONE NEGATIVA (V_{out} torna su V^-)

L'OpAmp **NON** **satura**, lavora in zona **lineare**.

Vale: $V^+ = V^-$ e $I^+ = I^- = 0$

Il collegamento V^- a V_{out} è **DIRETTO**?

- SÌ (filo diretto) \Rightarrow **BUFFER** (inseguito)
 $A_v = 1$, usato nel S&H

- NO (c'è R_f) \Rightarrow **Amplificatore**
Vai al PASSO 2

PASSO 2: Dove entra V_{in} ? (se amplificatore)

- V_{in} entra su V^- (attraverso R_1) \Rightarrow **INVERTENTE**
 $A_v = -\frac{R_f}{R_1}$

- V_{in} entra su $V^+ \Rightarrow$ **NON INVERTENTE**
 $A_v = 1 + \frac{R_f}{R_1}$

- Più ingressi su $V^- \Rightarrow$ **SOMMATORI**
 $V_{out} = -R_f \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} + \dots \right)$

GUIDA - Riconoscere Configurazioni (2/2)

RETROAZIONE POSITIVA (V_{out} torna su V^+)

L'OpAmp **SATURA** sempre! Sistema **bistabile**.

NON vale $V^+ = V^-$

\Rightarrow È un **TRIGGER DI SCHMITT** (comparatore a doppia soglia / isteresi)

Dove entra V_{in} ?

- V_{in} entra su $V^- \Rightarrow$ Trigger **INVERTENTE**
Ciclo percorso in senso **antiorario**
- V_{in} entra su $V^+ \Rightarrow$ Trigger **NON INVERTENTE**
Ciclo percorso in senso **orario**

★ SCHEMA RIASSUNTIVO:

Config.	Retroaz.	Satura?
Comparatore	Nessuna	SÌ
Buffer	Neg. (diretto)	NO
Invertente	Neg. (R_f)	NO
Non Inv.	Neg. (R_f)	NO
Sommatore	Neg. (R_f)	NO
Trigger Schmitt	Positiva	SÌ

△ TRUCCHI VELOCI:

- Vedi R_f che va su V^- ? \Rightarrow Amplificatore (non satura)
- Vedi R che va su V^+ da V_{out} ? \Rightarrow Trigger (satura)
- Vedi filo diretto $V^- \rightarrow V_{out}$? \Rightarrow Buffer
- Non vedi nulla che torna indietro? \Rightarrow Comparatore (satura)
- Vedi condensatore + switch prima dell'OpAmp? \Rightarrow S&H

★ FLOWCHART VELOCE:

1. Retroazione?
NO \rightarrow COMPARATORE (satura)
SÌ \rightarrow 2. Dove va?
2. Verso V^+ o V^- ?
 $V^+ \rightarrow$ TRIGGER (satura)
 $V^- \rightarrow$ 3. Diretto o con R?
3. Collegamento diretto?
SÌ \rightarrow BUFFER
NO \rightarrow AMPLIFICATORE (inv/non-inv)

Multivibratore Astabile (1/2)

Etimologia:

- Multi = più di uno stato (in questo caso: **due** stati)
- **Astabile** = nessuno dei due stati è **stabile**
 \Rightarrow Il circuito oscilla continuamente tra i due stati senza input esterno!

Multivibratore Astabile con OpAmp

★ STRUTTURA:

- Trigger di Schmitt + rete RC in retroazione
- L'uscita oscilla tra $+V_{sat}$ e $-V_{sat}$ **senza ingresso esterno**
- Il condensatore si carica/scarica attraverso la resistenza

Componenti tipici:

- R_1, R_2 : partitore per le soglie (V_{TH}, V_{TL})
- R, C : rete di timing (determinano il periodo)

★ FUNZIONAMENTO:

1. $V_{out} = +V_{sat} \Rightarrow C$ si carica verso $+V_{sat}$
 V_C sale fino a raggiungere V_{TH}
2. $V_C = V_{TH} \Rightarrow$ COMMUTA! $V_{out} = -V_{sat}$
Ora C si scarica verso $-V_{sat}$
3. V_C scende fino a raggiungere V_{TL}
4. $V_C = V_{TL} \Rightarrow$ COMMUTA! $V_{out} = +V_{sat}$
 \Rightarrow Il ciclo si ripete **indefinitamente!**

★ FORMULE DEL PERIODO:

Soglie (trigger invertente con V^- a massa tramite R_1):

$$V_{TH} = +V_{sat} \cdot \frac{R_1}{R_1 + R_2} \quad V_{TL} = -V_{sat} \cdot \frac{R_1}{R_1 + R_2}$$

Semiperiodo (tempo per andare da una soglia all'altra):

$$T_{1/2} = RC \cdot \ln \left(\frac{V_{sat} - V_{TL}}{V_{sat} - V_{TH}} \right)$$

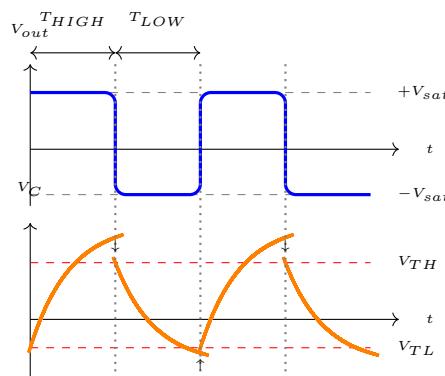
Se simmetrico ($V_{TH} = -V_{TL} = \beta V_{sat}$ con $\beta = \frac{R_1}{R_1 + R_2}$):

$$T = 2RC \cdot \ln \left(\frac{1 + \beta}{1 - \beta} \right)$$

Frequenza: $f = \frac{1}{T}$

Multivibrator - Forme d'Onda

Grafici $V_{out}(t)$ e $V_C(t)$ Allineati



Lettura del grafico:

- Blu: V_{out} oscilla tra $\pm V_{sat}$
 - Arancio: V_C oscilla tra V_{TL} e V_{TH}
 - Rosso tratteggiato: soglie V_{TH} , V_{TL}
 \Rightarrow Quando V_C tocca una soglia, V_{out} commuta!
- △ Nota: V_C ha andamento esponenziale, non lineare!
Il condensatore tenderebbe verso $\pm V_{sat}$ ma commuta prima.

Multivibrator - Commutazione

Meccanismo di Commutazione

★ COME FUNZIONA LA COMMUTAZIONE:

Il condensatore C è collegato a V^- del trigger (invertente).

Durante T_{HIGH} ($V_{out} = +V_{sat}$):

- V_C si carica verso $+V_{sat}$ (sale)
- Quando V_C supera $V_{TH} \Rightarrow V^- > V^+$
- Il trigger commuta: $V_{out} \rightarrow -V_{sat}$

Durante T_{LOW} ($V_{out} = -V_{sat}$):

- V_C si scarica verso $-V_{sat}$ (scende)
- Quando V_C scende sotto $V_{TL} \Rightarrow V^- < V^+$
- Il trigger commuta: $V_{out} \rightarrow +V_{sat}$

★ PRIMO SEMIPERIODO - Dipende da $V_C(0)$!

Dati iniziali tipici: $V_C(0)$, $V_{out}(0)$

Caso 1: $V_{out}(0) = +V_{sat}$

- V_C parte da $V_C(0)$ e sale verso $+V_{sat}$
- Commuta quando raggiunge V_{TH}
- Tempo: $t_1 = RC \cdot \ln\left(\frac{V_{sat}^+ - V_C(0)}{V_{sat}^+ - V_{TH}}\right)$

Caso 2: $V_{out}(0) = -V_{sat}$

- V_C parte da $V_C(0)$ e scende verso $-V_{sat}$
- Commuta quando raggiunge V_{TL}
- Tempo: $t_1 = RC \cdot \ln\left(\frac{V_{sat}^- - V_C(0)}{V_{sat}^- - V_{TL}}\right)$

\Rightarrow Il primo semiperiodo non è uguale ai successivi!

△ A REGIME:

Dopo il transitorio iniziale, V_C oscilla tra V_{TL} e V_{TH} .

\Rightarrow Il periodo $T = T_{HIGH} + T_{LOW}$ è costante

Multivibrator Astabile - Esame (1/2)

Multivibrator Astabile - Domande Tipiche

- a) Tracciare $V_C(t)$ da $t = 0$ a $t = T_{tot}$

Dati tipici: $V_C(0) = V_{DD}/2$, $V_{out}(0) = V_{SS}$

Metodo:

1. Calcola V_{TH} e V_{TL} (con le formule delle soglie)
2. Da $V_C(0)$, il condensatore va verso $V_{out}(0)$
3. Scrivi: $V_C(t) = V_{out} + (V_C(0) - V_{out}) \cdot e^{-t/RC}$
4. Trova t_1 tale che $V_C(t_1) = \text{soglia} \Rightarrow$ commuta!
5. Ripeti dal nuovo stato fino a $t = T_{tot}$

Grafico: esponenziali che "rimbalzano" tra V_{TH} e V_{TL}

- b) Effetto dell'offset V_{off} sulla frequenza

L'offset trasla le soglie:

$$V'_{TH} = V_{TH} + V_{off} \quad V'_{TL} = V_{TL} + V_{off}$$

Conseguenze:

- Le soglie non sono più simmetriche rispetto a 0
- $T_{carica} \neq T_{scarica} \Rightarrow$ duty cycle $\neq 50\%$
- Il periodo totale T cambia!

Variazione relativa: $\frac{\Delta f}{f} = \frac{f' - f}{f}$

Ricalcola T' con le nuove soglie e confronta

- c) Alimentazione asimmetrica ($V_{DD} \neq |V_{SS}|$)

Es: $V_{DD} = +10V$, $V_{SS} = -10V$ (simmetrico)
vs $V_{DD} = +10V$, $V_{SS} = -5V$ (asimmetrico)

Effetto:

- $+V_{sat} = V_{DD}$, $-V_{sat} = V_{SS}$ (rail-to-rail)
- $V_{TH} \neq |V_{TL}| \Rightarrow$ soglie asimmetriche
- $T_{carica} \neq T_{scarica}$

\Rightarrow Calcola separatamente i due semiperiodi!

Multivibratore Astabile - Esame (2/2)

Multivibratore Astabile - Domande Tipiche (cont.)

d) Raddoppiare f senza cambiare R_3 (resistenza timing)

$$\text{Dalla formula: } T = 2R_3C \cdot \ln\left(\frac{1+\beta}{1-\beta}\right)$$

Opzioni (se R_3 è fissa):

1. Dimezzare C : $C' = C/2$
 $\Rightarrow T' = T/2 \Rightarrow f' = 2f \checkmark$

2. Modificare β : cambiare R_1 e/o R_2

$$\text{Serve: } \ln\left(\frac{1+\beta'}{1-\beta'}\right) = \frac{1}{2} \ln\left(\frac{1+\beta}{1-\beta}\right)$$

$$\Rightarrow \frac{1+\beta'}{1-\beta'} = \sqrt{\frac{1+\beta}{1-\beta}}$$

Ricava β' e poi R'_1/R'_2

Attenzione: β più piccolo = isteresi minore!

★ FORMULA GENERALE per semiperiodi:

Fase di carica ($V_{out} = +V_{sat}$, da V_{TL} a V_{TH}):

$$T_{carica} = RC \cdot \ln\left(\frac{V_{sat}^+ - V_{TL}}{V_{sat}^+ - V_{TH}}\right)$$

Fase di scarica ($V_{out} = -V_{sat}$, da V_{TH} a V_{TL}):

$$T_{scarica} = RC \cdot \ln\left(\frac{V_{sat}^- - V_{TH}}{V_{sat}^- - V_{TL}}\right)$$

(Nota: V_{sat}^- è negativo, quindi attento ai segni!)

Periodo totale: $T = T_{carica} + T_{scarica}$

△ DUTY CYCLE:

$$D = \frac{T_{HIGH}}{T} = \frac{T_{carica}}{T_{carica} + T_{scarica}}$$

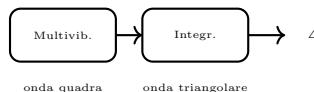
Se $D \neq 50\%$ ⇒ onda quadra **asimmetrica**

Generatore Forme d'Onda

Generatore di Forme d'Onda

Combinazione: Multivibratore Astabile + Integratore

Schema a blocchi:



- Multivibratore astabile genera **onda quadra**
- Uscita del multivibratore → ingresso dell'integratore
- Integratore trasforma onda quadra in **onda triangolare**

Funzionamento:

1. Multivibratore:

- Oscilla tra $+V_{sat}$ e $-V_{sat}$
- Frequenza: $f = 1/T$ (determinata da R , C , R_1 , R_2)
- Onda quadra simmetrica (duty cycle 50%)

2. Integratore:

- Integra l'onda quadra con $G_{ID}(s) = -\frac{1}{sRC}$
- Quando $V_{in} = +V_{sat}$: rampa **descendente**
- Quando $V_{in} = -V_{sat}$: rampa **ascendente**
- Risultato: **onda triangolare**

★ Ampiezza onda triangolare:

$$V_{pp,tri} = \frac{V_{sat} \cdot T/2}{RC}$$

dove $T/2$ è il semiperiodo del multivibratore.

Aumentando RC dell'integratore si riduce l'ampiezza triangolare.

Applicazioni:

- Generatore di funzioni (square + triangle wave)
- Test di circuiti analogici
- Modulazione PWM (variando duty cycle)

Schema completo: collegare $V_{out,multivib}$ a $V_{in,integr}$