

Prefissi SI (Notazione Scientifica)

Simbolo	Nome	Fattore
G	giga	10^9
M	mega	10^6
k	kilo	10^3
h	etto	10^2
da	deca	10^1
d	deci	10^{-1}
c	centi	10^{-2}
m	milli	10^{-3}
μ	micro	10^{-6}
n	nano	10^{-9}

Procedimento transitorio:

- Per $t \rightarrow 0^-$,
 - calcolare variabile di stato prima dell'inizio del transitorio
 - In questa fase il condensatore/induttore si comporta come circuito aperto/cortocircuito
 - Sfrutterò nella fase 2 la continuità della variabile di stato
- Per $t \rightarrow 0^+$ (per var. NON di stato es. v_x, i_x)
 - (Eventuale chiusura interruttore)
 - Sfrutto continuità variabile di stato:**
 $v_C(t_0^-) = v_C(t_0^+) / i_L(t_0^-) = i_L(t_0^+)$
 - Sostituisco al transitorio GENERATORE IDEALE DI TENSIONE/ CORRENTE con valore pari alla variabile di stato appena calcolata**

$$E = V_C(t \rightarrow 0^-) \quad I = I_L(t \rightarrow 0^-)$$

- Per $t \rightarrow \infty$ / $t > 0$:

(a) Soluzione di tipo esponenziale

i. Formule variabili di stato:

$$\begin{aligned} V_C(t) &= V_{C_\infty} + [V_C(0) - V_{C_\infty}] e^{-\frac{t}{\tau}} \\ I_L(t) &= I_{L_\infty} + [I_L(0) - I_{L_\infty}] e^{-\frac{t}{\tau}} \end{aligned}$$

ii. Formule per le grandezze non di stato:

$$\begin{aligned} I_C(t) &= I_{C_\infty} + [I_C(0^+) - I_{C_\infty}] e^{-\frac{t}{\tau}} \\ V_L(t) &= V_{L_\infty} + [V_L(0^+) - V_{L_\infty}] e^{-\frac{t}{\tau}} \end{aligned}$$

iii. Qui, siamo ancora a regime: il condensatore/induttore si comporta come circuito aperto/cortocircuito

iv. Cerco la variabile di stato per $t \rightarrow \infty$

v. Cerco τ :

- Mi serve R_{eq} ai morsetti di dove c'è transitorio
- Spengo generatori non pilotati**
- uso generatore sonda (c.g.) - cerco corrente che passa sul ramo della sonda in funzione di V_S : $? \rightarrow I_S(V_S)$

$$R_{eq} = \frac{V_S}{I_S(V_S)}$$

D. Calcolo τ :

$$\tau = C \cdot R_{eq} = \frac{L}{R_{eq}}$$

Grafico

- Traccio asintoto
- Sfrutto proprietà dell'esponenziale: tangente al grafico in $t = 0$ interseca il valore asintotico dopo $\Delta t = \tau$
- Dopo $t = 5\tau$ la funzione assume valore asintotico

Resistenze e Alimentazioni

Resistenze in parallelo:

- Caso con 2 resistenze:

$$R_{eq} = \frac{R_1 \cdot R_2}{R_1 + R_2}$$

- Caso generale (n resistenze):

$$\frac{1}{R_{eq}} = \sum_{i=1}^n \frac{1}{R_i}$$

△ NOTA IMPORTANTE - Tensioni di alimentazione

Le tensioni fornite dalle alimentazioni sono le massime e minime possibili nel circuito.

I NODI della rete NON possono mai avere tensioni:

- Più alte di V_{max} (alimentazione massima)
- Più basse di V_{min} (alimentazione minima)

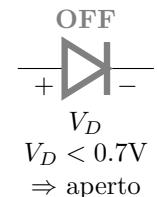
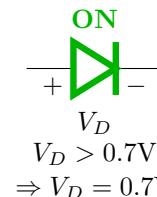
ATTENZIONE: Questo vale per le tensioni dei NODI (riferite a massa).

Le cadute di tensione (misurate tra due nodi diversi) possono superare questi limiti!

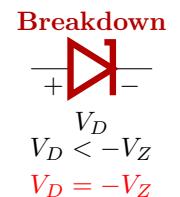
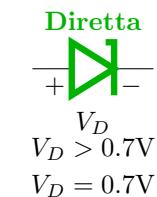
Uso pratico: Fondamentale quando si fanno ipotesi sullo stato dei diodi (ON/OFF). Se un'ipotesi porta un nodo oltre V_{max} o sotto V_{min} , l'ipotesi è sbagliata.

Diodi

- Diodo normale:

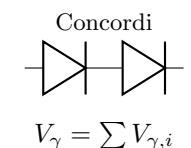
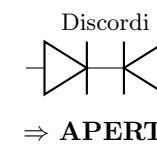


- Diodo Zener:



ATTENZIONE: In breakdown, la tensione $V_D = -V_Z$ ha polarità opposta rispetto ai +0.7V della conduzione diretta!

- Configurazioni in serie:



★ TRUCCO PRATICO - Verifica stato diodo:
Quando sei in un intorno della soglia ($V_D \approx 0.7V$, anche infinitesimamente superiore), le correnti sono molto basse.

\Rightarrow Per verificare se il diodo si accende puoi ignorare le resistenze in serie ($I \approx 0 \Rightarrow \Delta V_R \approx 0$).

Uso nei transitori: A fine esercizio, verifica che l'ipotesi sul diodo (ON/OFF) resti valida in:

- \hat{T}^- (istante prima della transizione)
- \hat{T}^+ (istante dopo della transizione)
- $t \rightarrow \infty$ (regime)

Capacità: Formule e Comportamento

1. Tensione del condensatore:

$$V_C(t) = V_C(0^+) + [V_C(\infty^*) - V_C(0^+)] \left(1 - e^{-\frac{t}{\tau}}\right)$$

$V_C(0^+)$: iniziale; $V_C(\infty^*)$: a regime; $\infty^* \neq \infty$

2. Corrente: $I_C(t) = C \frac{dV_C(t)}{dt}$

Proprietà: La corrente varia istantaneamente; La tensione NON commuta: $V_C(t_0^-) = V_C(t_0^+)$

★ REGOLA D'ORO - A REGIME

A regime ($t \rightarrow \infty$): $\frac{dV_C}{dt} = 0 \Rightarrow I_C = 0$
Condensatore = CIRCUITO APERTO

Per calcolare $V_C(\infty)$:

1. Sostituisci C con circuito aperto
2. Risovi il circuito semplificato
3. Calcola la tensione nel punto dove c'era C

Ese: $V \xrightarrow{R_1} \bullet \xrightarrow{R_2} \text{GND} + C \parallel R_2$
 $\Rightarrow V_C(\infty) = V \frac{R_2}{R_1 + R_2}$ (partitore)

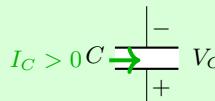
3. Ripple: $\Delta V_{out} = V_{picco} \frac{\Delta T}{\tau} = V_{picco} \frac{T}{f \cdot \tau}$

4. Comportamento fisico ($Q = C \cdot V$; $I = C \frac{dV}{dt}$)

CARICA ($\frac{dV_C}{dt} > 0$): Corrente ENTRA ($I_C > 0$)

Il condensatore accumula energia; $V_C \uparrow$

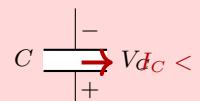
Corrente ENTRA



SCARICA ($\frac{dV_C}{dt} < 0$): Corrente ESCE ($I_C < 0$)

Il condensatore rilascia energia; $V_C \downarrow$

Corrente ESCE



Regola: $V_C \uparrow \Rightarrow$ CARICA; $V_C \downarrow \Rightarrow$ SCARICA; segno I_C indica verso

Transitori con gradini multipli

Formula tempo centrale \hat{T} :

$$V_C(\hat{T}) = V_C(0^+)_{\hat{T}} + [V_C(\infty^*) - V_C(0^+)_{\hat{T}}] \left(1 - e^{-\frac{\hat{T}}{\tau}}\right)$$

Prassi: segnale rettangolare
salita → plateau → discesa

Procedimento step-by-step:

1. FASE 1 - Salita

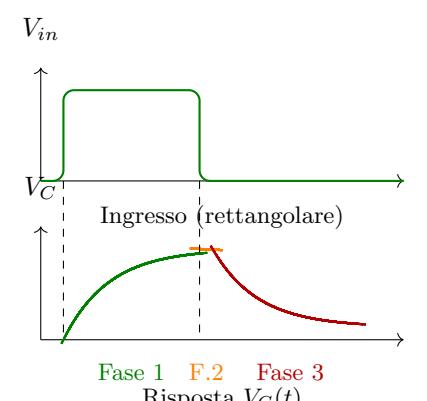
- Analizza $t = 0^-$ (condizioni iniziali)
- $V_C(0^+)$ per continuità
- Determina stato diodi
- Calcola $V_C(\infty^*)$
- Applica formula con τ

2. FASE 2 - Plateau

- Se durata $\gg 5\tau$: regime
- Se durata $< 5\tau$: calcola V_C fine
- Verifica diodi (Box 7)

3. FASE 3 - Discesa

- $V_C(0^+) = V_C(\text{fine plateau})$
- Ridetermina stato diodi
- Nuovo $V_C(\infty^*)$
- Applica formula



Verifica ipotesi stato diodi

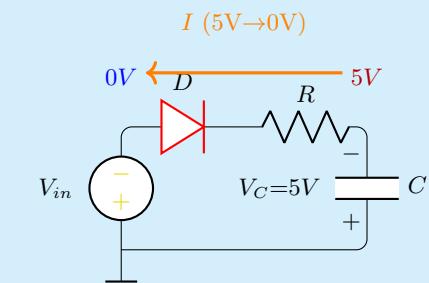
△ VERIFICA FONDAMENTALE

Verifica ipotesi diodo (ON/OFF) rimanga valida per tutto il transitorio

FASE 0: Metodo intuitivo

Regola: I scorre da V_+ a V_-

- 1) $V_C(0^+)$ continuità
- 2) Trova V_{max}
- 3) I va da V_{max} a V_{min}
- 4) Compatibile con diodo?
- 5) No \Rightarrow cambia stato



Contraddizione! I va ←
ma D conduce solo →
⇒ D OFF

1. Ipotesi (es: D ON)

2. Risovi (ON: gen 0.7V; OFF: aperto)

3. Calcola $V_C(t)$

4. Verifica $\forall t$:

ON: $I_D(t) > 0$? No → errore

OFF: $I_D(t) < 0.7V$? No → errore

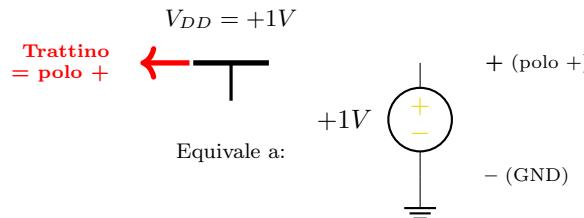
5. Se errore: dividi in 2 fasi (t^* cambio), ricalcola

Notazione alimentazioni

NOTAZIONE ALIMENTAZIONI

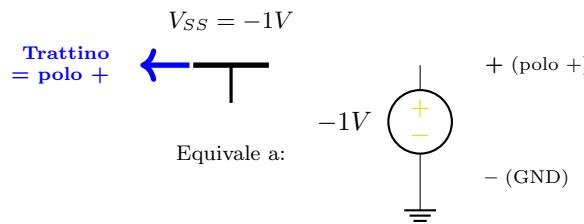
REGOLA D'ORO: Il trattino indica SEMPRE il polo + del generatore, sia con tensione positiva che negativa!

Caso 1: $V_{DD} = +1V$ (alimentazione positiva)



Tensione $+1V \rightarrow$ polo + sul trattino, tutto normale

Caso 2: $V_{SS} = -1V$ (alimentazione negativa)



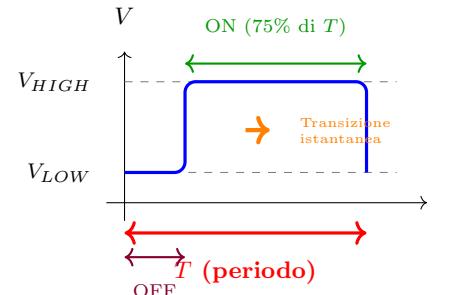
Tensione $-1V \rightarrow$ polo + è comunque sul trattino!

TRUCCO: Con $V_{SS} = -1V$ puoi ridisegnare il generatore invertendo polarità E segno: diventa $+1V$ con polo + su GND. Utile per evitare tensioni negative nei calcoli.

Onda Quadra Ideale - Guida al Disegno

- Transizioni verticali istantanee (tempo di salita/discesa = 0)
- Due livelli costanti: V_{HIGH} e V_{LOW}

DUTY CYCLE DEFAULT: Se non specificato, un'onda quadra ha duty cycle 50% (HIGH = LOW = $T/2$)



COME DISEGNARE A MANO:

1. Segna i livelli V_{HIGH} e V_{LOW} con righe orizzontali
2. Scegli quanti quadretti = T (es: 4 quadretti = 1 periodo)
3. Disegna righe verticali per le transizioni
4. Collega con righe orizzontali ai livelli

COME TROVARE IL PERIODO T :

Il periodo è la distanza tra due punti identici del ciclo:

- Da LOW a LOW (stesso punto)
- Da HIGH a HIGH (stesso punto)
- Da salita a salita successiva
- Da discesa a discesa successiva

Trucco: Scegli un punto qualsiasi e conta i quadretti fino a quando si ripete!

Esempio pratico (duty cycle 75%):

- Se $T = 10\mu s$ e vuoi disegnare 2 periodi
- Usa 4 quadretti per ogni periodo (tot. 8 quadretti)
- Duty cycle 75%: 1 quadretto LOW (OFF), poi 3 quadretti HIGH (ON)
- Ripeti il pattern: 1 LOW, 3 HIGH per il 2° periodo

Formazione del Canale nei MOSFET

1. Zona OFF (o Cutoff):

- (a) Non c'è formazione del canale.
- (b) Il dispositivo è spento e non permette il flusso di corrente tra drain e source.

2. Zona Ohmica (o Triodo):

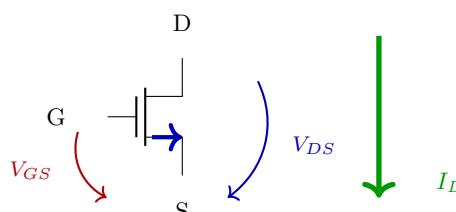
- (a) Si forma un canale.
- (b) Quando il gate è abbastanza polarizzato (cioè $V_{GS} > V_{Tn}$ per nMOS o $V_{GS} < V_{Tp}$ per pMOS), si forma un canale conduttivo tra il drain e il source.
- (c) Il dispositivo si comporta come un **resistore il cui valore varia in base alla tensione V_{GS}** .

3. Zona di Saturazione (o Pinch-off):

- (a) Si forma un canale.
- (b) Il canale diventa "strozzato" o "pinched-off" vicino al drain (per il nMOS) o vicino al source (per il pMOS).
- (c) Anche se la tensione V_{DS} aumenta ulteriormente, la corrente I_D rimane costante.
- (d) Questo comportamento è **analogo a quello di un generatore di corrente**.

Simboli e convenzioni nMOS/pMOS

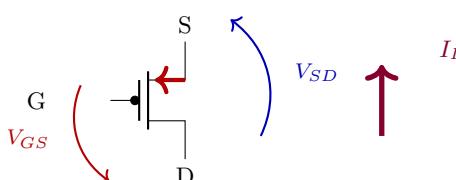
nMOS:



nMOS: Gate a sinistra, Drain in alto, Source in basso

Corrente: Da Drain → Source (verso il basso)

pMOS:

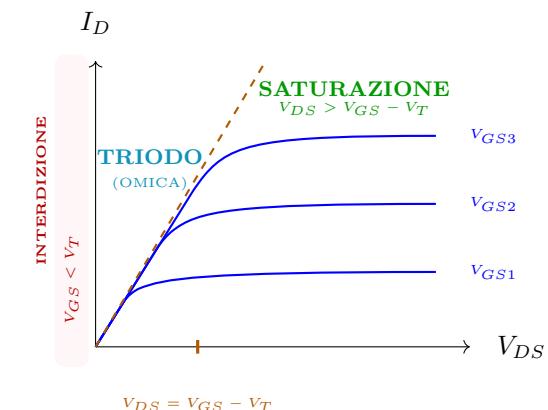


pMOS: Gate a sinistra, Source in alto, Drain in basso

Corrente: Da Source → Drain (verso il basso)

NOTA: Nel pMOS il source è in alto (invertito rispetto a nMOS)!

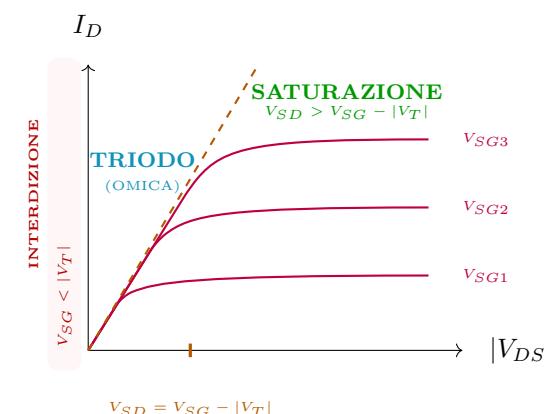
Caratteristica I-V nMOS



Zone di funzionamento:

- **INTERDIZIONE:** $V_{GS} < V_T \rightarrow I_D = 0$
- **TRIODO (OMICA):** $V_{GS} > V_T$ e $V_{DS} < (V_{GS} - V_T)$
- **SATURAZIONE:** $V_{GS} > V_T$ e $V_{DS} > (V_{GS} - V_T)$

Caratteristica I-V pMOS



Zone di funzionamento:

- **INTERDIZIONE:** $V_{SG} < |V_T| \rightarrow I_D = 0$
- **TRIODO (OMICA):** $V_{SG} > |V_T|$ e $V_{SD} < (V_{SG} - |V_T|)$
- **SATURAZIONE:** $V_{SG} > |V_T|$ e $V_{SD} > (V_{SG} - |V_T|)$

nMOS - Metodo operativo

PRIMO CONTROLLO: V_{GS} vs V_T

1. Se $V_{GS} < V_T \Rightarrow \text{MOSFET OFF}$

- $I_D = 0$ (circuito aperto)
- Non c'è conduzione

2. Se $V_{GS} > V_T \Rightarrow \text{MOSFET ON}$

- Proseguire al SECONDO CONTROLLO

SECONDO CONTROLLO (solo se ON): V_{DS} vs $(V_{GS} - V_T)$

Tensione di Overdrive:

$$V_{OV} = V_{GS} - V_T$$

1. **ZONA DI SATURAZIONE:** Se $V_{DS} > (V_{GS} - V_T)$

$$I_D = K_n(V_{GS} - V_T)^2$$

Nota: La corrente dipende **SOLO** da V_{GS}

2. **ZONA OHMICA (Triodo):** Se $V_{DS} < (V_{GS} - V_T)$

$$I_D = K_n [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

Nota: La corrente dipende da V_{GS} **E** V_{DS}

Formula alternativa:

$$I_D = \frac{1}{2}K_n V_{OV} \left(V_{DS} - \frac{V_{DS}^2}{2} \right)$$

Direzione corrente: In nMOS, I_D scorre da **Drain** → **Source**

pMOS - Metodo operativo

PROCEDIMENTO OPERATIVO PER pMOS

★ STEP 0 - CONTROLLO POLARITÀ

Prima di tutto, verifica che:

$$V_S > V_G$$

Se $V_S \leq V_G \rightarrow \text{pMOS OFF}$ (anche se $|V_{GS}| \geq |V_T|$!)

Motivo: Il modulo $|V_{GS}|$ nasconde il segno! Potresti avere $|V_{GS}| \geq |V_T|$ ma con polarità sbagliata (es. $V_{GS} > 0$), e il pMOS sarebbe OFF.

Step 1: Calcolare $|V_{GS}|$

(solo se hai verificato $V_S > V_G$)

Step 2: PRIMO CONTROLLO - $|V_{GS}|$ vs $|V_T|$

1. Se $|V_{GS}| < |V_T| \Rightarrow \text{MOSFET OFF}$

- $I_D = 0$ (circuito aperto)
- Non c'è conduzione

2. Se $|V_{GS}| > |V_T| \Rightarrow \text{MOSFET ON}$

- Calcolare $V_{OV} = |V_{GS}| - |V_T|$
- Proseguire allo Step 3

Step 3: SECONDO CONTROLLO - $|V_{DS}|$ vs V_{OV}

Tensione di Overdrive:

$$V_{OV} = |V_{GS}| - |V_T|$$

1. **ZONA DI SATURAZIONE:** Se $|V_{DS}| > V_{OV}$

$$I_D = K_p \cdot V_{OV}^2 = K_p (|V_{GS}| - |V_T|)^2$$

Nota: La corrente dipende **SOLO** dall'overdrive

2. **ZONA OHMICA (Triodo):** Se $|V_{DS}| < V_{OV}$

$$I_D = K_p [2V_{OV} \cdot |V_{DS}| - |V_{DS}|^2]$$

dove $V_{OV} = |V_{GS}| - |V_T|$

Nota: La corrente dipende da V_{OV} **E** $|V_{DS}|$

Direzione corrente: In pMOS, I_D scorre da **Source** → **Drain**

Riepilogo: nMOS vs pMOS

Grandezze da calcolare per determinare lo stato:

nMOS	pMOS
V_{GS}	$ V_{GS} $
V_T	$ V_T $
$V_{OV} = V_{GS} - V_T$	$V_{OV} = V_{GS} - V_T $
V_{DS}	$ V_{DS} $

Controlli identici:

1. Se V_{GS} (o $|V_{GS}|$) $< V_T$ (o $|V_T|$) \Rightarrow OFF
2. Se ON: confronta V_{DS} (o $|V_{DS}|$) con V_{OV}

La procedura è **identica**, solo che per pMOS si usano i **valori assoluti**.

MOSFET simmetrici - Source e Drain a runtime

★ MOSFET SIMMETRICI

I MOSFET sono dispositivi simmetrici: Source e Drain NON sono fissi ma vengono determinati dalle tensioni a runtime!

Come identificare i terminali negli esercizi:

GATE (sempre indicato):

- nMOS: gate senza pallino
- pMOS: gate con pallino (•)

SOURCE e DRAIN (determinati a runtime): Se non indicati esplicitamente nel testo, si determinano in base alle tensioni dei nodi.

Regole per determinare SOURCE:

1. nMOS

Il SOURCE è il nodo alla tensione più BASSA tra i due terminali non-gate.

Il DRAIN è l'altro terminale (tensione più alta).

2. pMOS

Il SOURCE è il nodo alla tensione più ALTA tra i due terminali non-gate.

Il DRAIN è l'altro terminale (tensione più bassa).

★ ATTENZIONE - Riassegnazione a RUNTIME

Durante l'esercizio, le tensioni ai nodi possono cambiare!

⇒ Source e Drain possono essere riassegnati in base alle nuove tensioni.

Devi verificare quale nodo ha la tensione più alta/bassa in ogni fase dell'analisi!

Esempio pratico (nMOS):

Inizialmente: Nodo A = 3V, Nodo B = 1V ⇒ Source = B (1V, più basso), Drain = A (3V)

Dopo un transitorio: Nodo A = 0.5V, Nodo B = 2V ⇒ Source = A (0.5V, più basso), Drain = B (2V)

I terminali sono stati invertiti!

Perché è importante: V_{GS} e V_{DS} dipendono da quale terminale è il Source. Per calcolare correttamente le formule, devi identificare Source e Drain correttamente in ogni momento. La zona di funzionamento (saturazione/omica) dipende da V_{DS} , quindi dall'identificazione corretta dei terminali.

Regola pratica - MOSFET ON/OFF veloce

REGOLA PRATICA VELOCE:

Come capire subito se un MOSFET è probabilmente ON o OFF?

nMOS:

Gate a GND (0V) → probabilmente OFF

Se il gate è a massa, V_{GS} è molto basso (o negativo se source è più alto), quindi $V_{GS} < V_T \rightarrow$ OFF

Gate a V_{DD} → probabilmente ON

Se il gate è all'alimentazione, V_{GS} è alto (assumendo source a GND o comunque più basso), quindi $V_{GS} > V_T \rightarrow$ ON

pMOS:

Gate a GND (0V) → probabilmente ON

Se il gate è a massa, V_{SG} è alto (assumendo source a V_{DD} o comunque più alto), quindi $V_{SG} > |V_T| \rightarrow$ ON

Gate a V_{DD} → probabilmente OFF

Se il gate è all'alimentazione, V_{SG} è molto basso (o negativo se source è più basso), quindi $V_{SG} < |V_T| \rightarrow$ OFF

Riassunto veloce:

	Gate = GND	Gate = V_{DD}
nMOS	OFF	ON
pMOS	ON	OFF

ATTENZIONE: Questa è una regola approssimata che assume:

- Per nMOS: source vicino a GND
- Per pMOS: source vicino a V_{DD}

Se il source è collegato diversamente (es. nMOS con source a V_{DD} , pMOS con source a GND), la regola NON vale! Devi sempre calcolare V_{GS} o V_{SG} correttamente.

Parametro K (Transconduttanza)

$$K = \frac{1}{2}\mu \cdot C_{OX} \cdot \frac{W}{L}$$

Dove:

- μ = mobilità dei portatori nel canale
- C_{OX} = capacità specifica dell'ossido
- W/L = dimensioni fisiche del MOSFET (Width/Length)

△ NOTA IMPORTANTE - Fattore 1/2

K può essere definito SENZA il fattore $\frac{1}{2}$ al suo interno. In tal caso, le formule delle correnti devono essere riadattate:

• Saturazione:

$$I = \frac{K}{2}(V_{GS} - V_T)^2 \text{ invece di } I = K(V_{GS} - V_T)^2$$

• Omica:

$$I = K \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$\text{invece di } I = K [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

Semplificazioni MOSFET

★ CONDIZIONE FONDAMENTALE:

Tutti i GATE devono essere in COMUNE (stessa tensione al gate)

1. MOSFET in PARALLELO

- GATE in comune
- SOURCE in comune (vengono mantenuti)

Formula:

$$K_{eq} = K_1 + K_2 + \dots + K_n$$

Se tutte uguali: $K_{eq} = n \cdot K$

Es: 3 nMOS con $K = 0.5 \text{ mA/V}^2 \rightarrow K_{eq} = 1.5 \text{ mA/V}^2$

2. MOSFET in SERIE

- GATE in comune
- SOURCE equivalente = SOURCE più BASSO

Formula:

$$\frac{1}{K_{eq}} = \frac{1}{K_1} + \frac{1}{K_2} + \dots + \frac{1}{K_n}$$

Per 2 MOS: $K_{eq} = \frac{K_1 \cdot K_2}{K_1 + K_2}$

Se uguali: $K_{eq} = \frac{K}{n}$

Es: 2 nMOS $K_1 = 1$, $K_2 = 2 \text{ mA/V}^2 \rightarrow K_{eq} = 0.67 \text{ mA/V}^2$

Nota: Queste semplificazioni evitano calcoli complessi nei circuiti.

Analisi Porte Logiche

Quando usare: Dopo aver fatto semplificazioni (serie/parallelo), quando $V_{DS} = V_{OUT}$ e devi capire la zona di funzionamento.

IPOTESI: Se ti hanno chiesto l'espressione logica della porta, puoi ipotizzare che sia **ideale**:

- V_{OUT} ha valori logici **ALTO** e **BASSO**
- $V_{OUT} = V_{DS}$ del MOSFET (dopo semplificazioni)

METODO:

1. Uscita logica BASSA ("0")

$V_{OUT} \approx 0V \rightarrow V_{DS}$ piccola $\rightarrow V_{DS} < V_{OV} \rightarrow$ **ZONA OMICA**

2. Uscita logica ALTA ("1")

$V_{OUT} \approx V_{DD} \rightarrow V_{DS}$ grande $\rightarrow V_{DS} > V_{OV} \rightarrow$ **ZONA SATURAZIONE**

Nota: Questo metodo ti permette di **ipotizzare** la zona di funzionamento senza fare calcoli complessi. Poi puoi verificare con le formule.

Esempio pratico:

Se $V_{OUT} = 0V$ (logica bassa) e hai $V_{OV} = 2V$:

$V_{DS} \approx 0V < 2V \rightarrow$ OMICA ✓

Se $V_{OUT} = 5V$ (logica alta) e hai $V_{OV} = 2V$:

$V_{DS} \approx 5V > 2V \rightarrow$ SATURAZIONE ✓

Resistenza di canale

Resistenza di Canale (R_{CH} o R_{eq})

Quando usare: Calcolare la corrente nel MOSFET quando:

- $V_{OUT} = V_{DS}$ (l'uscita coincide con la tensione drain-source)
- $V_{OUT} \approx 0V$ (uscita logica bassa)

La **resistenza di canale** è la resistenza equivalente del MOSFET in un intorno di $V_{DS} = 0V$

FORMULA:

$$R_{CH} = R_{eq} = \frac{1}{2K \cdot V_{OV}}$$

dove $V_{OV} = V_{GS} - V_T$

Nota: K può essere il K del singolo MOSFET o il K_{eq} del MOSFET equivalente (dopo semplificazioni serie/parallelo)

Origine: Derivata di I_D rispetto a V_{DS} calcolata in $V_{DS} = 0$ (approssimazione di Taylor al primo ordine)

QUANDO È VALIDA:

- ✓ $V_{DS} \approx 0V$ (uscita logica bassa)
- ✓ MOSFET in zona OMICA
- ✓ Calcoli approssimativi di corrente
 - ✗ Se V_{DS} NON è vicino a 0V
 - ✗ In altri punti di lavoro (devi ricalcolare la derivata nel punto specifico)

★ SANITY CHECK

Dopo aver calcolato I_D usando R_{CH} , **DEVI** verificare:

$$V_{R_{CH}} \ll V_{OV}$$

Dove $V_{R_{CH}}$ è la tensione ai capi della resistenza equivalente (= V_{DS} del MOSFET).

Se $V_{R_{CH}} \approx V_{OV}$ o maggiore, l'approssimazione **NON È VALIDA!**

Esempio pratico:

Se $K = 1 \text{ mA/V}^2$, $V_{GS} = 3V$, $V_T = 1V$:

$$V_{OV} = 3V - 1V = 2V$$

$$R_{CH} = \frac{1}{2 \cdot 1 \cdot 2} = \frac{1}{4} \text{ k}\Omega = 250 \Omega$$

Con $V_{DS} = 0.1V$:

$$I_D \approx \frac{V_{DS}}{R_{CH}} = \frac{0.1V}{250\Omega} = 0.4 \text{ mA}$$

Verifica: $V_{DS} = 0.1V \ll V_{OV} = 2V \checkmark$ OK!

Carica di un condensatore con MOSFET

Scenario: MOSFET utilizzato per caricare un condensatore (es. in porte logiche, circuiti di trasferimento carica)

Nota importante: La tensione massima/minima raggiungibile sul condensatore dipende dal **tipo di MOSFET**!

REGOLA MNEMONICA:

Gli nMOS NON sono bravi a CARICARE
I pMOS NON sono bravi a SCARICARE

CARICA - 1. Con pMOS

Carica COMPLETA: Il condensatore si carica fino a V_{DD}

$$V_{C,max} = V_{DD}$$

Motivo: Nel pMOS, la corrente scorre da Source (alto) → Drain (basso). Il pMOS può rimanere acceso fino a quando il condensatore raggiunge V_{DD} , perché il Source è collegato a V_{DD} e mantiene sempre $V_{SG} > |V_T|$.

CARICA - 2. Con nMOS

Carica LIMITATA: Il condensatore si carica solo fino a:

$$V_{C,max} = V_G - V_T$$

Motivo: Nel nMOS, quando il condensatore (collegato al Drain) si carica, aumenta V_D . Quando V_D raggiunge $V_G - V_T$, si ha $V_{GS} = V_G - V_S = V_G - (V_G - V_T) = V_T \rightarrow$ il MOSFET **si spegne** (entra in interdizione). **Non può caricare oltre** perché $V_{GS} = V_T$ è la condizione di soglia (OFF).

Esempio pratico (CARICA):

Se $V_G = 5V$ e $V_T = 1V$ per un nMOS:

$$V_{C,max} = 5V - 1V = 4V \text{ (non } 5V!)$$

Con pMOS invece: $V_{C,max} = V_{DD}$ (carica completa)

Scarica di un condensatore con MOSFET

Comportamento SPECULARE alla carica

SCARICA - 1. Con nMOS

Scarica COMPLETA: Il condensatore si scarica fino a GND (0V)

$$V_{C,min} = 0V$$

Motivo: Nel nMOS, il Source è collegato a GND e la corrente scorre dal condensatore (Drain) verso GND. Il nMOS rimane acceso finché $V_{GS} > V_T$. Dato che $V_S = 0V$ (GND), finché $V_G > V_T$ il transistor resta acceso e può scaricare completamente il condensatore.

SCARICA - 2. Con pMOS

Scarica LIMITATA: Il condensatore si scarica solo fino a:

$$V_{C,min} = V_G + |V_T|$$

Motivo: Nel pMOS, quando il condensatore (collegato al Source) si scarica, diminuisce V_S . Quando V_S scende fino a $V_G + |V_T|$, si ha $V_{SG} = |V_T| \rightarrow$ il MOSFET si spegne. **Non può scaricare oltre** perché $V_{SG} = |V_T|$ è la condizione di soglia (OFF).

Esempio pratico (SCARICA):

Se $V_G = 2V$ e $|V_T| = 1V$ per un pMOS:

$$V_{C,min} = 2V + 1V = 3V \text{ (non può scendere sotto!)}$$

Con nMOS invece: $V_{C,min} = 0V$ (scarica completa)

△ CONSEGUENZA PRATICA - Simmetria CARICA/SCARICA

CARICA: pMOS completa ($\rightarrow V_{DD}$), nMOS limitata ($\rightarrow V_G - V_T$)

SCARICA: nMOS completa ($\rightarrow GND$), pMOS limitata ($\rightarrow V_G + |V_T|$)

Nelle porte logiche cMOS:

- pMOS nella rete pull-up (PUN) \rightarrow porta uscita a V_{DD}
- nMOS nella rete pull-down (PDN) \rightarrow porta uscita a GND

Valutazione logica circuiti ibridi/intermedi (PTL)

Scenario: Circuiti con un solo MOSFET + condensatore (non completamente cMOS)

★ SOGLIA LOGICA: $\frac{V_{DD}}{2}$

Per la tabella di verità, l'uscita è considerata:

- HIGH se $V_{OUT} > \frac{V_{DD}}{2}$
- LOW se $V_{OUT} < \frac{V_{DD}}{2}$

Caso 1: nMOS sulla pull-up + condensatore

Problema: nMOS carica solo fino a $V_{C,max} = V_G - V_T$

Valutazione logica:

Se $V_G - V_T > \frac{V_{DD}}{2} \rightarrow$ Uscita = **HIGH** (logicamente "1")

Se $V_G - V_T < \frac{V_{DD}}{2} \rightarrow$ Uscita = **LOW** (logicamente "0")

Esempio: $V_{DD} = 5V$, $V_G = 4V$, $V_T = 1V$

$$V_{C,max} = 4V - 1V = 3V$$

$$\frac{V_{DD}}{2} = 2.5V$$

$3V > 2.5V \rightarrow$ Uscita = **HIGH** (anche se non raggiunge V_{DD} !)

Caso 2: pMOS sulla pull-down + condensatore

Problema: pMOS scarica solo fino a $V_{C,min} = V_G + |V_T|$

Valutazione logica:

Se $V_G + |V_T| < \frac{V_{DD}}{2} \rightarrow$ Uscita = **LOW** (logicamente "0")

Se $V_G + |V_T| > \frac{V_{DD}}{2} \rightarrow$ Uscita = **HIGH** (logicamente "1")

Esempio: $V_{DD} = 5V$, $V_G = 1V$, $|V_T| = 1V$

$$V_{C,min} = 1V + 1V = 2V$$

$$\frac{V_{DD}}{2} = 2.5V$$

$2V < 2.5V \rightarrow$ Uscita = **LOW** (anche se non raggiunge GND!)

Nota importante: Questa valutazione si usa SOLO per le tabelle di verità dei circuiti ibridi. Nei circuiti cMOS completi, l'uscita raggiunge sempre V_{DD} o GND.

Tempo di propagazione

Tempo di propagazione (τ o t_{prop})

Definizione: Tempo impiegato a raggiungere la soglia della porta logica successiva.

Convenzione: Se non specificato, si prende:

$$V_{finale} = \frac{V_{DD}}{2}$$

Metodo 1: Approssimazione a corrente costante

$$\tau = \frac{\Delta V \cdot C}{I_{sat}}$$

Dove:

$$\bullet \Delta V = V_{finale} - V_{iniziale}$$

$$\bullet V_{finale} = \frac{V_{DD}}{2} \text{ (sempre!)}$$

• C = capacità di carico

• I_{sat} = corrente di saturazione del MOSFET

Esempio: Se $V_{DD} = 5V$ e $V_{iniziale} = 0V$:
La transizione è da 0V a $\frac{5V}{2} = 2.5V$ (NON a 5V!)

$$\Delta V = 2.5V - 0V = 2.5V$$

PTL vs CMOS Logic

Confronto: Due approcci diversi per implementare porte logiche

1. CMOS (Complementary MOS Logic)

Struttura:

- Rete PUN (pMOS) - pull-up network
- Rete PDN (nMOS) - pull-down network
- Sempre una rete ON, l'altra OFF

Vantaggi:

- Uscita sempre a V_{DD} o GND (livelli completi)
- Potenza statica = 0 (nessun percorso VDD → GND)
- Immunità al rumore elevata

Svantaggi:

- Richiede reti complementari (più transistor)
- Area maggiore

2. PTL (Pass Transistor Logic)

Struttura:

- Usa singoli transistor (nMOS o pMOS)
- I transistor "passano" i segnali da ingresso a uscita
- NON usa reti complementari

Vantaggi:

- Meno transistor (area ridotta)
- Circuiti più semplici

Svantaggi:

• Livelli degradati:

- nMOS carica solo fino a $V_G - V_T$
- pMOS scarica solo fino a $V_G + |V_T|$

- Immunità al rumore ridotta

- Potenza statica ≠ 0 (possibili percorsi VDD → GND)

CONFRONTO RAPIDO:

CMOS: Livelli completi, 0 potenza statica, + area
PTL: Livelli degradati, potenza statica, - area

Tempo di propagazione - PTL (metodo accurato)

★ PROBLEMA - Approssimazione a corrente costante

L'approssimazione con $I = I_{sat}$ (corrente costante in saturazione) è molto SOTTOSTIMATA per la PTL!

Motivo: Nella PTL, durante la carica/scarica, il MOSFET passa dalla zona di saturazione alla zona omica, e la corrente diminuisce drasticamente.

METODO CORRETTO - Approssimazione RC

Ipotesi da considerare:

1. La corrente finale è circa zero (quando $V_C \approx V_G - V_T$ per nMOS)
2. La corrente a metà tensione ($V_{DD}/2$) è quella che determina il tempo
3. Sostituisci il transistor con una resistenza equivalente calcolata in zona omica

Procedura:

Step 1: Calcola la resistenza equivalente in zona omica

$$R_{eq} = \frac{1}{2K \cdot V_{OV}}$$

dove $V_{OV} = V_{GS} - V_T$ al punto di lavoro considerato (tipicamente a $V_{OUT} = \frac{V_{DD}}{2}$)

Step 2: Calcola il tempo di propagazione come circuito RC

$$\tau_{prop} = R_{eq} \cdot C$$

Esempio pratico (nMOS in PTL):

$V_{DD} = 5V$, $V_G = 5V$, $V_T = 1V$, $K = 1 \text{ mA/V}^2$, $C = 10 \text{ pF}$

A metà tensione ($V_{OUT} = 2.5V$):

$V_{GS} = 5V$ (gate fisso), $V_S = 2.5V$ (source al condensatore)

$$V_{OV} = 5V - 1V = 4V$$

$$R_{eq} = \frac{1}{2 \cdot 1.4} = 0.125 \text{ k}\Omega = 125 \Omega$$

$$\tau_{prop} = 125 \cdot 10 \cdot 10^{-12} = 1.25 \text{ ns}$$

Confronto con approssimazione a corrente costante:

Se usassi $I_{sat} = K \cdot V_{OV}^2 = 1 \cdot 4^2 = 16 \text{ mA}$ (molto sovrastimato!)

$$\tau = \frac{\Delta V \cdot C}{I_{sat}} = \frac{2.5 \cdot 10 \cdot 10^{-12}}{16 \cdot 10^{-3}} = 1.56 \text{ ns}$$

Il metodo RC è più accurato perché considera la diminuzione della corrente!

Potenza statica

Potenza statica

Definizione: Potenza consumata dal circuito quando gli ingressi e le uscite **NON commutano** (analisi statica).

Importante: In analisi statica, il condensatore si comporta come se non ci fosse (circuito aperto).

Formula:

$$P_{statica} = I \cdot V_{DD}$$

Dove:

- I = corrente che scorre nel MOSFET/circuito
- V_{DD} = tensione di alimentazione

Nota: Poiché il condensatore è un circuito aperto in regime stazionario (nessun $\frac{dV}{dt}$), si calcola solo la corrente continua che scorre attraverso i MOSFET.

cMOS standard: $P_{statica} = 0$ sempre. Non esistono configurazioni che consumano potenza statica.

cMOS non standard: Possono avere configurazioni in cui $P_{statica} \neq 0$.

★ IMPORTANTE - Calcolo V_{GS}

In analisi statica, se il source dell'nMOS **NON è a massa** (ma collegato a un'altra alimentazione):

NON usare V_G direttamente, ma calcolare:

$$V_{GS} = V_G - V_S$$

Lo stesso vale per pMOS se il source **NON è a V_{DD}** .

Potenza dinamica

Definizione: Potenza consumata durante le commutazioni degli ingressi uscite.

★ CONDIZIONE FONDAMENTALE

Prima di applicare la formula, verificare che:

$$\tau_{prop} \leq \frac{T_{in}}{2}$$

Dove:

- τ_{prop} = tempo di propagazione
- T_{in} = periodo del segnale di ingresso

Se $\tau_{prop} > \frac{T_{in}}{2}$, il circuito **NON ha tempo** di raggiungere il regime prima della prossima commutazione \Rightarrow la formula **NON è valida**.

Nota pratica: Se hai calcolato τ_{prop} per una transizione (es. high \rightarrow low) ma la potenza dinamica riguarda la transizione opposta (low \rightarrow high), verifica l'**ordine di grandezza**. Se K_n e K_p sono comparabili numericamente, i due tempi di propagazione saranno multipli ma **stesso ordine di grandezza**. Se $\tau_{prop} \ll \frac{T_{in}}{2}$ (molto minore), sei a posto anche senza calcolare l'altro! **ATTENZIONE:** Questa assunzione vale **SOLO** se $K_n \approx K_p$. Se i valori di K sono molto diversi, devi calcolare entrambi i tempi di propagazione.

Formula generale:

$$P_D = V_{DD} \sum_i (V_{OH,i} - V_{OL,i}) \cdot C_i \cdot f_i$$

Caso semplificato (un solo nodo d'uscita):

$$P_D = V_{DD} \cdot (V_{OH} - V_{OL}) \cdot C_L \cdot f_{out}$$

Dove:

- V_{DD} = tensione di alimentazione
- V_{OH} = tensione output HIGH (valore massimo)
- V_{OL} = tensione output LOW (valore minimo)
- C_L = capacità del carico
- f_{out} = frequenza di uscita

Come determinare V_{OH} e V_{OL} :

Sono i valori massimo e minimo dell'uscita durante le commutazioni.

Metodi:

- Dal grafico di $V_{out}(t)$ (se richiesto in precedenza)
- Forniti direttamente nel testo dell'esercizio
- Analizzando le transizioni del circuito

Duty Cycle

Duty Cycle (ciclo di lavoro)

Definizione: Il **duty cycle** δ è il rapporto tra il tempo in cui il segnale è HIGH e il periodo totale:

$$\delta = \frac{T_{HIGH}}{T} = \frac{T_{HIGH}}{T_{HIGH} + T_{LOW}}$$

Espresso in percentuale: $\delta\% = \delta \times 100$

Esempi comuni:

- $\delta = 0.5$ (50%) \rightarrow onda quadra simmetrica (HIGH e LOW stesso tempo)
- $\delta = 0.25$ (25%) \rightarrow segnale HIGH per 25% del periodo
- $\delta = 0.75$ (75%) \rightarrow segnale HIGH per 75% del periodo

Relazione con la potenza dinamica: Se il duty cycle $\neq 50\%$, può influenzare la frequenza effettiva delle commutazioni complete. In molti esercizi si assume duty cycle = 50% (onda quadra simmetrica).

Porte cMOS - Definizione

Definizione: Una porta logica **cMOS** (Complementary MOS) è composta da due reti complementari:

- **PUN** (Pull-Up Network): rete di **pMOS**
- **PDN** (Pull-Down Network): rete di **nMOS**

★ REGOLA FONDAMENTALE

In qualsiasi configurazione di ingresso:

Solo UNA rete è attiva (ON) alla volta

- Se PUN è ON \rightarrow PDN è OFF (uscita = V_{DD})
- Se PDN è ON \rightarrow PUN è OFF (uscita = GND)

Significato PRATICO negli esercizi:

1. Potenza statica = 0

Poiché una rete è sempre OFF, non c'è percorso diretto tra V_{DD} e GND $\rightarrow P_{statica} = 0$

2. Analisi per stati logici

Per ogni combinazione di ingressi, verifica:

- Quali MOSFET sono ON/OFF
- Quale rete (PUN o PDN) è attiva
- Output = V_{DD} se PUN ON, = GND se PDN ON

Esempio: cMOS Inverter

Ingresso ALTO ("1"):

- nMOS ON \rightarrow PDN attiva \rightarrow Uscita = GND ("0")
- pMOS OFF \rightarrow PUN spenta

Ingresso BASSO ("0"):

- pMOS ON \rightarrow PUN attiva \rightarrow Uscita = V_{DD} ("1")
- nMOS OFF \rightarrow PDN spenta

Nota: Le reti sono **complementari**: se PUN realizza f , PDN realizza \bar{f}

Costruzione PUN da PDN

Problema: Data la rete Pull-Down (PDN) con nMOS, costruire la rete Pull-Up (PUN) con pMOS

★ METODO - Trasformazione DUALE

In pratica: INVERSIONE RICORSIVA di SERIE e PARALLELO

Dalla PDN alla PUN:

1. SERIE \rightarrow PARALLELO
2. PARALLELO \rightarrow SERIE
3. nMOS \rightarrow pMOS
4. Gate (ingressi) \rightarrow RIMANGONO UGUALI

PROCEDURA MECCANICA:

Step 1:

- Individua le connessioni SERIE
- Individua le connessioni PARALLELO

Step 2:

- Applica la trasformazione
 - Ogni SERIE diventa PARALLELO
 - Ogni PARALLELO diventa SERIE
 - Sostituisci nMOS con pMOS
 - Mantieni gli stessi gate

Esempio pratico:

PDN: nMOS(A) in SERIE con [nMOS(B) — nMOS(C)]

Applicazione trasformazione:

- A in SERIE \rightarrow A in PARALLELO
- (B — C) \rightarrow (B in SERIE con C)

PUN: pMOS(A) in PARALLELO con [pMOS(B) in SERIE con pMOS(C)]

In formula: $PUN = A \parallel (B \cdot C)$

Verifica:

- PDN: $f = A \cdot (B + C)$
- PUN: $\bar{f} = \overline{A} + (\overline{B} \cdot \overline{C}) = \overline{A} \cdot (\overline{B} + \overline{C}) \checkmark$

Nota: Questo metodo garantisce che solo una rete sia ON alla volta (proprietà fondamentale delle porte cMOS)

Impedenza con Condensatori

Impedenza del condensatore:

$$Z_C(s) = \frac{1}{sC}$$

Con $s = j\omega$: modulo $|Z_C| = \frac{1}{\omega C}$, fase $\angle Z_C = -90^\circ$

Comportamento del condensatore in base alla frequenza:

Freq.	Z_C	Equiv.	Effetto
DC ($\omega = 0$)	∞	Aperto	Cancella ramo
Alta ($\omega \rightarrow \infty$)	0	Corto	Filo (a GND)

★ DC ($\omega = 0$): $Z_C = \frac{1}{0 \cdot C} \rightarrow \infty \rightarrow \text{APERTO}$

Il condensatore è carico, blocca la corrente continua.

★ Alta freq. ($\omega \rightarrow \infty$): $Z_C = \frac{1}{\infty \cdot C} \rightarrow 0 \rightarrow \text{CORTO}$

Il condensatore non ha tempo di caricarsi, la corrente passa libera.

Nota: Se C è collegato a massa, il nodo va a GND.

Configurazioni comuni:

1. C in PARALLELO con R:

$$Z(s) = \frac{R \cdot \frac{1}{sC}}{R + \frac{1}{sC}} = \frac{R}{1 + sRC}$$

Notazione comoda per paralleli: $Z = (R^{-1} + z_C^{-1})^{-1}$

Più facile da manipolare rispetto a $\frac{Z_1 \cdot Z_2}{Z_1 + Z_2}$

Polo in: $\omega_p = \frac{1}{RC}$

2. C in SERIE con R:

$$Z(s) = R + \frac{1}{sC} = \frac{1 + sRC}{sC}$$

Zero in: $\omega_z = \frac{1}{RC}$

★ CONTROLLI (SANITY CHECKS)

Dopo aver calcolato impedenze (serie/parallelo):

1. Controllo Dimensionale:

- L'impedenza Z deve avere dimensione di Ω (ohm)
- Il coefficiente τ che moltiplica s deve essere in [s]
- Relazione utile: $[F] \cdot [\Omega] = [s]$
- Es: RC ha dimensioni $[\Omega] \cdot [F] = [s]$ ✓

2. Controllo a Frequenza Nulla ($s = 0$):

- A $s = 0$ (DC), il condensatore è APERTO
- Sostituisci $s = 0$ in $Z(s)$ calcolata
- Deve dare la stessa R_{eq} ottenuta considerando C aperto

Es: $Z = \frac{R}{1 + sRC}|_{s=0} = R$ (corretto: C aperto lascia R)

Forma Standard per Bode

Data una funzione di trasferimento generica come $T(s) = \frac{V_{out}}{I_{in}}$, portala in forma:

Trasferimento vs Guadagno:

- **Guadagno** = numero puro (adimensionale): $\frac{V_{out}}{V_{in}}$
- **Trasferimento** = ha unità di misura: es. $\frac{V_{out}}{I_{in}}$ [Ω]

Esempio: amplificatore a transimpedenza ha trasferimento in Ω

$$T(s) = K \cdot s^n \cdot \frac{(1+s\tau_{z1})(1+s\tau_{z2}) \cdots}{(1+s\tau_{p1})(1+s\tau_{p2}) \cdots}$$

Dove:

- K = guadagno costante (può essere assente se $K = 1$)
- s^n = poli/zeri nell'origine (può essere assente se $n = 0$)
 - $n > 0$: zeri nell'origine, $n < 0$: poli nell'origine
- $\tau_{zi} = \frac{1}{\omega_{zi}}$ = costante di tempo dello zero i -esimo
- $\tau_{pi} = \frac{1}{\omega_{pi}}$ = costante di tempo del polo i -esimo

Procedimento:

1. Fattorizza numeratore e denominatore
2. Porta ogni fattore $(s + a)$ nella forma $(1 + s\tau)$:
 $(s + a) = a(1 + s/a) \rightarrow$ raccolta a in K , con $\tau = 1/a$
3. Raccogli tutti i coefficienti costanti in K
4. Eventuali s isolati formano il termine s^n

Nota: In questa forma, poli e zeri sono immediatamente visibili: $\omega_p = \frac{1}{\tau_p}$ e $\omega_z = \frac{1}{\tau_z}$

Conversione Scala Logaritmica \leftrightarrow Lineare

Da LINEARE a dB (logaritmica):

$$|T|_{dB} = 20 \log_{10}(|T|_{lin})$$

Da dB a LINEARE:

$$|T|_{lin} = 10^{|T|_{dB}/20}$$

Valori utili da ricordare:

- 0 dB \leftrightarrow 1 (lineare)
- 20 dB \leftrightarrow 10 (lineare)
- -20 dB \leftrightarrow 0.1 (lineare)
- 3 dB \leftrightarrow $\sqrt{2} \approx 1.41$ (lineare)
- -3 dB \leftrightarrow $1/\sqrt{2} \approx 0.707$ (lineare)
- 6 dB \leftrightarrow 2 (lineare)

Bode - Diagramma del Modulo

Data $T(s) = K \cdot s^n \cdot \frac{(1+s\tau_{z1})(1+s\tau_{z2}) \cdots}{(1+s\tau_{p1})(1+s\tau_{p2}) \cdots}$

Punto di partenza per il tracciamento:

- Se $n = 0$: calcola $|T(0)|$ e $\angle T(0)$ (sostituisce $s = 0$)
- Se $n \neq 0$: NON puoi calcolare a $s = 0$ (singolarità!) → vedi box dedicato

Tracciamento del Modulo:

1. Contributo di K (guadagno costante):

Retta orizzontale a: $20 \log_{10} |K|$ dB

- Se $K > 0$: $20 \log_{10} K$ dB
- Se $K < 0$: $20 \log_{10} |K|$ dB (modulo positivo)

2. Contributo di s^n (poli/zeri nell'origine):

Retta passante per (1, 0 dB) con pendenza:

- $+20n$ dB/dec se $n > 0$ (zeri nell'origine)
- $-20|n|$ dB/dec se $n < 0$ (poli nell'origine)

3. Contributo degli ZERI ($1 + s\tau_z$):

Per $\omega_z = \frac{1}{\tau_z}$:

- $\omega < \omega_z$: contributo ≈ 0 dB (retta orizzontale)
- $\omega = \omega_z$: punto di spigolo
- $\omega > \omega_z$: pendenza $+20$ dB/dec

4. Contributo dei POLI ($1 + s\tau_p$):

Per $\omega_p = \frac{1}{\tau_p}$:

- $\omega < \omega_p$: contributo ≈ 0 dB (retta orizzontale)
- $\omega = \omega_p$: punto di spigolo
- $\omega > \omega_p$: pendenza -20 dB/dec

5. Tracciamento finale (METODO PRATICO):

- Parte da $K \cdot s^n$ con pendenza iniziale

Se $n = 0$: costante fino alla 1^a singolarità

- Ordina poli e zeri per frequenza crescente

- Ad ogni singolarità (da sinistra a destra):

- Per ogni zero: aggiungi $+20$ dB/dec alla pendenza
- Per ogni polo: aggiungi -20 dB/dec alla pendenza
- d) Esempio: se hai pendenza 0 e incontri zero → diventa $+20$ dB/dec

poi incontri polo → diventa 0 dB/dec

Guadagno di Banda (GBW):

Per amplificatori con 1 polo dominante:

$$\text{GBW} = |A_0| \cdot \omega_p$$

Dove A_0 è il guadagno a basse frequenze (prima del polo)

Bode - Metodo Generale Unificato

★ METODO GENERALE UNIFICATO per Bode del Modulo

PASSO 1: Analisi Strutturale (Scomposizione Visiva)

Guarda $G(s)$ e identifica col dito questi tre elementi (no calcoli, solo riconoscimento):

1. Il Guadagno Statico (K):

Raccogli tutti i numeri costanti che moltiplicano la funzione.
→ Determina l'altezza verticale del grafico.

2. I Termini Binomiali ($1 + s\tau$) (singolarità standard):

- Se è al NUMERATORE (s, s^2): hai n Zeri nell'origine
- Se è al DENOMINATORE ($1/s, 1/s^2$): hai n Poli nell'origine

3. La "S" Isolata (s^n):

Cerca le s che NON sono sommate a 1 (es: $s, s^2, 1/s, 1/s^2$)

- Se al NUMERATORE (s, s^2): hai n Zeri nell'origine
- Se al DENOMINATORE ($1/s, 1/s^2$): hai n Poli nell'origine
- Se non c'è: $n = 0$

PASSO 2: Calcolo delle Frequenze di Taglio

Prendi tutti i Termini Binomiali (Passo 1, punto 2) e calcola:

$$f_p = \frac{1}{2\pi \cdot \tau}$$

Lista Ordinata: metti le frequenze in ordine crescente $f_1 < f_2 < f_3 \dots$

→ Questi sono i "paletti" verticali sull'asse delle frequenze.

PASSO 3: Il Confronto Cruciale (L'Attacco del Grafico)

Decidi come inizia il grafico a sinistra. Guarda solo la "S" Isolata (Passo 1, punto 3).

CASO A: Nessuna "S" Isolata (singolarità NON in zero)

- **Comportamento:** Il grafico parte PIATTO (orizzontale)
- **Valore di partenza:** Converti K da lineare a dB:

$$[K]_{dB} = 20 \log_{10}([K]_{lin})$$

- **Azione:** Disegna retta orizzontale fino alla prima freq. f_1

CASO B: Presenza di "S" Isolata (singolarità IN zero)

- **Comportamento:** Il grafico parte IN PENDENZA
 - Zero in origine (s): parte salendo (+20 dB/dec)
 - Polo in origine ($1/s$): parte scendendo (-20 dB/dec)

• Punto di Ancoraggio (IL TRUCCO):

Non calcolare la retta iniziale (difficile!)
Scegli f_{test} dopo la prima singolarità o nel "centro banda"
Calcola il modulo con $s = j2\pi f_{test}$
Segna quel punto e usalo come perno per le pendenze

PASSO 4: Tracciamento Dinamico (Disegno)

Percorri l'asse delle frequenze da sinistra a destra:

1. Avanza fino alla prima frequenza f_1

2. Applica la modifica:

- Se f_1 era un **POLO**: sottrai 20 alla pendenza
(es: eri piatto 0 → diventi -20 dB/dec)
- Se f_1 era uno **ZERO**: aggiungi 20 alla pendenza
(es: scendevi -20 → diventi piatto 0)

3. Prosegui fino a f_2 e ripeti

Formule Rapide di Navigazione sul Bode

★ REGOLE AUREE per muoversi sul grafico

1. Sulla DISCESA (-20 dB/dec): Legge del Prodotto Costante

$$G \cdot f = \text{Costante}$$

Usa: Da (G_1, f_1) trovo G_2 a frequenza f_2 :

$$G_2 = \frac{G_1 \cdot f_1}{f_2}$$

Mnemonica: "Più vado avanti in frequenza, più il guadagno scende: il loro prodotto resta uguale."

2. Sulla SALITA (+20 dB/dec): Legge del Rapporto Costante

$$\frac{G}{f} = \text{Costante}$$

Usa: Da (G_1, f_1) trovo G_2 a frequenza f_2 :

$$G_2 = G_1 \cdot \frac{f_2}{f_1}$$

Mnemonica: "Se la frequenza raddoppia, il guadagno raddoppia."

Caso Generale: pendenza $\pm n \cdot 20$ dB/dec

DISCESA ($-n \cdot 20$ dB/dec):

$$G \cdot f^n = \text{Cost.} \Rightarrow G_2 = G_1 \cdot \left(\frac{f_1}{f_2}\right)^n$$

SALITA ($+n \cdot 20$ dB/dec):

$$\frac{G}{f^n} = \text{Cost.} \Rightarrow G_2 = G_1 \cdot \left(\frac{f_2}{f_1}\right)^n$$

Pendenza Discesa Salita

Pendenza	Discesa	Salita
± 20 dB/dec	$G \cdot f$	G/f
± 40 dB/dec	$G \cdot f^2$	G/f^2
± 60 dB/dec	$G \cdot f^3$	G/f^3

Intersezione con asse 0 dB: $G = 1$

△ WARNING CRITICO:

Quando cerchi l'intersezione con l'asse 0 dB, usa:

$$G_{\text{lineare}} = 1 \quad (\text{NON } 0!)$$

Motivo: $0 \text{ dB} \Leftrightarrow G_{\text{lin}} = 1$

Se metti 0 nella moltiplicazione, annulli tutto!

Esempio pratico:

Plateau a $G = 100$ che finisce in polo a $f = 1$ kHz.

A che frequenza taglio l'asse 0 dB scendendo?

Usa regola discesa: $G_1 \cdot f_1 = G_2 \cdot f_2$

$$100 \cdot 1\text{k} = 1 \cdot f_x \Rightarrow f_x = 100 \text{ kHz}$$

Bode - Singolarità in Zero ($n \neq 0$)

Caso: $T(s) = s\tau_0 \cdot \frac{(1+s\tau_{z1})}{(1+s\tau_{p1})}$ (zero nell'origine)

Procedimento:

1. Trova il punto di partenza (intersezione con 0 dB):

$$\text{Frequenza: } f_0 = \frac{1}{2\pi\tau_0} \quad \text{oppure} \quad \omega_0 = \frac{1}{\tau_0}$$

\Rightarrow A $\omega = \omega_0$ il contributo di $s\tau_0$ vale **0 dB**

2. Traccia la retta con pendenza +20 dB/dec passante per il punto $(\omega_0, 0 \text{ dB})$

3. Aggiungi i contributi di poli/zeri:

- A $\omega_{z1} = 1/\tau_{z1}$: pendenza +20 dB/dec
- A $\omega_{p1} = 1/\tau_{p1}$: pendenza -20 dB/dec

△ Se polo nell'origine (es. $\frac{1}{s\tau_0}$):

- Pendenza iniziale -20 dB/dec
- Stesso punto di partenza: $(\omega_0 = 1/\tau_0, 0 \text{ dB})$

FASE con singolarità in zero:

Zero nell'origine (s^n al numeratore):

Fase iniziale: $+90^\circ \cdot n$ (costante $\forall \omega$)

Polo nell'origine (s^n al denominatore):

Fase iniziale: $-90^\circ \cdot n$ (costante $\forall \omega$)

Poi aggiungi i contributi dei poli/zeri normali ($\pm 90^\circ$ ciascuno)

Bode - Diagramma della Fase

Tracciamento della Fase:

1. Contributo di K:

- Se $K > 0$ (cioè $T(0) > 0$): fase = 0°
- Se $K < 0$ (cioè $T(0) < 0$): fase = -180°

Se $T(0) < 0$, parti da -180° e somma i contributi

2. Contributo di s^n :

Fase costante: $+90^\circ \cdot n$ per ogni frequenza

3. Contributo degli ZERI ($1 + s\tau_z$):

Transizione centrata in $\omega_z = \frac{1}{\tau_z}$:

- $\omega < \omega_z/10$: fase $\approx 0^\circ$
- $\omega = \omega_z$: fase = $+45^\circ$
- $\omega > 10\omega_z$: fase $\approx +90^\circ$

Transizione lineare tra $\omega_z/10$ e $10\omega_z$

4. Contributo dei POLI ($1 + s\tau_p$):

Transizione centrata in $\omega_p = \frac{1}{\tau_p}$:

- $\omega < \omega_p/10$: fase $\approx 0^\circ$
- $\omega = \omega_p$: fase = -45°
- $\omega > 10\omega_p$: fase $\approx -90^\circ$

Transizione lineare tra $\omega_p/10$ e $10\omega_p$

5. Tracciamento finale:

a) Parti dalla fase iniziale:

- Se $T(0) > 0$: parte da $0^\circ + 90^\circ \cdot n$
- Se $T(0) < 0$: parte da $-180^\circ + 90^\circ \cdot n$

b) Somma algebrica dei contributi di poli e zeri:

- Zeri: $+90^\circ$ asintoticamente (transizione da $\omega_z/10$ a $10\omega_z$)
- Poli: -90° asintoticamente (transizione da $\omega_p/10$ a $10\omega_p$)

c) I contributi si **sovrappongono** se poli/zeri sono vicini

★ ERRORE COMUNE

Nel modulo, le pendenze si **sommano** ad ogni polo/zero

Nella fase, i contributi si **sovrappongono** (somma algebrica delle fasi)

Intersezione 0 dB in Bode

Problema: Il diagramma passa vicino a 0 dB nei pressi di una singolarità. Interseca prima o dopo?

Regola di Conservazione Guadagno-Frequenza:

Su un tratto con pendenza costante di m dB/dec, vale:

$$|T(\omega)| \cdot \omega^{m/20} = \text{costante}$$

Metodo pratico (verifica per ipotesi):

IPOTESI: Supponi che la retta continui **indisturbata** con la stessa pendenza (cioè che interseca 0 dB PRIMA della singolarità)

- Identifica un punto noto sul tratto: $(\omega_1, |T(\omega_1)|)$

Es: a basse frequenze, spesso $|T(0)| = K$

- Con pendenza m dB/dec costante, calcola ω_0 dove $|T| = 1$:

$$\omega_0 = \omega_1 \cdot |T(\omega_1)|^{20/m}$$

ATTENZIONE: $|T(\omega_1)|$ in scala LINEARE, non in dB!

Se hai il valore in dB: $|T| = 10^{(dB/20)}$

- Confronta ω_0 con la singolarità ω_s :

- Se $\omega_0 < \omega_s$: ipotesi **CORRETTA** → interseca prima
La retta raggiunge 0 dB prima di cambiare pendenza
- Se $\omega_0 > \omega_s$: ipotesi **ERRATA** → interseca dopo
La pendenza cambia prima di raggiungere 0 dB

Casi comuni:

Pendenza 0 dB/dec ($m = 0$): costante, già noto

Pendenza -20 dB/dec ($m = -20$):

$$\omega_0 = \omega_1 \cdot |T(\omega_1)|$$

Questa è la formula del **GBW** (Guadagno di Banda)!

Pendenza +20 dB/dec ($m = +20$):

$$\omega_0 = \frac{\omega_1}{|T(\omega_1)|}$$

★ UTILITÀ PRATICA

Questo metodo evita di dover disegnare con precisione il diagramma per capire l'ordine di intersezione e singolarità, garantendo il tracciamento corretto dopo entrambi i punti.

Calcolo Guadagno a Frequenze Specifiche

Quando ti chiedono il guadagno a una frequenza specifica:

CASO 1: Lontano dalle singolarità (≥ 1 decade)

Usa il **diagramma sintotico** (approssimazione):

- Se $\omega < \omega_p/10$ o $\omega > 10\omega_p$: il polo/zero ha effetto trascurabile
- Leggi il valore dal diagramma asintotico con la pendenza corrente

Esempio: Con pendenza -20 dB/dec da ω_1 a ω_2 :

$$|T(\omega_2)|_{\text{dB}} = |T(\omega_1)|_{\text{dB}} - 20 \log_{10} \left(\frac{\omega_2}{\omega_1} \right)$$

CASO 2: Esattamente sulla singolarità ($\omega = \omega_p$ o ω_z)

Usa le **formule esatte**:

Modulo:

- Polo: $|1 + j\omega_p \tau_p| = |1 + j| = \sqrt{2} \rightarrow -3 \text{ dB}$
- Zero: $|1 + j\omega_z \tau_z| = |1 + j| = \sqrt{2} \rightarrow +3 \text{ dB}$

Fase:

- Polo: $\angle(1 + j\omega_p \tau_p) = \arctan(1) \rightarrow -45^\circ$
- Zero: $\angle(1 + j\omega_z \tau_z) = \arctan(1) \rightarrow +45^\circ$

CASO 3: Vicino alle singolarità (< 1 decade ma \neq singolarità)

Usa i **numeri complessi**, sostituendo $s = j\omega$:

$$T(j\omega) = K \cdot (j\omega)^n \cdot \frac{(1 + j\omega \tau_{z1})(1 + j\omega \tau_{z2}) \cdots}{(1 + j\omega \tau_{p1})(1 + j\omega \tau_{p2}) \cdots}$$

- Sostituisci il valore numerico di ω
- Calcola ogni termine: $|1 + j\omega \tau| = \sqrt{1 + (\omega \tau)^2}$
- Moltiplica/dividi i moduli per ottenere $|T(j\omega)|$
- Converti in dB: $20 \log_{10} |T(j\omega)|$

Regola pratica:

- Lontano → diagramma sintotico (veloce)
- Esattamente sopra → ±3 dB, ±45° (immediato)
- Vicino → numeri complessi (calcolo esatto)

Guadagno Reale vs Ideale

★ ESAME: Calcolo del GUADAGNO REALE

Calcolo del guadagno d'anello G_{loop} :

- Spegni tutti i generatori (incluso V_{in} !)
- Taglia l'anello (apri il feedback)
- Inserisci generatore di test V_t nel punto di taglio
- Usa la caratteristica dell'OpAmp:
 $V_y = A(s) \cdot (V^+ - V^-)$ con $A(s) = \frac{A_0}{1+s\tau_0}$
- Scrivi $G_{loop} = \frac{V_y}{V_t}$

$$G_{loop} = \frac{V_y}{V_t} = A(s) \cdot \beta$$

$A(s)$ = guadagno ad anello aperto dell'OpAmp:

$$A(s) = \frac{A_0}{1 + s\tau_0}$$

- $A_0 = A(0)$ = guadagno a freq. 0 (punto partenza Bode, $\sim 10^5 \text{--} 10^6$)
- $\tau_0 = \frac{1}{\omega_p}$ = costante di tempo polo dominante
(polo dominante = polo a freq. più bassa)

GBWP (Gain-Bandwidth Product):

$$\text{GBWP} = A_0 \cdot f_0$$

dove $f_0 = \frac{1}{2\pi\tau_0}$ = frequenza del polo. In questo corso gli OpAmp hanno **sempre una singola singolarità**.

β = fattore di retroazione (dipende da R_f, R_G)

△ **ATTENZIONE:** $V^+ = V^-$ NON vale qui!

L'ipotesi $V^+ = V^-$ è valida solo per OpAmp retroazionati (ideali in catena chiusa).

Nel calcolo di G_{loop} l'anello è **aperto** ⇒ devi usare $V_{out} = A(s) \cdot (V^+ - V^-)$

Relazione tra i guadagni:

$$G_A = -G_{loop} \cdot G_{id}$$

G_A = guadagno di andata, G_{loop} = guadagno d'anello, G_{id} = guadagno ideale

Formula guadagno reale:

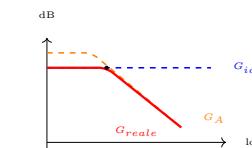
$$G_{real} = \frac{G_{ideale}}{1 - \frac{1}{G_{loop}}}$$

★ METODO GRAFICO (più veloce!)

Procedimento:

- Traccia il Bode del guadagno ideale G_{id}
- Traccia il Bode del guadagno d'andata G_A
- Per ogni frequenza: prendi il valore più BASSO tra i due grafici

⇒ Il risultato è il Bode del guadagno reale



Perché funziona:

- Se $|G_{loop}| \gg 1$: $G_{real} \approx G_{id}$
- Se $|G_{loop}| \ll 1$: $G_{real} \approx G_A$ (segue l'andata)

⇒ Il guadagno reale è **limitato** dal più piccolo dei due!

Guadagno Reale - Intersezioni

△ ATTENZIONE alle INTERSEZIONI

Problema tipico:

G_A e G_{id} hanno zeri/poli a frequenze diverse \Rightarrow le intersezioni possono essere **non ovvie**.

Caso comune:

- G_A sale poi diventa piatto (a un certo valore)
- G_{id} sale poi diventa piatto (a valore **diverso**)

Domanda: L'intersezione è **prima o dopo** il prossimo polo?

Metodo per ipotesi:

1. **Fai un'ipotesi** su quale tratto (salita/discesa/piatto) interseca

2. Usa le regole di navigazione:

- Discesa: $G \cdot f = \text{cost}$
- Salita: $G/f = \text{cost}$

3. Calcola la frequenza di intersezione f_x

4. **Verifica:** Se f_x viene **più alta** del polo successivo \Rightarrow ipotesi sbagliata!

Rifai con pendenza diversa (es: crescente invece che decrescente)

Alla fine:

Per ogni frequenza, evidenzia il **punto più basso** tra G_A e $G_{id} \Rightarrow$ ottieni G_{reale}

★ NOTA su A_0 e GBW:

Se non viene dato A_0 ma viene dato τ_0 :

- Potrebbe essere dato il **GBW** (prodotto guadagno-banda)
- Oppure c'è un altro modo per risolvere l'esercizio

Ricorda: $\text{GBW} = A_0 \cdot \omega_p = A_0/\tau_0$

Calcolo analitico di G_{id} :

Se richiesto esplicitamente, può portare a **equazioni di 2° grado in s** (conti lunghi).

\Rightarrow Raramente richiesto all'esame.

Margine di Fase e Stabilità

★ MARGINE DI FASE e STABILITÀ

Procedimento:

1. Disegna il Bode di G_{loop} (modulo e fase)
2. Trova la **frequenza di crossover** f_c : frequenza dove $|G_{loop}| = 0 \text{ dB}$ (taglia l'asse **orizzontale**)
3. Leggi la **fase** di G_{loop} a f_c : $\phi(f_c)$
4. Calcola il **margine di fase**:

$$\text{PM} = 360 + \phi(f_c)$$

Formula esplicita per $\phi(f_c)$:

$$\phi(f_c) = 180^\circ - \sum_i \arctan\left(\frac{f_c}{f_{pi}}\right) + \sum_j \arctan\left(\frac{f_c}{f_{zj}}\right)$$

• f_c = frequenza di crossover (dove $|G_{loop}| = 0 \text{ dB}$)

• f_{pi} = frequenza del polo i -esimo

• f_{zj} = frequenza dello zero j -esimo

I poli **sottraggono** fase, gli zeri **aggiungono** fase.

Classificazione della stabilità:

Margine di Fase	Sistema
PM > 45	Asintoticamente stabile
PM = 0	Criticamente stabile
PM < 0	Instabile

△ NOTA PRATICA:

- PM $\approx 60-70$: risposta ben smorzata

- PM ≈ 45 : leggero overshoot

- PM < 45 : oscillazioni/overshoot significativo

Regola: Più alto il PM, più stabile il sistema

△ SISTEMA CON 2 POLI PRIMA DI f_c :

Se f_c viene **dopo** entrambi i poli (cioè $f_{p1}, f_{p2} < f_c$):

\Rightarrow Sistema **SICURAMENTE INSTABILE**

(fase già a -180 prima del taglio)

△ f_c a meno di 1 decade dal 2° polo:

Se $f_{p1} < f_c < f_{p2}$ ma $f_c < 10 \cdot f_{p2}$:

\Rightarrow Il grafico **ideale** della fase **NON** è **affidabile**!

\Rightarrow Devi calcolare il **PM analiticamente** con gli arctan

Verifica: $f_c > 10 \cdot f_{p2}$? \Rightarrow OK grafico ideale

Es: $f_{p2} = 15.92 \text{ kHz} \Rightarrow$ serve $f_c > 159.2 \text{ kHz}$

Se $f_c = 90.9 \text{ kHz} < 159.2 \text{ kHz} \Rightarrow$ **calcolo analitico!**

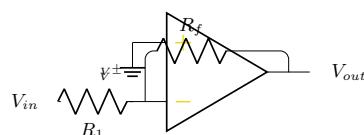
Interpretazione grafica:

Il margine di fase è “quanto manca” alla fase per raggiungere -360 (o -180 in alcuni testi) quando il guadagno vale 0 dB .

Se la fase è già oltre -360 quando $|G| = 0 \text{ dB} \Rightarrow$ sistema **instabile**

OpAmp - Retroazione Negativa

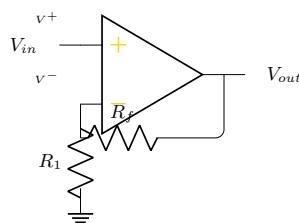
Amplificatore Invertente:



$$V_{out} = -\frac{R_f}{R_1} V_{in}$$

Guadagno: $A_v = -\frac{R_f}{R_1}$ (segno $-$ = inversione)
 R_1 = impedenza di ingresso (tra V_{in} e V^-)

Amplificatore Non Invertente:



$$V_{out} = \left(1 + \frac{R_f}{R_1}\right) V_{in}$$

Guadagno: $A_v = 1 + \frac{R_f}{R_1}$ (sempre ≥ 1)
 R_1 = impedenza verso GND (tra V^- e massa)

Buffer (Voltage Follower):

Caso speciale: $R_f = 0$, $R_1 \rightarrow \infty$ (aperto)

$$V_{out} = V_{in} \quad (A_v = 1)$$

Alta impedenza di ingresso, bassa impedenza di uscita.

★ IPOTESI OpAmp IDEALE

- $V^+ = V^-$ (massa virtuale se $V^+ = 0$)
- $I^+ = I^- = 0$ (corrente negli ingressi nulla)
- Guadagno ad anello aperto $A \rightarrow \infty$

△ ATTENZIONE: R_1 ha significato DIVERSO!

INVERTENTE:

$R_1 = Z_{in}$ = impedenza di ingresso
 (tra V_{in} e V^- , NON c'è R verso GND)

NON INVERTENTE:

$R_1 = Z_G$ = impedenza verso ground
 (tra V^- e massa, V_{in} entra direttamente su V^+)

⇒ Stessa formula $\frac{R_f}{R_1}$, ma R_1 è diversa!

OpAmp - Riconoscimento Rapido

A_v = Guadagno di tensione: $V_{out} = A_v \cdot V_{in}$

★ REGOLA D'ORO - Riconoscimento al volo

Dove entra il segnale V_{in} ?

Entra su V^-	Entra su V^+
INVERTENTE	NON INVERTENTE
$A_v = -\frac{R_f}{R_1}$	$A_v = 1 + \frac{R_f}{R_1}$

Procedimento rapido:

1. INVERTENTE (V_{in} su V^- , V^+ a massa)

1. $V^+ = 0$ (a massa) $\Rightarrow V^- = 0$ (massa virtuale)
2. Corrente in R_1 : $I = \frac{V_{in}-0}{R_1} = \frac{V_{in}}{R_1}$
3. Stessa I passa in R_f (no corrente in OpAmp)
4. $V_{out} = 0 - I \cdot R_f = -\frac{R_f}{R_1} V_{in}$

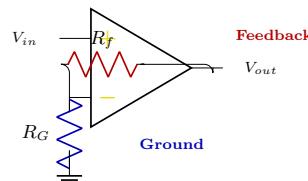
2. NON INVERTENTE (V_{in} su V^+)

1. $V^+ = V_{in} \Rightarrow V^- = V_{in}$
2. V^- sta sul partitore R_1-R_f :

$$V^- = V_{out} \cdot \frac{R_1}{R_1 + R_f} = V_{in}$$

$$3. \text{ Risolvo: } V_{out} = V_{in} \cdot \frac{R_1 + R_f}{R_1} = \left(1 + \frac{R_f}{R_1}\right) V_{in}$$

R_f (Feedback) e R_G (Ground) - Definizioni



- R_f = collega V^- a V_{out} (chiude l'anello)
- R_G = collega V^- a massa (riferimento)

Nota: R_G è anche chiamata R_1 in molti testi

△ TRUCCO MNEMONICO

- Invertente: segnale entra sul $-$ \Rightarrow guadagno con $-$
- Non Inv.: segnale entra sul $+$ \Rightarrow guadagno ≥ 1 (positivo)

$$\text{Formula universale (non inv.): } A_v = 1 + \frac{R_{feedback}}{R_{GND}}$$

Caso misto (sommatore):

Se ci sono più ingressi su V^- attraverso resistenze diverse:

$$V_{out} = -R_f \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} + \dots \right)$$

Ogni ingresso contribuisce con il proprio rapporto $-\frac{R_f}{R_i}$

Slew Rate OpAmp

Definizione: Lo Slew Rate (SR) è la massima velocità con cui l'uscita di un OpAmp può variare nel tempo.

$$SR = \left| \frac{dV_{out}}{dt} \right|_{\max}$$

Unità di misura: V/ μ s oppure V/s

A cosa serve:

Lo slew rate è una limitazione fisica dell'OpAmp reale:

- Limita la velocità di risposta dell'amplificatore
- Se il segnale richiede una variazione più rapida, l'uscita viene distorta
- Importante per segnali ad alta frequenza o grande ampiezza

Calcolo e Verifica:

Per un segnale sinusoidale $V_{out}(t) = V_{max} \sin(\omega t)$:

$$\frac{dV_{out}}{dt} = V_{max} \omega \cos(\omega t)$$

La derivata massima è:

$$\left| \frac{dV_{out}}{dt} \right|_{\max} = V_{max} \cdot \omega = 2\pi f V_{max}$$

Condizione per evitare distorsione:

$$2\pi f V_{max} \leq SR$$

Oppure, frequenza massima senza distorsione:

$$f_{\max} = \frac{SR}{2\pi V_{max}}$$

★ IMPORTANTE

Se $2\pi f V_{max} > SR$:

- L'uscita NON segue l'ingresso
- Si ha distorsione del segnale (tipicamente forma triangolare)

Lo slew rate è indipendente dal guadagno (caratteristica dell'OpAmp)

Esempio pratico:

OpAmp con SR = 1 V/ μ s, segnale con $V_{max} = 10$ V

$$f_{\max} = \frac{1 \times 10^6 \text{ V/s}}{2\pi \times 10 \text{ V}} \approx 15.9 \text{ kHz}$$

A frequenze superiori, il segnale viene distorto.

Risposta al Gradino - Sistema 1° Ordine

Sistema del primo ordine:

$$T(s) = \frac{K}{1 + s\tau}$$

Dove:

- K = costante (guadagno statico)
- τ = costante di tempo (coefficiente di s)
- Polo in $\omega_p = \frac{1}{\tau}$

Risposta al gradino di ampiezza X_0 :

L'uscita ha andamento **esponenziale**:

$$y(t) = K \cdot X_0 \cdot \left(1 - e^{-t/\tau}\right)$$

Valore asintotico (per $t \rightarrow \infty$):

$$y_\infty = K \cdot X_0$$

Dove X_0 può essere una tensione o una corrente.

⚠ ATTENZIONE al segno di K :

- Se $K > 0$: esponenziale **crescente** (parte da 0, sale verso $K \cdot X_0$)
- Se $K < 0$: esponenziale **decrescente** (parte da 0, scende verso $K \cdot X_0$)

Parametri chiave:

- τ = costante di tempo (si legge direttamente dal denominatore come coefficiente di s)
- Dopo $t = 5\tau$ l'uscita raggiunge $\approx 99\%$ del valore finale

Caso con due poli (raro in questo corso):

$$T(s) = \frac{K}{(1 + s\tau_1)(1 + s\tau_2)}$$

Se i due poli sono **ben separati** (uno molto più lento dell'altro), la dinamica è dominata dal **polo a frequenza minore** (quello con τ maggiore).

In questo caso si può approssimare il sistema come se avesse un solo polo dominante.

DAC R-2R (Resistor Ladder)

DAC (Digital-to-Analog Converter)

Converte un segnale **digitale** (N bit) in un segnale **analogico** (tensione o corrente proporzionale).

DAC R-2R (Resistor Ladder)

Rete a scala con sole resistenze di valore R e $2R$.

Princípio: Biforazione delle Correnti

Ad ogni nodo la corrente si **divide esattamente a metà**:

- Metà scende verso il ramo $2R$ (deviatore S_i)
- Metà prosegue orizzontalmente verso il nodo successivo

Perché si divide a metà?

Ad ogni nodo, la R_{eq} vista "a destra" vale $2R$ (proprietà della rete R-2R), quindi le due vie hanno **stessa resistenza** ⇒ stessa corrente!

- n biforazioni: $I \rightarrow \frac{I}{2^n}$

△ Se una resistenza cambia (es. $2R \rightarrow R'$):

La configurazione R-2R si **rompe**!

- La R_{eq} vista dal nodo modificato verso destra **non è più** $2R$
- La corrente **non si divide più a metà**
- Devi ricalcolare con partitore di corrente:

$$I_{ramo} = I_{tot} \cdot \frac{R_{altro}}{R_{ramo} + R_{altro}}$$

★ CASO SEMPLICE: cambio NON sul bit meno significativo

Se la resistenza modificata **non è quella di S_0 (LSB)**:

- ⇒ Il cambio influenza **solo** sulla corrente di quel ramo!
- ⇒ Le correnti degli **altri bit restano invariate**

Calcolo V_{out} :

$$V_{out} = V_{out,ideale} + \Delta V \cdot S_i$$

dove ΔV = errore dovuto al cambio di R , S_i = bit modificato

★ L'errore c'è SOLO se $S_i = 1$!

△ Se cambia la R di S_0 (**LSB**): tutte le correnti cambiano!

★ TRUCCO: Rinomina la corrente!

Per evitare frazioni, chiama la corrente in uscita (quella che va verso V con R) con un multiplo di 2^n :

Esempio con 3 biforazioni:

Invece di $I_{out} = \frac{I}{8}$, chiama $I_{out} = 8I$

⇒ Le correnti ai nodi saranno $8I, 4I, 2I, I$ (numeri interi!)

Procedimento di calcolo:

1. Calcola la **resistenza equivalente** vista dal generatore V
2. Se c'è una R in serie sotto, sommala a R_{eq}
3. Calcola $I = \frac{V}{R_{tot}}$
4. Segui le biforazioni per trovare I_{out}

DAC R-2R - Deviatori e V_{out}

Deviatori (Switch):

- $S_i = 1 \Rightarrow$ deviatore **CHIUSO** (corrente passa)
- $S_i = 0 \Rightarrow$ deviatore **APERTO** (corrente non passa)

Tutti aperti ($S_0 = S_1 = S_2 = 0$):

$R_{eq} = \infty \Rightarrow$ utile per calcolo errore con V_{offset}

Formula V_{out} (DAC R-2R a 3 bit):

$$V_{out} = -I_F \cdot R_F$$

dove I_F = corrente di feedback:

$$I_F = I \cdot S_0 + 2I \cdot S_1 + 4I \cdot S_2$$

Quindi:

$$V_{out} = -I \cdot R_F \cdot (S_0 + 2S_1 + 4S_2)$$

I "+" funzionano come OR: solo i bit a 1 contribuiscono!

DAC - FSR e LSB

FSR e LSB (DAC a N bit):

LSB (Least Significant Bit):

Tensione corrispondente al bit meno significativo:

$$\text{LSB} = V_{out}(000\dots1) = I \cdot R_F$$

FSR (Full Scale Range):

Escursione massima dell'uscita:

$$\text{FSR} = V_{out,max} - V_{out,min}$$

Con $V_{out,min} = 0$ (tutti i bit a 0):

$$\text{FSR} = V_{out}(111\dots1) = \text{LSB} \cdot 2^N$$

Relazione LSB-FSR:

$$\text{LSB} = \frac{\text{FSR}}{2^N}$$

Nota: Più bit $N \Rightarrow$ LSB più piccolo ⇒ risoluzione migliore

DAC - DNL (1/2)

DNL (Differential Non-Linearity)

Misura lo **scostamento** tra il gradino reale e quello ideale nella caratteristica V_{out} vs S_{in} .

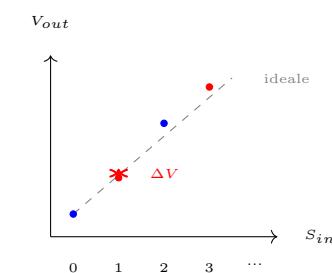
DNL Assoluta (in Volt):

$$\text{DNL}_{ABS}(i) = V_{out}(i) - V_{out}(i-1) - \text{LSB}$$

DNL Relativa (in LSB):

$$\text{DNL}_{REL}(i) = \frac{\text{DNL}_{ABS}(i)}{\text{LSB}}$$

Caratteristica V_{out} vs S_{in} (word):



DAC - DNL (2/2)

Calcolo pratico:

Se l'errore è su un **pattern** (es. tutti i dispari):

1. Calcola V_{out} per un **solo caso** (es. word = 1)
2. Trova $\text{DNL}_{ABS} = V_{out,reale}(1) - V_{out,ideale}(1)$
3. Dividi per LSB ⇒ DNL_{REL}

Nota: La word 0 **non si calcola** (nessun gradino precedente)

△ ATTENZIONE ai gradini di "ritorno":

Se da 0→1 ho un gradino di $-\Delta V$ (es. -100 mV):

- $V_{out}(1)$ è **sotto** la retta ideale

Quando passo da 1→2 (e 2 è **corretto**):

- Devo "recuperare" il ΔV perso!
- Il gradino 1→2 sarà di $+\Delta V$ rispetto all'ideale

⇒ **DNL alternata**: $-\Delta V, +\Delta V, -\Delta V, \dots$

Interpretazione DNL:

- $\text{DNL}_{REL} = 0 \Rightarrow$ gradino perfetto
- $\text{DNL}_{REL} > 0 \Rightarrow$ gradino più grande
- $\text{DNL}_{REL} < 0 \Rightarrow$ gradino più piccolo
- $\text{DNL}_{REL} = -1 \Rightarrow$ **missing code**

DAC - Dinamica Transizioni (OpAmp reale)

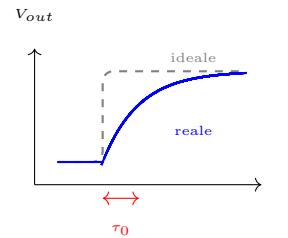
Dinamica delle Transizioni (OpAmp reale)

Caso ideale: transizione istantanea (gradino perfetto)

Caso reale: OpAmp con guadagno finito e polo

$$A(s) = \frac{A_0}{1 + s\tau_0}$$

⇒ La transizione è un **esponenziale** con $\tau = \tau_0$



Transizione (es. da 000 a 100):

$$V_{out}(t) = V_{final} \cdot \left(1 - e^{-t/\tau_0}\right)$$

dove τ_0 = costante di tempo del polo dell'OpAmp

Nota: τ_0 limita la **velocità** del DAC (settling time)

△ Configurazione influenza G_{loop} :

Al cambiare della **word** (configurazione deviatori), cambia la R_{eq} vista dall'OpAmp.

⇒ Cambia il **guadagno d'anello** G_{loop}

⇒ Cambia il **guadagno reale** G_{real}

⇒ Cambiano i **tempi di propagazione!**

Conseguenza: Il settling time **dipende dalla word**

DAC a Correnti Pesate

DAC a Correnti Pesate

Ogni bit controlla un **generatore di corrente** con peso binario. Le correnti vengono sommate e convertite in tensione.

Principio di funzionamento:

Ogni bit S_i attiva un generatore di corrente I_i :

$$I_i = 2^i \cdot I_{LSB}$$

dove I_{LSB} = corrente del bit meno significativo.

Corrente totale:

$$I_{tot} = I_{LSB} \cdot (S_0 \cdot 2^0 + S_1 \cdot 2^1 + \dots + S_{N-1} \cdot 2^{N-1})$$

Semplificando:

$$I_{tot} = I_{LSB} \cdot \sum_{i=0}^{N-1} S_i \cdot 2^i$$

Formula V_{out} :

Con OpAmp in configurazione transimpedenza:

$$V_{out} = -I_{tot} \cdot R_F$$

$$V_{out} = -I_{LSB} \cdot R_F \cdot (S_0 + 2S_1 + 4S_2 + \dots)$$

DAC Correnti Pesate - Deviatori

Deviatori (Switch):

- $S_i = 1 \Rightarrow$ corrente I_i va verso il **sommatore**
- $S_i = 0 \Rightarrow$ corrente I_i va verso **massa**

Nota: Le correnti scorrono **sempre**, cambiano solo direzione!

△ Se una corrente cambia (es. $I_2 \rightarrow I'_2$):

- Solo il contributo di quel bit cambia
- Gli altri bit **non sono influenzati**

Errore: $\Delta V = (I'_2 - I_2) \cdot R_F \cdot S_2$

★ L'errore c'è SOLO se $S_i = 1$!

FSR e LSB:

$$\text{LSB} = I_{LSB} \cdot R_F$$

$$\text{FSR} = \text{LSB} \cdot 2^N$$

DAC Correnti Pesate - DNL

DNL nel DAC a Correnti Pesate

DNL Assoluta (in Volt):

$$\text{DNL}_{ABS}(i) = V_{out}(i) - V_{out}(i-1) - \text{LSB}$$

DNL Relativa (in LSB):

$$\text{DNL}_{REL}(i) = \frac{\text{DNL}_{ABS}(i)}{\text{LSB}}$$

Calcolo pratico:

Se una corrente I_k è errata:

- L'errore appare su tutte le word con $S_k = 1$
- Basta calcolare V_{out} per **una** word con $S_k = 1$

Nota: La word 0 **non si calcola**

△ Gradini di "ritorno":

Stesso principio del DAC R-2R:

Se $0 \rightarrow 1$ ha DNL = $-\Delta V$, allora $1 \rightarrow 2$ (se corretto) ha DNL = $+\Delta V$

⇒ **DNL alternata** sui pattern affetti

DAC Correnti Pesate - Dinamica

Dinamica delle Transizioni

Caso ideale: transizione istantanea

Caso reale: OpAmp con guadagno finito e polo

$$A(s) = \frac{A_0}{1 + s\tau_0}$$

⇒ Transizione esponenziale con $\tau = \tau_0$

Transizione:

$$V_{out}(t) = V_{final} \cdot \left(1 - e^{-t/\tau_0}\right)$$

△ Configurazione influenza G_{loop} :

Al cambiare della **word**, cambia l'impedenza vista dall'OpAmp.

⇒ Cambia G_{loop} ⇒ Cambia G_{reale}

⇒ Cambiano i **tempi di propagazione!**

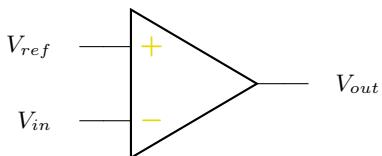
Conseguenza: Settling time dipende dalla word

Comparatore a Singola Soglia

Comparatore a Singola Soglia

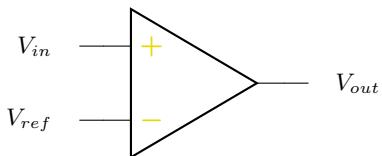
Confronta V_{in} con una tensione di riferimento V_{ref} (soglia unica).

INVERTENTE (V_{in} su V^- , V_{ref} su V^+):



$$V_{out} = \begin{cases} +V_{sat} & \text{se } V_{in} < V_{ref} \\ -V_{sat} & \text{se } V_{in} > V_{ref} \end{cases}$$

NON INVERTENTE (V_{in} su V^+ , V_{ref} su V^-):



$$V_{out} = \begin{cases} +V_{sat} & \text{se } V_{in} > V_{ref} \\ -V_{sat} & \text{se } V_{in} < V_{ref} \end{cases}$$

Soglia unica: $V_{TH} = V_{ref}$

△ PROBLEMA: Rumore!

Se $V_{in} \approx V_{ref}$, piccole oscillazioni causano **commutazioni multiple** indesiderate.

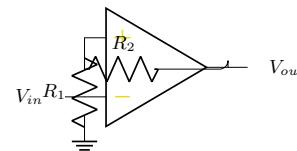
⇒ Soluzione: **Comparatore a doppia soglia (isteresi)**

Comparatore a Doppia Soglia (Isteresi)

Comparatore a Doppia Soglia (Trigger di Schmitt)

Usa **retroazione positiva** per creare due soglie diverse: elimina il problema del rumore.

INVERTENTE (V_{in} su V^-):



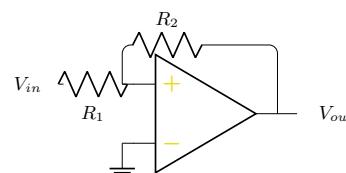
Soglie di commutazione:

$$V_{TH} = +V_{sat} \cdot \frac{R_1}{R_1 + R_2}$$

$$V_{TL} = -V_{sat} \cdot \frac{R_1}{R_1 + R_2}$$

Isteresi: $\Delta V = V_{TH} - V_{TL} = 2V_{sat} \cdot \frac{R_1}{R_1 + R_2}$

NON INVERTENTE (V_{in} su V^+):



Soglie:

$$V_{TH} = -V_{sat} \cdot \frac{R_2}{R_1}$$

$$V_{TL} = +V_{sat} \cdot \frac{R_2}{R_1}$$

Nota: segni invertiti rispetto al caso invertente

△ DIFFERENZA FONDAMENTALE

- Retroazione NEGATIVA (R_f su V^-): sistema **stabile**
- Retroazione POSITIVA (R su V^+): sistema **bistabile**
- ★ Con retroazione POSITIVA: l'uscita si comporta come un generatore indipendente con valore $V_{out} = \pm V_{sat}$

★ REGOLA D'ORO - Riconoscimento:

- V_{out} rientra su V^+ ⇒ Trigger di Schmitt NON INVERTENTE
- V_{out} rientra su V^- ⇒ Trigger di Schmitt INVERTENTE

△ ATTENZIONE: In entrambi i casi **NON** applicare le regole della retroazione negativa ($V^+ = V^-$, $I^+ = I^- = 0$)!
⇒ Usare analisi con $V_{out} = \pm V_{sat}$

OpAmp "Rail-to-Rail":

L'uscita può raggiungere **esattamente** le tensioni di alimentazione:

$$V_{sat}^+ = +V_{DD} \quad V_{sat}^- = -V_{SS} \quad (\text{o } 0V \text{ se singola alim.})$$

OpAmp standard: $V_{sat} \approx V_{alim} - 1V \div 2V$

⇒ Nei trigger, se "rail-to-rail": usare $\pm V_{DD}$ nelle formule soglie

Trigger di Schmitt - Funzionamento

Come Funziona il Trigger di Schmitt

INVERTENTE (V_{in} su V^- , feedback su V^+)

Idea: L'ingresso "combatte" contro la retroazione positiva.

- V_{in} basso ⇒ $V^- < V^+ \Rightarrow V_{out} = +V_{sat}$
La retroazione porta $V^+ = +V_{sat} \cdot \frac{R_1}{R_1 + R_2} = V_{TH}$
 - V_{in} sale e supera $V_{TH} \Rightarrow V^- > V^+ \Rightarrow \text{COMMUTA!}$
 $V_{out} = -V_{sat} \Rightarrow$ ora $V^+ = V_{TL}$ (soglia si abbassa!)
 - V_{in} scende sotto $V_{TL} \Rightarrow V^- < V^+ \Rightarrow \text{COMMUTA!}$
- Comportamento:** $V_{in} \uparrow \Rightarrow V_{out} \downarrow$ (invertente!)

NON INVERTENTE (V_{in} e feedback entrambi su V^+)

Idea: Ingresso e retroazione si "sommano" su V^+ .

- V_{in} basso ⇒ V^+ basso ⇒ $V^+ < V^- \Rightarrow V_{out} = -V_{sat}$
Retroazione "tira giù" ancora di più V^+
 - V_{in} sale abbastanza da vincere retroazione negativa:
 $V^+ > V^- \Rightarrow \text{COMMUTA!}$ $V_{out} = +V_{sat}$
Ora retroazione "aiuta" a tenere V^+ alto
 - V_{in} deve scendere molto per ricommutare
- Comportamento:** $V_{in} \uparrow \Rightarrow V_{out} \uparrow$ (non invertente!)

Perché c'è isteresi?

La **retroazione positiva** sposta la soglia dopo ogni commutazione!

- Dopo $V_{out} = +V_{sat}$: soglia diventa V_{TH} (alta)
 - Dopo $V_{out} = -V_{sat}$: soglia diventa V_{TL} (bassa)
- ⇒ Servono **variazioni più grandi** di V_{in} per commutare ⇒ **immunità al rumore**

Trigger di Schmitt - Caratteristica

Disegno Caratteristica V_{out} vs V_{in}

★ REGOLE FONDAMENTALI:

1. $V_{in} < V_{TL}$ E $V_{in} < V_{TH}$ (sotto entrambe):
⇒ V_{out} è determinata (HIGH o LOW)
2. $V_{in} > V_{TL}$ E $V_{in} > V_{TH}$ (sopra entrambe):
⇒ V_{out} è determinata (opposta al caso 1)
3. $V_{TL} < V_{in} < V_{TH}$ (fra le due soglie):
⇒ V_{out} mantiene il valore precedente

Regola pratica:

“Per commutare devo attraversare la soglia più lontana”

⇒ Da HIGH: devo scendere sotto V_{TL}

⇒ Da LOW: devo salire sopra V_{TH}

Esempio con ingresso triangolare:

1. Partenza: V_{in} molto basso ⇒ V_{out} determinata
2. V_{in} sale, supera V_{TL} : nessuna commutazione
3. V_{in} supera V_{TH} : COMMUTA!
4. V_{in} scende, rientra sotto V_{TH} : nessuna commutazione
5. V_{in} scende sotto V_{TL} : COMMUTA!

★ METODO DI ANALISI TRIGGER:

1. Riconoscere che è retroazione positiva:
 V_{out} torna su V^+ ? ⇒ È un Trigger di Schmitt!
2. Calcolare V^+ e V^- in funzione di V_{in} e V_{out}
(usare partitore/sovraposizione)
3. Trovare le soglie: valori di V_{in} per cui $V^+ = V^-$
⇒ Con $V_{out} = +V_{sat}$: trovo V_{TH}
⇒ Con $V_{out} = -V_{sat}$: trovo V_{TL}

Calcolo V^+ con sovrapposizione:

Trigger NON INV (V^- a massa):

V^- non influisce su V_{out} (contributo = 0)

⇒ Calcolare solo contributo di V_{in} e V_{out} su V^+

Trigger di Schmitt - Calcolo Soglie

Calcolo Dettagliato delle Soglie

INVERTENTE (V_{in} su V^- , R_1-R_2 su V^+)

Passo 1: $V^- = V_{in}$ (collegamento diretto)

Passo 2: $V^+ =$ partitore tra V_{out} e massa:

$$V^+ = V_{out} \cdot \frac{R_1}{R_1 + R_2}$$

Passo 3: Soglia quando $V^+ = V^-$:

$$V_{in} = V_{out} \cdot \frac{R_1}{R_1 + R_2}$$

Passo 4: Sostituisco $V_{out} = \pm V_{sat}$:

$$\Rightarrow V_{TH} = +V_{sat} \cdot \frac{R_1}{R_1 + R_2} \text{ (quando } V_{out} \text{ è HIGH)}$$

$$\Rightarrow V_{TL} = -V_{sat} \cdot \frac{R_1}{R_1 + R_2} \text{ (quando } V_{out} \text{ è LOW)}$$

NON INVERTENTE (V_{in} e V_{out} entrambi su V^+)

Passo 1: $V^- = 0$ (a massa)

Passo 2: V^+ con sovrapposizione:

$$V^+ = V_{in} \cdot \frac{R_2}{R_1 + R_2} + V_{out} \cdot \frac{R_1}{R_1 + R_2}$$

Passo 3: Soglia quando $V^+ = V^- = 0$:

$$V_{in} \cdot \frac{R_2}{R_1 + R_2} + V_{out} \cdot \frac{R_1}{R_1 + R_2} = 0$$

$$V_{in} = -V_{out} \cdot \frac{R_1}{R_2}$$

Passo 4: Sostituisco $V_{out} = \pm V_{sat}$:

$$\Rightarrow V_{TH} = -V_{sat} \cdot \frac{R_1}{R_2} \text{ (quando } V_{out} \text{ è LOW, per salire)}$$

$$\Rightarrow V_{TL} = +V_{sat} \cdot \frac{R_1}{R_2} \text{ (quando } V_{out} \text{ è HIGH, per scendere)}$$

Nota: nel non invertente $V_{TL} > V_{TH}$ (soglie “invertite”)

△ ATTENZIONE - V_{ref} generale:

Le soglie vanno sempre calcolate in funzione di V_{ref} !

Se V^- non è a massa ma a V_{ref} :

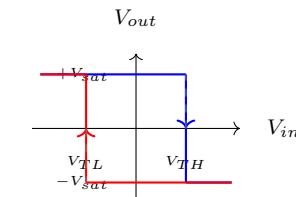
$$V^+ = V^- = V_{ref} \Rightarrow \text{soglie traslate di } V_{ref}$$

Con correnti di bias I_B : se presenti, possono modificare le tensioni sui nodi ⇒ ricalcolare le soglie tenendo conto della caduta $I_B \cdot R$

Trigger di Schmitt - Grafici Isteresi

Grafici Caratteristica e Isteresi

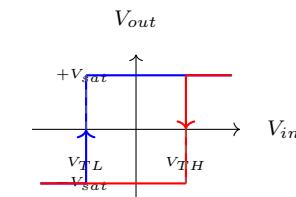
INVERTENTE: (ciclo percorso in senso antiorario)



→ Blu: V_{in} sale ⇒ a V_{TH} commuta da HIGH a LOW

← Rosso: V_{in} scende ⇒ a V_{TL} commuta da LOW a HIGH

NON INVERTENTE: (ciclo percorso in senso orario)



→ Blu: V_{in} sale ⇒ a V_{TH} commuta da LOW a HIGH

← Rosso: V_{in} scende ⇒ a V_{TL} commuta da HIGH a LOW

Cos'è l'ISTERESI?

È la “memoria” del sistema: l'uscita dipende non solo dal valore attuale di V_{in} , ma anche dalla storia passata.

Graficamente: è il “rettangolo” tra le due soglie. L'uscita può essere HIGH o LOW nella zona $V_{TL} < V_{in} < V_{TH}$ ⇒ dipende da dove arrivo.

Ampiezza isteresi: $\Delta V = V_{TH} - V_{TL}$

A cosa serve: il rumore deve superare ΔV per causare commutazioni spurie ⇒ immunità al rumore!

ADC - Introduzione

ADC (Analog-to-Digital Converter)

Converte un segnale **analogico** (tensione) in un segnale **digitale** (word a N bit).

Input: Tensione analogica V_{in}

Output: Word digitale a N bit

Range di ingresso:

L'ADC può convertire **solo** tensioni nel range:

$$V_{SS} \leq V_{in} \leq V_{DD}$$

dove V_{SS} = tensione di alimentazione bassa, V_{DD} = tensione di alimentazione alta.

Principio di funzionamento:

L'ADC suddivide internamente il range $[V_{SS}, V_{DD}]$ in 2^N **intervalli** (livelli di quantizzazione).

Ogni tensione in ingresso viene "collocata" in uno di questi intervalli \Rightarrow associata a una word digitale.

Risoluzione: $\Delta V = \frac{V_{DD}-V_{SS}}{2^N}$

⚠ PROBLEMA: Segnale fuori range!

Se $V_{in} < V_{SS}$ o $V_{in} > V_{DD}$, l'ADC **non può convertire** correttamente!

Soluzione: Serve un **blocco di condizionamento** (amplificatore + offset) prima dell'ADC per adattare il segnale al range $[V_{SS}, V_{DD}]$.

Catena di Acquisizione

Catena di Acquisizione

Schema tipico per acquisire un segnale analogico:



1. Condizionamento (opzionale):

Amplificatore + offset per adattare V_{in} al range ADC

$$V_{out} = A \cdot V_{in} + V_{offset}$$

2. Sample & Hold (S&H):

"Congela" il valore di V_{in} durante la conversione

3. ADC:

Converte la tensione "congelata" in word digitale

Perché serve il S&H?

L'ADC impiega un **tempo finito** per convertire. Se V_{in} varia durante la conversione, il risultato è **errato**!

\Rightarrow Il S&H "memorizza" il valore all'istante di campionamento

★ Semplificazione S&H:

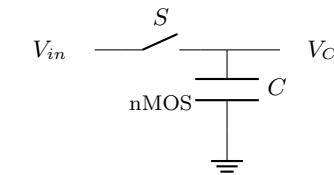
In prima approssimazione il S&H **non introduce offset né guadagno**.

\Rightarrow Per l'**adattamento** tra V_{in} e ADC, il S&H si considera come un **filo** (passa la tensione inalterata).

Sample & Hold

Sample & Hold (S&H)

Circuito che "memorizza" una tensione analogica.



Fase di SAMPLE (interruttore chiuso):

Il condensatore C si carica a V_{in}

$$V_C = V_{in}$$

Il condensatore "segue" le variazioni di V_{in}

Fase di HOLD (interruttore aperto):

L'interruttore si apre \Rightarrow il condensatore **rimane carico** a $V_{in,0}$ (valore all'istante di apertura)

V_{in} può variare (es. oscillare a $V_{in,3}$), ma V_C **resta fermo** a $V_{in,0}$

\Rightarrow L'ADC converte con calma $V_{in,0}$ senza essere influenzato da oscillazioni!

★ È una MEMORIA ANALOGICA!

Il condensatore "ricorda" il valore di tensione all'istante del campionamento.

Perché C non si scarica in fase di HOLD?

- Verso **sinistra**: interruttore **aperto**!
 - Verso **destra**: ingresso ADC ha **impedenza infinita** (idealemente)
- \Rightarrow Nessun percorso di scarica $\Rightarrow V_C$ resta costante

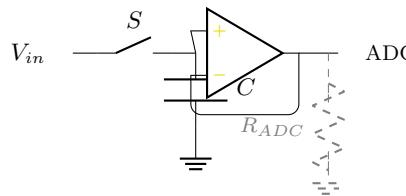
Implementazione tipica: nMOS (interruttore) + Condensatore

Sample & Hold con Buffer

Sample & Hold con Buffer

Nella realtà, l'ADC ha una resistenza finita verso GND \Rightarrow il condensatore si scaricherebbe lentamente!

Soluzione: Aggiungere un **OpAmp a guadagno 1** (buffer)



Come funziona:

- Il buffer ha guadagno 1: $V_{out} = V^+ = V_C$
 - L'ADC vede una **replica** della tensione sul condensatore
 - L'ingresso V^+ dell'OpAmp ha impedenza infinita
- \Rightarrow Il condensatore **non si scarica** anche se R_{ADC} è bassa!

Funzione del buffer:

Separa il condensatore dall'ADC (disaccoppiamento di impedenza)

- **Ingresso** buffer: impedenza ∞ (non carica C)
 - **Uscita** buffer: impedenza ≈ 0 (pilota R_{ADC})
- $\Rightarrow C$ "vede" impedenza infinita, ADC "vede" sorgente ideale

\triangle Senza buffer:

Se R_{ADC} fosse finita (anche alta), il condensatore si scaricherebbe lentamente attraverso R_{ADC} durante la fase di HOLD.

\Rightarrow Errore nella conversione (tensione che "calà" nel tempo)

ADC - Adattamento e Dinamica

Adattamento del Segnale (Fitting)

Obiettivo: Sfruttare al meglio l'**escursione** (dinamica) dell'ADC.

★ PROBLEMA TIPICO D'ESAME:

Dato un segnale $V_{in} \in [V_{in,min}, V_{in,max}]$, progettare il circuito di condizionamento per **mappare** il segnale sull'intero range ADC $[V_{SS}, V_{DD}]$.

Mappatura lineare:

Si vuole che:

- $V_{in,min} \rightarrow V_{SS}$
- $V_{in,max} \rightarrow V_{DD}$

Formula del condizionamento:

$$V_{ADC} = A \cdot V_{in} + V_{offset}$$

Guadagno:

$$A = \frac{V_{DD} - V_{SS}}{V_{in,max} - V_{in,min}}$$

Offset:

$$V_{offset} = V_{SS} - A \cdot V_{in,min}$$

oppure equivalentemente:

$$V_{offset} = V_{DD} - A \cdot V_{in,max}$$

Esempio:

$V_{in} \in [-1V, +3V]$, ADC con $V_{SS} = 0V$, $V_{DD} = 5V$

$$A = \frac{5-0}{3-(-1)} = \frac{5}{4} = 1.25$$

$$V_{offset} = 0 - 1.25 \cdot (-1) = 1.25V$$

$$\Rightarrow V_{ADC} = 1.25 \cdot V_{in} + 1.25V$$

Perché massimizzare la dinamica?

Se il segnale usa solo una **parte** del range ADC, si "sprecano" bit di risoluzione!

\Rightarrow Mappando su tutto il range si sfrutta la **massima risoluzione** disponibile.

ADC - Metodo Calcolo V_{REF}

Calcolo V_{REF} per Adattamento

★ METODO DI CALCOLO:

1. Calcolare V_{ADC} in funzione di V_{in} e V_{REF}
2. Imporre le condizioni di mappatura:
 - $V_{in} = V_{in,min} \Rightarrow V_{ADC} = V_{SS}$
 - $V_{in} = V_{in,max} \Rightarrow V_{ADC} = V_{DD}$
3. Risolvere il sistema per trovare V_{REF}

★ REGOLE per il calcolo di V_{ADC} :

Sample & Hold: considerarlo come un **filo**!

(S&H influisce solo in fase di conversione, non modifica il mapping ingresso/uscita)

Condensatore: diventa un **aperto**!

(Stiamo studiando l'accoppiamento I/O, non il comportamento in frequenza \Rightarrow siamo in **DC** $\Rightarrow s = 0 \Rightarrow C$ aperto)

Buffer (OpAmp guadagno 1): $V_{out} = V^+$

Calcolo V_{ADC} con sovrapposizione:

Se il circuito ha V_{in} e V_{REF} :

$$V_{ADC} = \underbrace{f_1(V_{in})}_{\text{contributo } V_{in}} + \underbrace{f_2(V_{REF})}_{\text{contributo } V_{REF}}$$

Procedimento:

1. Spegni V_{REF} ($= 0V$) \Rightarrow calcola contributo di V_{in}
2. Spegni V_{in} ($= 0V$) \Rightarrow calcola contributo di V_{REF}
3. Somma i due contributi

\triangle RICORDA:

- Il secondo OpAmp (buffer) ha sempre **guadagno 1**
- Non stai facendo analisi in frequenza \Rightarrow NO Bode, NO poli/zeri
- È come calcolare la caratteristica statica (tipo esercizi con diodi)

ADC - Buffer e Errore Statico

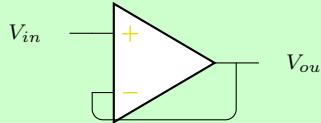
Buffer prima dell'ADC - Errore Statico

Buffer = Sample & Hold in analisi statica

In analisi statica, il S&H si riduce solo all'**OpAmp** (il condensatore è aperto, l'interruttore è un filo).

⇒ "Buffer" è un altro nome per il circuito S&H quando lo analizzi in DC.

★ Buffer di tensione (Voltage Follower):



Configurazione: V^- collegato direttamente a V_{out}

$$A_v = 1 \Rightarrow V_{out} = V_{in}$$

Ricordalo a memoria per risparmiare conti!

△ Errore statico massimo di guadagno:

Se l'esercizio chiede l'errore dovuto a variazione del guadagno A_0 del buffer:

★ SEI SEMPRE IN ANALISI STATICÀ!

⇒ NON introdurre poli/zeri a meno che l'esercizio lo richieda esplicitamente!

Assumi che il buffer non abbia singolarità (né poli né zeri).

Guadagno reale del buffer:

Con guadagno ad anello aperto finito A_0 :

$$G_{reale} = \frac{A_0}{1 + A_0} = \frac{1}{1 + \frac{1}{A_0}}$$

Errore rispetto al guadagno ideale (=1):

$$\varepsilon = |G_{ideale} - G_{reale}| = \left| 1 - \frac{A_0}{1 + A_0} \right| = \frac{1}{1 + A_0}$$

Se $A_0 \gg 1$: $\varepsilon \approx \frac{1}{A_0}$

★ TRUCCO VELOCE - Buffer:

Per il buffer (follower): $G_{loop} = -A_0$

Quindi posso usare direttamente la formula generale:

$$G_{reale} = \frac{G_{ideale}}{1 - \frac{1}{G_{loop}}} = \frac{1}{1 + \frac{1}{A_0}}$$

⇒ Non serve tagliare l'anello e introdurre generatore di test!

ADC - Richieste Tipiche d'Esame

Richieste Tipiche d'Esame - Errori

Le domande più frequenti sul calcolo degli errori nella catena di acquisizione:

1. Errore dovuto a GUADAGNO FINITO

L'OpAmp (buffer) ha A_0 finito invece di ∞ .

Procedimento:

- Calcola $G_{reale} = \frac{1}{1 + 1/A_0}$
- $V_{ADC,R} = V_{ADC,id} \cdot G_{reale}$
- $\varepsilon = |V_{ADC,R} - V_{ADC,id}|$

Il caso peggiore è quando $V_{ADC,id}$ è massimo!

2. Errore dovuto a V_{OS}

Uno o più OpAmp hanno tensione di offset.

Procedimento:

- Sovrapposizione: spegni tutte le sorgenti tranne V_{OS}
- Calcola il contributo di V_{OS} all'uscita
- Se ci sono più OpAmp: somma i contributi

Tip: V_{OS} sul buffer si propaga direttamente con guadagno ≈ 1

3. Errore dovuto a CORRENTE DI BIAS

L'OpAmp ha corrente I_B entrante o uscente negli ingressi.

Procedimento:

- Identifica su quale morsetto scorre I_B (V^+ o V^-)
- Trova la resistenza vista da quel morsetto
- Calcola la caduta: $\Delta V = I_B \cdot R_{eq}$
- Propaga l'errore all'uscita

Attenzione al verso! Entrante vs uscente cambia il segno.

★ FORMULA FINALE - Tutti i casi:

$$\varepsilon_{max}[\text{LSB}] = \frac{\varepsilon_{max}}{FSR} = \frac{\varepsilon_{max} \cdot 2^N}{FSR}$$

dove: $FSR = V_{DD} - V_{SS}$, N = bit dell'ADC

Caso peggiore: Valuta ε quando V_{in} è al suo estremo (min o max).

△ ERRORI COMBINATI:

Se l'esercizio chiede errore totale con guadagno finito + V_{OS} + I_B :

⇒ Usa sovrapposizione! Calcola ogni contributo separatamente.

⇒ Per il caso peggiore: somma i valori assoluti (worst case).

ADC - Errore da I_B nel S&H

Errore da I_B nel Sample & Hold

L'errore da corrente di bias va analizzato **separatamente** nelle due fasi!

FASE di SAMPLE (switch chiuso):

Lo switch è chiuso \Rightarrow il condensatore è collegato alla sorgente.

Verifica: La corrente I_B causa variazione di V_{ADC} ?

\Rightarrow Spesso **NO!** La sorgente "forza" la tensione sul condensatore, I_B non ha effetto su V_{ADC} .

(Dipende dalla topologia: analizza caso per caso)

FASE di HOLD (switch aperto):

Lo switch si apre \Rightarrow il condensatore è **isolato**.

Idealmente: V_{ADC} rimane costante al valore campionato.

Con I_B : La corrente di bias del buffer **carica/scarica** il condensatore!

$\Rightarrow V_{ADC}$ **deriva** (drift) nel tempo!

★ Formula della DERIVA:

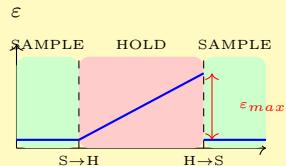
Carica del condensatore a corrente costante:

$$\Delta V = \frac{I_B \cdot T_{hold}}{C_H}$$

dove:

- I_B = corrente di bias (entrante o uscente)
- T_{hold} = durata della fase di hold
- C_H = capacità del condensatore di hold

★ Andamento dell'ERRORE nel tempo:



- Transizione S→H: errore = 0 (appena campionato)
- Durante HOLD: errore **cresce** linearmente
- **Errore MASSIMO:** appena **prima** di tornare in SAMPLE!

★ ERRORE MASSIMO:

$$\varepsilon_{max} = \frac{I_B \cdot T_{hold}}{C_H}$$

S&H - Comando nMOS

Tensioni di Comando nMOS nel S&H

L'nMOS funge da interruttore: va dimensionato V_G per le fasi ON/OFF.



Premessa importante:

- V_β (sinistra) e V_γ (destra, verso buffer) oscillano nel range ADC
- Non sappiamo quale sia Source e quale Drain (dipende dal verso della corrente durante carica/scarica di C)
- **Negli nMOS:** Source è il terminale a tensione **più bassa**

\Rightarrow Consideriamo i **casi peggiori** agli estremi del range!

★ nMOS ON (fase SAMPLE):

Condizione: $V_{GS} > V_T$

$$V_G - V_S > V_T$$

Caso peggiore: V_S **massima** ($= V_{ADC,max}$)

Deve valere $\forall V_S$ nel range, quindi:

$$V_{SH,ON} > V_T + V_{ADC,max}$$

Es: se $V_{ADC} \in [-5V, 0V]$ e $V_T = 0.5V$: $V_{SH,ON} > 0.5V$

★ nMOS OFF (fase HOLD):

Condizione: $V_{GS} < V_T$

$$V_G - V_S < V_T$$

Caso peggiore: V_S **minima** ($= V_{ADC,min}$)

Deve valere $\forall V_S$ nel range, quindi:

$$V_{SH,OFF} < V_T + V_{ADC,min}$$

Es: se $V_{ADC} \in [-5V, 0V]$ e $V_T = 0.5V$: $V_{SH,OFF} < -4.5V$

★ RIASSUNTO:

Fase	Condizione	Caso peggiore
SAMPLE (ON)	$V_{GS} > V_T$	$V_S = V_{ADC,max}$
HOLD (OFF)	$V_{GS} < V_T$	$V_S = V_{ADC,min}$

$$V_{SH,ON} > V_T + V_{ADC,max}$$

$$V_{SH,OFF} < V_T + V_{ADC,min}$$

S&H - Charge Injection

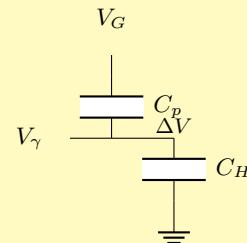
Errore da Charge Injection

Quando l'nMOS passa da ON a OFF, la carica nel canale viene "iniettata" nel condensatore!

Cosa succede fisicamente:

- L'nMOS in conduzione ha un **canale** formato da cariche
- Quando V_G scende (transizione ON→OFF), il canale si "distrugge"
- Le cariche del canale devono andare da qualche parte!
- Una parte va verso il condensatore $C_H \Rightarrow$ **errore**

Modello a capacità parassite:



C_p = capacità parassita Gate-Canale dell'nMOS

C_H = capacità di hold

★ FORMULA del Charge Injection:

$$\Delta V = \Delta V_G \cdot \frac{C_p}{C_p + C_H}$$

dove:

- ΔV = errore sulla tensione di hold
- ΔV_G = escursione del gate (da $V_{SH,ON}$ a $V_{SH,OFF}$)
- C_p = capacità parassita gate-canale dell'nMOS
- C_H = capacità del condensatore di hold

Interpretazione fisica:

È un **partitore capacitivo**!

La variazione ΔV_G si ripartisce tra C_p e C_H :

- Se $C_H \gg C_p$: $\Delta V \approx 0$ (errore piccolo)
- Se $C_H \ll C_p$: $\Delta V \approx \Delta V_G$ (errore grande!)

⇒ Serve C_H grande per minimizzare l'errore

★ Calcolo di ΔV_G (con SEGNO!):

Per l'nMOS, la transizione ON→OFF richiede di **abbassare** V_G :

$$\Delta V_G = V_{G,finale} - V_{G,iniziale} = V_{SH,OFF} - V_{SH,ON}$$