

### Procedimento transitorio:

- Per  $t \rightarrow 0^-$ ,
  - calcolare variabile di stato prima dell'inizio del transitorio
  - In questa fase il condensatore/induttore si comporta come circuito aperto/cortocircuito
  - Sfrutterò nella fase 2 la continuità della variabile di stato
- Per  $t \rightarrow 0^+$  (per var. NON di stato es.  $v_x, i_x$ )
  - (Eventuale chiusura interruttore)
  - Sfrutto continuità variabile di stato:**  
 $v_C(t_0^-) = v_C(t_0^+) / i_L(t_0^-) = i_L(t_0^+)$
  - Sostituisco al transitorio GENERATORE IDEALE DI TENSIONE/ CORRENTE con valore pari alla variabile di stato appena calcolata**

$$E = V_C(t \rightarrow 0^-) \quad I = I_L(t \rightarrow 0^-)$$

- Per  $t \rightarrow \infty$  /  $t > 0$  :

#### (a) Soluzione di tipo esponenziale

i. Formule variabili di stato:

$$\begin{aligned} V_C(t) &= V_{C_\infty} + [V_C(0) - V_{C_\infty}] e^{-\frac{t}{\tau}} \\ I_L(t) &= I_{L_\infty} + [I_L(0) - I_{L_\infty}] e^{-\frac{t}{\tau}} \end{aligned}$$

ii. Formule per le grandezze non di stato:

$$\begin{aligned} I_C(t) &= I_{C_\infty} + [I_C(0^+) - I_{C_\infty}] e^{-\frac{t}{\tau}} \\ V_L(t) &= V_{L_\infty} + [V_L(0^+) - V_{L_\infty}] e^{-\frac{t}{\tau}} \end{aligned}$$

iii. Qui, siamo ancora a regime: il condensatore/induttore si comporta come circuito aperto/cortocircuito

iv. Cerco la variabile di stato per  $t \rightarrow \infty$

v. Cerco  $\tau$ :

- Mi serve  $R_{eq}$  ai morsetti di dove c'è transitorio
- Spengo generatori non pilotati**
- uso generatore sonda (c.g.) - cerco corrente che passa sul ramo della sonda in funzione di  $V_S$ :  $? \rightarrow I_S(V_S)$

$$R_{eq} = \frac{V_S}{I_S(V_S)}$$

D. Calcolo  $\tau$ :

$$\tau = C \cdot R_{eq} = \frac{L}{R_{eq}}$$

### Grafico

- Traccio asintoto
- Sfrutto proprietà dell'esponenziale: tangente al grafico in  $t = 0$  interseca il valore asintotico dopo  $\Delta t = \tau$
- Dopo  $t = 5\tau$  la funzione assume valore asintotico

### Resistenze e Alimentazioni

#### Resistenze in parallelo:

- Caso con 2 resistenze:

$$R_{eq} = \frac{R_1 \cdot R_2}{R_1 + R_2}$$

- Caso generale (n resistenze):

$$\frac{1}{R_{eq}} = \sum_{i=1}^n \frac{1}{R_i}$$

### △ NOTA IMPORTANTE - Tensioni di alimentazione

Le tensioni fornite dalle alimentazioni sono le massime e minime possibili nel circuito.

I NODI della rete NON possono mai avere tensioni:

- Più alte di  $V_{max}$  (alimentazione massima)
- Più basse di  $V_{min}$  (alimentazione minima)

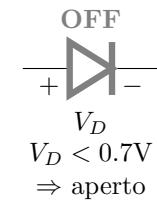
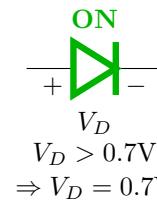
**ATTENZIONE:** Questo vale per le tensioni dei NODI (riferite a massa).

Le cadute di tensione (misurate tra due nodi diversi) possono superare questi limiti!

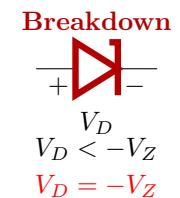
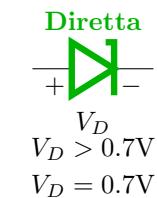
**Uso pratico:** Fondamentale quando si fanno ipotesi sullo stato dei diodi (ON/OFF). Se un'ipotesi porta un nodo oltre  $V_{max}$  o sotto  $V_{min}$ , l'ipotesi è sbagliata.

### Diodi

- Diodo normale:

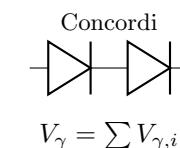
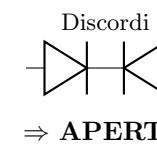


- Diodo Zener:



**ATTENZIONE:** In breakdown, la tensione  $V_D = -V_Z$  ha polarità opposta rispetto ai +0.7V della conduzione diretta!

- Configurazioni in serie:



**★ TRUCCO PRATICO - Verifica stato diodo:**  
Quando sei in un intorno della soglia ( $V_D \approx 0.7V$ , anche infinitesimamente superiore), le correnti sono molto basse.

$\Rightarrow$  Per verificare se il diodo si accende puoi ignorare le resistenze in serie ( $I \approx 0 \Rightarrow \Delta V_R \approx 0$ ).

**Uso nei transitori:** A fine esercizio, verifica che l'ipotesi sul diodo (ON/OFF) resti valida in:

- $\hat{T}^-$  (istante prima della transizione)
- $\hat{T}^+$  (istante dopo della transizione)
- $t \rightarrow \infty$  (regime)

## Capacità: Formule e Comportamento

### 1. Tensione del condensatore:

$$V_C(t) = V_C(0^+) + [V_C(\infty^*) - V_C(0^+)] \left(1 - e^{-\frac{t}{\tau}}\right)$$

$V_C(0^+)$ : iniziale;  $V_C(\infty^*)$ : a regime;  $\infty^* \neq \infty$

### 2. Corrente: $I_C(t) = C \frac{dV_C(t)}{dt}$

**Proprietà:** La corrente varia istantaneamente; La tensione NON commuta:  $V_C(t_0^-) = V_C(t_0^+)$

### ★ REGOLA D'ORO - A REGIME

A regime ( $t \rightarrow \infty$ ):  $\frac{dV_C}{dt} = 0 \Rightarrow I_C = 0$   
Condensatore = CIRCUITO APERTO

Per calcolare  $V_C(\infty)$ :

1. Sostituisci C con circuito aperto
2. Risovi il circuito semplificato
3. Calcola la tensione nel punto dove c'era C

Ese:  $V \xrightarrow{R_1} \bullet \xrightarrow{R_2} \text{GND} + C \parallel R_2$   
 $\Rightarrow V_C(\infty) = V \frac{R_2}{R_1 + R_2}$  (partitore)

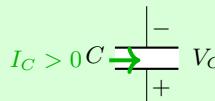
### 3. Ripple: $\Delta V_{out} = V_{picco} \frac{\Delta T}{\tau} = V_{picco} \frac{T}{f \cdot \tau}$

### 4. Comportamento fisico ( $Q = C \cdot V$ ; $I = C \frac{dV}{dt}$ )

**CARICA** ( $\frac{dV_C}{dt} > 0$ ): Corrente ENTRA ( $I_C > 0$ )

Il condensatore accumula energia;  $V_C \uparrow$

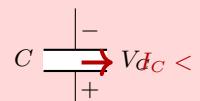
Corrente ENTRA



**SCARICA** ( $\frac{dV_C}{dt} < 0$ ): Corrente ESCE ( $I_C < 0$ )

Il condensatore rilascia energia;  $V_C \downarrow$

Corrente ESCE



**Regola:**  $V_C \uparrow \Rightarrow$  CARICA;  $V_C \downarrow \Rightarrow$  SCARICA; segno  $I_C$  indica verso

## Transitori con gradini multipli

Formula tempo centrale  $\hat{T}$ :

$$V_C(\hat{T}) = V_C(0^+)_{\hat{T}} + [V_C(\infty^*) - V_C(0^+)_{\hat{T}}] \left(1 - e^{-\frac{\hat{T}}{\tau}}\right)$$

**Prassi:** segnale rettangolare  
salita → plateau → discesa

Procedimento step-by-step:

### 1. FASE 1 - Salita

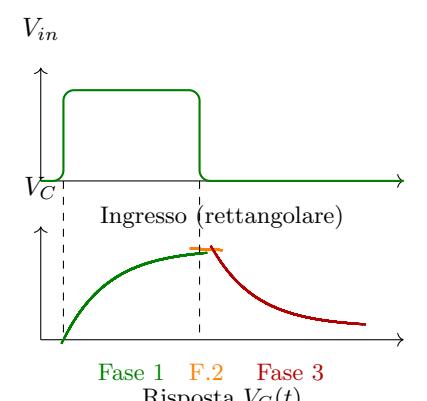
- Analizza  $t = 0^-$  (condizioni iniziali)
- $V_C(0^+)$  per continuità
- Determina stato diodi
- Calcola  $V_C(\infty^*)$
- Applica formula con  $\tau$

### 2. FASE 2 - Plateau

- Se durata  $\gg 5\tau$ : regime
- Se durata  $< 5\tau$ : calcola  $V_C$  fine
- Verifica diodi (Box 7)

### 3. FASE 3 - Discesa

- $V_C(0^+) = V_C(\text{fine plateau})$
- Ridetermina stato diodi
- Nuovo  $V_C(\infty^*)$
- Applica formula



## Verifica ipotesi stato diodi

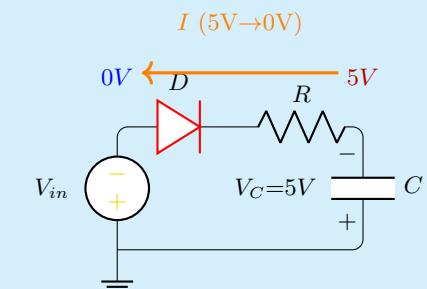
### △ VERIFICA FONDAMENTALE

Verifica ipotesi diodo (ON/OFF) rimanga valida per tutto il transitorio

### FASE 0: Metodo intuitivo

**Regola:**  $I$  scorre da  $V_+$  a  $V_-$

- 1)  $V_C(0^+)$  continuità
- 2) Trova  $V_{max}$
- 3)  $I$  va da  $V_{max}$  a  $V_{min}$
- 4) Compatibile con diodo?
- 5) No  $\Rightarrow$  cambia stato



Contraddizione!  $I$  va ←  
ma D conduce solo →  
⇒ D OFF

1. Ipotesi (es: D ON)

2. Risovi (ON: gen 0.7V; OFF: aperto)

3. Calcola  $V_C(t)$

4. Verifica  $\forall t$ :

**ON:**  $I_D(t) > 0$ ? No → errore

**OFF:**  $I_D(t) < 0.7V$ ? No → errore

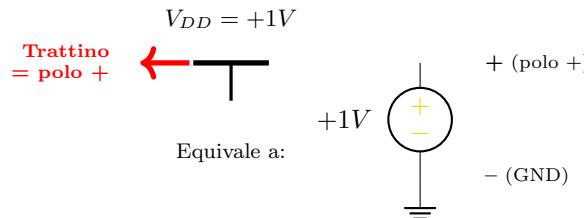
5. Se errore: dividi in 2 fasi ( $t^*$  cambio), ricalcola

## Notazione alimentazioni

### NOTAZIONE ALIMENTAZIONI

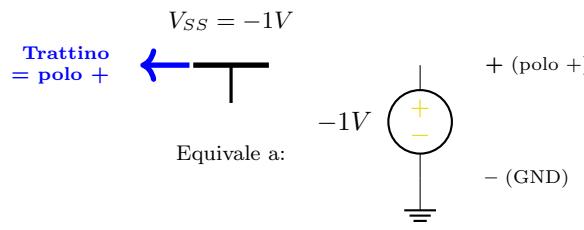
**REGOLA D'ORO:** Il trattino indica SEMPRE il polo + del generatore, sia con tensione positiva che negativa!

Caso 1:  $V_{DD} = +1V$  (alimentazione positiva)



Tensione  $+1V \rightarrow$  polo + sul trattino, tutto normale

Caso 2:  $V_{SS} = -1V$  (alimentazione negativa)



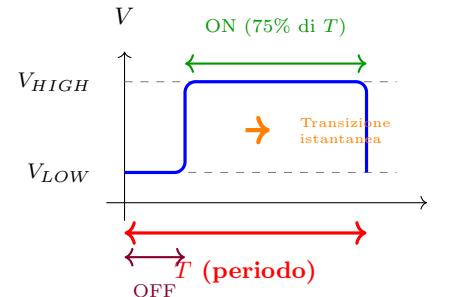
Tensione  $-1V \rightarrow$  polo + è comunque sul trattino!

**TRUCCO:** Con  $V_{SS} = -1V$  puoi ridisegnare il generatore invertendo polarità E segno: diventa  $+1V$  con polo + su GND. Utile per evitare tensioni negative nei calcoli.

### Onda Quadra Ideale - Guida al Disegno

- Transizioni verticali istantanee (tempo di salita/discesa = 0)
- Due livelli costanti:  $V_{HIGH}$  e  $V_{LOW}$

**DUTY CYCLE DEFAULT:** Se non specificato, un'onda quadra ha duty cycle 50% (HIGH = LOW =  $T/2$ )



#### COME DISEGNARE A MANO:

- Segna i livelli  $V_{HIGH}$  e  $V_{LOW}$  con righe orizzontali
- Scegli quanti quadretti =  $T$  (es: 4 quadretti = 1 periodo)
- Disegna righe verticali per le transizioni
- Collega con righe orizzontali ai livelli

#### COME TROVARE IL PERIODO $T$ :

Il periodo è la distanza tra due punti identici del ciclo:

- Da LOW a LOW (stesso punto)
- Da HIGH a HIGH (stesso punto)
- Da salita a salita successiva
- Da discesa a discesa successiva

**Trucco:** Scegli un punto qualsiasi e conta i quadretti fino a quando si ripete!

#### Esempio pratico (duty cycle 75%):

- Se  $T = 10\mu s$  e vuoi disegnare 2 periodi
- Usa 4 quadretti per ogni periodo (tot. 8 quadretti)
- Duty cycle 75%: 1 quadretto LOW (OFF), poi 3 quadretti HIGH (ON)
- Ripeti il pattern: 1 LOW, 3 HIGH per il 2° periodo

## Formazione del Canale nei MOSFET

### 1. Zona OFF (o Cutoff):

- (a) Non c'è formazione del canale.
- (b) Il dispositivo è spento e non permette il flusso di corrente tra drain e source.

### 2. Zona Ohmica (o Triodo):

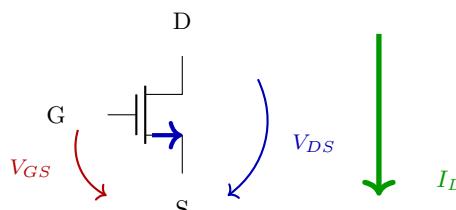
- (a) Si forma un canale.
- (b) Quando il gate è abbastanza polarizzato (cioè  $V_{GS} > V_{Tn}$  per nMOS o  $V_{GS} < V_{Tp}$  per pMOS), si forma un canale conduttivo tra il drain e il source.
- (c) Il dispositivo si comporta come un **resistore il cui valore varia in base alla tensione  $V_{GS}$** .

### 3. Zona di Saturazione (o Pinch-off):

- (a) Si forma un canale.
- (b) Il canale diventa "strozzato" o "pinched-off" vicino al drain (per il nMOS) o vicino al source (per il pMOS).
- (c) Anche se la tensione  $V_{DS}$  aumenta ulteriormente, la corrente  $I_D$  rimane costante.
- (d) Questo comportamento è **analogo a quello di un generatore di corrente**.

## Simboli e convenzioni nMOS/pMOS

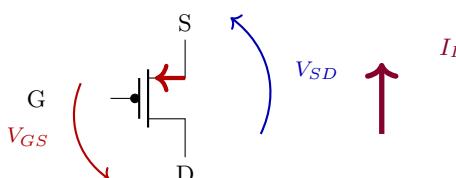
### nMOS:



**nMOS:** Gate a sinistra, Drain in alto, Source in basso

**Corrente:** Da Drain → Source (verso il basso)

### pMOS:

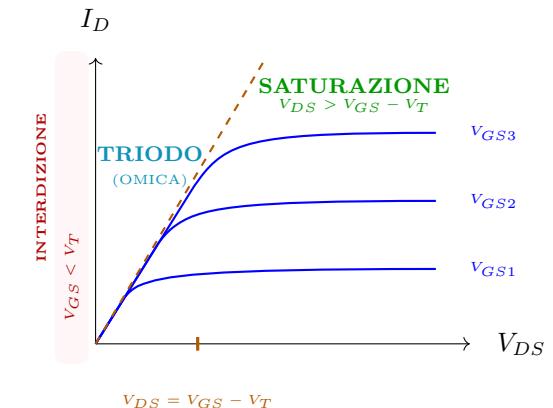


**pMOS:** Gate a sinistra, Source in alto, Drain in basso

**Corrente:** Da Source → Drain (verso il basso)

**NOTA:** Nel pMOS il source è in alto (invertito rispetto a nMOS)!

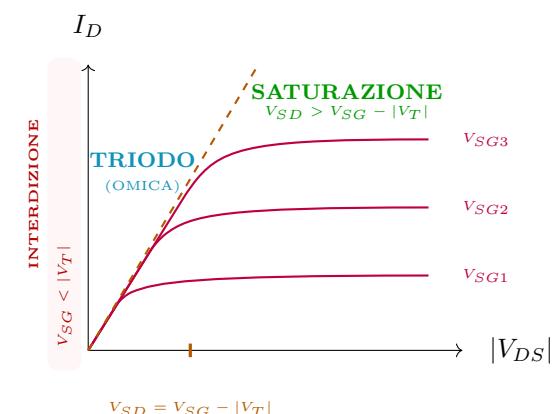
## Caratteristica I-V nMOS



### Zone di funzionamento:

- **INTERDIZIONE:**  $V_{GS} < V_T \rightarrow I_D = 0$
- **TRIODO (OMICA):**  $V_{GS} > V_T$  e  $V_{DS} < (V_{GS} - V_T)$
- **SATURAZIONE:**  $V_{GS} > V_T$  e  $V_{DS} > (V_{GS} - V_T)$

## Caratteristica I-V pMOS



### Zone di funzionamento:

- **INTERDIZIONE:**  $V_{SG} < |V_T| \rightarrow I_D = 0$
- **TRIODO (OMICA):**  $V_{SG} > |V_T|$  e  $V_{SD} < (V_{SG} - |V_T|)$
- **SATURAZIONE:**  $V_{SG} > |V_T|$  e  $V_{SD} > (V_{SG} - |V_T|)$

## nMOS - Metodo operativo

### PRIMO CONTROLLO: $V_{GS}$ vs $V_T$

1. Se  $V_{GS} < V_T \Rightarrow$  MOSFET OFF

- $I_D = 0$  (circuito aperto)
- Non c'è conduzione

2. Se  $V_{GS} > V_T \Rightarrow$  MOSFET ON

- Proseguire al SECONDO CONTROLLO

### SECONDO CONTROLLO (solo se ON): $V_{DS}$ vs $(V_{GS} - V_T)$

Tensione di Overdrive:

$$V_{OV} = V_{GS} - V_T$$

1. **ZONA DI SATURAZIONE:** Se  $V_{DS} > (V_{GS} - V_T)$

$$I_D = K_n(V_{GS} - V_T)^2$$

**Nota:** La corrente dipende SOLO da  $V_{GS}$

2. **ZONA OHMICA (Triodo):** Se  $V_{DS} < (V_{GS} - V_T)$

$$I_D = K_n [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

**Nota:** La corrente dipende da  $V_{GS}$  E  $V_{DS}$

Formula alternativa:

$$I_D = \frac{1}{2}K_n V_{OV} \left( V_{DS} - \frac{V_{DS}^2}{2} \right)$$

**Direzione corrente:** In nMOS,  $I_D$  scorre da **Drain** → **Source**

## pMOS - Metodo operativo

### PROCEDIMENTO OPERATIVO PER pMOS

#### ★ STEP 0 - CONTROLLO POLARITÀ

Prima di tutto, verifica che:

$$V_S > V_G$$

Se  $V_S \leq V_G \rightarrow$  pMOS OFF (anche se  $|V_{GS}| \geq |V_T|$ !)

**Motivo:** Il modulo  $|V_{GS}|$  nasconde il segno! Potresti avere  $|V_{GS}| \geq |V_T|$  ma con polarità sbagliata (es.  $V_{GS} > 0$ ), e il pMOS sarebbe OFF.

#### Step 1: Calcolare $|V_{GS}|$

(solo se hai verificato  $V_S > V_G$ )

#### Step 2: PRIMO CONTROLLO - $|V_{GS}|$ vs $|V_T|$

1. Se  $|V_{GS}| < |V_T| \Rightarrow$  MOSFET OFF

- $I_D = 0$  (circuito aperto)
- Non c'è conduzione

2. Se  $|V_{GS}| > |V_T| \Rightarrow$  MOSFET ON

- Calcolare  $V_{OV} = |V_{GS}| - |V_T|$
- Proseguire allo Step 3

#### Step 3: SECONDO CONTROLLO - $|V_{DS}|$ vs $V_{OV}$

Tensione di Overdrive:

$$V_{OV} = |V_{GS}| - |V_T|$$

1. **ZONA DI SATURAZIONE:** Se  $|V_{DS}| > V_{OV}$

$$I_D = K_p \cdot V_{OV}^2 = K_p (|V_{GS}| - |V_T|)^2$$

**Nota:** La corrente dipende SOLO dall'overdrive

2. **ZONA OHMICA (Triodo):** Se  $|V_{DS}| < V_{OV}$

$$I_D = K_p [2V_{OV} \cdot |V_{DS}| - |V_{DS}|^2]$$

dove  $V_{OV} = |V_{GS}| - |V_T|$

**Nota:** La corrente dipende da  $V_{OV}$  E  $|V_{DS}|$

**Direzione corrente:** In pMOS,  $I_D$  scorre da **Source** → **Drain**

## Riepilogo: nMOS vs pMOS

Grandezze da calcolare per determinare lo stato:

nMOS	pMOS
$V_{GS}$	$ V_{GS} $
$V_T$	$ V_T $
$V_{OV} = V_{GS} - V_T$	$V_{OV} =  V_{GS}  -  V_T $
$V_{DS}$	$ V_{DS} $

Controlli identici:

1. Se  $V_{GS}$  (o  $|V_{GS}|$ )  $< V_T$  (o  $|V_T|$ )  $\Rightarrow$  OFF
2. Se ON: confronta  $V_{DS}$  (o  $|V_{DS}|$ ) con  $V_{OV}$

La procedura è identica, solo che per pMOS si usano i valori assoluti.

## MOSFET simmetrici - Source e Drain a runtime

### ★ MOSFET SIMMETRICI

I MOSFET sono dispositivi simmetrici: Source e Drain NON sono fissi ma vengono determinati dalle tensioni a runtime!

Come identificare i terminali negli esercizi:

GATE (sempre indicato):

- nMOS: gate **senza pallino**
- pMOS: gate **con pallino (●)**

**SOURCE e DRAIN** (determinati a runtime): Se non indicati esplicitamente nel testo, si determinano in base alle **tensioni dei nodi**.

Regole per determinare SOURCE:

#### 1. nMOS

Il **SOURCE** è il nodo alla **tensione più BASSA** tra i due terminali non-gate.

Il **DRAIN** è l'altro terminale (tensione più alta).

#### 2. pMOS

Il **SOURCE** è il nodo alla **tensione più ALTA** tra i due terminali non-gate.

Il **DRAIN** è l'altro terminale (tensione più bassa).

### ★ ATTENZIONE - Riassegnazione a RUNTIME

Durante l'esercizio, le tensioni ai nodi possono **cambiare!**

⇒ Source e Drain possono essere **riassegnati** in base alle nuove tensioni.

Devi **verificare quale nodo ha la tensione più alta/bassa** in ogni fase dell'analisi!

#### Esempio pratico (nMOS):

Inizialmente: Nodo A = 3V, Nodo B = 1V ⇒ Source = B (1V, più basso), Drain = A (3V)

Dopo un transitorio: Nodo A = 0.5V, Nodo B = 2V ⇒ Source = A (0.5V, più basso), Drain = B (2V)

I terminali sono stati **invertiti!**

*Perché è importante:*  $V_{GS}$  e  $V_{DS}$  dipendono da quale terminale è il Source. Per calcolare correttamente le formule, devi identificare Source e Drain correttamente in ogni momento. La zona di funzionamento (saturazione/omica) dipende da  $V_{DS}$ , quindi dall'identificazione corretta dei terminali.

## Regola pratica - MOSFET ON/OFF veloce

### REGOLA PRATICA VELOCE:

Come capire subito se un MOSFET è probabilmente ON o OFF?

#### nMOS:

Gate a GND (0V) → probabilmente **OFF**

Se il gate è a massa,  $V_{GS}$  è molto basso (o negativo se source è più alto), quindi  $V_{GS} < V_T \rightarrow$  OFF

Gate a  $V_{DD}$  → probabilmente **ON**

Se il gate è all'alimentazione,  $V_{GS}$  è alto (assumendo source a GND o comunque più basso), quindi  $V_{GS} > V_T \rightarrow$  ON

#### pMOS:

Gate a GND (0V) → probabilmente **ON**

Se il gate è a massa,  $V_{SG}$  è alto (assumendo source a  $V_{DD}$  o comunque più alto), quindi  $V_{SG} > |V_T| \rightarrow$  ON

Gate a  $V_{DD}$  → probabilmente **OFF**

Se il gate è all'alimentazione,  $V_{SG}$  è molto basso (o negativo se source è più basso), quindi  $V_{SG} < |V_T| \rightarrow$  OFF

#### Riassunto veloce:

	Gate = GND	Gate = $V_{DD}$
nMOS	OFF	ON
pMOS	ON	OFF

**ATTENZIONE:** Questa è una regola **approssimata** che assume:

- Per nMOS: source vicino a GND
- Per pMOS: source vicino a  $V_{DD}$

Se il source è collegato diversamente (es. nMOS con source a  $V_{DD}$ , pMOS con source a GND), la regola **NON vale!** Devi sempre calcolare  $V_{GS}$  o  $V_{SG}$  correttamente.

## Parametro K (Transconduttanza)

$$K = \frac{1}{2}\mu \cdot C_{OX} \cdot \frac{W}{L}$$

Dove:

- $\mu$  = mobilità dei portatori nel canale
- $C_{OX}$  = capacità specifica dell'ossido
- $W/L$  = dimensioni fisiche del MOSFET (Width/Length)

### △ NOTA IMPORTANTE - Fattore 1/2

K può essere definito **SENZA** il fattore  $\frac{1}{2}$  al suo interno. In tal caso, le formule delle correnti devono essere **riadattate**:

#### • Saturazione:

$$I = \frac{K}{2}(V_{GS} - V_T)^2 \text{ invece di } I = K(V_{GS} - V_T)^2$$

#### • Omica:

$$I = K \left[ (V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$\text{invece di } I = K [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

## Semplificazioni MOSFET

### ★ CONDIZIONE FONDAMENTALE:

Tutti i **GATE** devono essere in **COMUNE** (stessa tensione al gate)

#### 1. MOSFET in PARALLELO

- GATE in comune
- SOURCE in comune (vengono mantenuti)

#### Formula:

$$K_{eq} = K_1 + K_2 + \dots + K_n$$

Se tutte uguali:  $K_{eq} = n \cdot K$

Es: 3 nMOS con  $K = 0.5 \text{ mA/V}^2 \rightarrow K_{eq} = 1.5 \text{ mA/V}^2$

#### 2. MOSFET in SERIE

- GATE in comune
- SOURCE equivalente = SOURCE più BASSO

#### Formula:

$$\frac{1}{K_{eq}} = \frac{1}{K_1} + \frac{1}{K_2} + \dots + \frac{1}{K_n}$$

Per 2 MOS:  $K_{eq} = \frac{K_1 \cdot K_2}{K_1 + K_2}$

Se uguali:  $K_{eq} = \frac{K}{n}$

Es: 2 nMOS  $K_1 = 1$ ,  $K_2 = 2 \text{ mA/V}^2 \rightarrow K_{eq} = 0.67 \text{ mA/V}^2$

*Nota:* Queste semplificazioni evitano calcoli complessi nei circuiti.

## Analisi Porte Logiche

**Quando usare:** Dopo aver fatto semplificazioni (serie/parallelo), quando  $V_{DS} = V_{OUT}$  e devi capire la zona di funzionamento.

**IPOTESI:** Se ti hanno chiesto l'espressione logica della porta, puoi ipotizzare che sia **ideale**:

- $V_{OUT}$  ha valori logici **ALTO** e **BASSO**
- $V_{OUT} = V_{DS}$  del MOSFET (dopo semplificazioni)

### METODO:

#### 1. Uscita logica BASSA ("0")

$V_{OUT} \approx 0V \rightarrow V_{DS}$  piccola  $\rightarrow V_{DS} < V_{OV} \rightarrow$  **ZONA OMICA**

#### 2. Uscita logica ALTA ("1")

$V_{OUT} \approx V_{DD} \rightarrow V_{DS}$  grande  $\rightarrow V_{DS} > V_{OV} \rightarrow$  **ZONA SATURAZIONE**

*Nota:* Questo metodo ti permette di **ipotizzare** la zona di funzionamento senza fare calcoli complessi. Poi puoi verificare con le formule.

### Esempio pratico:

Se  $V_{OUT} = 0V$  (logica bassa) e hai  $V_{OV} = 2V$ :

$V_{DS} \approx 0V < 2V \rightarrow$  OMICA ✓

Se  $V_{OUT} = 5V$  (logica alta) e hai  $V_{OV} = 2V$ :

$V_{DS} \approx 5V > 2V \rightarrow$  SATURAZIONE ✓

## Resistenza di canale

### Resistenza di Canale ( $R_{CH}$ o $R_{eq}$ )

**Quando usare:** Calcolare la corrente nel MOSFET quando:

- $V_{OUT} = V_{DS}$  (l'uscita coincide con la tensione drain-source)
- $V_{OUT} \approx 0V$  (uscita logica bassa)

La **resistenza di canale** è la resistenza equivalente del MOSFET in un intorno di  $V_{DS} = 0V$

### FORMULA:

$$R_{CH} = R_{eq} = \frac{1}{2K \cdot V_{OV}}$$

dove  $V_{OV} = V_{GS} - V_T$

*Nota:*  $K$  può essere il  $K$  del singolo MOSFET o il  $K_{eq}$  del MOSFET equivalente (dopo semplificazioni serie/parallelo)

*Origine:* Derivata di  $I_D$  rispetto a  $V_{DS}$  calcolata in  $V_{DS} = 0$  (approssimazione di Taylor al primo ordine)

### QUANDO È VALIDA:

- ✓  $V_{DS} \approx 0V$  (uscita logica bassa)
- ✓ MOSFET in zona OMICA
- ✓ Calcoli approssimativi di corrente
  - ✗ Se  $V_{DS}$  NON è vicino a 0V
  - ✗ In altri punti di lavoro (devi ricalcolare la derivata nel punto specifico)

### ★ SANITY CHECK

Dopo aver calcolato  $I_D$  usando  $R_{CH}$ , **DEVI** verificare:

$$V_{R_{CH}} \ll V_{OV}$$

Dove  $V_{R_{CH}}$  è la tensione ai capi della resistenza equivalente (=  $V_{DS}$  del MOSFET).

Se  $V_{R_{CH}} \approx V_{OV}$  o maggiore, l'approssimazione **NON È VALIDA!**

### Esempio pratico:

Se  $K = 1 \text{ mA/V}^2$ ,  $V_{GS} = 3V$ ,  $V_T = 1V$ :

$$V_{OV} = 3V - 1V = 2V$$

$$R_{CH} = \frac{1}{2 \cdot 1 \cdot 2} = \frac{1}{4} \text{ k}\Omega = 250 \Omega$$

Con  $V_{DS} = 0.1V$ :

$$I_D \approx \frac{V_{DS}}{R_{CH}} = \frac{0.1V}{250\Omega} = 0.4 \text{ mA}$$

**Verifica:**  $V_{DS} = 0.1V \ll V_{OV} = 2V \checkmark$  OK!

## Carica di un condensatore con MOSFET

**Scenario:** MOSFET utilizzato per caricare un condensatore (es. in porte logiche, circuiti di trasferimento carica)

**Nota importante:** La tensione massima/minima raggiungibile sul condensatore dipende dal **tipo di MOSFET**!

### REGOLA MNEMONICA:

Gli nMOS NON sono bravi a CARICARE  
I pMOS NON sono bravi a SCARICARE

### CARICA - 1. Con pMOS

**Carica COMPLETA:** Il condensatore si carica fino a  $V_{DD}$

$$V_{C,max} = V_{DD}$$

*Motivo:* Nel pMOS, la corrente scorre da Source (alto) → Drain (basso). Il pMOS può rimanere acceso fino a quando il condensatore raggiunge  $V_{DD}$ , perché il Source è collegato a  $V_{DD}$  e mantiene sempre  $V_{SG} > |V_T|$ .

### CARICA - 2. Con nMOS

**Carica LIMITATA:** Il condensatore si carica solo fino a:

$$V_{C,max} = V_G - V_T$$

*Motivo:* Nel nMOS, quando il condensatore (collegato al Drain) si carica, aumenta  $V_D$ . Quando  $V_D$  raggiunge  $V_G - V_T$ , si ha  $V_{GS} = V_G - V_S = V_G - (V_G - V_T) = V_T \rightarrow$  il MOSFET **si spegne** (entra in interdizione). **Non può caricare oltre** perché  $V_{GS} = V_T$  è la condizione di soglia (OFF).

### Esempio pratico (CARICA):

Se  $V_G = 5V$  e  $V_T = 1V$  per un nMOS:

$$V_{C,max} = 5V - 1V = 4V \text{ (non } 5V!)$$

Con pMOS invece:  $V_{C,max} = V_{DD}$  (carica completa)

## Scarica di un condensatore con MOSFET

Comportamento SPECULARE alla carica

### SCARICA - 1. Con nMOS

**Scarica COMPLETA:** Il condensatore si scarica fino a GND (0V)

$$V_{C,min} = 0V$$

*Motivo:* Nel nMOS, il Source è collegato a GND e la corrente scorre dal condensatore (Drain) verso GND. Il nMOS rimane acceso finché  $V_{GS} > V_T$ . Dato che  $V_S = 0V$  (GND), finché  $V_G > V_T$  il transistor resta acceso e può scaricare completamente il condensatore.

### SCARICA - 2. Con pMOS

**Scarica LIMITATA:** Il condensatore si scarica solo fino a:

$$V_{C,min} = V_G + |V_T|$$

*Motivo:* Nel pMOS, quando il condensatore (collegato al Source) si scarica, diminuisce  $V_S$ . Quando  $V_S$  scende fino a  $V_G + |V_T|$ , si ha  $V_{SG} = |V_T| \rightarrow$  il MOSFET si spegne. Non può scaricare oltre perché  $V_{SG} = |V_T|$  è la condizione di soglia (OFF).

#### Esempio pratico (SCARICA):

Se  $V_G = 2V$  e  $|V_T| = 1V$  per un pMOS:

$$V_{C,min} = 2V + 1V = 3V \text{ (non può scendere sotto!)}$$

Con nMOS invece:  $V_{C,min} = 0V$  (scarica completa)

### △ CONSEGUENZA PRATICA - Simmetria CARICA/SCARICA

**CARICA:** pMOS completa ( $\rightarrow V_{DD}$ ), nMOS limitata ( $\rightarrow V_G - V_T$ )

**SCARICA:** nMOS completa ( $\rightarrow GND$ ), pMOS limitata ( $\rightarrow V_G + |V_T|$ )

Nelle porte logiche cMOS:

- pMOS nella rete pull-up (PUN)  $\rightarrow$  porta uscita a  $V_{DD}$
- nMOS nella rete pull-down (PDN)  $\rightarrow$  porta uscita a GND

## Valutazione logica circuiti ibridi/intermedi (PTL)

**Scenario:** Circuiti con un solo MOSFET + condensatore (non completamente cMOS)

### **★ SOGLIA LOGICA: $\frac{V_{DD}}{2}$**

Per la tabella di verità, l'uscita è considerata:

- HIGH se  $V_{OUT} > \frac{V_{DD}}{2}$
- LOW se  $V_{OUT} < \frac{V_{DD}}{2}$

### Caso 1: nMOS sulla pull-up + condensatore

**Problema:** nMOS carica solo fino a  $V_{C,max} = V_G - V_T$

**Valutazione logica:**

Se  $V_G - V_T > \frac{V_{DD}}{2} \rightarrow$  Uscita = **HIGH** (logicamente "1")

Se  $V_G - V_T < \frac{V_{DD}}{2} \rightarrow$  Uscita = **LOW** (logicamente "0")

**Esempio:**  $V_{DD} = 5V$ ,  $V_G = 4V$ ,  $V_T = 1V$

$$V_{C,max} = 4V - 1V = 3V$$

$$\frac{V_{DD}}{2} = 2.5V$$

$3V > 2.5V \rightarrow$  Uscita = **HIGH** (anche se non raggiunge  $V_{DD}$ !)

### Caso 2: pMOS sulla pull-down + condensatore

**Problema:** pMOS scarica solo fino a  $V_{C,min} = V_G + |V_T|$

**Valutazione logica:**

Se  $V_G + |V_T| < \frac{V_{DD}}{2} \rightarrow$  Uscita = **LOW** (logicamente "0")

Se  $V_G + |V_T| > \frac{V_{DD}}{2} \rightarrow$  Uscita = **HIGH** (logicamente "1")

**Esempio:**  $V_{DD} = 5V$ ,  $V_G = 1V$ ,  $|V_T| = 1V$

$$V_{C,min} = 1V + 1V = 2V$$

$$\frac{V_{DD}}{2} = 2.5V$$

$2V < 2.5V \rightarrow$  Uscita = **LOW** (anche se non raggiunge GND!)

**Nota importante:** Questa valutazione si usa SOLO per le tabelle di verità dei circuiti ibridi. Nei circuiti cMOS completi, l'uscita raggiunge sempre  $V_{DD}$  o GND.

## Tempo di propagazione

### **Tempo di propagazione ( $\tau$ o $t_{prop}$ )**

**Definizione:** Tempo impiegato a raggiungere la soglia della porta logica successiva.

**Convenzione:** Se non specificato, si prende:

$$V_{finale} = \frac{V_{DD}}{2}$$

### **Metodo 1: Approssimazione a corrente costante**

$$\tau = \frac{\Delta V \cdot C}{I_{sat}}$$

Dove:

- $\Delta V = V_{finale} - V_{iniziale}$
- $V_{finale} = \frac{V_{DD}}{2}$  (sempre!)
- $C$  = capacità di carico
- $I_{sat}$  = corrente di saturazione del MOSFET

**Esempio:** Se  $V_{DD} = 5V$  e  $V_{iniziale} = 0V$ :  
La transizione è da 0V a  $\frac{5V}{2} = 2.5V$  (NON a 5V!)

$$\Delta V = 2.5V - 0V = 2.5V$$

## PTL vs CMOS Logic

**Confronto:** Due approcci diversi per implementare porte logiche

### 1. CMOS (Complementary MOS Logic)

#### Struttura:

- Rete PUN (pMOS) - pull-up network
- Rete PDN (nMOS) - pull-down network
- Sempre una rete ON, l'altra OFF

#### Vantaggi:

- Uscita sempre a  $V_{DD}$  o GND (livelli completi)
- Potenza statica = 0 (nessun percorso VDD → GND)
- Immunità al rumore elevata

#### Svantaggi:

- Richiede reti complementari (più transistor)
- Area maggiore

### 2. PTL (Pass Transistor Logic)

#### Struttura:

- Usa singoli transistor (nMOS o pMOS)
- I transistor "passano" i segnali da ingresso a uscita
- NON usa reti complementari

#### Vantaggi:

- Meno transistor (area ridotta)
- Circuiti più semplici

#### Svantaggi:

- Livelli degradati:
  - nMOS carica solo fino a  $V_G - V_T$
  - pMOS scarica solo fino a  $V_G + |V_T|$
- Immunità al rumore ridotta
- Potenza statica ≠ 0 (possibili percorsi VDD → GND)

#### CONFRONTO RAPIDO:

**CMOS:** Livelli completi, 0 potenza statica, + area  
**PTL:** Livelli degradati, potenza statica, - area

### Tempo di propagazione - PTL (metodo accurato)

#### ★ PROBLEMA - Approssimazione a corrente costante

L'approssimazione con  $I = I_{sat}$  (corrente costante in saturazione) è molto SOTTOSTIMATA per la PTL!

**Motivo:** Nella PTL, durante la carica/scarica, il MOSFET passa dalla zona di saturazione alla zona omica, e la corrente diminuisce drasticamente.

### METODO CORRETTO - Approssimazione RC

#### Ipotesi da considerare:

1. La corrente finale è circa zero (quando  $V_C \approx V_G - V_T$  per nMOS)
2. La corrente a metà tensione ( $V_{DD}/2$ ) è quella che determina il tempo
3. Sostituisce il transistor con una resistenza equivalente calcolata in zona omica

#### Procedura:

**Step 1:** Calcola la resistenza equivalente in zona omica

$$R_{eq} = \frac{1}{2K \cdot V_{OV}}$$

dove  $V_{OV} = V_{GS} - V_T$  al punto di lavoro considerato (tipicamente a  $V_{OUT} = \frac{V_{DD}}{2}$ )

**Step 2:** Calcola il tempo di propagazione come circuito RC

$$\tau_{prop} = R_{eq} \cdot C$$

#### Esempio pratico (nMOS in PTL):

$V_{DD} = 5V$ ,  $V_G = 5V$ ,  $V_T = 1V$ ,  $K = 1 \text{ mA/V}^2$ ,  $C = 10 \text{ pF}$

A metà tensione ( $V_{OUT} = 2.5V$ ):

$V_{GS} = 5V$  (gate fisso),  $V_S = 2.5V$  (source al condensatore)

$$V_{OV} = 5V - 1V = 4V$$

$$R_{eq} = \frac{1}{2 \cdot 1.4} = 0.125 \text{ k}\Omega = 125 \Omega$$

$$\tau_{prop} = 125 \cdot 10 \cdot 10^{-12} = 1.25 \text{ ns}$$

#### Confronto con approssimazione a corrente costante:

Se usassi  $I_{sat} = K \cdot V_{OV}^2 = 1 \cdot 4^2 = 16 \text{ mA}$  (molto sovrastimato!)

$$\tau = \frac{\Delta V \cdot C}{I_{sat}} = \frac{2.5 \cdot 10 \cdot 10^{-12}}{16 \cdot 10^{-3}} = 1.56 \text{ ns}$$

Il metodo RC è più accurato perché considera la diminuzione della corrente!

### Potenza statica

#### Potenza statica

**Definizione:** Potenza consumata dal circuito quando gli ingressi e le uscite **NON commutano** (analisi statica).

**Importante:** In analisi statica, il condensatore si comporta come se non ci fosse (circuito aperto).

#### Formula:

$$P_{statica} = I \cdot V_{DD}$$

Dove:

- $I$  = corrente che scorre nel MOSFET/circuito
- $V_{DD}$  = tensione di alimentazione

**Nota:** Poiché il condensatore è un circuito aperto in regime stazionario (nessun  $\frac{dV}{dt}$ ), si calcola solo la corrente continua che scorre attraverso i MOSFET.

**cMOS standard:**  $P_{statica} = 0$  sempre. Non esistono configurazioni che consumano potenza statica.

**cMOS non standard:** Possono avere configurazioni in cui  $P_{statica} \neq 0$ .

#### ★ IMPORTANTE - Calcolo $V_{GS}$

In analisi statica, se il source dell'nMOS **NON è a massa** (ma collegato a un'altra alimentazione):

**NON** usare  $V_G$  direttamente, ma calcolare:

$$V_{GS} = V_G - V_S$$

Lo stesso vale per pMOS se il source **NON è a  $V_{DD}$** .

## Potenza dinamica

**Definizione:** Potenza consumata durante le commutazioni degli ingressi uscite.

### ★ CONDIZIONE FONDAMENTALE

Prima di applicare la formula, verificare che:

$$\tau_{prop} \leq \frac{T_{in}}{2}$$

Dove:

- $\tau_{prop}$  = tempo di propagazione
- $T_{in}$  = periodo del segnale di ingresso

Se  $\tau_{prop} > \frac{T_{in}}{2}$ , il circuito **NON ha tempo** di raggiungere il regime prima della prossima commutazione  $\Rightarrow$  la formula **NON è valida**.

*Nota pratica:* Se hai calcolato  $\tau_{prop}$  per una transizione (es. high  $\rightarrow$  low) ma la potenza dinamica riguarda la transizione opposta (low  $\rightarrow$  high), verifica l'**ordine di grandezza**. Se  $K_n$  e  $K_p$  sono comparabili numericamente, i due tempi di propagazione saranno multipli ma **stesso ordine di grandezza**. Se  $\tau_{prop} \ll \frac{T_{in}}{2}$  (molto minore), sei a posto anche senza calcolare l'altro! **ATTENZIONE:** Questa assunzione vale **SOLO se**  $K_n \approx K_p$ . Se i valori di  $K$  sono molto diversi, devi calcolare entrambi i tempi di propagazione.

### Formula generale:

$$P_D = V_{DD} \sum_i (V_{OH,i} - V_{OL,i}) \cdot C_i \cdot f_i$$

**Caso semplificato** (un solo nodo d'uscita):

$$P_D = V_{DD} \cdot (V_{OH} - V_{OL}) \cdot C_L \cdot f_{out}$$

Dove:

- $V_{DD}$  = tensione di alimentazione
- $V_{OH}$  = tensione output HIGH (valore massimo)
- $V_{OL}$  = tensione output LOW (valore minimo)
- $C_L$  = capacità del carico
- $f_{out}$  = frequenza di uscita

### Come determinare $V_{OH}$ e $V_{OL}$ :

Sono i valori massimo e minimo dell'uscita durante le commutazioni.

### Metodi:

- Dal grafico di  $V_{out}(t)$  (se richiesto in precedenza)
- Forniti direttamente nel testo dell'esercizio
- Analizzando le transizioni del circuito

## Duty Cycle

### Duty Cycle (ciclo di lavoro)

**Definizione:** Il **duty cycle**  $\delta$  è il rapporto tra il tempo in cui il segnale è HIGH e il periodo totale:

$$\delta = \frac{T_{HIGH}}{T} = \frac{T_{HIGH}}{T_{HIGH} + T_{LOW}}$$

Espresso in percentuale:  $\delta\% = \delta \times 100$

### Esempi comuni:

- $\delta = 0.5$  (50%)  $\rightarrow$  onda quadra simmetrica (HIGH e LOW stesso tempo)
- $\delta = 0.25$  (25%)  $\rightarrow$  segnale HIGH per 25% del periodo
- $\delta = 0.75$  (75%)  $\rightarrow$  segnale HIGH per 75% del periodo

*Relazione con la potenza dinamica:* Se il duty cycle  $\neq 50\%$ , può influenzare la frequenza effettiva delle commutazioni complete. In molti esercizi si assume duty cycle = 50% (onda quadra simmetrica).

## Porte cMOS - Definizione

**Definizione:** Una porta logica **cMOS** (Complementary MOS) è composta da due reti complementari:

- **PUN** (Pull-Up Network): rete di **pMOS**
- **PDN** (Pull-Down Network): rete di **nMOS**

### ★ REGOLA FONDAMENTALE

In qualsiasi configurazione di ingresso:

**Solo UNA rete è attiva (ON) alla volta**

- Se PUN è ON → PDN è OFF (uscita =  $V_{DD}$ )
- Se PDN è ON → PUN è OFF (uscita = GND)

### Significato PRATICO negli esercizi:

#### 1. Potenza statica = 0

Poiché una rete è sempre OFF, non c'è percorso diretto tra  $V_{DD}$  e GND →  $P_{statica} = 0$

#### 2. Analisi per stati logici

Per ogni combinazione di ingressi, verifica:

- Quali MOSFET sono ON/OFF
- Quale rete (PUN o PDN) è attiva
- Output =  $V_{DD}$  se PUN ON, = GND se PDN ON

### Esempio: cMOS Inverter

#### Ingresso ALTO (“1”):

- nMOS ON → PDN attiva → Uscita = GND (“0”)
- pMOS OFF → PUN spenta

#### Ingresso BASSO (“0”):

- pMOS ON → PUN attiva → Uscita =  $V_{DD}$  (“1”)
- nMOS OFF → PDN spenta

*Nota:* Le reti sono **complementari**: se PUN realizza  $f$ , PDN realizza  $\bar{f}$

## Costruzione PUN da PDN

**Problema:** Data la rete Pull-Down (PDN) con nMOS, costruire la rete Pull-Up (PUN) con pMOS

### ★ METODO - Trasformazione DUALE

In pratica: INVERSIONE RICORSIVA di SERIE e PARALLELO

Dalla PDN alla PUN:

1. SERIE → PARALLELO
2. PARALLELO → SERIE
3. nMOS → pMOS
4. Gate (ingressi) → RIMANGONO UGUALI

### PROCEDURA MECCANICA:

**Step 1:** Identifica la struttura della PDN

- Individua le connessioni SERIE
- Individua le connessioni PARALLELO

**Step 2:** Applica la trasformazione

- Ogni SERIE diventa PARALLELO
- Ogni PARALLELO diventa SERIE
- Sostituisci nMOS con pMOS
- Mantieni gli stessi gate

### Esempio pratico:

**PDN:** nMOS(A) in SERIE con [nMOS(B) —— nMOS(C)]

#### Applicazione trasformazione:

- A in SERIE → A in PARALLELO
- (B —— C) → (B in SERIE con C)

**PUN:** pMOS(A) in PARALLELO con [pMOS(B) in SERIE con pMOS(C)]

In formula:  $PUN = A \parallel (B \cdot C)$

#### Verifica:

- PDN:  $f = A \cdot (B + C)$
- PUN:  $\bar{f} = \overline{A} + (\overline{B} \cdot \overline{C}) = \overline{A} \cdot (\overline{B} + \overline{C}) \checkmark$

*Nota:* Questo metodo garantisce che solo una rete sia ON alla volta (proprietà fondamentale delle porte cMOS)

**AND/nAND****AND (AND/nAND):****1. Entrata:**

$$A = 0, \quad B = 0$$

Uscita: 0

2.

$$A = 0, \quad B = 1$$

Uscita: 0

3.

$$A = 1, \quad B = 0$$

Uscita: 0

4.

$$A = 1, \quad B = 1$$

Uscita: 1

**XOR/nXOR****XOR (nXOR):****1. Entrata:**

$$A = 0, \quad B = 0$$

Uscita: 0

2.

$$A = 0, \quad B = 1$$

Uscita: 1

3.

$$A = 1, \quad B = 0$$

Uscita: 1

4.

$$A = 1, \quad B = 1$$

Uscita: 0

**Box 19****Box 20****Box 21****OR/nOR****OR (nOR):****1. Entrata:**

$$A = 0, \quad B = 0$$

Uscita: 0

2.

$$A = 0, \quad B = 1$$

Uscita: 1

3.

$$A = 1, \quad B = 0$$

Uscita: 1

4.

$$A = 1, \quad B = 1$$

Uscita: 1

**Box 17****Box 18**

**Box 22**

**Box 23**