



Hochschule
Augsburg University of
Applied Sciences

Hardwaresysteme
Kürprojekt

Fakultät für
Informatik

Studienrichtung
M.Sc.Informatik

Timo Winklbauer
Entwicklung eines ICs - Tiny Tapeout

Abgabe bei: Prof. Dr.-Ing. Gundolf Kiefer
Abgabe der Arbeit am: 09.07.2023

Hochschule für angewandte
Wissenschaften Augsburg
University of Applied Sciences

An der Hochschule 1
D-86161 Augsburg

Telefon +49 821 55 86-0
Fax +49 821 55 86-3222
www.hs-augsburg.de
info@hs-augsburg.de

Fakultät für Informatik
Telefon +49 821 5586-3450
Fax +49 821 5586-3499

Verfasser der Ausarbeitung:
Timo Winklbauer
timo.winklbauer@hs-augsburg.de

Inhaltsverzeichnis

1	Einleitung	1
1.1	Motivation	1
1.2	Projektbeschreibung	1
1.3	Überblick über Aufbau der Arbeit	2
2	Grundlagen des IC-Designs	2
2.1	Systeme-Ebene	3
2.2	Register-Transfer-Ebene	3
2.3	Gatter-Ebene	3
2.4	Layout-Ebene	4
2.4.1	Platzierung und Routing	4
2.4.2	Verifizierung	4
2.5	Produktion - Wafer Prozess	5
2.5.1	Lithographie	5
2.5.2	Implantation	6
2.5.3	Deposition	7
2.5.4	Ätzen	8
3	Tiny-Tapeout	9
3.1	Beschreibung	9
3.2	Evaluationsboard	10
3.3	Multi-Project-Wafer	11
4	Zusammenfassung und Ausblick	12

1 Einleitung

1.1 Motivation

Im Zeitalter der digitalen Innovation spielen integrierte Schaltkreise (ICs) eine entscheidende Rolle bei der Entwicklung und Realisierung hochmoderner elektronischer Systeme. IC-Design ist ein komplexer Prozess, der die Gestaltung und Implementierung dieser Schaltkreise umfasst. Eine Herausforderung bei der Entwicklung eigener IC-Designs besteht jedoch in den hohen Kosten und der begrenzten Zugänglichkeit zu Fertigungsressourcen.

In den letzten Jahren hat sich jedoch das Konzept des Tiny Tapeouts als vielversprechende Lösung für den Einstieg in diesen Themenbereich etabliert. Tiny Tapeout ermöglicht es bis heute über 550 IC-Designern zu unterstützen. Eigenes entworfene IC-Designs werden für eine Multi Project Wafer - Fertigung (MPW) eingereicht und somit wird ihr Design als tatsächlicher Chip gefertigt. Durch Vorstellen des allgemeinen IC-Designs und dessen Umsetzung soll ein Einblick in die Welt des integrated Circuit Entwicklung gegeben werden und einen Weg aufzeigen, wie dies auch für interessierte Einzelpersonen möglich ist seinen eigenen integrierten Schaltkreis nach Hause liefern zu lassen. [3]

1.2 Projektbeschreibung

Es soll ein eigener IC-Chip mithilfe von Tiny-Tapeout erstellt werden. Dafür ist wird der Prozess und die Services von Tiny-Tapeout erläutert um diese zu verstehen und effektiv Nutzen zu können. Dabei wird dieses Projekt in das Grundsätzliche IC-Design, die Tools von Tiny Tapeout und unser eigens umgesetztes Projekt des Reaktionsspiels als jeweils eigene Ausarbeitungen unterteilt. Diese Inhalte werden von Sascha, Matze und Timo Winklbauer abgedeckt.

Als Projektteam haben wir uns für ein Reaktionsspiel entschieden und ausgehend von dessen Spezifikationen den IC-Designprozess mithilfe der bereitgestellten Tools durchlaufen. Am Ende des Projektes wurde ein Chip-Layout generiert mit der Option diesen an den Chiphersteller übermitteln zu lassen.

Diese Arbeit beschäftigt sich mit dem Grundsätzlichen IC-Design und Grundlegenden Informationen zu Tiny-Tapeout und dient als Grundlage für die Studienarbeiten meiner Kollegen.

1.3 Überblick über Aufbau der Arbeit

Um die Grundkenntnisse über den IC-Design Prozess zu verstehen wird dieser nach der Anleitung als Einstieg in das Thema erläutert. Das darauf folgende Kapitel hilft einem Designer dabei dies mit Tiny-Tapeout umzusetzen, welches zur Fertigung den Service Multi-Project-Wafer-Service nutzt. Am Ende wird zuvor gelesener Inhalt zusammengefasst und zukünftige Entwicklungsperspektiven aufgezeigt.

2 Grundlagen des IC-Designs

In diesem Kapitel werden die einzelnen Schritte des IC-Designs aus Abbildung 1, erläutert, mit besonderen Augenmerk auf den IC-Spezifischen Bereich Layout-Ebene und Produktion, welche sich von der FPGA-Umsetzung unterscheiden.

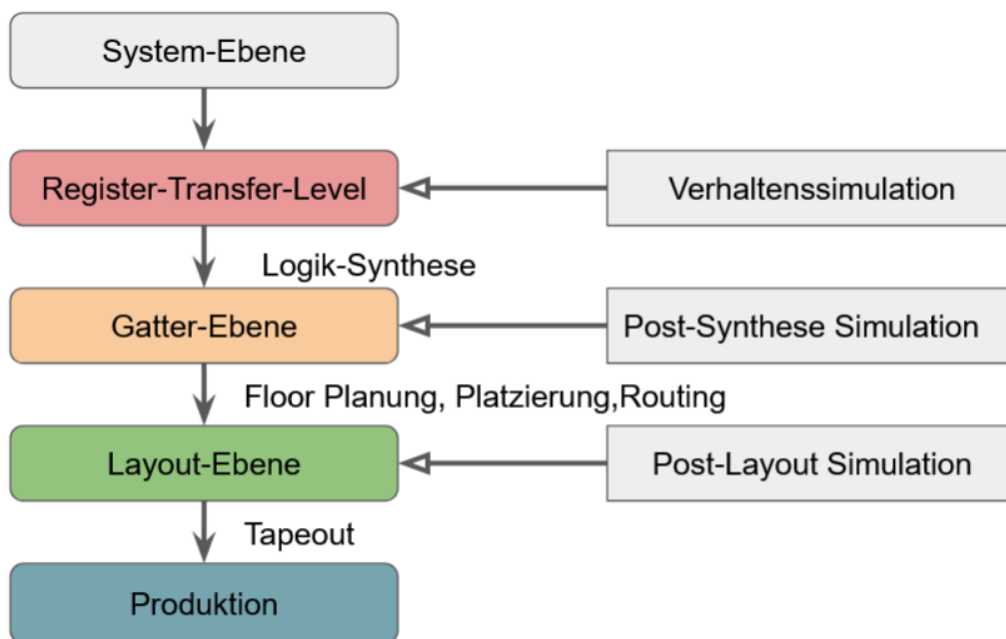


Abbildung 1: IC-Designprozess Überblick (Angelehnt an: [1][2])

2.1 Systeme-Ebene

Auf dieser Ebene werden Entscheidungen getroffen, wie die Auswahl der Prozessorarchitektur, die Spezifikation der Schnittstellen und die Festlegung der grundlegenden Funktionen des ICs. Zudem werden Leistungs- und Energieeffizienzanforderungen berücksichtigt. Die Systemebene legt die Grundlagen für den weiteren Entwurfsprozess und ermöglicht eine maßgeschneiderte Lösung, die den Anforderungen des gewünschten Systems angepasst ist.

2.2 Register-Transfer-Ebene

Die Module eines digitalen Systems lassen sich durch eine Reihe von Registern und die Operationen definieren, die mit den darin gespeicherten binären Informationen durchgeführt werden. Die mit den in ihnen gespeicherten binären Informationen durchgeführt werden. Beispiele für Registeroperationen sind Schieben, Zählen, Löschen und Laden. Es wird davon ausgegangen, dass die Register die Grundkomponenten des digitalen Systems sind.

Ein digitales System wird auf der Register-Transfer-Ebene dargestellt, wenn es durch die folgenden drei Komponenten spezifiziert ist:

- Gruppen von Registern im System.
- Die Operationen, welche Einfluss auf die Daten im Register nehmen.
- Die Steuerung, die den Ablauf der Operationen im System überwacht.

Die Register Transfer-Ebene wird mit einer Hardware-Description-Language, wie Verilog oder VHDL umgesetzt.

2.3 Gatter-Ebene

Durch das Synthetisieren von HDL-Code wird eine Gitterstruktur erzeugt, welche den Inhalt der RSL-Ebene widerspiegelt. In dieser Stufe wird der Entwurf des ICs durch Logikgatter, Flip-Flops und Verbindungen zwischen diesen beschrieben. Jedes Logikgatter repräsentiert eine bestimmte logische Funktion, wie zum Beispiel AND, OR oder NOT. Die Verbindungen zwischen den Gattern werden durch Leitungen dargestellt, welche Signale zwischen den verschiedenen Gattern übertragen. Dabei sind die verfügbaren Logikgatter abhängig von der Technologie-Bibliothek des Chip-Herstellers. Die Logikgatter repräsentieren physische Basiszellen, welche im Produktionsprozess auf dem Chip verbaut werden.

Als weitere Information für die Synthese wird ein "constraints file" benötigt, um die Optimierung der zu synthetisierenden Logik zu bestimmen. Diese Datei enthält Timing- und Ladeanforderungen, Optimierungsalgorithmen, die das Synthesewerkzeug für die Optimierung der Logik benötigt und gegebenenfalls auch Anforderungen an Designregeln die während der Synthese berücksichtigt werden müssen. Diese Informationen sind relevant, da dadurch sichergestellt wird, dass die logischen Operationen fehlerfrei ausgeführt werden und somit die Funktionalität des ICs gewährleistet wird.

2.4 Layout-Ebene

Diese Ebene im IC-Design bezieht sich auf die tiefste Abstraktionsebene, in welcher der Bauplan eines integrierten Schaltkreises in für die physische Implementierung erzeugt wird. Die Layout-Ebene wird mithilfe spezialisierter Software-Tools erreicht, die für die Platzierung, das Routing von Komponenten und die Verifikation verwendet werden. Diese Tools unterstützen den Designer bei der Erstellung eines optimierten Layouts.

2.4.1 Platzierung und Routing

Bei der Platzierung werden die einzelnen Bauelemente auf dem Chip platziert. Dies beinhaltet die Bestimmung der optimalen Positionen, um eine effiziente Nutzung des verfügbaren Platzes. Komponenten werden durch Leiterbahnen untereinander Verbunden. In Kombination gilt es Herausforderungen wie Wärmeableitung, optimale Signalintegrität, Minimierung von Signalverzögerungen und mehr zu gewährleisten. Zusätzlich ist die Vermeidung von Überlappungen zwischen den Komponenten, die Minimierung von Verbindungsstrecken und die Beachtung von Designregeln, um Probleme wie parasitäre Effekte zu vermeiden ein zentraler Punkt der Layout-Planung.

Platzierung und Routing sind iterative Prozesse, bei denen die Platzierung und Verbindung der Komponenten schrittweise optimiert werden. Dabei werden verschiedene Algorithmen und Optimierungstechniken verwendet, um die bestmöglichen Ergebnisse zu erzielen. Eine erfolgreiche Durchführung dieser Ebene ist entscheidend für die Funktionalität und Leistung des gefertigten Chips.

2.4.2 Verifizierung

Nach Abschluss des physischen Designs muss das Layout einer umfassenden Verifikation unterzogen werden, um die korrekte elektrische und logische Funktionalität zu gewährleisten.

lität zu überprüfen. Einige während der physischen Verifikation festgestellte Probleme können toleriert werden, wenn ihre Auswirkungen auf die Chip-Qualität vernachlässigbar sind. In anderen Fällen muss das Layout meist manuell von erfahrenen Designingenieuren geändert werden. Dabei werden verschiedene Verifizierungsverfahren (siehe Tabelle 1) durchgeführt.

Verfahren	Erläuterung
Design Rule Checking (DRC)	Überprüft auf Layout technologiebedingten Einschränkungen
Layout vs. Schematic (LVS)	Verifiziert Funktionalität des Design.
Parasitic Extraction	Überprüft elektrische Eigenschaften der Schaltung
Antenna Rule Checking	Verhindert Antenneneffekte
Electrical Rule Checking (ERC)	Überprüft Richtigkeit von Strom- und Masseverbindungen

Tabelle 1: Verifizierungsverfahren

2.5 Produktion - Wafer Prozess

ICs werden auf einer Halbleiterscheibe, auch Wafer genannt, mithilfe verschiedener Verfahrenstechniken gefertigt. Wie Abbildung 2 zu entnehmen ist ist Lithographie das grundlegende Verfahren mit welchem das IC-Layout auf den Wafer übertragen wird. Anschließend abhängig von den Anforderungen ein Folgeverfahren auszuwählen.

2.5.1 Lithographie

Die Lithographie ist ein entscheidender Prozess in der Halbleiterfertigung, insbesondere bei der Herstellung von integrierten Schaltkreisen (ICs). Sie ermöglicht die Übertragung komplexer Muster und Strukturen auf einen Siliziumwafer, der als Grundlage für die Herstellung der einzelnen Komponenten eines ICs wie Transistoren, Verbindungen und anderen Schaltungselementen dient.

Der Lithographieprozess beginnt mit der Erstellung einer Fotomaske, welche aus dem Layout abgeleitet wird. Diese enthält das gewünschte Muster, das auf den Wafer übertragen werden soll. Die Fotomaske besteht aus einer transparenten Substanz mit einer undurchlässigen Beschichtung, die das Muster definiert.

Bei der Belichtung wird der Wafer mit der Fotomaske ausgerichtet und ultraviolette (UV) Licht wird durch die transparenten Bereiche der Maske hindurch auf

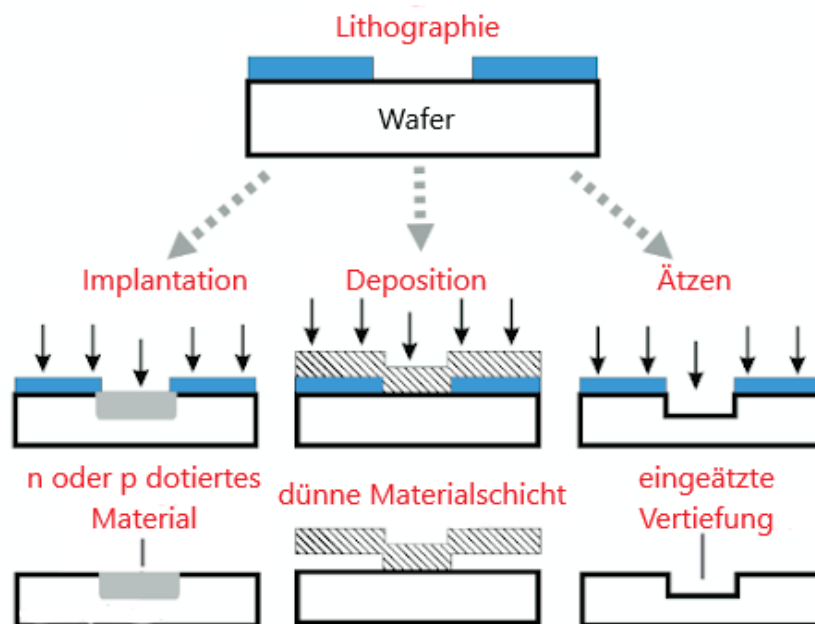


Abbildung 2: Wafer Verfahrensüberblick

den Wafer projiziert. Das UV-Licht bewirkt chemische oder physikalische Veränderungen in einer lichtempfindlichen Schicht, die als Resist bezeichnet wird, die den Wafer bedeckt. Je nach verwendeter Technologie kann es sich dabei um einen positiven oder negativen Resist handeln.

Nach der Belichtung wird der Wafer bearbeitet, um die belichteten Bereiche des Resists zu entfernen und das Muster freizulegen. Anschließend werden weitere Prozessschritte wie Ätzen, Implantation und Deposition durchgeführt, um die gewünschten Strukturen auf dem Wafer zu erzeugen.

2.5.2 Implantation

Die Implantation ist eine Technologie zum dotieren von Halbleitern. Dies bedeutet, dass positive oder negativ geladene Atome die Ladung des Halbleiters lokal verändern. Dabei wird ein Ionenstrahl erzeugt und in das Substrat gelenkt, sodass die Ionen in die Oberfläche eindringen und dort in das Material integriert werden. Die Ionen können entweder mit der Energie, mit der sie aus dem Ausgangsmaterial extrahiert wurden, durch eine Beamline reisen, oder sie können durch Gleichstrom- oder Hochfrequenz-(RF-)elektrische Felder beschleunigt oder abgebremst werden. Dadurch lässt sich steuern, wie tief die Ionen in das Silizium eindringen.

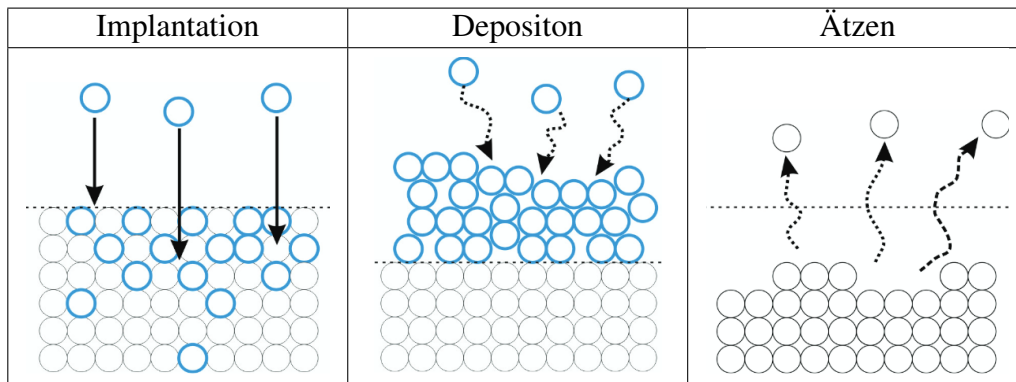


Abbildung 3: Wafer-Prozess: Bearbeitungsmethoden

sollen. Abhängig davon welche Ionen gewählt werden wird die bestrahlte Fläche positiv oder negativ geladen. (siehe Abbildung 3 links)

Heutzutage verwenden Halbleiterhersteller die Ionenimplantation für nahezu alle Dotierungsprozesse in Silizium-ICs. Die am häufigsten implantierten Arten von Ionen sind Arsen, Phosphor, Bor, Borfluorid, Indium, Antimon, Germanium, Silizium, Stickstoff, Wasserstoff und Helium.

2.5.3 Deposition

Deposition beschichtet den Siliziumwafer, in diesem Zusammenhang auch Substrat genannt, gleichmäßig mit einem qualitativ hochwertigen und festen Film eines Materials, welche die gewünschten Eigenschaften mit sich bringt (siehe Abbildung 3 mitte). Je nachdem welches Material benötigt wird, gibt es verschiedene Depositionsmethoden.

Chemical vapor deposition (CVD) oder Physical vapor deposition (PVD) sind mögliche Methodenanwendungen. CVD ist aufgrund der möglichen Materialauswahl ein beliebtes Verfahren und wird daher beispielhaft genauer erläutert.

Das Substrat wird in einem Reaktor platziert, in dem der Druck und die Temperaturen entsprechend den programmierten Einstellungen eingestellt werden. Es werden ausgewählte Gase, einschließlich Reaktanten und inerte Gase, in die Kammer eingeführt. Diese Gase gelangen zur Oberfläche des Substrats. Durch die Temperaturen in der Kammer und auf dem Substrat reagieren die Gasmoleküle miteinander und/oder mit der Oberfläche des Substrats, wodurch sich ein fester, dünner Film bildet. Dieser Film haftet an der Oberfläche des Wafers und wird als Adsorption bezeichnet. Während dieser chemischen Reaktionen entstehen gasförmige Nebenprodukte, die von der Oberfläche des Wafers abgestoßen werden und aus der Reaktionskammer abgeführt werden.

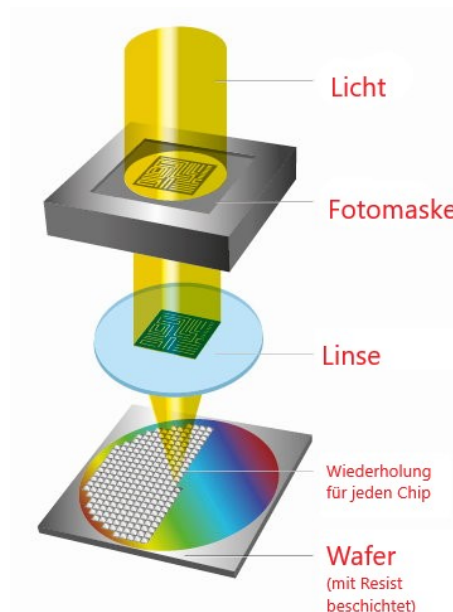


Abbildung 4: Lithographie

2.5.4 Ätzen

Nachdem das belichtete und entwickelte Resist-Muster auf dem Wafer erstellt wurde, wird Ätzen eingesetzt, um die unerwünschten Teile des Materials zu entfernen und die gewünschten Strukturen freizulegen.

Es gibt verschiedene Ätztechniken, die in der Halbleiterfertigung je nach Material und Prozessanforderung eingesetzt werden. Die zwei angewandten Ätztechniken sind das trockene Ätzen und das nasse Ätzen.

Das trockene Ätzen verwendet ein Plasma, welches durch Einwirkung eines ausreichen großen elektromagnetischen Feldes erzeugt wird. Das Plasma besteht aus ionisierten Gasen, die eine chemische Reaktion mit dem Material auf dem Wafer eingehen. Diese Reaktion entfernt das Material selektiv und ermöglicht die Definition der gewünschten Strukturen.

Das nasse Ätzen hingegen verwendet chemische Lösungen, um das Material selektiv zu entfernen. Die Lösung enthält spezifische chemische Komponenten, die mit dem Material auf dem Wafer reagieren und es auflösen.

3 Tiny-Tapeout

3.1 Beschreibung

Durch Tiny-Tapeout erhält ein IC-Designer Zugriff auf Tools um die in Kapitel 1 beschriebenen Design-Ebenen zu durchlaufen. Diese Tools bauen auf den Entwurf des Register-Transfer-Levels auf wandeln die den Input des Designers automatisch in ein Gatterkonstrukt und darauf aufbauend in ein Layout im GDSII-Format. (siehe Abbildung 5)

Das entscheidende für die Umsetzung ist jedoch der Zugriff auf den Fertigungsprozess, wie er in Kapitel 2.5 beschrieben wird. Dies wird durch Tiny-Tapeout ermöglicht indem der Multi-Project-Wafer-Service (siehe Kapitel 3.3) des Chipherstellers Skywater über das Unternehmen efabless genutzt wird. Dieser Service hat den Vorteil, dass einzelne Designs günstig umgesetzt werden können.

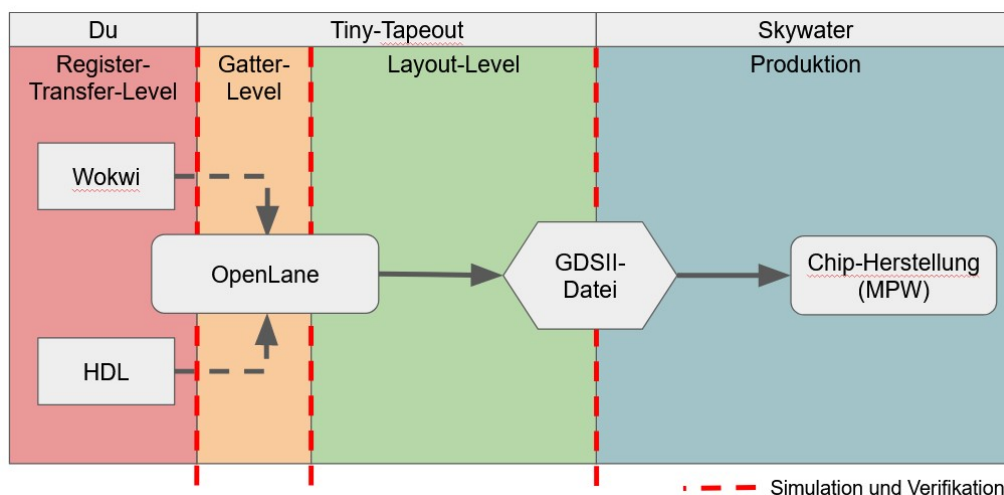


Abbildung 5: Designprozess mit Tiny-Tapeout

Die in dieser Abbildung erwähnten Tools werden genauer in "XXX" von Sascha Binkert erläutert.

Tiny-Tapout ist eine Initiative von Matt Venn. Zum heutigen Stand (30.06.2023) wurden drei Produktionscyclen ausgeführt und Insgesamt schon über 500 Desings verwirklicht. Der erste Produktionszyklus wurde mit Tiny Tapeout 01 (TT01) im Jahr 2022 mit 152 eingereichten IC-Designs umgesetzt. Aufgrund des Erfolges dieses ersten Durchlaufs wurde seither ca. Halbjährig ein solches Projekt initialisiert. Die Produktion für TT04, an welchem wir unsere eigene Umsetzung einsenden wollen (siehe XXX), wurde für Februar 2024 angesetzt.

3.2 Evaluationsboard

Um sein eigenes Design nutzen zu können besteht die Möglichkeit den bestellte Chip in ein Evaluationsboard, wie in Abbildung 6 gezeigt, einbauen zu lassen. Wenn diese Option genutzt wird, sind die IC-Schnittstellen abhängig von Optionen dieses Boards.

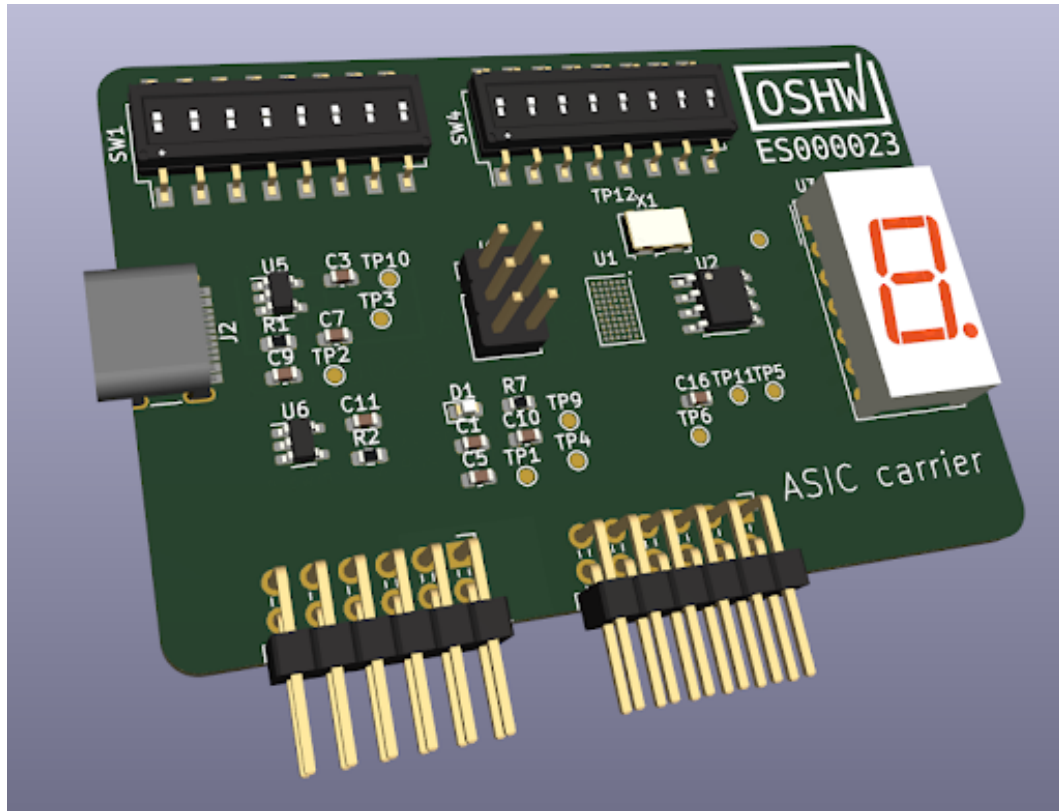


Abbildung 6: Evaluationsboard von Tiny-Tapeout

Die Stromversorgung erfolgt über einen USB-C Anschluss und steuert den IC-Chip mit einer einstellbaren Clock-Frequenz

Das Board verfügt über acht Ausgangssignale, welche die sieben Segmentanzeige und den Punkt steuern, sowie acht Eingangssignale welche durch die Dips (Abbildung 1 SW4) manuell gesteuert werden können. Zusätzlich gibt es noch acht bidirektionale Ein-/Ausgänge, womit es möglich ist eigene Bauteile anzuschließen.

Auf diesem Chip sind die Designs von einer Vielzahl an Personen verbaut, deshalb ist es auch möglich zwischen diesen mithilfe der Dip-Schalter zu wechseln (siehe Kapitel 3.3).

3.3 Multi-Project-Wafer

Multi Project Wafer (MPW) ist ein kooperativer Ansatz in der Halbleiterfertigung, der es ermöglicht, mehrere integrierte Schaltkreisdiseins von verschiedenen Kunden auf einem einzigen Wafer herzustellen. Es bietet eine kostengünstige Lösung für IC-Designer, insbesondere für kleine und mittelständische Unternehmen oder Forscher, die über begrenzte Ressourcen verfügen.

In diesem Fall ist Skywafer der Chiphersteller und Tiny Tapeout übermittelt die zu produzierenden Designs der Kunden. Skywafer stellt für die Designherstellung ein Process Development Kit zur Verfügung, welches Standardzellen- und IO-Bibliotheken, Spice- und Timing-Modelle sowie Verifikationsdecks zur Verfügung stellt, womit sichergestellt wird, dass die Designs den Anforderungen der 130nm-Technologie Fertigung entsprechen.

Die übermittelten Designs werden anschließend kombiniert und in einem gitterartigen Muster unter Verwendung spezialisierter Software-Tools auf dem Wafer platziert. Jedes Design wird durch Schutzstreifen, sogenannte Scribe Lines, voneinander getrennt. Diese verhindern eine Kreuzkontamination und gewährleisten die Isolierung der einzelnen Designs während des Fertigungsprozesses.

Sobald das kombinierte Designlayout abgeschlossen ist, durchläuft der Wafer die standardmäßigen Halbleiterfertigungsprozesse wie in Kapitel 2.5 beschrieben.

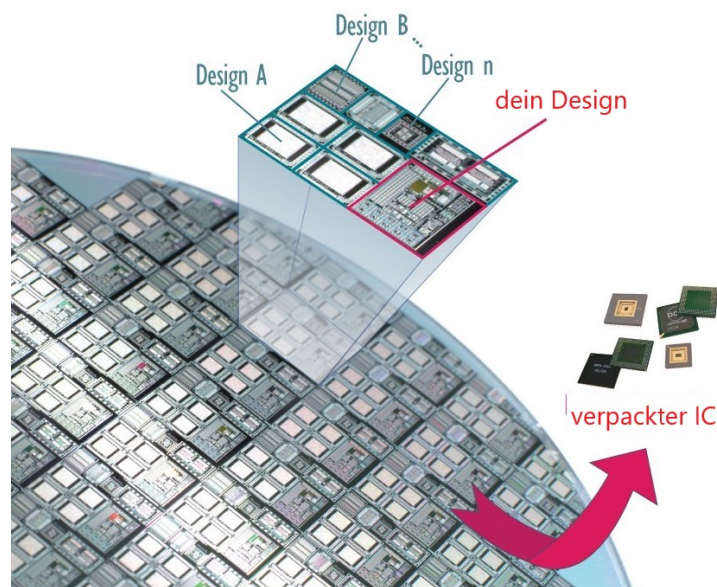


Abbildung 7: Multi-Project-Wafer

4 Zusammenfassung und Ausblick

Ein komplexer Designprozess von der Definition der Spezifikation über die Gatterbildung bis hin zum Layout ist ein komplexes und umfangreiches Vorhaben. Wenn das Layout fertiggestellt ist, folgt ein technologisch anspruchsvoller Prozess, welcher das Layout mithilfe von Lithography auf die Struktur auf dem Wafer abgebildet und anschließend mit Ätzen, Implantation oder Deposition Teil des Wafers. Dies wird wiederholt, bis alle Schichten des ICs erzeugt sind. Dies ist ein High-Tech-Prozess, welcher hohe Kosten mit sich bringt und somit für Privatpersonen nicht zu bezahlen. Tiny-Tapeout unterstützt den IC-Designprozess mit den zu Verfügung gestellten Tools und einer Palette an bereits umgesetzten IC-Chips, dessen Dateien öffentlich einsehbar sind. Durch das Nutzen des MPW erhält der bestellte Chip auch die Designs anderer Einreichungen, wodurch der Chip interessante unbekannte Funktionen mit sich bringt. Der komplexe Teil wird automatisiert ausgeführt, sodass die Aufgabe des IC-Designers sich auf das Erstellen von HDL-Code oder einer Wokwi-Datei mit Berücksichtigung der verfügbaren Schnittstellen zum Board. Laut eigener Angabe von Tiny-Tapeout ist der jüngste Einreicher vier Jahre alt. Tiny-Tapeout erleichtert den Einstieg. Aus eigener Projektdurchführung ist trotzdem noch nicht "kinderleicht", aber es erleichtert den Prozess ungemein. [4]

Literatur

- [1] Md Mahbub Alam u. a. „Challenges and Opportunities in Analog and Mixed Signal (AMS) Integrated Circuit (IC) Security“. In: *Journal of Hardware and Systems Security* 2.1 (Nov. 2017), S. 15–32. DOI: 10.1007/s41635-017-0024-z.
- [2] A. Aykan. „Calibration of circular loop antennas“. In: *IEEE Transactions on Instrumentation and Measurement* 47.2 (Apr. 1998), S. 446–452. DOI: 10.1109/19.744189.
- [3] Matt Venn. *Tiny Tapeout*. letzter Stand: 02.07.2023. URL: <https://tinytapeout.com>.
- [4] Joachim Zuckarelli. *Statistik mit R : eine praxisorientierte Einführung in R*. ISBN: 9781492064879. URL: <https://proquest.tech.safaribooksonline.de/book/programming/r/9781492064879/firstchapter>.