



**Hochschule**  
**Augsburg** University of  
Applied Sciences

**Hardwaresysteme**  
**Kürprojekt**

**Fakultät für**  
**Informatik**

Studienrichtung  
M.Sc.Informatik

**Timo Winklbauer**  
**Entwicklung eines ICs - Tiny Tapeout**

Abgabe bei: Prof. Dr.-Ing. Gundolf Kiefer  
Abgabe der Arbeit am: 09.07.2023

Hochschule für angewandte  
Wissenschaften Augsburg  
University of Applied Sciences

An der Hochschule 1  
D-86161 Augsburg

Telefon +49 821 55 86-0  
Fax +49 821 55 86-3222  
[www.hs-augsburg.de](http://www.hs-augsburg.de)  
[info@hs-augsburg.de](mailto:info@hs-augsburg.de)

**Fakultät für Informatik**  
Telefon +49 821 5586-3450  
Fax +49 821 5586-3499

Projektmitglieder:  
Sascha Binkert,  
Mathias Schoppe,  
Timo Winklbauer

Verfasser der Ausarbeitung:  
Timo Winklbauer  
Matrikelnummer: 2152060  
[timo.winklbauer@hs-augsburg.de](mailto:timo.winklbauer@hs-augsburg.de)

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
1.1	Motivation . . . . .	1
1.2	Projektbeschreibung . . . . .	1
1.3	Aufbau der Arbeit . . . . .	2
<b>2</b>	<b>Grundlagen des IC-Designs</b>	<b>2</b>
2.1	Systeme-Ebene . . . . .	3
2.2	Register-Transfer-Ebene . . . . .	3
2.3	Gatter-Ebene . . . . .	3
2.4	Layout-Ebene . . . . .	4
2.4.1	Platzierung und Routing . . . . .	4
2.4.2	Verifizierung . . . . .	5
2.5	Produktion - Wafer Prozess . . . . .	5
2.5.1	Lithographie . . . . .	5
2.5.2	Implantation . . . . .	7
2.5.3	Deposition . . . . .	7
2.5.4	Ätzen . . . . .	8
<b>3</b>	<b>Tiny-Tapeout</b>	<b>9</b>
3.1	Beschreibung . . . . .	9
3.2	Evaluationsboard . . . . .	10
3.3	Multi-Project-Wafer . . . . .	11
<b>4</b>	<b>Zusammenfassung und Ausblick</b>	<b>12</b>

# 1 Einleitung

## 1.1 Motivation

Im Zeitalter der digitalen Innovation spielen integrierte Schaltkreise (ICs) eine entscheidende Rolle bei der Entwicklung und Realisierung hochmoderner elektronischer Systeme. IC-Design ist ein komplexer Prozess, welcher die Gestaltung und Implementierung dieser Schaltkreise umfasst. Eine Herausforderung bei der Entwicklung eigener IC-Designs besteht jedoch in den hohen Kosten und der begrenzten Zugänglichkeit zu Fertigungsressourcen.[19]

Seit 2020 hat sich das Konzept von Tiny Tapeout als Lösung für den Einstieg in diesen Themenbereich etabliert. Tiny Tapeout ermöglicht es bis heute über 550 IC-Designern zu unterstützen. Eigene entworfene IC-Designs werden für eine Multi-Project-Wafer Fertigung (MPW) eingereicht und somit wird ihr Design als tatsächlicher Chip gefertigt. Durch das Vorstellen des allgemeinen IC-Designs und dessen Umsetzung soll ein Einblick in die Welt des integrated Circuit Entwicklung gegeben werden und einen Weg aufzeigen, wie dies auch für interessierte Einzelpersonen möglich ist, seinen eigenen integrierten Schaltkreis nach Hause liefern zu lassen. [19]

## 1.2 Projektbeschreibung

Es soll ein eigener IC-Chip mithilfe von Tiny-Tapeout erstellt werden. Dafür wird der Prozess und der Service von Tiny-Tapeout erläutert, um diese zu verstehen und effektiv nutzen zu können. Dabei wird dieses Projekt in das grundsätzliche IC-Design, die Tools von Tiny Tapeout und unser eigenes umgesetztes Projekt des Reaktionsspiels als jeweils eigene Ausarbeitungen unterteilt. Diese Inhalte werden von Timo Winklbauer, Sascha Binkert und Mathias Schoppe abgedeckt.

Als Projektteam haben wir uns für ein Reaktionsspiel entschieden und ausgehend von dessen Spezifikationen den IC-Designprozess mithilfe der bereitgestellten Tools durchlaufen. Am Ende des Projektes wurde ein Chip-Layout generiert mit der Option diesen an den Chiphersteller zur Fertigung übermitteln zu lassen.

Diese Arbeit beschäftigt sich mit den grundlegenden Schritten des IC-Design und Informationen zu Tiny-Tapeout und dient als Grundlage für die Studienarbeiten meiner Kommilitonen.

## 1.3 Aufbau der Arbeit

Um die Grundkenntnisse über den IC-Design Prozess zu verstehen wird dieser nach der Einleitung als Einstieg in das Thema erläutert. Das darauf folgende Kapitel hilft einem Designer dabei dies mit Tiny-Tapeout umzusetzen, welches zur Fertigung den Service Multi-Project-Wafer-Service nutzt. Am Ende wird der zuvor gelesener Inhalt zusammengefasst und zukünftige Entwicklungsperspektiven aufgezeigt.

## 2 Grundlagen des IC-Designs

In diesem Kapitel werden die einzelnen Schritte des IC-Designs erläutert, mit besonderen Augenmerk auf den IC-Spezifischen Bereich Layout-Ebene und Produktion, welche sich von der FPGA-Umsetzung unterscheiden. Abbildung 1 stellt demonstrativ einen Gesamtüberblick über den IC-Design dar.

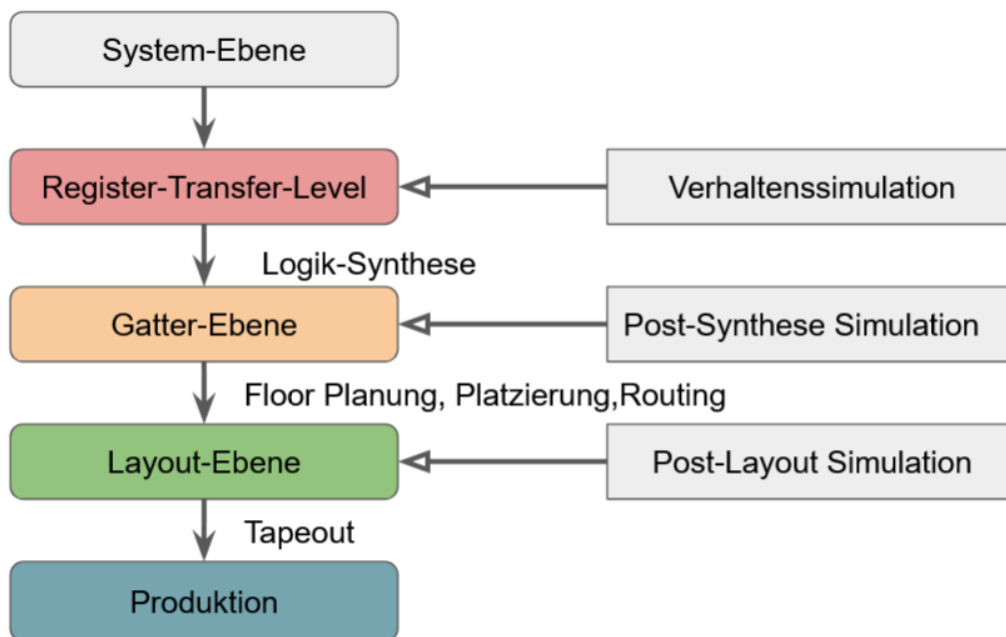


Abbildung 1: IC-Designprozess Überblick (Angelehnt an: [1][2][8])

## 2.1 Systeme-Ebene

Auf dieser Ebene werden Entscheidungen getroffen, wie die Auswahl der Prozessorarchitektur, die Spezifikation der Schnittstellen und die Festlegung der grundlegenden Funktionen des ICs. Zudem werden Leistungs- und Energieeffizienzanforderungen berücksichtigt. Die Systemebene legt die Grundlagen für den weiteren Entwurfsprozess und ermöglicht eine maßgeschneiderte Lösung, die den Anforderungen des gewünschten Systems angepasst ist. [13]

## 2.2 Register-Transfer-Ebene [4]

Die Module eines digitalen Systems lassen sich durch eine Reihe von Registern und Operationen definieren, mit welchen auf darin gespeicherte binäre Informationen zugegriffen wird. Beispiele für Registeroperationen sind Schreiben, Löschen und Laden. Die Register sind Grundkomponenten des digitalen Systems.

Ein digitales System wird auf der Register-Transfer-Ebene dargestellt, wenn es durch die folgenden drei Komponenten spezifiziert ist:

- Register, welche sich im System befinden.
- Operationen, welche Einfluss auf die Daten im Register nehmen.
- Steuerung, die den Ablauf der Operationen im System überwacht.

Die Register Transfer-Ebene wird mit einer Hardware-Description-Language, wie Verilog oder VHDL umgesetzt.

## 2.3 Gatter-Ebene

Durch das Synthetisieren von HDL-Code wird eine Gitterstruktur erzeugt, welche den Inhalt der RTL-Ebene widerspiegelt. In dieser Stufe wird der Entwurf des ICs durch Logikgatter, Flip-Flops und Verbindungen zwischen diesen beschrieben. Jedes Logikgatter repräsentiert eine bestimmte logische Funktion, wie zum Beispiel AND, OR oder NOT. Die Verbindungen zwischen den Gattern werden durch Leitungen dargestellt, welche Signale zwischen den verschiedenen Gattern übertragen. Dabei sind die verfügbaren Logikgatter abhängig von der Technologie-Bibliothek des Chip-Herstellers. Die Logikgatter repräsentieren physische Basiszellen, welche im Produktionsprozess auf dem Chip verbaut werden. [8][4]

Als weitere Information für die Synthese wird ein „constraints file“ benötigt, um die Optimierung der zu synthetisierenden Logik zu bestimmen. Diese Datei enthält Timing- und Ladeanforderungen, Optimierungsalgorithmen, die das Synthesewerkzeug für die Optimierung der Logik benötigt und gegebenenfalls auch Anforderungen an Designregeln, die während der Synthese zu berücksichtigen sind. Diese Informationen sind relevant, weil dadurch sichergestellt wird, dass die logischen Operationen fehlerfrei ausgeführt werden und somit die Funktionalität des ICs gewährleistet wird. [4]

## 2.4 Layout-Ebene

Diese Ebene im IC-Design bezieht sich auf die tiefste Abstraktionsebene, in welcher der Bauplan eines integrierten Schaltkreises (IC) für die physische Implementierung erzeugt wird. Die Layout-Ebene wird mithilfe spezialisierter Software-Tools erreicht, die für die Platzierung, das Routing von Komponenten und die Verifikation verwendet werden. Diese Tools unterstützen den Designer bei der Erstellung eines optimierten Layouts. [7] [9]

### 2.4.1 Platzierung und Routing

Bei der Platzierung werden die Gatter in Bauelemente übersetzt und anschließend auf dem Chip platziert. Dies beinhaltet die Bestimmung der optimalen Positionen für eine effiziente Nutzung des verfügbaren Platzes. Beim Routing werden die Komponenten durch Leiterbahnen untereinander verbunden. In Kombination dieser beiden Schritte gilt es Herausforderungen wie Wärmeableitung, optimale Signalintegrität und Minimierung von Signalverzögerungen zu bewältigen. Weitere Aspekte sind die Vermeidung von Überlappungen zwischen den Komponenten, die Minimierung von Verbindungsstrecken und die Einhaltung von Designregeln, welche zu beachten sind, um Probleme wie parasitäre Effekte zu vermeiden. Dies sind zentrale Punkte der Layout-Planung. Platzierung und Routing sind iterative Prozesse, bei denen die Platzierung und Verbindung der Komponenten schrittweise optimiert werden. Dabei werden verschiedene Algorithmen und Optimierungstechniken verwendet, um die bestmöglichen Ergebnisse zu erzielen. Eine erfolgreiche Durchführung dieser Ebene ist entscheidend für die Funktionalität und Leistung des gefertigten Chips.

[7] [9]

### 2.4.2 Verifizierung

Nach Abschluss des physischen Designs wird das Layout einer umfassenden Verifikation unterzogen, um die korrekte elektrische und logische Funktionalität zu überprüfen. Bei Problemen ist es notwendig, dass das Layout meist manuell von erfahrenen Designingenieuren geändert wird. Dabei werden verschiedene Verifizierungsverfahren (siehe Tabelle 1) durchgeführt. [7]

Verfahren	Erläuterung
Design Rule Checking (DRC)	Überprüft auf Layout technologiebedingten Einschränkungen.
Layout vs. Schematic (LVS)	Verifiziert Funktionalität des Design.
Parasitic Extraction	Überprüft elektrische Eigenschaften der Schaltung
Antenna Rule Checking	Verhindert Antenneneffekte
Electrical Rule Checking (ERC)	Überprüft Richtigkeit von Strom- und Masseverbindungen.

Tabelle 1: Verifizierungsverfahren (Angelehnt an: [7])

## 2.5 Produktion - Wafer Prozess

ICs werden auf einer Halbleiterscheibe, auch Wafer genannt, mithilfe verschiedener Verfahrenstechniken gefertigt. Wie aus Abbildung 2 zu entnehmen ist, bildet Lithographie das grundlegende Verfahren mit welchem das IC-Layout auf den Wafer übertragen wird. Anschließend wird abhängig von den Anforderungen ein Folgeverfahren ausgeführt. [6]

### 2.5.1 Lithographie [5] [18] [10]

Die Lithographie ist ein grundlegender Prozess in der Halbleiterfertigung, insbesondere bei der Herstellung von integrierten Schaltkreisen (ICs). Dies ermöglicht die Übertragung komplexer Muster und Strukturen auf einen Siliziumwafer, der als Grundlage für die Herstellung der einzelnen Komponenten eines ICs, wie Transistoren, Verbindungen und anderen Schaltungselementen, dient.

Der Lithographieprozess beginnt mit der Erstellung einer Fotomaske, welche aus dem Layout abgeleitet wird. Diese enthält das gewünschte Muster, das auf den Wafer übertragen werden soll. Die Fotomaske besteht aus einer transparenten Substanz mit einer undurchlässigen Beschichtung, die das Muster definiert.

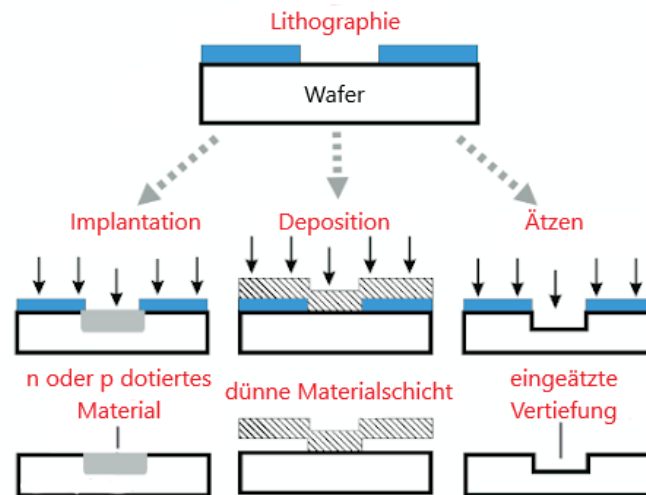


Abbildung 2: Wafer Verfahrensüberblick (Bildquelle: [17])

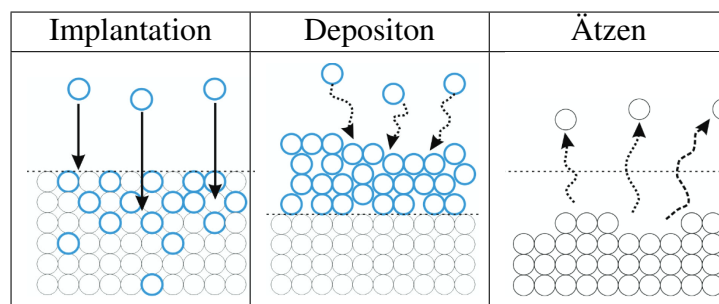


Abbildung 3: Wafer-Prozess: Bearbeitungsmethoden (Bildquelle: [17])

Bei der Belichtung wird der Wafer mit der Fotomaske ausgerichtet und ultraviolettes (UV) Licht wird durch die transparenten Bereiche der Maske hindurch auf den Wafer projiziert. Das UV-Licht bewirkt chemische oder physikalische Veränderungen in einer lichtempfindlichen Schicht, die als Resist bezeichnet wird, die den Wafer bedeckt. Je nach verwendeter Technologie kann es sich dabei um einen positiven oder negativen Resist handeln. (siehe Abbildung 4)

Nach der Belichtung wird der Wafer bearbeitet, um die belichteten Bereiche des Resists zu entfernen und das Muster freizulegen. Anschließend werden weitere Prozessschritte wie Ätzen, Implantation und Deposition durchgeführt, um die gewünschten Strukturen auf dem Wafer zu erzeugen.



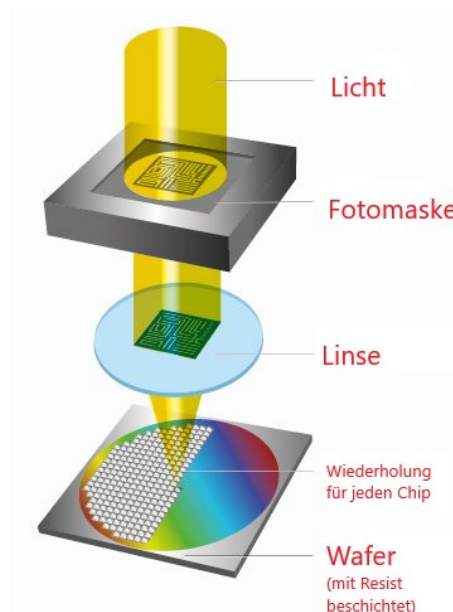


Abbildung 4: Lithographie [12]

### 2.5.2 Implantation

Die Implantation ist eine Technologie zum dotieren von Halbleitern. Dies bedeutet, dass positive oder negativ geladene Atome die Ladung des Halbleiters lokal verändern. Dabei wird ein Ionenstrahl erzeugt und in das Substrat gelenkt, sodass die Ionen in die Oberfläche eindringen und dort in das Material integriert werden. Die Ionen können entweder mit der Energie, mit der sie aus dem Ausgangsmaterial extrahiert wurden übertragen werden oder durch elektrische Felder beschleunigt oder abgebremst werden. Dadurch lässt sich steuern, wie tief die Ionen in das Silizium eindringen sollen. Abhängig davon welche Ionen gewählt werden wird die bestrahlte Fläche positiv oder negativ geladen (siehe Abbildung 3 links). Die am häufigsten implantierten Arten von Ionen sind Arsen, Phosphor, Bor, Borfluorid, Indium, Antimon, Germanium, Silizium, Stickstoff, Wasserstoff und Helium. [14] [11]

### 2.5.3 Deposition

Deposition beschichtet den Siliziumwafer, in diesem Zusammenhang auch Substrat genannt, gleichmäßig mit einem qualitativ hochwertigen und festen Film eines Materials, welche die gewünschten Eigenschaften mit sich bringt (siehe Abbildung 3 mitte). Abhängig davon welches Material benötigt wird gibt es verschie-

dene Depositions-Methoden. Chemical vapor deposition (CVD) oder Physical vapor deposition (PVD) sind mögliche Depositionsverfahren. CVD ist aufgrund der vielfältigen Materialauswahl ein beliebtes Verfahren und wird beispielhaft genauer erläutert. Das Substrat wird in einem Reaktor platziert, in dem der Druck und die Temperaturen entsprechend den programmierten Einstellungen angepasst werden. Es werden ausgewählte Gase, einschließlich Reaktanten und inerte Gase, in die Kammer eingeführt. Diese Gase gelangen zur Oberfläche des Substrats. Durch die Temperaturen in der Kammer und auf dem Substrat reagieren die Gasmoleküle miteinander und/oder mit der Oberfläche des Substrats, wodurch sich ein fester, dünnen Film bildet. Dieser Film haftet an der Oberfläche des Wafers und wird als Adsorption bezeichnet. Während dieser chemischen Reaktionen entstehen gasförmige Nebenprodukte, die von der Oberfläche des Wafers abgestoßen und aus der Reaktionskammer abgeführt werden. [11]

#### 2.5.4 Ätzen

Nachdem das belichtete und entwickelte Resist-Muster auf dem Wafer erstellt wurde, wird Ätzen eingesetzt, um die unerwünschten Teile des Materials zu entfernen und die gewünschten Strukturen freizulegen. Es gibt verschiedene Ätztechniken, die in der Halbleiterfertigung je nach Material und Prozessanforderung eingesetzt werden. Zwei angewandte Ätztechniken sind das trockene Ätzen und das nasse Ätzen. Das trockene Ätzen verwendet ein Plasma, welches durch Einwirkung eines elektromagnetischen Feldes erzeugt wird. Das Plasma besteht aus ionisierten Gasen, die eine chemische Reaktion mit dem Material auf dem Wafer eingehen. Diese Reaktion entfernt das Material selektiv und ermöglicht die Definition der gewünschten Strukturen. Das nasse Ätzen hingegen verwendet chemische Lösungen, um das Material selektiv zu entfernen. Die Lösung enthält spezifische chemische Komponenten, die mit dem Material auf dem Wafer reagieren und es auflösen. [11]

## 3 Tiny-Tapeout[19]

### 3.1 Beschreibung

Durch Tiny-Tapeout erhält ein IC-Designer Zugriff auf Tools, um die in Kapitel 1 beschriebenen Design-Ebenen zu durchlaufen. Diese Tools bauen auf den Entwurf des Register-Transfer-Levels auf. Diese wandeln den HDL-Input des Designers automatisiert in ein Gatterkonstrukt und darauf aufbauend in ein Layout im GDSII-Format um. (siehe Abbildung 5)

Das entscheidende für die physische Umsetzung ist jedoch der Zugriff auf den Fertigungsprozess, wie er in Kapitel 2.5 beschrieben wird. Dies wird durch Tiny-Tapeout ermöglicht indem der Multi-Project-Wafer-Service (siehe Kapitel 3.3) des Chipherstellers Skywater über das Unternehmen efabless genutzt wird. Dieser Service hat den Vorteil, dass einzelne Designs günstig umgesetzt werden können.

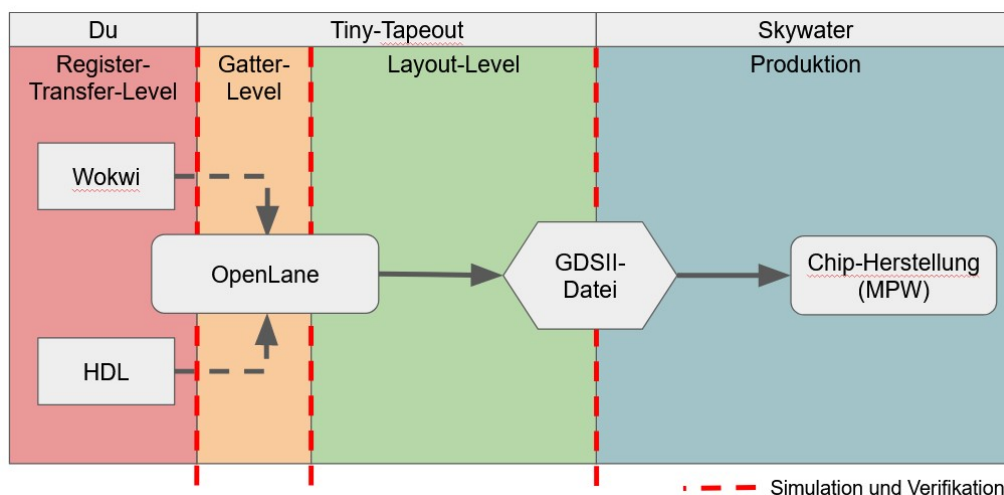


Abbildung 5: Designprozess mit Tiny-Tapeout (eigene Darstellung)

Die in dieser Abbildung erwähnten Tools werden genauer in „Entwicklung eines ICs - Vorstellung von verschiedenen Tools“ von Sascha Binkert [3] erläutert.

Tiny-Tapout ist eine Initiative von Matt Venn. Zum heutigen Stand (30.06.2023) wurden drei Produktionscyclen ausgeführt und insgesamt über 500 Designs verwirklicht. Der erste Produktionszyklus wurde mit Tiny Tapeout 01 (TT01) im Jahr 2022 mit 152 eingereichten IC-Designs umgesetzt. Aufgrund des Erfolges dieses ersten Durchlaufs wurde seither ca. halbjährig ein solches Projekt initialisiert. Die Produktion für TT04, an welchem wir unsere eigene Umsetzung einsenden wollen (siehe [15]), wurde für Februar 2024 angesetzt.

### 3.2 Evaluationsboard

Um sein eigenes Design zu testen, besteht die Möglichkeit den bestellten Chip in ein Evaluationsboard, wie in Abbildung 6 gezeigt, einbauen zu lassen. Wenn diese Option genutzt wird, sind die IC-Schnittstellen abhängig von Optionen dieses Boards zu definieren.

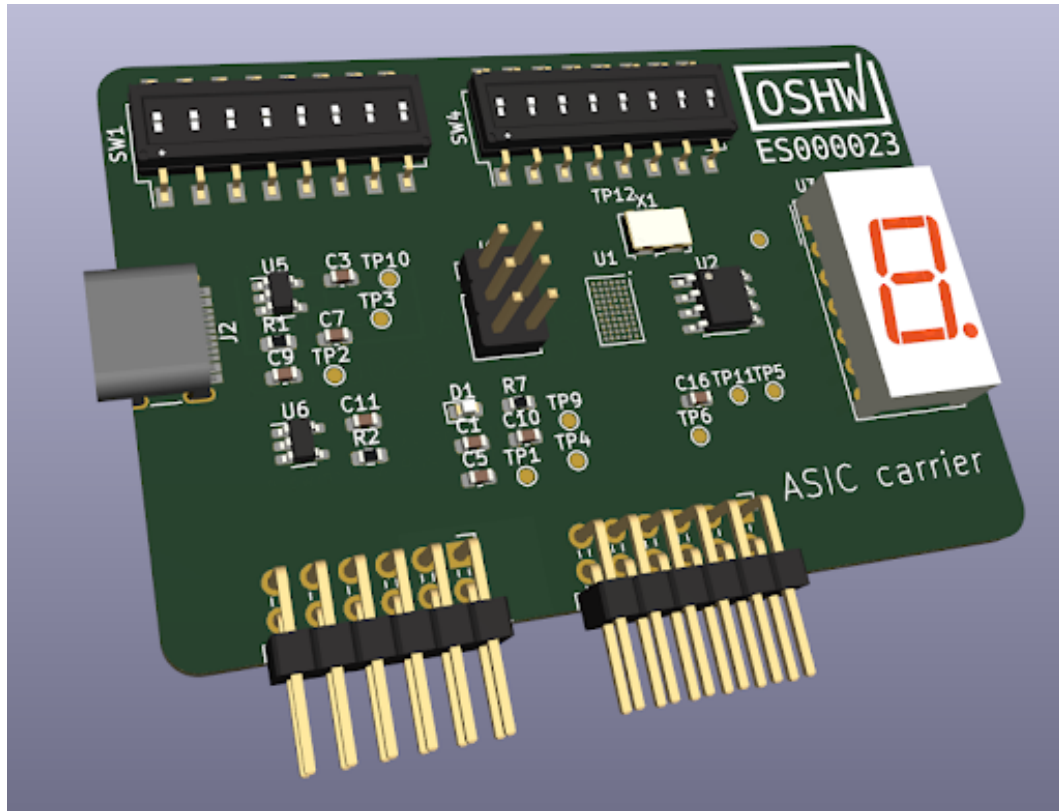


Abbildung 6: Evaluationsboard von Tiny-Tapeout (Bildquelle: [19])

Die Stromversorgung erfolgt über einen USB-C Anschluss und steuert den IC-Chip mit einer einstellbaren Clock-Frequenz.

Das Board verfügt über acht Ausgangssignale, welche die sieben Segmentanzeige und den Punkt steuern, sowie acht Eingangssignale, welche durch Dip-Schalter (Abbildung 1 SW4) manuell gesteuert werden. Zusätzlich gibt es acht bidirektionale Ein-/Ausgänge, womit es möglich ist eigene Bauteile anzuschließen.

Auf diesem Chip sind die Designs von einer Vielzahl an Personen verbaut, deshalb ist es auch möglich zwischen diesen mithilfe der Dip-Schalter zu wechseln (siehe Kapitel 3.3).

### 3.3 Multi-Project-Wafer

Multi Project Wafer (MPW) ist ein kooperativer Ansatz in der Halbleiterfertigung, der es ermöglicht mehrere integrierte Schaltkreisdiseins von verschiedenen Kunden auf einem einzigen Wafer herzustellen. Es bietet eine kostengünstige Lösung für IC-Designer, insbesondere für kleine und mittelständische Unternehmen oder Forscher, die über begrenzte Ressourcen verfügen.

In diesem Fall ist Skywafer der Chiphersteller und Tiny Tapeout übermittelt die zu produzierenden Designs der Kunden. Skywafer stellt für die Designherstellung ein Process Development Kit zur Verfügung, welches Standardzellen- und IO-Bibliotheken, Spice- und Timing-Modelle sowie Verifikationschecks zur Verfügung stellt, womit sichergestellt wird, dass die Designs den Anforderungen der 130nm-Technologie-Fertigung entsprechen.

Die übermittelten Designs werden anschließend kombiniert und in einem gitterartigen Muster unter Verwendung spezialisierter Software-Tools auf dem Wafer platziert. Jedes Design wird durch Schutzstreifen, sogenannte Scribe Lines, voneinander getrennt. Diese verhindern eine Kreuzkontamination und gewährleisten die Isolierung der einzelnen Designs während des Fertigungsprozesses. [6]

Sobald das kombinierte Designlayout abgeschlossen ist, durchläuft der Wafer die standardmäßigen Halbleiterfertigungsprozesse, wie in Kapitel 2.5 beschrieben.

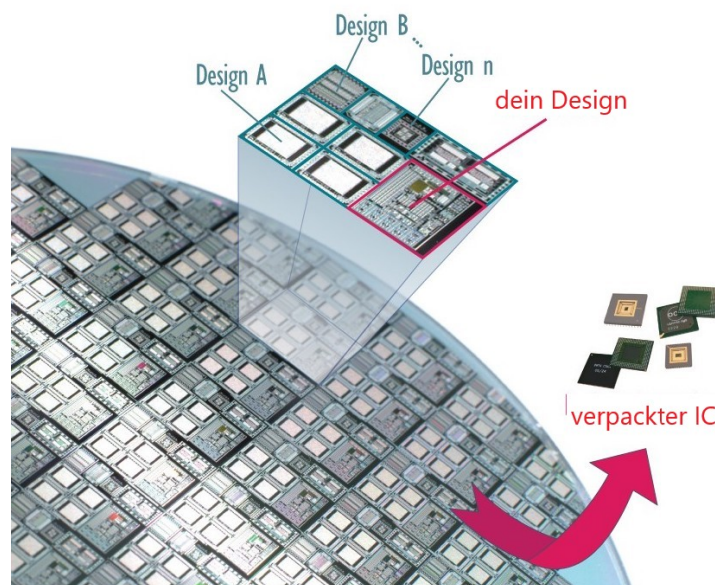


Abbildung 7: Multi-Project-Wafer (Bildquelle: [16])

## 4 Zusammenfassung und Ausblick

Der IC-Designprozess, welcher von der Definition der Spezifikation über die Gatterbildung bis hin zum Layout reicht, ist ein komplexes und umfangreiches Vorhaben. Wenn das Layout fertiggestellt ist folgt ein technologisch Anspruchsvoller Prozess welcher das Layout mithilfe von Lithography auf dem Wafer abbildet. Anschließend wird mit Ätzen, Implantation oder Deposition die übertragene Struktur ein Teil des Wafers. Dies wird Wiederholt bis alle Schichten des ICs erzeugt sind. Dabei handelt es sich um einen High-Tech-Prozess, welcher hohe Kosten mit sich bringt und ist somit für Privatpersonen nicht zu bezahlen. Tiny-Tapeout unterstützt den IC-Designprozess mit den zur Verfügung gestellten Tools und einer Palette an bereits umgesetzten IC-Chips, dessen Dateien öffentlich einsehbar sind. Durch das Nutzen des MPW enthält der bestellte Chip auch die Designs anderer Einreichungen, wodurch der Chip interessante und unbekannte Funktionen mit sich bringt. Der komplexe Teil des Design-Prozesses wird automatisiert ausgeführt, sodass die Aufgabe des IC-Designers sich auf das Erstellen von HDL-Code oder eines Wokwi-Designs mit Berücksichtigung der verfügbaren Schnittstellen zum Board beschränkt. Laut eigener Angabe von Tiny-Tapeout ist der jüngste Einreicher vier Jahre alt. Dies bedeutet nicht, dass es „kinderleicht“ ist einen eigenen integrierten Schaltkreis zu entwerfen, jedoch, dass Tiny-Tapeout den Einstieg ungemein erleichtert. [19]

Durch einfachen Kontakt mit dem Verantwortlichen, Matt Venn, über Discord wird direkt auf die Anliegen der Nutzer von Tiny-Tapeout eingegangen, sodass die Benutzerfreundlichkeit gesteigert und Unklarheiten dauerhaft durch verbesserte Dokumentation beseitigt wird. Eine Auswahl an Evaluationsboards, mehrere Schnittstellen oder Verbesserungen im Multi-Wafer-Prozess bieten Potenzial für noch beeindruckendere Umsetzungen. Vom Prototypen zur Massenproduktion, dieser Schritt ist nur möglich, wenn ein funktionierender Prototyp entwickelt wird und dabei ist Tiny-Tapeout die richtige Anlaufstelle.

## Literatur

- [1] Md Mahbub Alam u. a. „Challenges and Opportunities in Analog and Mixed Signal (AMS) Integrated Circuit (IC) Security“. In: *Journal of Hardware and Systems Security* 2.1 (Nov. 2017), S. 15–32. DOI: 10.1007/s416350170024z.
- [2] A. Aykan. „Calibration of circular loop antennas“. In: *IEEE Transactions on Instrumentation and Measurement* 47.2 (Apr. 1998), S. 446–452. DOI: 10.1109/19.744189.

- [3] Sascha Binkert. *Entwicklung eines ICs - Vorstellung von verschiedenen Tools*.
- [4] M. Morris Mano; Michael D. Ciletti. *Digital Design With an Introduction to the Verilog HDL*. 5. Aufl. Pearson, 2013. ISBN: 9780132774208.
- [5] Takashi Ito und Shinji Okazaki. „Pushing the limits of lithography“. In: *Nature* 406.6799 (Aug. 2000), S. 1027–1031. DOI: 10.1038/35023233.
- [6] Andrew B. Kahng u. a. „Multi-project reticle floorplanning and wafer dicing“. In: *Proceedings of the 2004 international symposium on Physical design*. ACM, Apr. 2004. DOI: 10.1145/981066.981082.
- [7] Andrew B. Kahng u. a. *VLSI Physical Design: From Graph Partitioning to Timing Closure*. 2022. DOI: 10.1007/978-3-030-96415-3.
- [8] Weng Fook Lee. *Verilog Coding for Logic Synthesis*. Wiley, Apr. 2003. DOI: 10.1002/0471457566.
- [9] Thomas Lengauer. *Combinatorial Algorithms for Integrated Circuit Layout*. ViewegTeubner Verlag, 1990. DOI: 10.1007/9783322921062.
- [10] Harry J. Levinson. *Principles of Lithography*. SPIE, 2005.
- [11] G. May. *Fundamentals of Semiconductor Manufacturing and Process Control*. Juni 2006. ISBN: 0471784060. DOI: 10.1002/0471790281.
- [12] Powerwaywaver. <https://www.powerwaywafer.com/de/wafer-processing.html>. Xiamen Powerway Advanced Material Co., Ltd. URL: <https://www.powerwaywafer.com/de/wafer-processing.html>.
- [13] Franz J. Rammig. „Systematischer Entwurf digitaler Systeme: Von der System- bis zur Gatter-Ebene“. In: (2013). DOI: 10.1007/9783663014614.
- [14] L. Rubin und J. Poate. „Ion implantation in silicon technology“. In: *Industrial Physicist* 9 (Juni 2003), S. 12–15.
- [15] Mathias Schoppe. *Entwicklung eines ICs - Der Schaltkreisentwurf*.
- [16] EuroPractice IC-Service. *FABRICATION: MPW AND MORE*. URL: <https://europractice-ic.com/services/fabrication/>.
- [17] Shanghaitech University. *Integrated Circuit Fabrication Process*. URL: <https://faculty.sist.shanghaitech.edu.cn/faculty/zhoupq/Teaching/Fall16/Readings/tb7-IC-Fab.pdf>.
- [18] L. F. Thompson, C. G. Willson und M. J. Bowden, Hrsg. *Introduction to Microlithography*. AMERICAN CHEMICAL SOCIETY, Mai 1983. DOI: 10.1021/bk-1983-0219.
- [19] Matt Venn. *Tiny Tapeout*. letzter Stand: 02.07.2023. URL: <https://tinytapeout.com>.