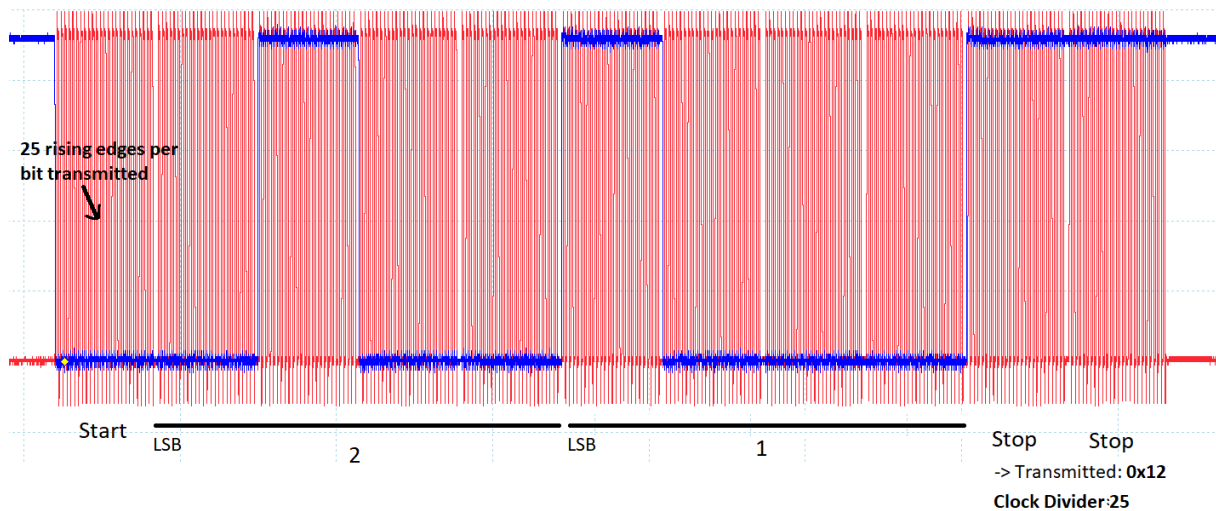


Beispiele:

Die blaue Linie zeigt jeweils die Daten („TX-Pin“) und die rote Linie die Clock („Clk-Pin“)

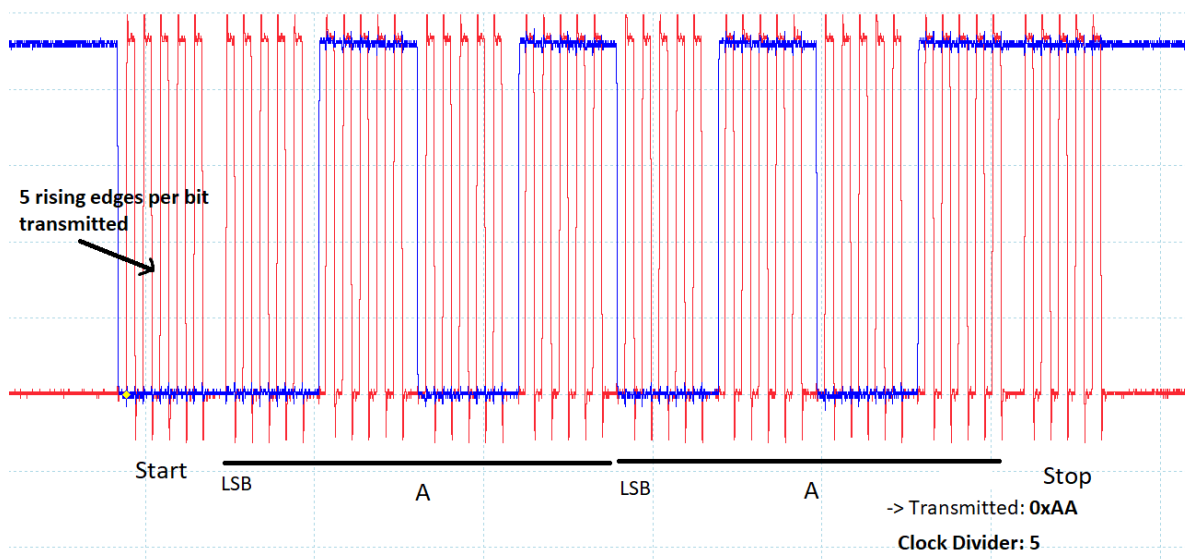
Übertragung von dem Byte 0x12 mit einem Clock Division Faktor von 25 (so wie es bei dem FPGA also wirklich ist) mit 2 Stop Bits. Gesendet wird zuerst das LSB.

Clock Division Faktor 25: Pro auf den TX-Pin angelegtem Bit-Wert erzeugt der Clk-Pin 25 rising edges.



Im folgenden Bild ist der Clock Division Faktor geringer damit man das Verhalten besser sehen kann. Pro übertragenem Bit (blaue Linie) erzeugt der Clock Pin 5 rising edges.

Hier gibt es nur 1 stop bit.



Link zu Github mit dem Code:

https://github.com/matztron/fpga_bit_feeder