



**CURSO: ENGENHARIA DE COMPUTAÇÃO**

**Disciplina:** ENGG52 - Laboratório Integrado I - A

**Professor:** Tiago Trindade Ribeiro

**Semestre:** 2021.2

**Turma:**

T01

**Salas:** <https://discord.gg/V8j4GmHMuj>

**Horários:** Quintas - 20:20 às 22:10

## Atividade Prática #2 - Implementação de FSMs

### 1 Objetivos

- Modelagem de circuitos sequenciais através de FSMs
- Implementação de FSMs em verilog
- Utilização remota do kit DE2-115

### 2 Introdução

Máquinas de Estado Finita *Finite State Machine, FSMs*, são ferramentas essenciais para a modelagem de sistemas digitais em diversos níveis de abstração. Especificamente para a presente disciplina, a representação de um problema através de *FSMs* permite projeção eficiente da implementação de algoritmos computacionais em nível de hardware, seja para a aplicação em dispositivos lógicos programáveis ou para fabricação de *ASICs*.

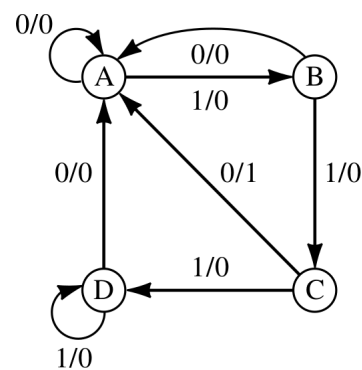
Num nível mais alto de abstração, os modelos de Mealy e Moore produzem visões diferentes das relações temporais para o comportamento da saída. No modelo de Mealy, a saída depende dos estados e entradas atuais, sendo portando, capaz de capturar eventos instantâneos nas entradas. Já o modelo de Moore, as saídas dependem apenas dos estados atuais, sendo necessário capturar previamente as entradas para atualização das saídas. Ambos os modelos são igualmente aplicáveis, diferindo apenas com relação aos graus de liberdade para transição dos estados, mas cuja aplicabilidade depende de análise prévia das particularidades do problema em questão.

O processo de obtenção do hardware responsável pela implementação de uma FSM específica, baseia-se em um conjunto de passos que envolvem tabela de transição de estados, mapas de karnough e montagem através de elementos discretos, de tal forma que, pode se tornar uma tarefa bastante tediosa em função da escala do projeto.

A disponibilidade de um nível comportamental na linguagem Verilog permite representação do problema em um nível mais próximo das FSMs e, em conjunto com a utilização de compiladores eficientes, permitem a implementação de projetos de elevada complexidade com bastante eficiência.

### 3 Atividades

Para os itens a seguir, considere a seguinte figura:



1. Qual aplicação prática poderia ser modelada por esta FSM?
2. Obter o código verilog para a FSM anterior.
3. Fazer validação funcional no modelsim e implementação prática no kit DE2-115.
4. Explorar as vantagens da utilização de Verilog HDL para o projeto de sistemas digitais.

### 4 Para saber mais

- <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/qts/archives/qts-qps-handbook-16.0.pdf>
- <https://www.intel.com/content/dam/www/programmable/us/en/portal/dsn/42/doc-us-dsnbk-42-1404062209-de2-115-user-manual.pdf>
- <http://10.131.16.3>

### 5 Relatório

Produzir um relatório simplificado das atividades desenvolvidas. Não será fornecido um modelo específico nem um limite de páginas. Tal relatório deve conter, no mínimo, introdução, desenvolvimento, resultados e conclusão.

**Prazo de entrega: 09/09/2021**