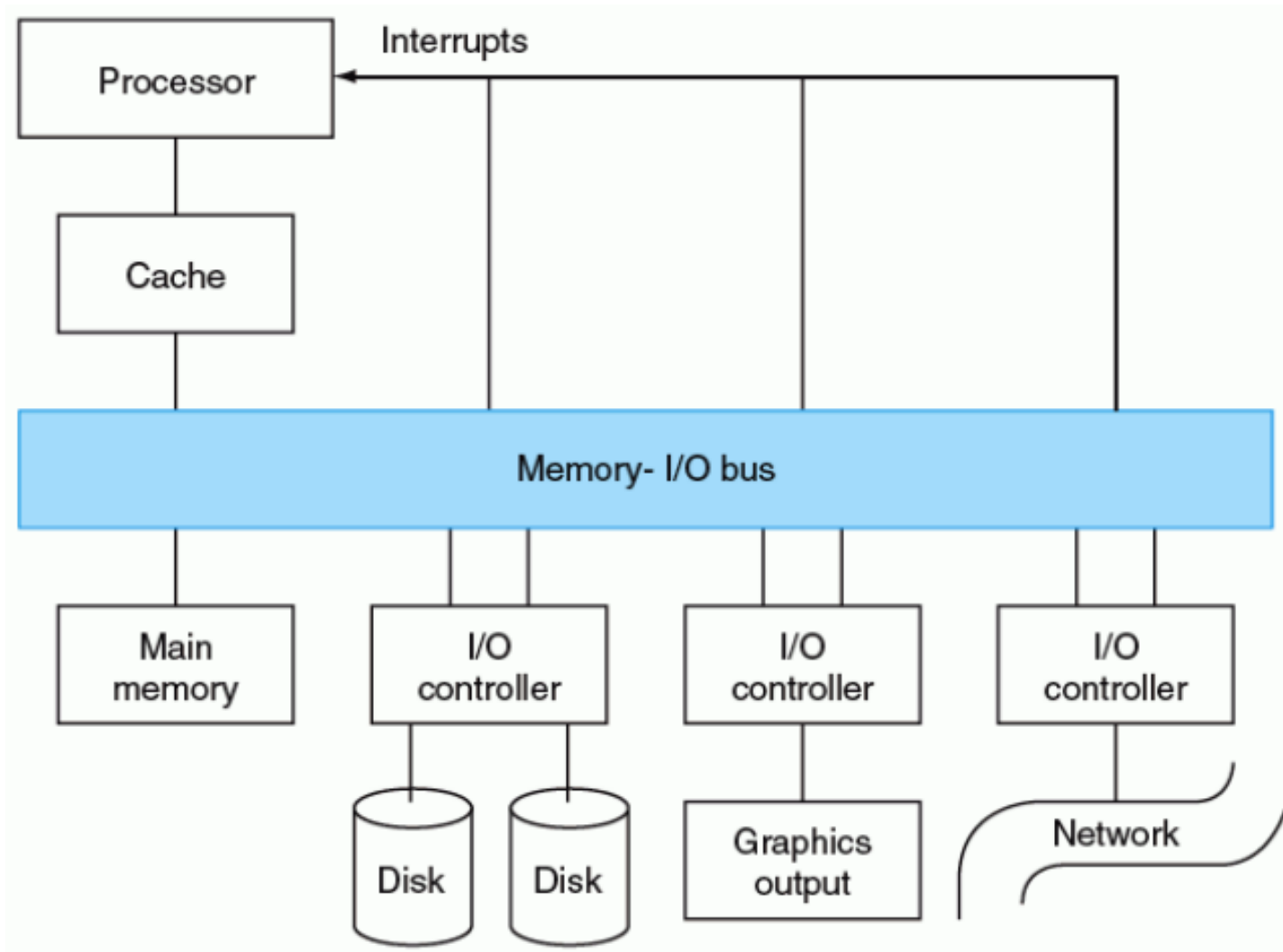


ARQUITECTURA DE COMPUTADORES

BUSES DE COMUNICACIÓN

Ing Marlon Moreno Rincón

BUSES DE COMUNICACIÓN



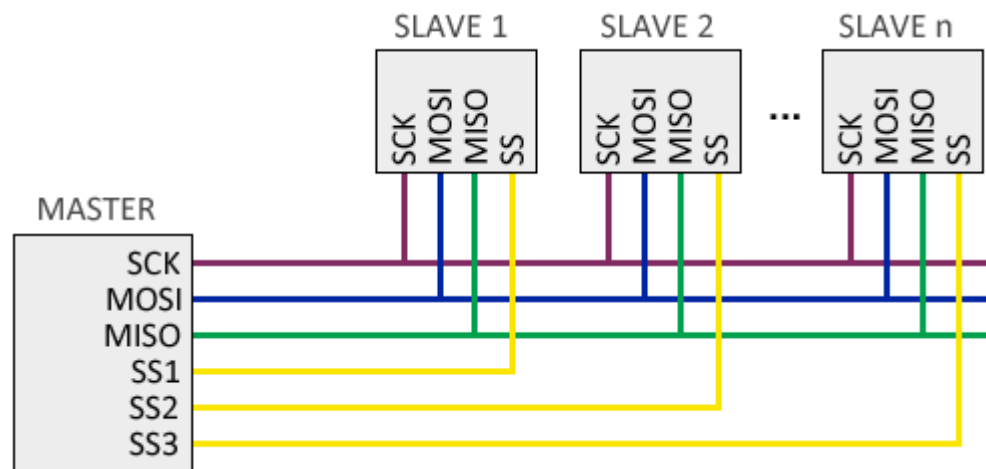
BUS

Un bus es un medio compartido de comunicación constituido por un conjunto de líneas (conductores) que conecta las diferentes unidades de un computador. La principal función de un bus es servir de soporte para la realización de transferencias de información entre dichas unidades.

Desde el punto de vista físico un bus es un conjunto de conductores eléctricos paralelos dispuestos sobre una tarjeta de circuito impreso. Los dispositivos del sistema se conectan a través de conectores (slots) dispuestas a intervalos regulares a lo largo del bus.

PARTES DEL BUS.

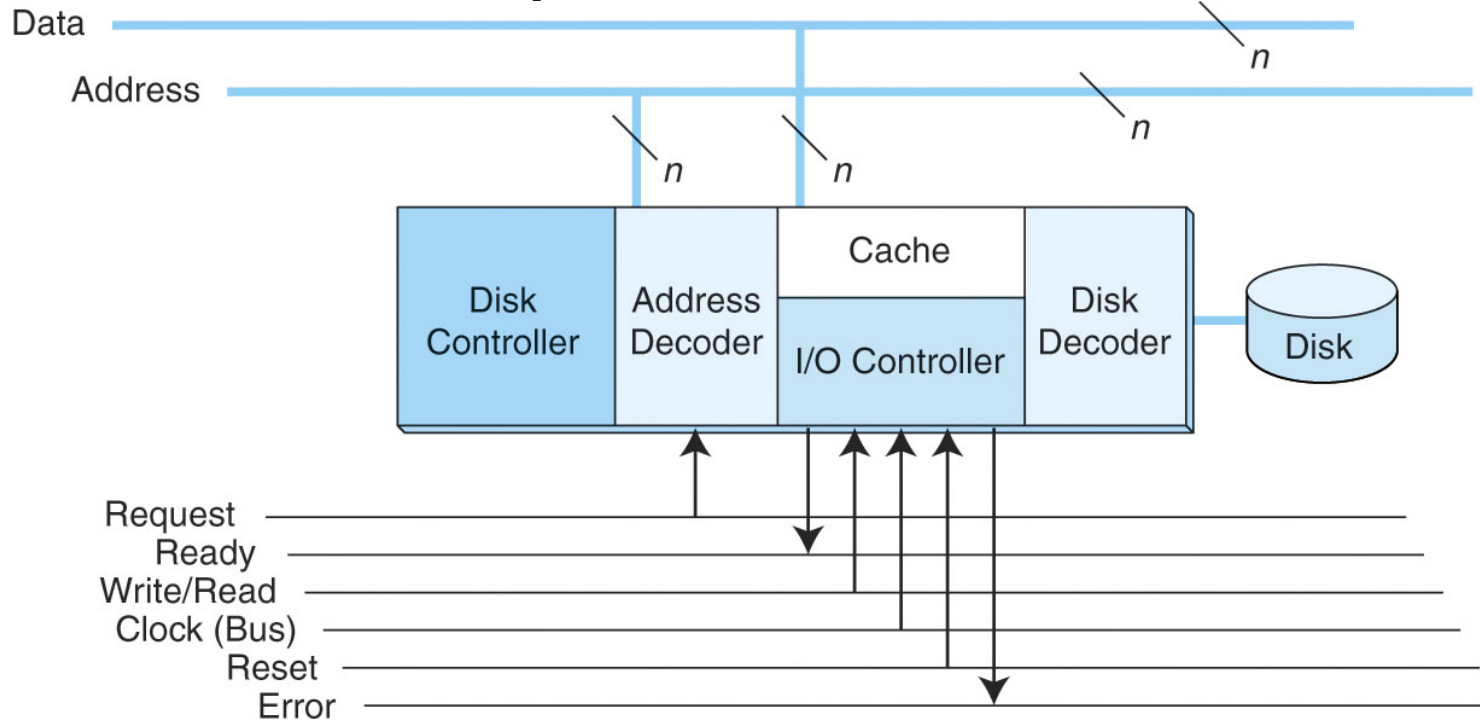
*En un bus hay una unidad **master**, que inicia y controla la transferencia de datos en el bus y una unidad sobre la que se realiza la transferencia, se conoce como **slave**. Los papeles de **master** y **slave** son dinámicos, de manera que una misma unidad puede realizar ambas funciones en transferencias diferentes.*



LINEAS.

Lineas de direcciones: Determinan la unidad que hace de Slave en la transferencia.

Lineas de datos: Transportan los datos de la transferencia.



LINEAS

Lineas de control: Transmiten las órdenes que determinan la operación de transferencia a realizar por las líneas de datos y direcciones, y marcan el ordenamiento temporal de las señales que circulan por el bus.

- Escritura en memoria, Lectura de memoria.
- Operación de salida, Operación de entrada.

Las segundas son las líneas de sincronismo, entre las que cabe citar las siguientes:

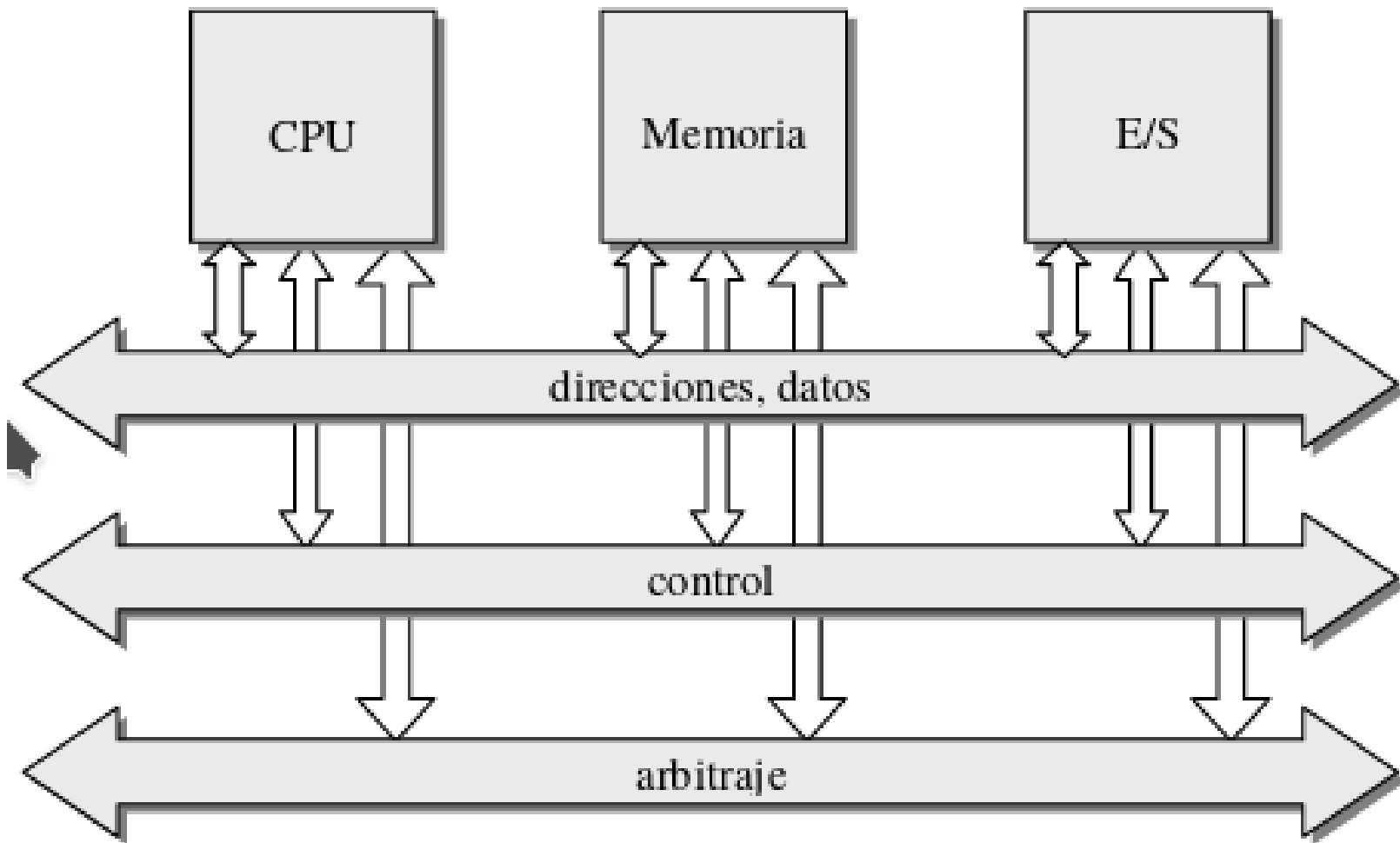
- Reconocimiento de transferencia, Reloj, Reset.

LINEAS.

Líneas de arbitraje: Establecen la prioridad entre diferentes peticiones de acceso al bus.

- Petición del bus.
- Cesión del bus.
- Ocupación del bus.

LINEAS.



TIPOS DE BUSES

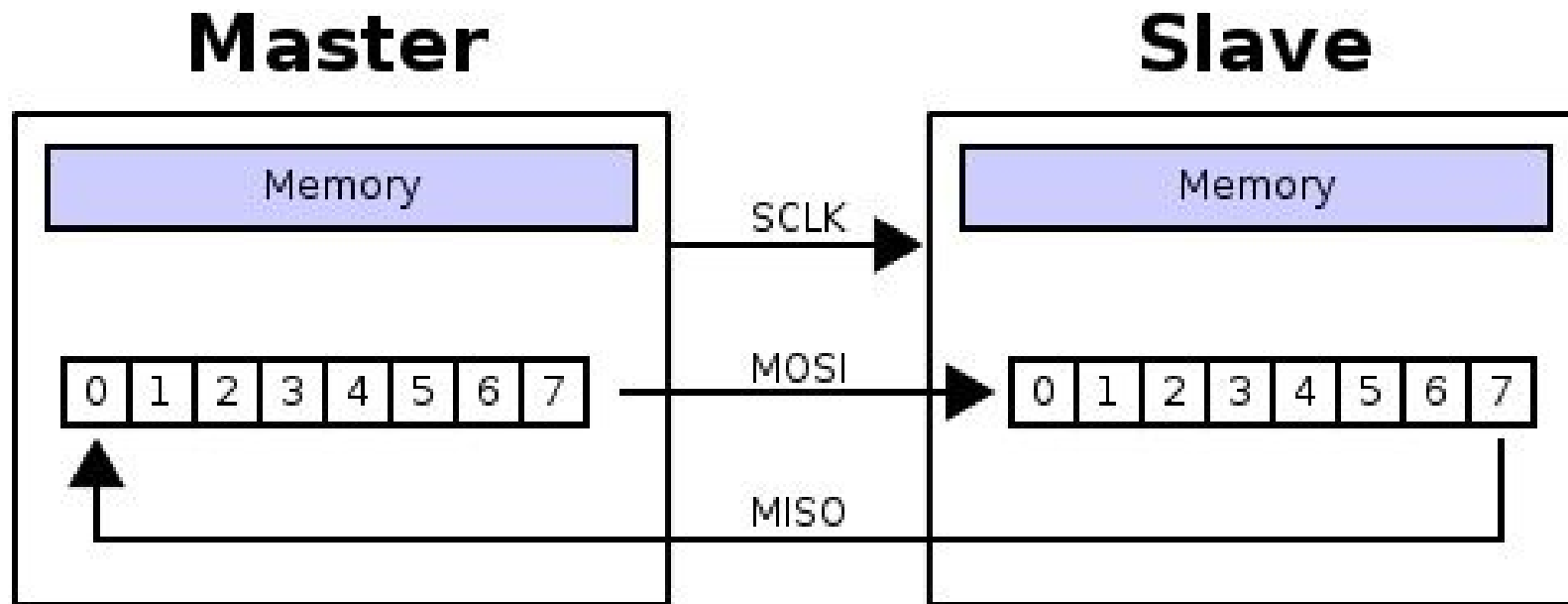
- **BUS SERIAL**
 - DUPLEX
 - SIMPLEX
 - HALF DUPLEX
 - FULL DUPLEX
- **BUS PARALELO**

BUS SERIAL.

En el bus serial los datos son enviados, bit a bit y se reconstruyen por medio de registros o rutinas. Está formado por pocos conductores y su ancho de banda depende de la frecuencia.

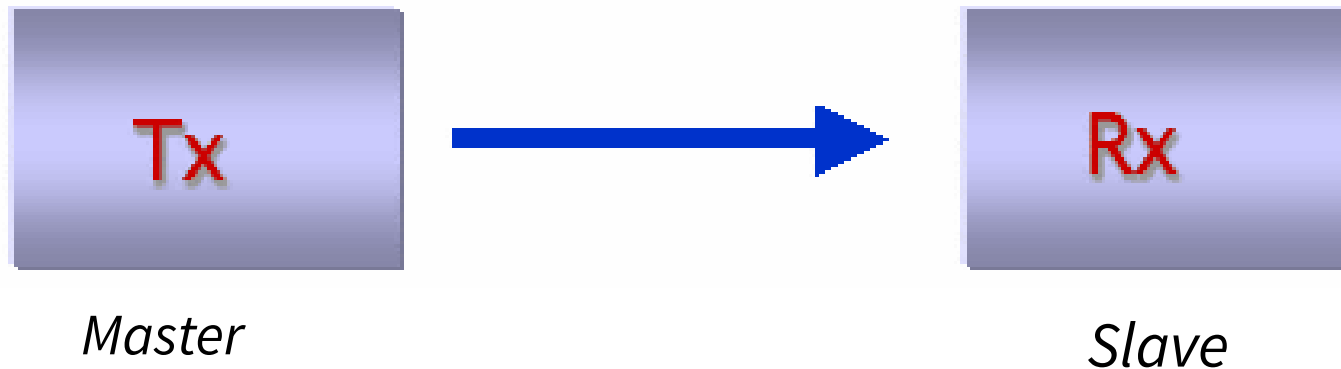
Es usado desde hace menos de 15 años en buses para discos duros, unidades de estado sólido, tarjetas de expansión y para el bus del procesador.

BUS SERIAL



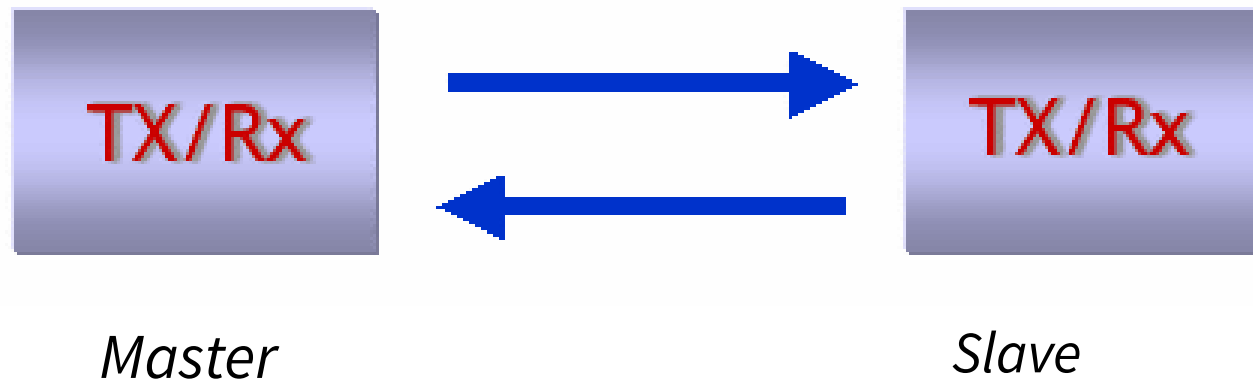
BUS SERIAL - SIMPLEX

Simplex (sx) o unidireccional es aquel en que la transmisión ocurre en una sola dirección, deshabilitando al slave de responder al master. Normalmente un bus simplex no se utiliza donde se requiere interacción humano-máquina.



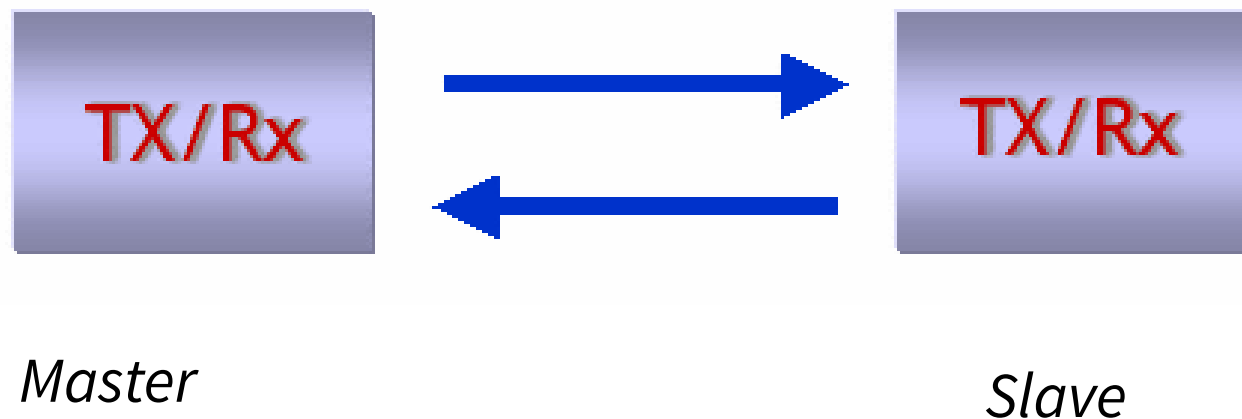
BUS SERIAL – HALF DUPLEX

El bus half-duplex (hdx) permite la transmisión en ambas direcciones; sin embargo, la transmisión puede ocurrir solamente en una dirección a la vez. Tanto master y slave comparten una misma línea de datos.



BUS SERIAL – FULL DUPLEX

El bus full-duplex (FDX) permite transmisión en ambas dirección, de manera simultánea, por el mismo bus. Existe una linea para transmitir y otra para recibir datos.



BUS PARALELO.

En este bus, los datos son enviados por bytes al mismo tiempo, utilizando múltiples líneas. Cada una de las líneas del bus tiene una función fija. Este tipo de bus es usado en el procesador, en discos duros, tarjetas de expansión y de video, hasta las impresoras

PARÁMETROS DE LOS BUSES.

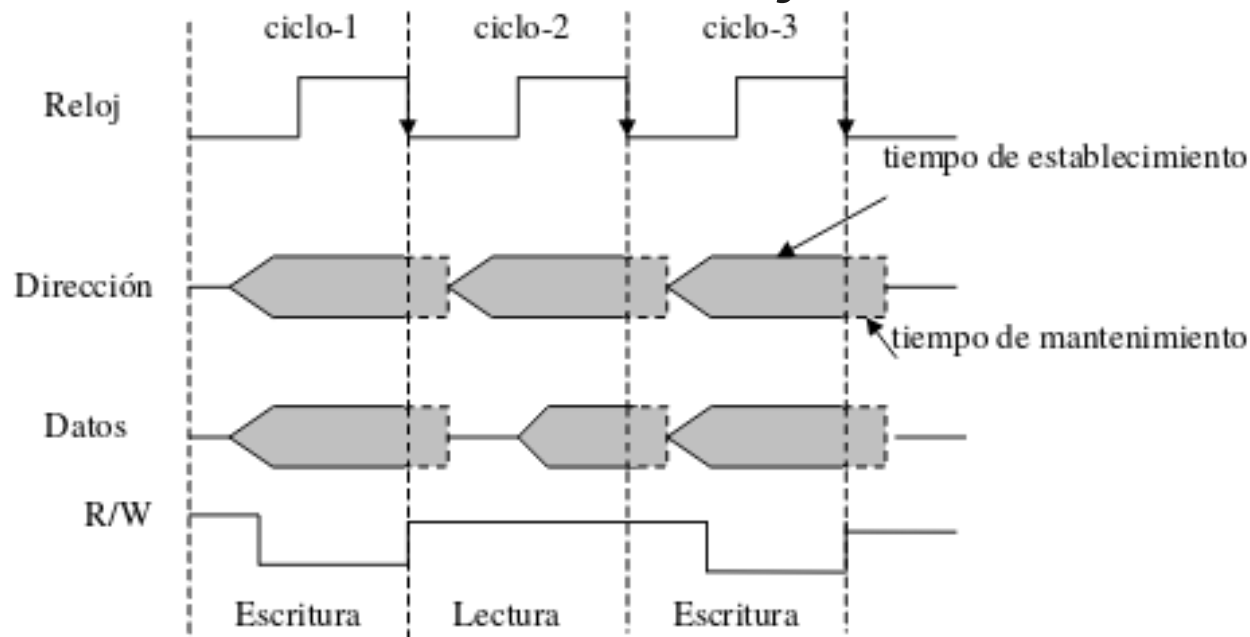
- **Ancho de banda:** velocidad de transferencia medida en Mb/s.
- **Anchura del bus:** número de líneas que lo componen.
- **Ancho de datos:** número de líneas requerida para los datos.
- **Capacidad de conexión:** número de unidades conectadas al bus

PROTOCOLOS DE TRANSFERENCIA.

- SÍNCRONOS.
- ASÍNCRONOS.
- SEMISÍNCRONOS.
- CICLO PARTIDO.

PROTOCOLOS DE TRANSFERENCIA - SÍNCRONOS.

En los buses síncronos existe un reloj que gobierna todas las actividades del bus, las cuales tienen lugar en un número entero de ciclos de reloj. La transferencia propiamente dicha coincide con uno de los flancos del reloj.

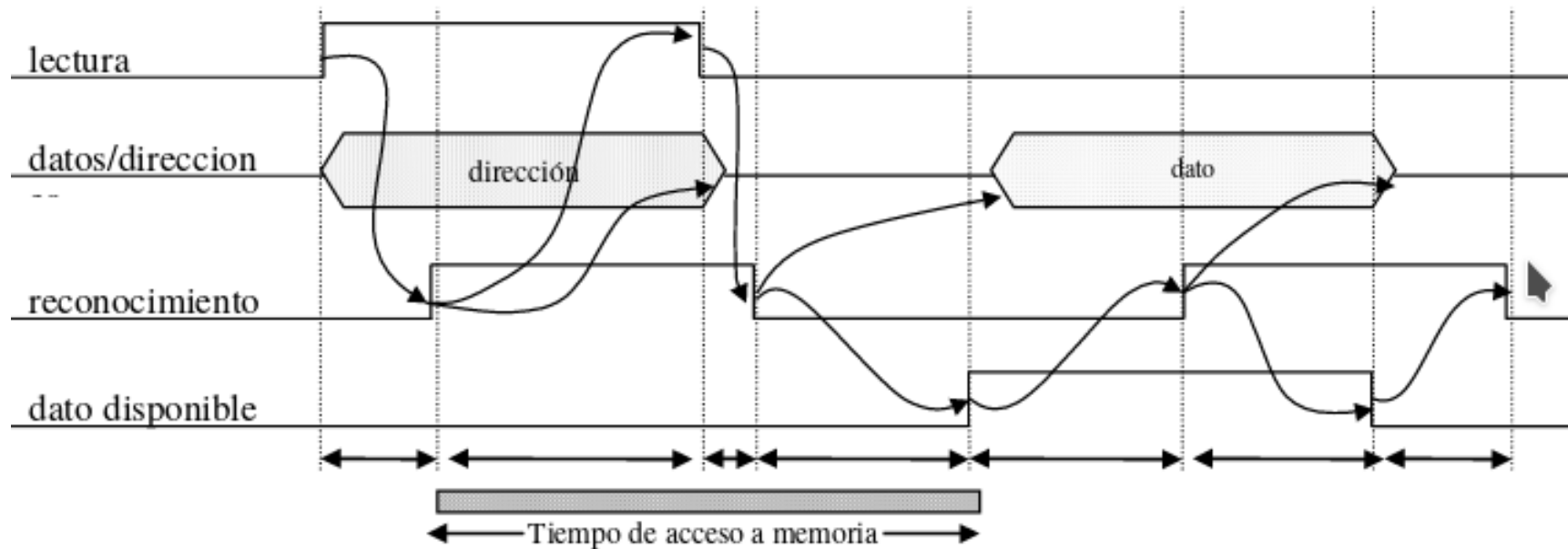


PROTOCOLOS DE TRANSFERENCIA - ASÍNCRONOS.

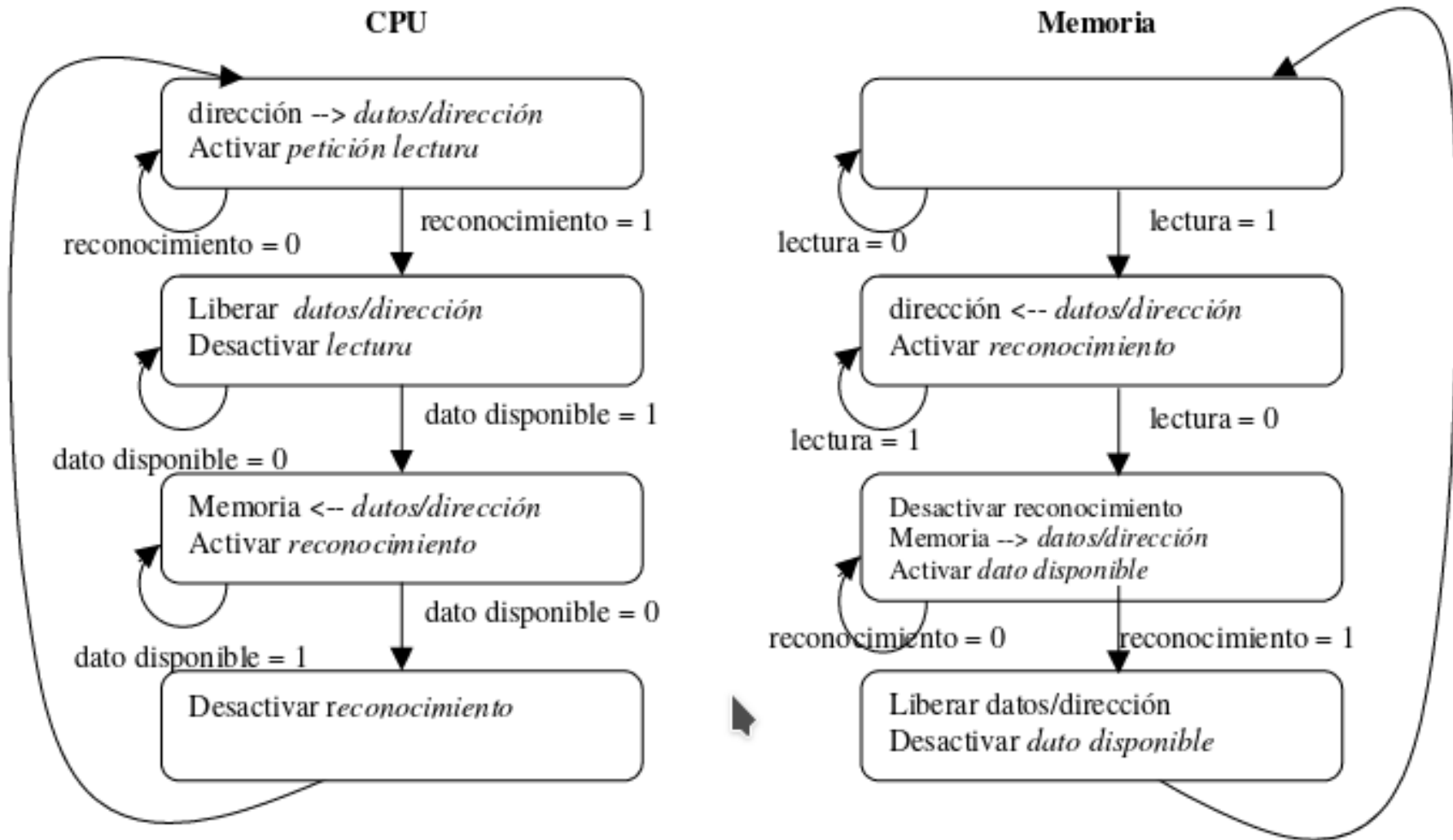
Un bus asíncrono trabaja igual que un par de máquinas de estados finitos que se comunican de tal forma que uno de los autómatas no avanza hasta que sabe que el otro autómata ha alcanzado un determinado estado, es decir, los dos autómatas están coordinados.

Los buses asíncronos se escalan mejor con los cambios de tecnología y pueden admitir una mayor variedad de velocidades de respuesta en los dispositivos.

PROTOCOLOS DE TRANSFERENCIA - ASÍNCRONOS.



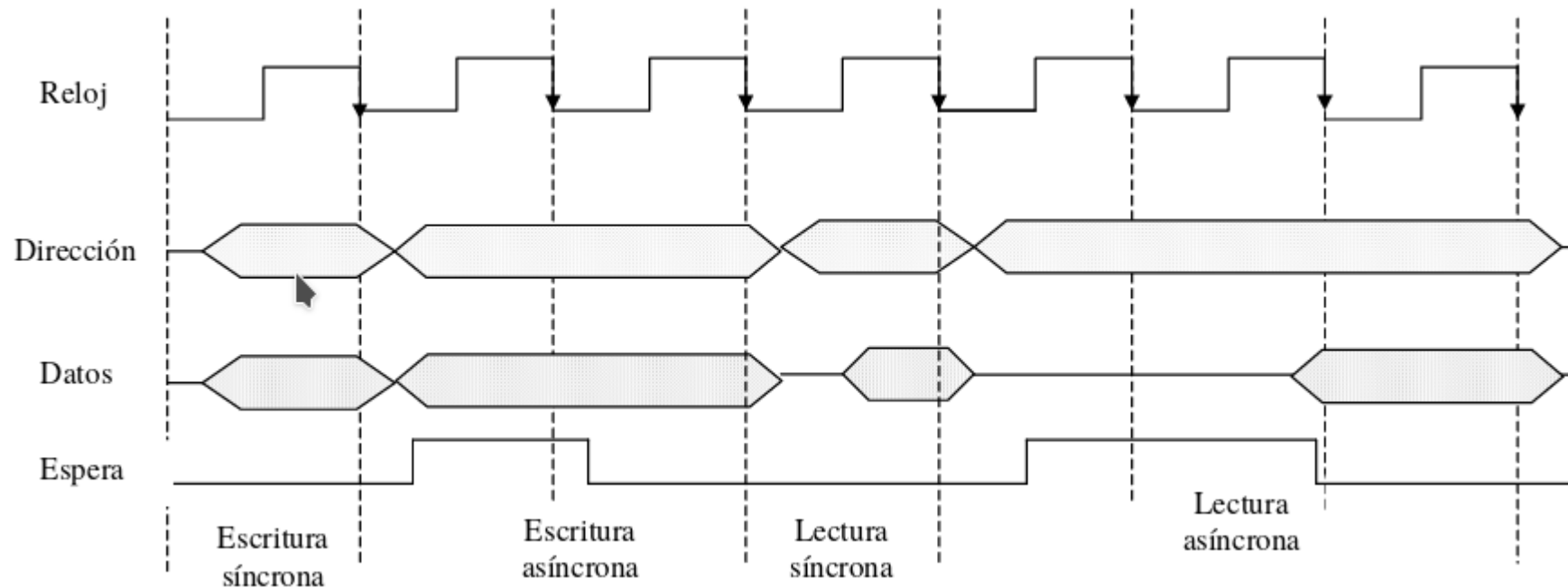
PROTOCOLOS DE TRANSFERENCIA - ASÍNCRONOS.



PROTOCOLOS DE TRANSFERENCIA - SEMISÍNCRONOS.

En los protocolos semisíncronos existe, como en los síncronos, un reloj que gobierna las transferencias en el bus. Pero existe una línea de espera (wait) que es activada por el slave cuando la transferencia va a durar más de un ciclo de reloj. Logrando que los dispositivos rápidos operen como en bus síncrono y los lentos alargarán la operación el número de ciclos que les sea necesario.

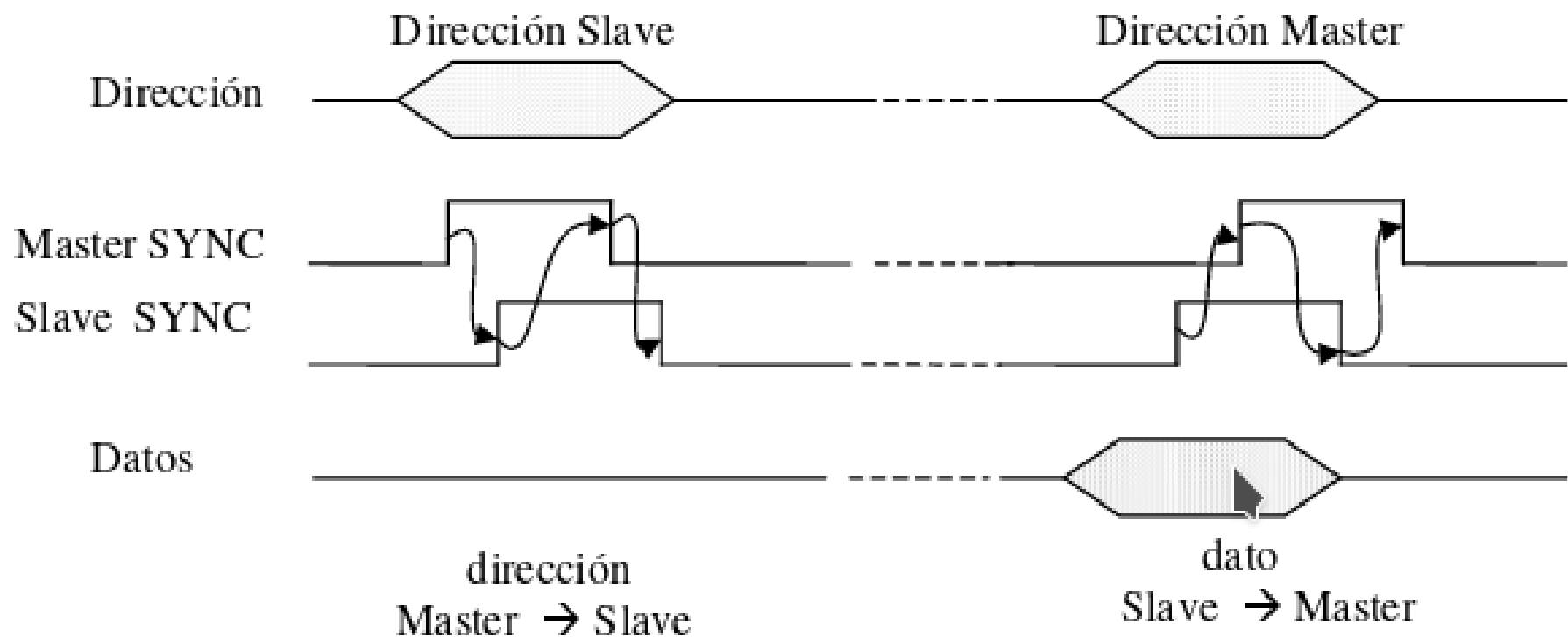
PROTOCOLOS DE TRANSFERENCIA - SEMISÍNCRONOS.



PROTOCOLOS DE TRANSFERENCIA – CICLO PARTIDO.

En los buses de ciclo partido la operación de lectura se divide en dos transacciones no continuas de acceso al bus. La primera transacción es la de petición de lectura que realiza el master sobre el slave. Una vez realizada la petición el master abandona el bus. Cuando el slave dispone del dato leído, inicia un ciclo de bus actuando como master para enviar el dato al antiguo master, que ahora actúa como slave.

PROTOCOLOS DE TRANSFERENCIA – CICLO PARTIDO.

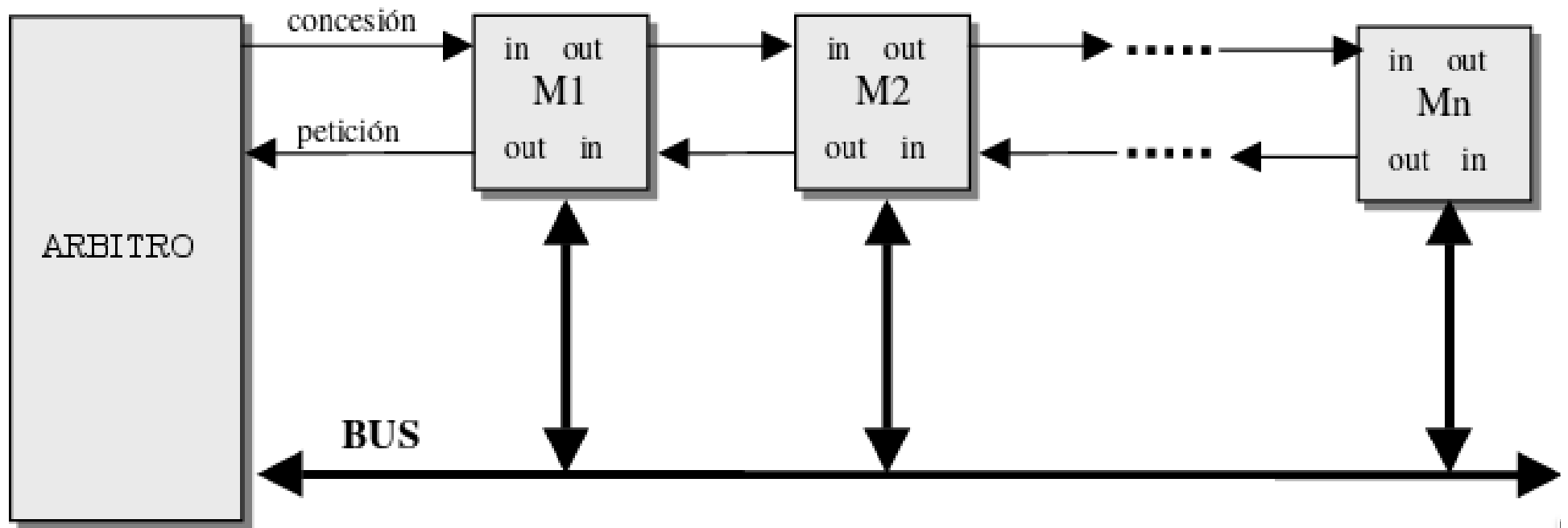


PROTOCOLOS DE ARBITRAJE.

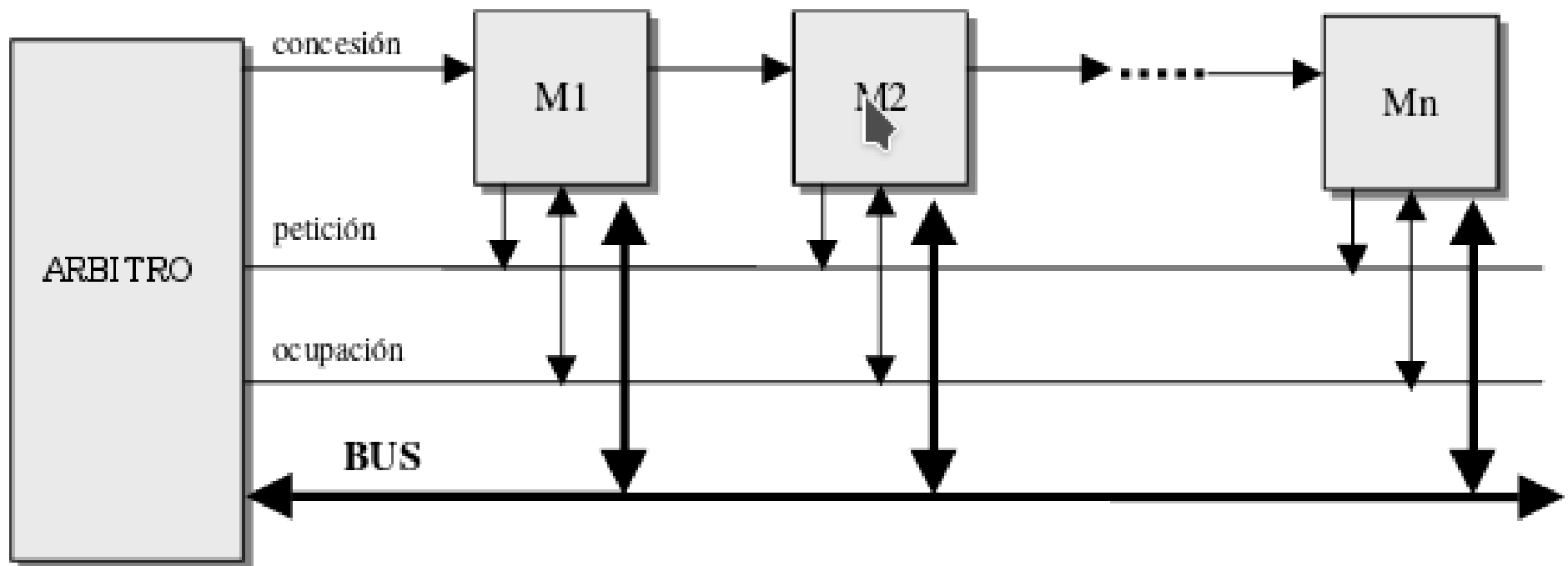
La demanda para utilizar el bus en un computador puede provenir de diferentes unidades, no sólo de la CPU. Para garantizar que en todo momento sólo una unidad acceda al bus, se utilizan los protocolos de arbitraje. Los protocolos de arbitraje organizan el uso compartido del bus, estableciendo prioridades cuando más de una unidad solicita su utilización y garantizando, que el acceso al bus es realizado por un solo master.

Existen dos grupos de protocolos de arbitraje, los centralizados y los distribuidos. En los primeros existe una unidad de arbitraje, el árbitro del bus, encargado de gestionar de forma centralizada el uso del bus. Por el contrario, en los protocolos distribuidos no existe ninguna unidad especial para la gestión del bus. Esta se realiza de forma distribuida entre las unidades de acceso.

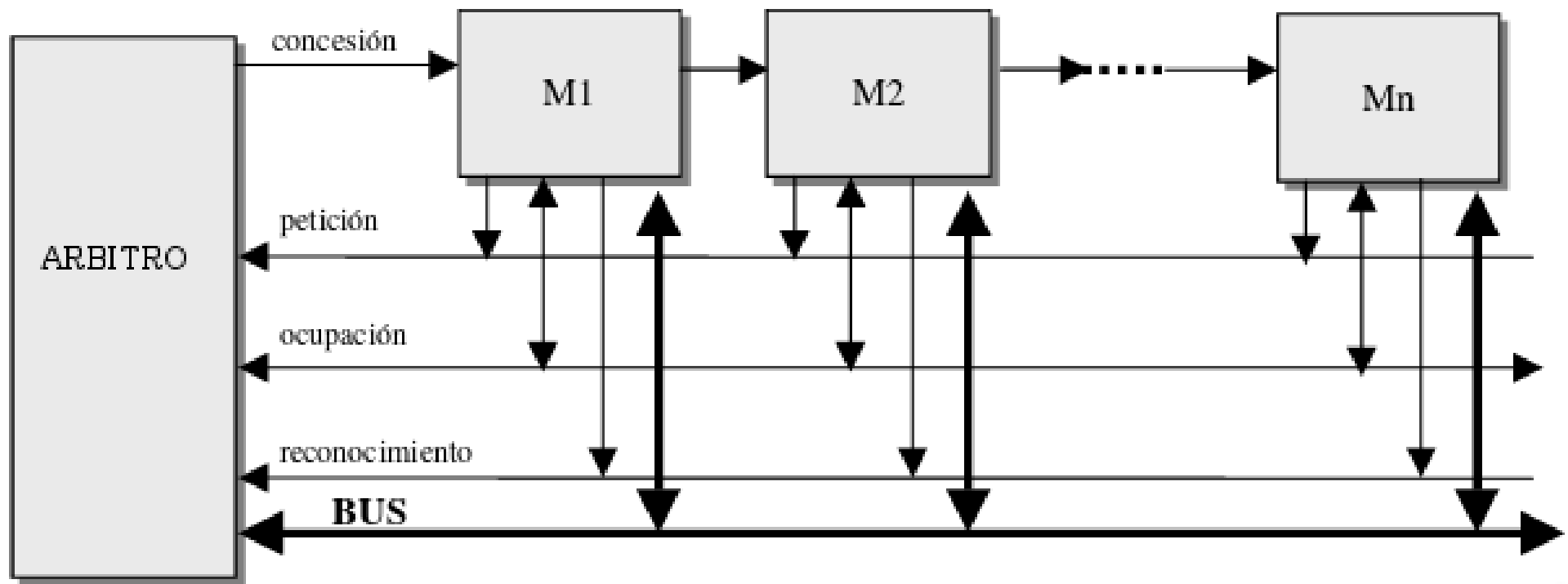
PROTOCOLO DE ENCADENAMIENTO (DAISY CHAINING) DE DOS SEÑALES



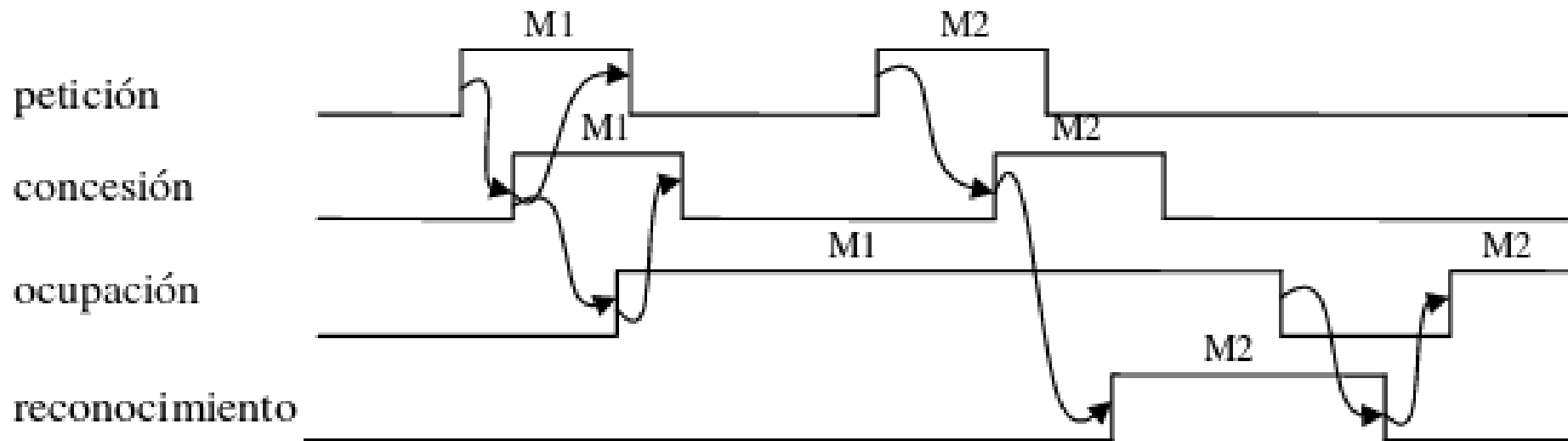
PROTOCOLO DE ENCADENAMIENTO (DAISY CHAINING) DE TRES SEÑALES



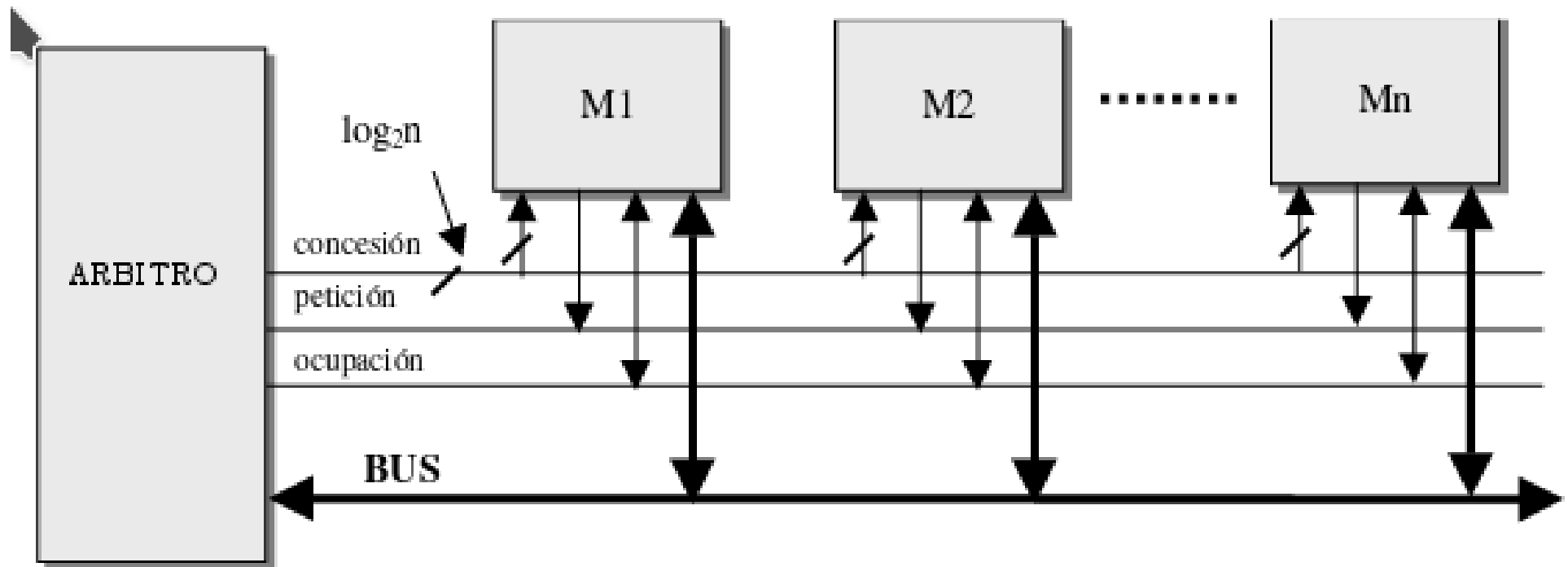
PROTOCOLO DE ENCADENAMIENTO (DAISY CHAINING) DE CUATRO SEÑALES



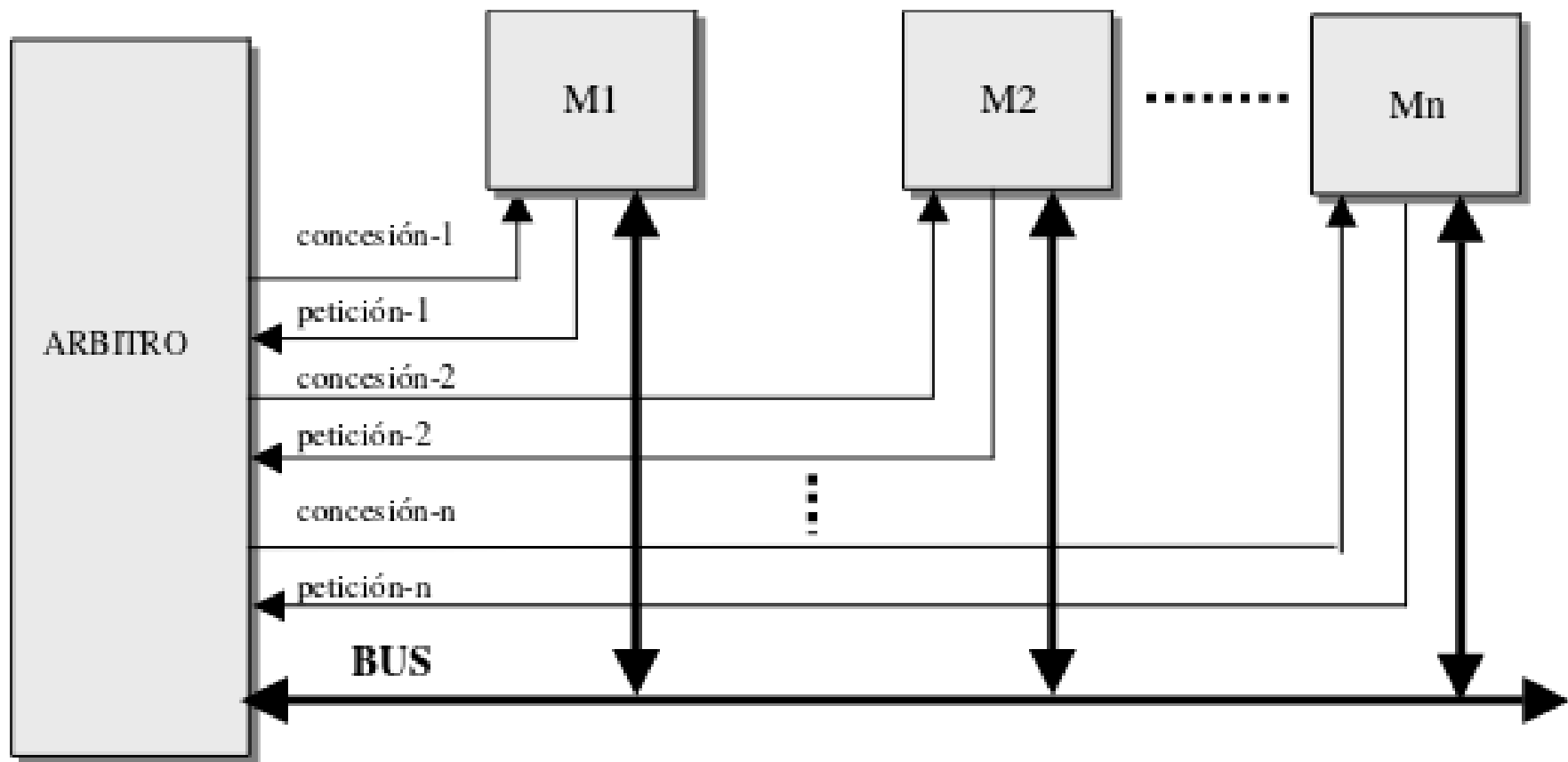
PROTOCOLO DE ENCADENAMIENTO (DAISY CHAINING) DE CUATRO SEÑALES



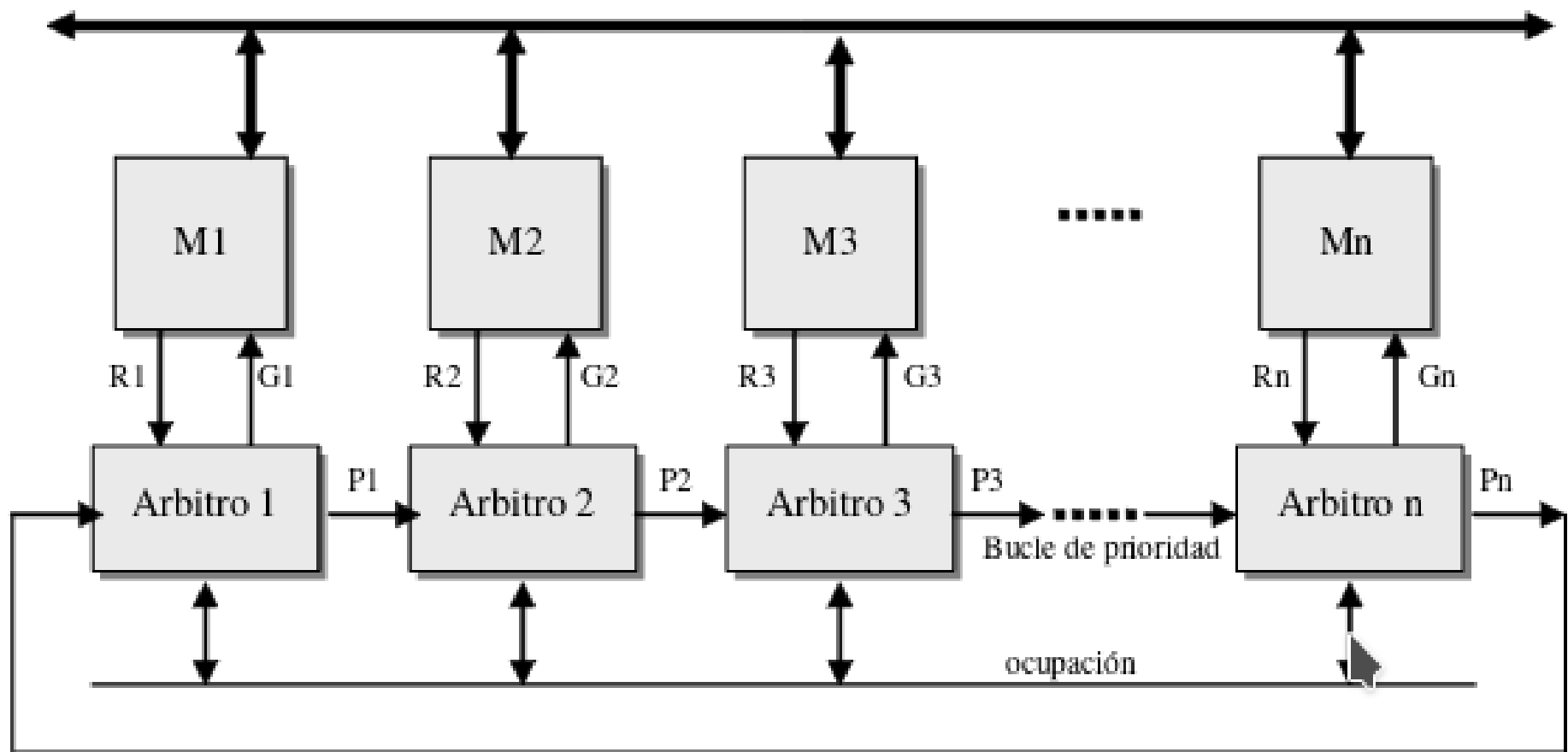
PROTOCOLO CON CONCESIÓN POR ENCUESTA (POLLING).



PROTOCOLO CON SEÑALES INDEPENDIENTES

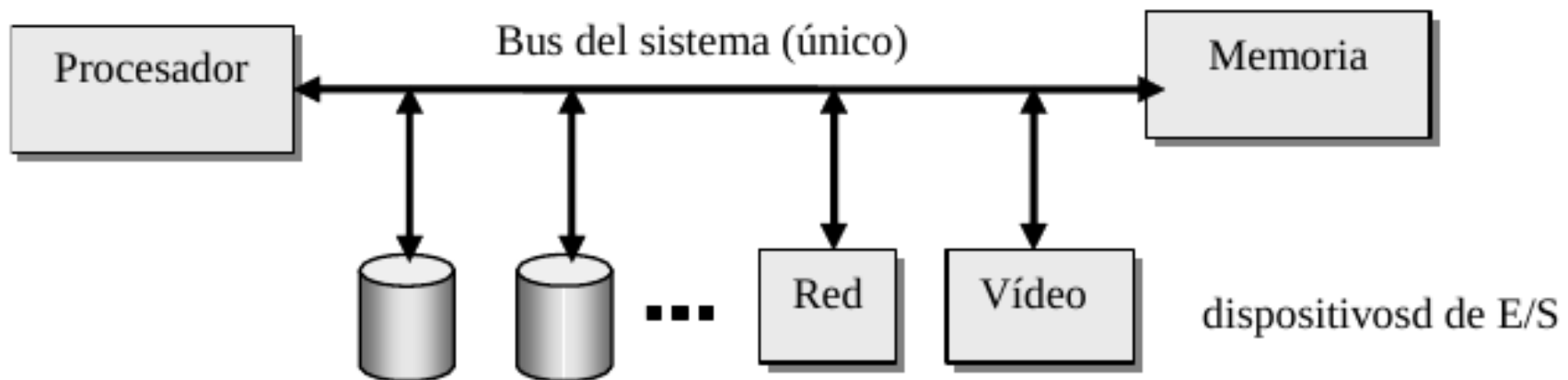


PROTOCOLO DISTRIBUIDO



JERARQUÍA DE BUSES. BUS DEL SISTEMA (*BACKPLANE*)

Es una topología de bus unico, que se utiliza para conectar todos los modulos del sistema. (*Memoria, procesador, módulos E/S..*)



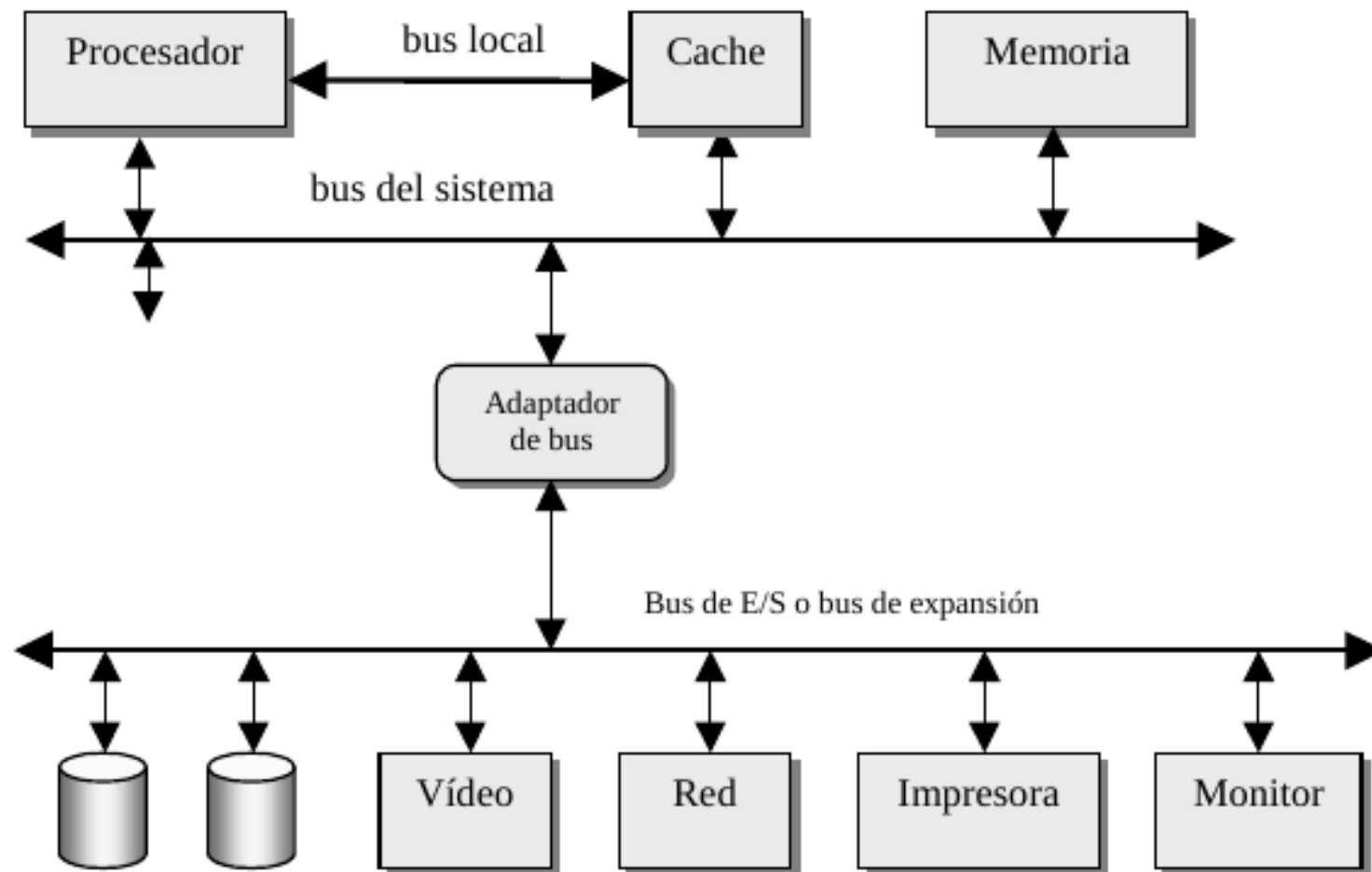
JERARQUÍA DE BUSES.

BUS LOCAL: Este bus es de longitud pequeña, alta velocidad y adaptado a la arquitectura particular del sistema, se diseña para maximizar el ancho de banda entre procesador y memoria.

BUS DE E/S O DE EXPANSIÓN: El bus de E/S o de expansión reduce el tráfico en el bus del sistema, de manera que el procesador puede acceder a memoria en un fallo de caché mientras realiza una operación de entrada/salida. Los buses de expansión son buses estándar o abiertos (ISA, EISA, PCI, etc.).

Para conectar los buses del sistema y de expansión se requiere un Adaptador de Bus, dispositivo que permite adaptar las distintas propiedades de ambos buses: velocidad, carácter síncrono o asíncrono, multiplexación, etc.

JERARQUÍA DE BUSES.



BUSES NORMALIZADOS

- *Nivel mecánico:* en el que se recoge la forma y tamaño de los conectores, el número de contactos por conector y el número de dispositivos que soporta el bus.
- *Nivel eléctrico:* Especifican los valores de tensión de las diferentes señales, polarización, etc.
- *Nivel lógico:* Especifica la función de cada señal del bus: direcciones, datos, control, etc.
- *Nivel de temporización o sincronismo:* Especifica el protocolo de transferencia empleado.
- *Nivel de arbitraje:* Especifica el protocolo de arbitraje que utiliza el bus.

MAPEO EN MEMORIA DE I/O

Se utiliza el mismo bus de direcciones de memoria para el direccionamiento de los dispositivos y las instrucciones usadas para acceder a la memoria se utilizan para acceder a los dispositivos.

Las direcciones asignadas para acceder a los dispositivos son reservadas para almacenar los datos de configuración del dispositivo.

MAPEO INDEPENDIENTE DE I/O.

Se tiene un espacio de direcciones separadas de la memoria. Se utiliza un pin “ I/O ”extra en la CPU o bien otro bus entero dedicado exclusivamente.

La CPU cuenta con instrucciones específicas para acceder a los dispositivos. Para los microprocesadores Intel encontramos las instrucciones IN y OUT, para leer y escribir datos desde un dispositivo de E/S.

INSTRUCCIÓN IN.

- IN AX, numero puerto
- IN AX, DX

Toma el dato proveniente del puerto y lo coloca en el registro AX o AL. El primer caso es si el dato es de 16 bits y el segundo para datos de 8 bits.

Cuando se requiere direccionar mas de 255 dispositivos se debe utilizar el registro DX, para cargar la dirección del puerto.

INSTRUCCIÓN OUT.

- OUT numero puerto, AX
- OUT DX,AX

Carga el contenido del registro AX o AL en la dirección de puerto indica. AX se utiliza cuando se quieren cargar 16 bits y AL para 8 bits.

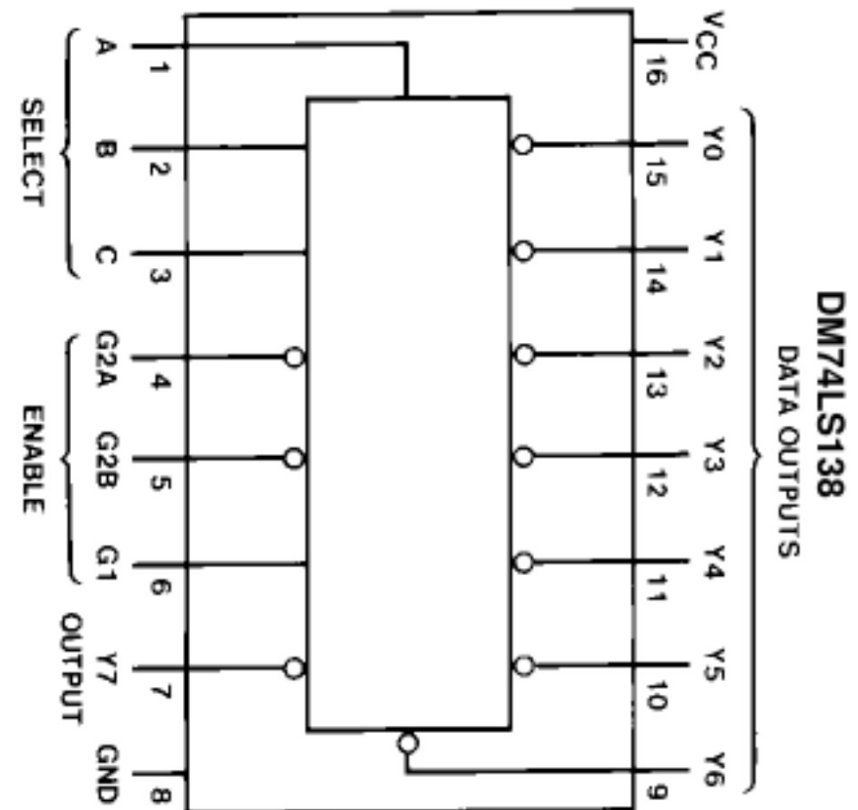
El registro DX se utiliza para direccionar los dispositivos cuando son mas de 255.

MAPEO PRACTICA.

DM74LS138

Inputs			Outputs									
Enable		Select										
G1	G2 (Note 1)	C B A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7		
X	H	X X X	H	H	H	H	H	H	H	H		
L	X	X X X	H	H	H	H	H	H	H	H		
H	L	L L L	L	H	H	H	H	H	H	H		
H	L	L L H	H	L	H	H	H	H	H	H		
H	L	L H L	H	H	L	H	H	H	H	H		
H	L	L H H	H	H	H	L	H	H	H	H		
H	L	H L L	H	H	H	H	L	H	H	H		
H	L	H L H	H	H	H	H	H	L	H	H		
H	L	H H L	H	H	H	H	H	H	L	H		
H	L	H H H	H	H	H	H	H	H	H	L		

Note 1: $G2 = G2A + G2B$



MAPEO PRACTICA

A=AD D0	B=AD D1	C=AD D2	G1=AD D3	G2A=A DD4	G2B=A DD5	ADD6	ADD7	OUT	DIRECCIÓN
0	0	0	1	0	0	0	0	Y0	0X08
0	0	1	1	0	0	0	0	Y1	0X0B
0	1	0	1	0	0	0	0	Y2	
0	1	1	1	0	0	0	0	Y3	
1	0	0	1	0	0	0	0	Y4	
1	0	1	1	0	0	0	0	Y5	
1	1	0	1	0	0	0	0	Y6	
1	1	1	1	0	0	0	0	Y7	