

Actualizado: 26 de Julio de 2017

PROGRAMA ACADÉMICO: MAESTRIA EN INGENIERIA - ENFASIS EN INGENIERIA ELECTRONICA

SEMESTRE: II

ASIGNATURA: DISEÑO DIGITAL AVANZADO

CÓDIGO:

NÚMERO DE CRÉDITOS: 2

INTENSIDAD HORARIA: 4 horas semanales

PRESENTACIÓN

Los avances en la tecnología de fabricación de dispositivos reconfigurables, así como en las metodologías y herramientas CAD para el diseño, simulación, síntesis y verificación de sistemas digitales, han agilizado el desarrollo de nuevos productos, acortando significativamente los tiempos de desarrollo. Esto ha propiciado el desarrollo de una gran cantidad de productos, marcando una revolución en la forma en que el ser humano interactúa con la tecnología y cómo ésta se ha incorporado en casi todos los aspectos de la vida diaria.

El curso de Diseño Digital Avanzado está orientado al estudio de los aspectos teóricos y prácticos necesarios para el diseño e implementación de circuitos digitales eficientes, basados en aprovechamiento de las técnicas y herramientas de desarrollo disponibles en la actualidad, así como del enorme potencial ofrecido por los dispositivos de lógica reconfigurable tales como CPLDs, FPGAs y PSoCs. Adicionalmente, se estudia la incorporación de estos circuitos en sistemas digitales de mayor tamaño y elevadas prestaciones requeridos para el control, manejo y/o procesamiento de datos y/o señales, en diversos campos de aplicación.

JUSTIFICACIÓN

El apropiado manejo y comprensión de las técnicas de diseño e implementación de sistemas digitales basados en dispositivos reconfigurables es uno de los aspectos más importantes requeridos en la actualidad para el desarrollo de aplicaciones que se caracterizan por requerir tiempos desarrollo cada vez más cortos, procesamiento de grandes volúmenes de datos y altas velocidades de procesamiento.

COMPETENCIAS

Básicas:

- Conocer y aplicar las metodologías de diseño de sistemas digitales descritos mediante diferentes niveles de abstracción, basadas en Lenguajes de Descripción de Hardware tales como VHDL y Verilog.
- Emplear adecuadamente los ambientes asistidos por computador para el diseño, simulación y síntesis de sistemas digitales basados principalmente en FPGAs dada su flexibilidad y facilidad de operación como plataforma de prototipado rápido.

Generales:

- Identificar los principios de diseño de los circuitos lógicos y aritméticos requeridos para el procesamiento eficiente de datos en sistemas de elevadas prestaciones computacionales.
- Realizar el diseño e implementación de sistemas digitales de elevadas prestaciones computacionales.

Profesionales:

- Emplear apropiadamente los módulos parametrizados y/o *IP-Cores* disponibles en la actualidad para mejorar la modularización y el reúso de recursos.
- Identificar las características, arquitectura y forma de empleo de las FPGAs y tarjetas de desarrollo para FPGAs, que permita maximizar el aprovechamiento de sus potencialidades.
- Aplicar conceptos de codiseño Hardware/Software.

METODOLOGÍA

El componente teórico del curso se desarrolla a través de clases magistrales apoyadas en diferentes recursos audiovisuales. Se proponen lecturas sobre temas seleccionados y se discuten sus características, fundamentos teóricos e implicaciones. Adicionalmente, los estudiantes presentan exposiciones (preferiblemente en idioma inglés) sobre circuitos, algoritmos y otros aspectos puntuales del diseño digital.

Para el componente práctico se emplean diversos ambientes de desarrollo y simulación para FPGAs, realizando descripciones en VHDL, Verilog o SystemC a través de los cuales se pueda verificar el funcionamiento de los circuitos y sistemas digitales diseñados, así como realizar análisis de tiempo, consumo de potencia, área requerida, entre otras, tendientes a realizar una optimización de los diseños realizados.

Recomendación: Para tomar este curso se recomienda tener conocimientos previos en lenguajes de descripción de hardware, y en particular, acerca de VHDL, Verilog y/o SystemC.

INVESTIGACIÓN

Existen diversas temáticas relacionadas con los conceptos teóricos y prácticos del diseño digital avanzado en las que se hace investigación en la actualidad. Entre estos se cuentan:

- Computación paralela
- Computación evolutiva
- Procesamiento vectorial
- Procesamiento de imágenes de altas prestaciones
- Implementación de algoritmos de elevada complejidad computacional
- Aplicaciones concurrentes de procesamiento digital de señales
- Emulación concurrente de modelos matemáticos de sistemas
- Desarrollo de sistemas y algoritmos para criptografía
- Emulación concurrente de sistemas biológicos

RECURSOS DE APOYO

Medios Audiovisuales: VideoBeam, Sala de Computadores

Hardware: Tarjetas de Desarrollo para FPGAs (Altera y Xilinx)

Software: Altera Quartus II Suite, Xilinx ISE Design Suite, ModelSim, Matlab

EVALUACIÓN

| | |
|-------------------------------|-----|
| ▪ 2 Proyectos de 20% cada uno | 40% |
| ▪ 2 Presentaciones orales | 20% |
| ▪ Talleres | 20% |
| ▪ Prácticas de laboratorio | 20% |

CONTENIDOS TEMÁTICOS

1. INTRODUCCION

- Introducción al diseño digital basado en Lenguajes de Descripción de Hardware
 - VHDL y Verilog
 - Estilos de descripción de hardware
 - Manejo de herramientas CAD para diseño y simulación de sistemas digitales. Quartus II y ModelSim
- Introducción al diseño VLSI
 - Chips a medida
 - MOSFET, NMOS y CMOS
 - Compuertas de transmisión
- Dispositivos Lógicos Programables
 - SPLDs (PLA y PAL), CPLDs y FPGAs
 - Granularidad
- Aspectos básicos de las herramientas CAD para la CPLDs y FPGAs

2. DISEÑO E IMPLEMENTACIÓN DE CIRCUITOS LÓGICOS Y ARITMÉTICOS EFICIENTES

- Comparadores, codificadores y decodificadores
- Representación numérica
- Sumadores y Restadores
 - Suma con acarreo serie y acarreo anticipado
 - Otras arquitecturas para sumadores rápidos
 - Suma con operandos múltiples
- Circuitos Lógicos, Rotaciones y Desplazamientos
 - Circuitos lógicos
 - Desplazamientos y Rotaciones, Barrel Shifter, LFSR

3. LOGICA SECUENCIAL

- Latches y Flip-Flops
- Maquinas secuenciales sincrónicas (Mealy y Moore)
- Maquinas secuenciales con tablas
- Implementación y uso de memorias

4. MULTIPLICADORES Y DIVISORES PARALELOS

- Arquitecturas básicas para la multiplicación
- Multiplicadores matriciales y en árbol (arreglos sistólicos)
- Otras arquitecturas para multiplicadores
- Arquitecturas básicas para la división

5. ARITMÉTICA DE PUNTO FLOTANTE

- Operaciones en Punto Flotante estándar IEEE 754
 - Suma y Resta en punto flotante
 - Multiplicación y División en punto flotante
- Ejemplos y Aplicaciones

6. CORDIC (COordinate Rotation Digital Computer)

- Introducción
- Modos de operación
- Convergencia y precisión
- Arquitecturas
- CORDIC generalizado

7. PROCESADORES CONFIGURABLES EMBEBIDOS EN FPGAs

- Configuración de procesadores NIOSII de Altera y MICROBLAZE de Xilinx
- Ejemplos y aplicaciones

8. TEST DE CIRCUITOS LOGICOS

- Modelo de fallas
- Sensibilidad de trayectorias
- Detección de falla específica
- Test aleatorios
- Test automatizados
- Análisis de firmas

LECTURAS RECOMENDADAS

- V. Sklyarov and I. Skliarova, "Digital design: Best practices and future trends," 2016 15th Biennial Baltic Electronics Conference (BEC), Tallinn, 2016, pp. 7-16. doi: 10.1109/BEC.2016.7743718
- M. Ibrahim and O. Khan, "Performance analysis of Fast Fourier Transform on Field Programmable Gate Arrays and graphic cards," 2016 International Conference on Computing, Electronic and Electrical Engineering (ICE Cube), Quetta, 2016, pp. 158-162. doi: 10.1109/ICECUBE.2016.7495215
- M. A. Kumar and K. M. Chari, "Complex-multiplier implementation for pipelined FFTs in FPGAs," 2015 International Conference on Signal Processing and Communication Engineering Systems, Guntur, 2015, pp. 137-141. doi: 10.1109/SPACES.2015.7058232
- A. López-Parrado and J. C. Valderrama-Cuervo, "OpenRISC-based System-on-Chip for digital signal processing," 2014 XIX Symposium on Image, Signal Processing and Artificial Vision, Armenia, 2014, pp. 1-5. doi: 10.1109/STSIVA.2014.7010123
- Sureka, N.; Porselvi, R.; Kumuthapriya, K., "An efficient high speed Wallace tree multiplier," Information Communication and Embedded Systems (ICICES), 2013 International Conference on , vol., no., pp.1023,1026, 21-22 Feb. 2013.
- Sarafianos, A.; Lisart, M.; Gagliano, O.; Serradeil, V.; Roscian, C.; Dutertre, J.-M.; Tria, A., "Robustness improvement of an SRAM cell against laser-induced fault injection," Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), 2013 IEEE International Symposium on , vol., no., pp.149,154, 2-4 Oct. 2013.
- Ross, D.-M.; Miller, S.; Sima, M.; McGuire, M., "Exploration of sign precomputation-based CORDIC in reconfigurable systems," Signals, Systems and Computers (ASIOMAR), 2011 Conference Record of

the Forty Fifth Asilomar Conference on , vol., no., pp.2186,2191, 6-9 Nov. 2011.

- Neil H. E. Weste & David Money Harris. *CMOS VLSI Design. A Circuits and Systems Perspective*. 4th edition. Addison-Wesley. Boston, Massachusetts, 2011. Chapter 1.
- Baesler, M.; Voigt, S.; Teufel, T., "A radix-10 digit recurrence division unit with a constant digit selection function," Computer Design (ICCD), 2010 IEEE International Conference on , vol., no., pp.241,246, 3-6 Oct. 2010.
- Baesler, M.; Voigt, S.; Teufel, T., "An IEEE 754-2008 Decimal Parallel and Pipelined FPGA Floating-Point Multiplier," Field Programmable Logic and Applications (FPL), 2010 International Conference on , vol., no., pp.489,495, Aug. 31 2010-Sept. 2, 2010.
- Munoz, D.M.; Sanchez, D.F.; Llanos, C.H.; Ayala-Rincon, M., "FPGA based floating-point library for CORDIC algorithms," Programmable Logic Conference (SPL), 2010 VI Southern , vol., no., pp.55,60, 24-26 March 2010.
- Ortiz, M.; Quiles, F.; Hormigo, J.; Jaime, F.J.; Villalba, J.; Zapata, E.L., "Efficient Implementation of Carry-Save Adders in FPGAs," Application-specific Systems, Architectures and Processors, 2009. ASAP 2009. 20th IEEE International Conference on , vol., no., pp.207, 210, 7-9 July 2009.
- C. S. Wallace, *A suggestion for a fast multiplier*, IEEE Trans. on Electronic Comp. EC-13(1): 14-17
- Andrew D. Booth. "A signed binary multiplication technique," The Quarterly Journal of Mechanics and Applied Mathematics, Volume IV, Pt. 2

- **Software de apoyo:** Simulador en línea, *Aritmética del Computador*, Israel Koren, <http://www.ecs.umass.edu/ece/koren/arith/simulator/>

BIBLIOGRAFÍA

- B. Parhami. *Computer Arithmetic: Algorithms and Hardware Designs*, 2nd edition, Oxford University Press, New York, 2010.
- R. P. Brent, P. Zimmermann. *Modern Computer Arithmetic*, Cambridge Monographs on Computational and Applied Mathematics (No. 18), Cambridge University Press, November 2010.
- David A Patterson & John L Hennessy. *Computer organization and design: the hardware/software interface*. Elsevier/Morgan Kaufmann, 2009.
- J.P. Deschamps, G.J. Bioul. G. Sutter. *Synthesis of Arithmetic Circuits*. Wiley Interscience. 2006.
- J.P. Deschamps, J.L. Imaña. G. Sutter. *Hardware Implementation of Finite Field Arithmetic*. McGrawHill. 2006.
- M. Ercegovic and T. Lang. *Digital Arithmetic*. Morgan Kaufmann Publishers. 2004.
- M.Lu. *Aritmetic and Logic in Computer Systems*. Wiley Interscience. 2004.
- Israel Koren. *Computer Arithmetic Algorithms*, 2nd Edition. Published by A. K. Peters, Natick, MA, 2002.
- David Goldberg. *What every computer scientist should know about floating-point arithmetic*. ACM Computing Surveys, Vol 23, No 1, March 1991.
- William Stallings. *Computer organization and architecture*, 9th edition. Student Resources, <http://williamstallings.com/Computer%20Organization/COA9e-student/index.html>
- Altera. *DSP Builder Handbook*, http://www.altera.com/literature/hb/dsp/hb_dspb_std.pdf
- YouTube: (2011, June 06) vlsi chip manufacturing [video file]. Downloaded from <https://www.youtube.com/watch?v=hO455B9d7zY>.