Circuitos Lógicos

Profa. Grace S. Deaecto

Faculdade de Engenharia Mecânica / UNICAMP 13083-860, Campinas, SP, Brasil. grace@fem.unicamp.br

Segundo Semestre de 2013

NOTA AO LEITOR

Estas notas de aula foram inteiramente baseadas nas seguintes referências :

- T. Floyd, "Digital Fundamentals", 10th Edition, Prentice Hall, 2009.
- R. J. Tocci, N. S. Widmer, G. L. Moss, "Sistemas Digitais: Princípios e Aplicações", Prentice-Hall, 2007.
- S. Brown, Z. Vranesic, "Fundamentals of Digital Logic with Verilog Design", McGrawHill, 2003.
- I. V. Iodeta, F. G. Capuano, "Elementos de Eletrônica Digital", Editora Érica, 2006.
- V. A. Pedroni, "Circuit Design and Simulation with VHDL", 2nd Edition, MIT, 2010.

- Circuitos Sequenciais
 - Lógica sequencial
 - Latches S-R e D
 - Flip-flops S-R, J-K e D
 - Características de operação
 - Multivibradores
 - Contadores
 - Máquinas de estados finitos
 - Registradores de deslocamento

Lógica sequencial

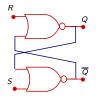
- No capítulo anterior, estudamos circuitos combinacionais em que o estado da saída, em um dado instante, depende apenas dos estados das entradas naquele mesmo instante.
- Neste capítulo, estudaremos circuitos sequenciais, cuja característica principal é a presença de memória.
- O mais importante elemento de memória é o flip-flop (FF).
- O FF é construído através de um arranjo de portas lógicas com realimentação.
- Como veremos, os FFs necessitam apenas de serem ativados através de um pulso momentâneo para mudar o estado da saída. Ademais, este estado permanece após cessado o pulso mantendo a informação.
- A maioria dos sistemas digitais são combinações de lógicas sequências e combinacionais.

Lógica sequencial

- Estudaremos também circuitos astáveis, monoestáveis e biestáveis que são conhecidos como multivibradores.
- Os FF são multivibradores biestáveis pois possuem dois estados estáveis SET e RESET.
- Os multivibradores monoestáveis possuem somente um estado estável e são conhecidos como one-shot. São normalmente usados para geração de pulsos de tensão de largura definida a partir de um pulso externo.
- Os multivibradores astáveis não possuem estado estável e são utilizados como osciladores.

Latch S-R

- Como o FF, o latch é um circuito biestável. Ele é um tipo de armazenador temporário, que pode ser construído utilizando duas portas NAND ou duas NOR com realimentação. Possui saídas Q e \overline{Q} e duas entradas set (S) e reset (R). A diferença em relação ao FF é que não possui entrada de sincronismo.
- Quando o latch é construído com portas NAND ele possui o set e o reset ativos em nível baixo. Por outro lado, quando ele é construído com portas NOR o set e o reset são ativos em nível alto.
- Seguem os latches S-R. Note a presença da realimentação!





Latch S-R com Portas NAND

 Denotando Q_a como o estado de saída antigo, vamos analisar o estado atual Q para cada possível situação representada na tabela verdade :

Tabela verdade

<u>s</u>	\overline{R}	Q_a	Q
0	0	0	- !
0	0	1	- !
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

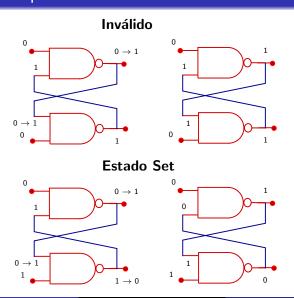
•		

<u>s</u>	R	Q	
0	0	Inválido	
0	1	1	
1	0	0	
1	1	Mantém Q_a	

7 / 100

• A situação "inválida" ocorre quando $Q = \overline{Q}$.

De <u>f</u>ato, note que :



De fato, note que :

Estado Reset $1 \rightarrow 0$ $1 \rightarrow 0$ Mantém o estado anterior

Latch S-R com Portas NOR

 Utilizando a configuração com portas NOR, já apresentada anteriormente e, realizando a mesma análise anterior, obtemos a seguinte tabela verdade.

Tabela verdade

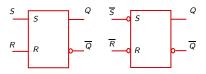
5	R	Q_a	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	!
1	1	1	!



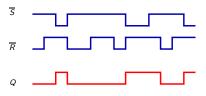
	S	R	Q
	0	0	Mantém Q_a
	0	1	0
,	1	0	1
	1	1	Inválido

Exemplo

Considere a seguinte forma alternativa de representar os latches ativos em nível alto e baixo, respectivamente.

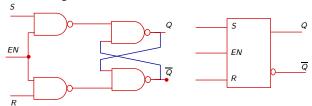


Utilizando o latch ativo em nível baixo, temos

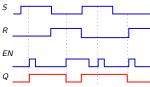


Latch S-R com enable

Considere o seguinte circuito

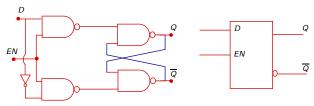


- Se EN = 0 o estado anterior é mantido, enquanto que, se EN = 1 o circuito comporta-se como um latch S-R ativo em nível alto.
- A seguir considere que o estado inicial do latch é reset.



Latch D

• O latch D é representado pela figura seguinte



e é descrito pela tabela verdade

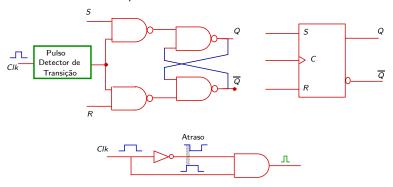
D	EN	Q	
0	1	0	
1	1	1	
Х	0	0 Mantém Q_a	

Flip-flops

- Os flip-flops s\u00e3o circuitos biest\u00e1veis s\u00edncronos em que mudan\u00e7as no estado da sa\u00edda dependem exclusivamente do sincronismo do clock.
- Mais especificamente, as mudanças ocorrem somente nas transições do pulso de clock, sendo que as entradas podem ser alteradas quando o pulso do clock está em nível alto ou baixo (menos em instantes muito pequenos perto da transição) sem que ocorram mudanças no estado da saída.
- Nesta seção, estudaremos os flip-flops S-R, D e J-K. Somente os dois últimos são encontrados na forma de Cl.

Flip-flop S-R

• A figura apresenta um flip-flop S-R e um tipo de circuito detector de transição de borda de subida.



• Note que, para detectar a borda de descida o pulso é invertido antes de passar no NOT.

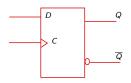
Flip-flops S-R e D

• Tabela verdade do flip-flop S-R :

S	R	Clk	Q	
0	0	↑	Mantém Q_a	
0	1	↑	0	
1	0	↑	1	
1	1	↑	Inválido	

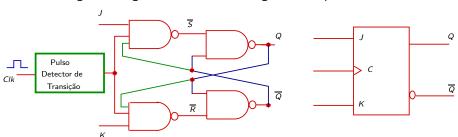
• Tabela verdade do flip-flop D :

D	Clk	Q
0	\uparrow	0
1	\uparrow	1



 Os flip-flops sensíveis à borda de descida possuem representação idêntica, mas com um pequeno círculo indicativo da borda no clock.

- O princípio de funcionamento de um flip-flop J-K é idêntico ao do S-R, com a diferença de que ele não possui estado inválido.
- A figura a seguir mostra o seu diagrama simplificado.



• A tabela verdade do flip-flop J-K está apresentada a seguir

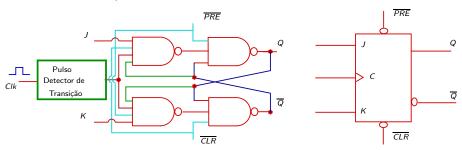
			-			
J	K	Q_a	Clk	<u>S</u>	R	Q
0	0	0	1	1	1	Q_a
0	0	1	1	1	1	Q_a
0	1	0	1	1	1	$Q_a=0$
0	1	1	↑	1	0	0
1	0	0	1	0	1	1
1	0	1	1	1	1	$Q_a = 1$
1	1	0	1	0	1	$1 = \overline{Q_a}$
1	1	1	↑	1	0	$0 = \overline{Q_a}$

Podemos sintetizá-la como

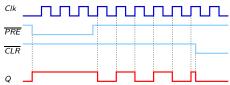
J	K	Clk	Q
0	0	↑	Q_a
0	1	↑	0
1	0	↑	1
1	1	↑	Q_a

- Da tabela anterior, quando J=K=1 o flip-flop alterna o estado da saída. Quando o flip-flop possui esta conexão, dizemos que ele está em operação alternada (toggle operation) e é chamado de flip-flop T.
- Para o bom funcionamento da operação toggle o pulso de clock deve ser muito estreito e deve mudar para zero antes que as saídas Q e \overline{Q} alternem os valores dos seus estados.
- Podemos também acrescentar ao FF J-K entradas assíncronas que afetarão o estado da saída independentemente do clock.
- Estas entradas são conhecidas como Preset (PRE) e Clear (CLR) e não podem ser acionadas simultaneamente.

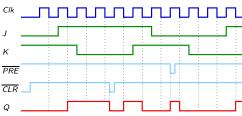
 A figura a seguir apresenta o FF J-K com entradas assíncronas ativas em nível baixo. Observe as novas conexões em destaque.



 Considere um flip-flop T sensível à borda de subida com estado inicial reset.



• Considere um flip-flop J-K sensível à borda de descida.



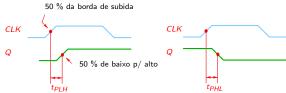
Características de operação

- A escolha dos flip-flops depende da tecnologia CMOS ou TTL (bipolar) usada na sua construção.
- Esta escolha é feita através da análise de seu desempenho, exigências na operação e limitações que são características normalmente disponíveis no manual do circuito digital.
- Esta seção nos ajudará a entender o que significa cada parâmetro de maneira a discernir qual o tipo de FF mais adequado para uma dada aplicação.

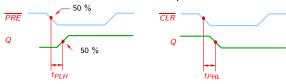
Atrasos de propagação

O atraso de propagação é definido como o tempo necessário para a emissão de uma resposta do FF após a aplicação de um sinal de entrada. Ele pode ser de quatro tipos.

Relativos ao sinal de clock.

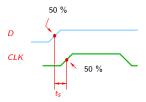


• Relativos às entradas assíncronas de preset ou clear.

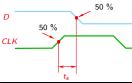


Tempo de set-up e de espera

O tempo de set-up é o intervalo de tempo mínimo exigido para que os níveis lógicos das entradas J, K ou S, R ou D fiquem constantes antes do disparo dos pulsos de clock.



O tempo de espera é o intervalo de tempo mínimo exigido para os níveis lógicos permaneçam na entrada após o disparo dos pulsos de clock.



Especificações

A seguir estão definidas outras especificações importantes :

- Frequência máxima do clock, denotada como (f_{max}) , é a maior taxa possível para o clock para que o FF opere de maneira confiável.
- Largura de pulso, denotado como (t_w) , são larguras mínimas que definem operações confiáveis para o clock, preset e clear.
- Ciclo de trabalho (duty-cycle) é definido como

$$d_c = \left(rac{t_w}{T}
ight) imes 100\%$$

Potência de dissipação

 Potência de dissipação é a potência total consumida pelo sistema digital. Para um circuito contendo 10 FFs cada um operando a 5V de tensão e 5 mA de corrente, a potência dissipada é

$$P = 10 \times V_{CC} \times I_{CC} = 0.25$$
W

Nesta situação, deve-se usar uma fonte de alimentação para fornecer 5 V com capacidade para no mínimo

$$I = 0.25/5 = 50 \text{mA}$$

de corrente.

Comparação de tecnologias de FFs

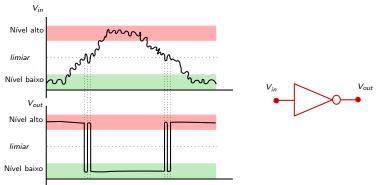
A seguir apresentamos uma tabela que compara diferentes FFs em relação aos parâmetros aqui definidos.

	CM	10S	Bipolar	· (TTL)
Parâmetro	74HC74A	74AHC74	74LS74A	74F74
$t_{PHL}(CLK)$	17 ns	4.6 ns	40 ns	$6.8~\mathrm{ns}$
$t_{PLH}(CLK)$	17 ns	4.6 ns	25 ns	$8.0~\mathrm{ns}$
$t_{PHL}(\overline{CLR})$	18 ns	4.8 ns	40 ns	$9.0~\mathrm{ns}$
$t_{PLH}(\overline{PRE})$	18 ns	4.8 ns	25 ns	$6.1~\mathrm{ns}$
t _s	14 ns	5.0 ns	20 ns	2.0 ns
t _h	3.0 ns	0.5 ns	5 ns	1.0 ns
$t_W(CLK \ alto)$	10 ns	5.0 ns	25 ns	$4.0~\mathrm{ns}$
t _W (CLK baixo)	10 ns	5.0 ns	25 ns	5.0 ns
$t_W(\overline{CLR}/\overline{PRE})$	10 ns	5.0 ns	25 ns	4.0 ns
f _{max}	35 MHz	170 MHz	25 MHz	$100~\mathrm{MHz}$

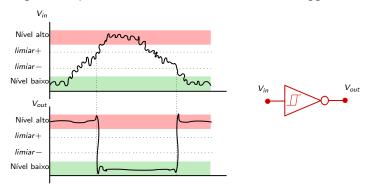
Schmitt-triggers

 Estes dispositivos possuem um circuito especial para especificação dos limiares (threshold) que evita o efeito das comutações indevidas entre os níveis lógicos. Ele é muito utilizado para mudanças lentas do sinal de entrada.

Segue a resposta de um inversor comum.

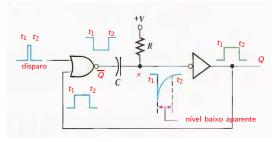


• Segue a resposta de um inversor com Schmitt-trigger.



 Note que a saída mudará de nível alto para baixo somente quando a entrada ultrapassar o limiar+. Ademais, uma vez que a saída está em nível baixo, lá permanecerá até que a entrada atinja o limiar-. Assim, variações entre os limiares não alteram o valor da saída.

- São multivibradores com apenas um estado estável (Q=0). A comutação para o estado instável ocorre quando é acionado o disparo.
- Após este instante, o dispositivo permanece no estado instável por um certo período de tempo, que define a largura de pulso da saída e, posteriormente, retorna ao estado estável.

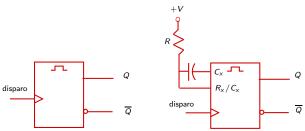


Funcionamento

A seguir apresentamos uma breve análise do circuito anterior.

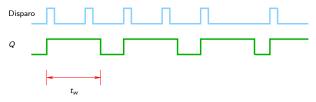
- Para $t < t_1$: O estado $\overline{Q} = 1$ e, portanto, a d.d.p. sobre o capacitor é nula. A tensão sobre o ponto $V_x = V$ e, portanto Q = 0 está no seu estado estável.
- Para $t_1^+ < t < t_2$: Imediatamente após o disparo, o estado $\overline{Q} = 0$. Uma corrente de carga i_C começa a circular através de R, dando início ao processo de carga do capacitor, e a tensão sobre x é dada por $V_x = V Ri_C(t)$. Durante o período de carga do capacitor t = RC e a tensão V_x está aparentemente em nível baixo.
- Para $t > t_2$: O capacitor está completamente carregado, a corrente $i_C = 0$, a tensão $V_x = V$ e Q volta ao seu estado estável Q = 0.

 A figura apresenta o símbolo lógico para o one-shot e o mesmo símbolo considerando R e C externos.

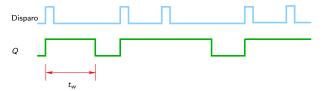


- Eles podem ser de dois tipos redisparáveis (retriggerable) e não-redisparáveis (nonretriggerable).
- One-shot redisparável Considera os disparos ocorridos durante o estado instável.
- One-shot não-redisparável Ignora os disparos ocorridos durante o estado instável.

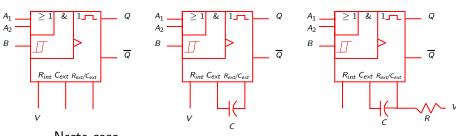
• Resposta do one-shot não-redisparável.



Resposta do one-shot redisparável.



One-shot não redisparável disponível no mercado (74121)

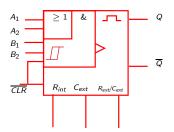


Neste caso

$$t_w = 0.7 \mathcal{R} C_{ext}$$

em que \mathcal{R} pode ser $R_{int}=20~\mathrm{k}\Omega$ ou R_{ext} dependendo da configuração escolhida. O valor de t_w pode variar de 30 ns a 28 s.

One-shot redisparável disponível no mercado (74LS122)



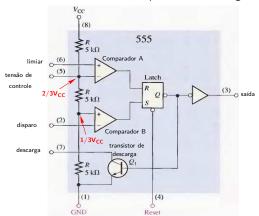
A largura de pulso mínima é de 45 ns. A fórmula geral de cálculo é

$$t_{w} = 0.32 \mathcal{R} C_{\text{ext}} \left(1 + \frac{0.7}{\mathcal{R}} \right)$$

em que \mathcal{R} é o valor da resistência interna $R_{int}=10~\mathrm{k}\Omega$ ou externa $R_{\mathrm{ext}}.$

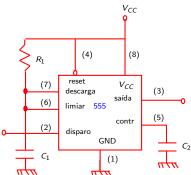
Temporizador 555

 O temporizador 555 é um CI muito versátil e pode ser configurado para atuar como multivibrador monoestável, ou astável. O seu diagrama funcional interno está apresentado a seguir.

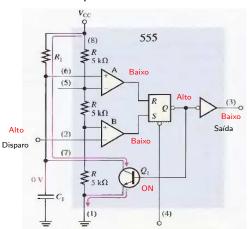


Operação do 555 como multivibrador monoestável

• Para que o temporizador opere como um multivibrador monoestável, ele deve ser conectado como apresentado a seguir. Neste caso, temos $t_w=1.1R_1\,C_1$ A tensão de controle não é usada e é conectada a um capacitor de $C_2=0.01\mu F$ para evitar que ruídos afetem o disparo e a entrada de limiar.

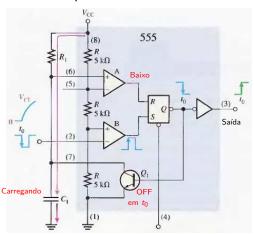


• Antes de ocorrer o disparo :



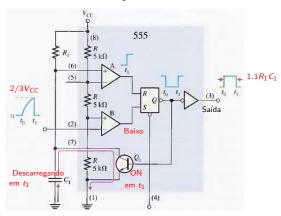
A entrada de disparo (2) encontra-se em nível alto. O estado \overline{Q} também em nível alto faz com que o transistor Q_1 opere como uma chave fechada mantendo C_1 descarregado. A saída Q está no seu estado estável Q=0.

• No momento do disparo :



O latch SR é "setado", o estado \overline{Q} vai para nível baixo e, consequentemente, o transistor Q_1 opera como uma chave aberta. O capacitor C_1 começa a carregar e a saída Q muda para nível alto.

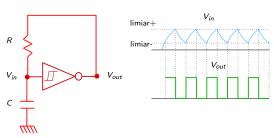
• No final do intervalo de carga :



Quando a tensão do capacitor atinge $1/3V_{CC}$, o latch R=0 e S=0 mantém o estado anterior $\overline{Q}=0$. Quando a tensão atinge $2/3V_{CC}$ em t_1 o latch é "resetado" e o transistor Q_1 passa a operar como chave fechada. O capacitor começa a descarregar. Note que $1.1R_1C_1$ é o tempo que Q está em nível alto.

Multivibrador astável

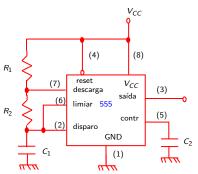
- São multivibradores que não possuem nenhum estado estável.
- Na verdade, a saída oscila entre dois estados instáveis sem a necessidade de disparos externos, por isso, são conhecidos como osciladores.
- São muito utilizados como sinais de clock em alguns tipos de circuitos sequenciais.



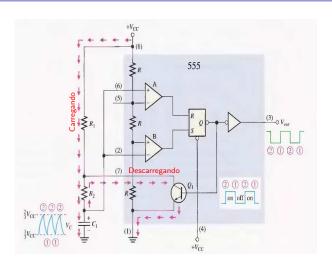
- Inicialmente, o capacitor se encontra descarregado e $V_{in} = 0$.
- Quando o circuito NOT com trigger é alimentado com uma potência adequada, a tensão V_{in} está em nível baixo e V_{out} em nível alto.
- Com V_{out} em nível alto, o capacitor começa a carregar até atingir o limiar+. Neste momento, V_{out} muda para nível baixo e inicia-se o processo de descarga do capacitor.
- Quando a tensão V_{in} atinge o limiar- a tensão V_{out} muda para nível alto e recomeça-se o ciclo.
- O ciclo de carga e descarga do capacitor resulta em uma onda quadrada na saída.

Operação do 555 como multivibrador astável

 Para que o temporizador opere como um multivibrador astável, ele deve ser conectado como apresentado a seguir. Os componentes R₁, R₂ e C₁ são utilizados para ajustar a frequência de oscilação.



Operação do 555 como multivibrador astável



Operação do 555 como multivibrador astável

A seguir apresentamos uma breve análise do circuito anterior.

- Quando a potência é fornecida ao circuito, a saída do comparador A está em nível baixo e a do comparador B em nível alto.
 Consequentemente Q está em nível baixo e o transistor Q₁, operando como chave aberta, faz iniciar o processo de carga do capacitor C₁.
- Quando a tensão sobre C_1 atinge $1/3V_{CC}$ a saída do comparador B muda para nível baixo e o latch S=0, R=0 mantém o estado anterior até que esta tensão atinja $2/3V_{CC}$. Neste instante, o comparador A "reseta" o latch e o estado \overline{Q} vai para nível alto. O transistor Q_1 se torna uma chave fechada e o capacitor C_1 começa a descarregar.
- Neste instante, a saída do comparador A vai para nível baixo e imediatamente após a tensão sobre C_1 atingir $1/3V_{CC}$ a saída do comparador B vai para nível alto, o estado \overline{Q} muda para nível baixo e Q_1 se torna uma chave aberta. O processo de carga recomeça.

No circuito anterior, a frequência de oscilação é dada por

$$f = \frac{1.44}{(R_1 + 2R_2)C_1}$$

- Como o capacitor carrega através de $R_1 + R_2$ e descarrega através de R_2 o ciclo de trabalho pode ser ajustado através da escolha de R_1 , R_2 e C_1 . Para que ele seja aproximadamente 50% pode-se escolher $R_2 \gg R_1$.
- Genericamente o duty cycle é calculado como
 - Tempo em que a saída é alta (tempo para carregar de $1/3V_{cc}$ a $2/3V_{cc}$)

$$t_H = 0.7(R_1 + R_2)C_1$$

• Tempo em que a saída é baixa (tempo para descarregar de $2/3V_{cc}$ a $1/3V_{cc}$)

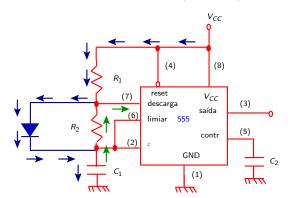
$$t_L = 0.7R_2C_1$$

Duty cycle

$$d_c = \frac{t_H}{T} = \frac{t_H}{t_H + t_L} = \left(\frac{R_1 + R_2}{R_1 + 2R_2}\right) 100\%$$

• Para obter valores do duty-cycle menores do que 50% podemos modificar o circuito de forma a fazer o capacitor carregar somente através de R_1 e descarregar somente através de R_2 . Neste caso, temos

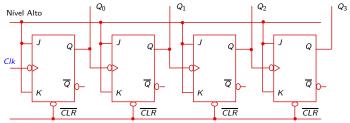
$$d_c = \frac{t_H}{T} = \frac{t_H}{t_H + t_L} = \left(\frac{R_1}{R_1 + R_2}\right) 100\%$$



- Os contadores são circuitos digitais que variam seus estados sob comando de um clock.
- O número de FFs usados e a maneira como eles são conectados determina o número de estados e sua sequência específica.
- Eles podem ser divididos em duas grandes categorias :
 - Contadores assíncronos: Os FFs que compõem o contador não alteram seus estados ao mesmo tempo pois não possuem um pulso de clock em comum.
 - Contadores síncronos: Os FFs que compõem o contador alteram seus estados ao mesmo tempo sob comando de um mesmo pulso de clock.

Contadores assíncronos

A seguir apresentamos um contador assíncrono de quatro bits.
 Note que o clock está ligado apenas ao primeiro FF.

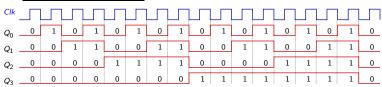


• Primeiramente, aplica-se um sinal de clear para que todos os estados iniciais sejam iguais a 0. Note que o primeiro FF alterna o seu estado a cada descida do clock, o segundo a cada descida de Q_0 , o terceiro FF a cada descida de Q_1 e o quarto a cada descida de Q_2 .

Descida				
Descida		Sa	ída	
do clock	Q_3	Q_2	Q_1	Q_0
início	0	0	0	0
1 ^a	0	0	0	1
2ª	0	0	1	0
3ª	0	0	1	1
4 ^a	0	1	0	0
5 ^a	0	1	0	1
6 ^a	0	1	1	0
7ª	0	1	1	1
8ª	1	0	0	0
9 ^a	1	0	0	1
10 ^a	1	0	1	0
11 ^a	1	0	1	1
12 ^a	1	1	0	0
13ª	1	1	0	1
14 ^a	1	1	1	0
15 ^a	1	1	1	1
16 ^a	0	0	0	0

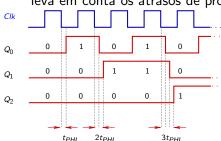
• A frequência de Q_0 é metade da frequência do clock, a de Q_1 é 1/4, a de Q_2 é 1/8 e a frequência de Q_3 é 1/16 da frequência do clock. Logo, uma das funções dos contadores é dividir a frequência de sinais aplicados à entrada de clock.

 Na 16^a descida do clock, o contador volta para seu estado inicial, ou seja, recicla.



Atraso de propagação

• Uma das desvantagens dos contadores assíncronos, também conhecidos como "ripple counters", é que os atrasos de propagação se acumulam a medida que o sinal passa através dos flip-flops, limitando a frequência do clock a um valor máximo. A seguir, apresentamos um diagrama de tempo que leva em conta os atrasos de propagação.

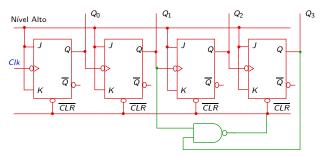


Note que se o atraso de propagação for igual a $t_{PHL}=40~\mathrm{ns}$ então a frequência máxima permitida para o contador é

$$f_{max} = \frac{1}{3 \times 40 \times 10^{-9}} = 8.33 \text{ MHz}$$

Contador de década

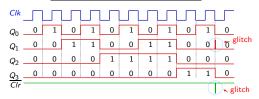
- O módulo de um contador é a quantidade de sequências envolvidas na contagem.
- O contador de década, conhecido como módulo 10 (MOD10), é o circuito que efetua a contagem de números binários de 0000 a 1001 gerando a sequência do código BCD.
- Para que a contagem ocorra até 1001 é necessário fornecer nível lógico baixo ao clear assim que surgir o número 1010.



Contador de década

• Seguem a tabela verdade e o diagrama de tempo

•							
Descida	Saída						
do clock	Q_3	Q_3 Q_2 Q_1					
início	0	0	0	0			
1 ^a	0	0	0	1			
2ª	0	0	1	0			
3ª	0	0	1	1			
4 ^a	0	1	0	0			
5ª	0	1	0	1			
6 ^a	0	1	1	0			
7 ^a	0	1	1	1			
8 ^a	1	0	0	0			
9 ^a	1	0	0	1			
10 ^a	1→0	0→0	1→0	0→0			



Contador de década

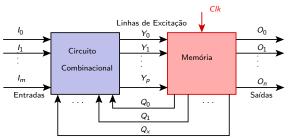
- No diagrama de tempo anterior é notável a presença de falhas "glitches" em Q_1 por exemplo. Estas falhas ocorrem pois o contador deve permanecer em 1010 por alguns nanosegundos até que o decodificador ative o clear em nível baixo.
- A mesma lógica pode ser utilizada para projetar contadores de qualquer módulo. Um contador módulo 6, por exemplo, conta de 000 a 101. Em 110 o contador deve resetar os três FFs usados na sua implementação colocando na entrada da NAND os estados Q₂ e Q₁ de maneira a reiniciar a contagem.

Contadores síncronos

- Nos contadores síncronos a entrada de clock é aplicada a todos os FFs simultaneamente fazendo todos atuarem de maneira sincronizada.
- Como o contador síncrono é um exemplo de circuito sequencial vamos apresentar técnicas que nos permitam projetar qualquer circuito desta classe.
- Em geral os circuitos sequenciais podem ser de dois tipos :
 - Circuitos de Moore : As saídas dependem somente do estado atual.
 - Circuitos de Mealy: As saídas dependem do estado atual e de entradas externas.
- A seguir são apresentadas os passos a serem seguidos no projeto, a saber, obtenção do diagrama de estados, tabela do próximo estado, tabela de transição do flip-flop e minimização utilizando, por exemplo, o mapa de Karnaugh.

Modelo geral de um circuito sequencial

 O circuito sequencial também conhecido como máquina de estado possui a seguinte estrutura.



Variáveis de Estado

- Dependendo das linhas de excitação (Y_0, Y_1, \dots, Y_p) a memória no estado atual (Q_0, Q_1, \dots, Q_x) passa para o próximo estado assim que o pulso de clock é disparado.
- O estado atual juntamente com as entradas (I_0, I_1, \dots, I_m) determinam as saídas do sistema (O_0, O_1, \dots, O_x) .

Diagrama de estado

 O diagrama de estado mostra a progressão dos estados a cada pulso do clock.

• Segue o exemplo de um contador em código Gray de 3 bits.

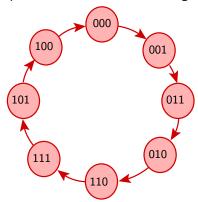


Tabela do próximo estado

 Segue a tabela do próximo estado para o diagrama apresentado anteriormente. O próximo estado é o estado para onde vai o contador após o pulso de clock.

Estado Atual			Próximo Estado			
Q_2	Q_1	Q_0	Q_2^*	Q_1^*	Q_0^*	
0	0	0	0	0	1	
0	0	1	0	1	1	
0	1	1	0	1	0	
0	1	0	1	1	0	
1	1	0	1	1	1	
1	1	1	1	0	1	
1	0	1	1	0	0	
1	0	0	0	0	0	

 Para cada estado Q_i referente ao i-ésimo flip-flop devemos saber como deve ocorrer a excitação das entradas J_i, K_i para que a transição desejada ocorra. Considerando a tabela do flip-flop J-K à esquerda obtemos a tabela de excitação à direita.

J	K	Q_{i+1}
0	0	Q_i
0	1	0
1	0	1
1	1	\overline{Q}_i



		Entradas		
Q_i	Q_{i+1}	J	K	
0	0	0	×	
0	1	1	×	
1	0	Х	1	
1	1	Х	0	

Projeto do contador

• Para o contador de código Gray de 3 bits, temos

pulso	Estados		Entradas						
do clock	Q_2	Q_1	Q_0	J_2	K_2	J_1	K_1	J_0	K_0
1°	0	0	0	0	Х	0	Х	1	Х
2°	0	0	1	0	Х	1	Х	X	0
3°	0	1	1	0	Х	X	0	X	1
40	0	1	0	1	X	X	0	0	Х
5°	1	1	0	X	0	X	0	1	Х
6°	1	1	1	X	0	X	1	X	0
7°	1	0	1	Х	0	0	Х	Х	1
8°	1	0	0	X	1	0	Х	0	X

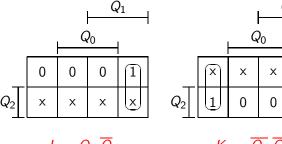
000**00000000000000000000**00000000

60 / 100

• Note que no primeiro pulso de clock a transição ocorre do estado (000) para o estado (001) através das entradas (0,x) do FF_2 , (0,x) do FF_1 e (1,x) do FF_0 . Este procedimento continua até que, no oitavo pulso, o estado (100) muda para (000) através das entradas (x,1), (0,x), (0,x) dos FF_3 2, 1, e 0, respectivamente.

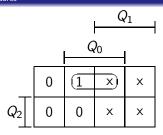
Projeto do contador

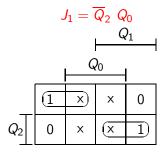
• Segue a minimização de cada entrada via mapa de Karnaugh



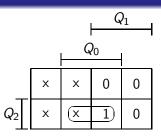
$$J_2 = Q_1 \ \overline{Q}_0$$
 $K_2 = \overline{Q}_1 \ \overline{Q}_0$

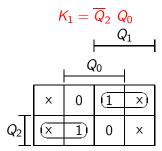
Χ





$$J_0 = \overline{Q_2 \oplus Q_1}$$

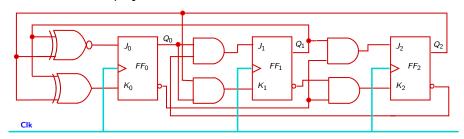




$$K_0 = Q_2 \oplus Q_1$$

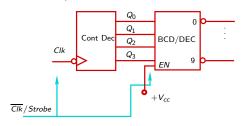
Projeto do contador

 A figura a seguir apresenta a implementação do contador síncrono projetado.



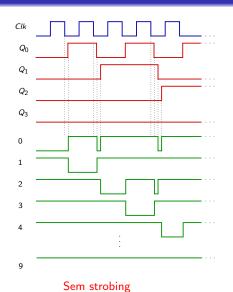
 Como vimos anteriormente, os contadores assíncronos estão sujeitos a picos de tensão indesejados (glitches) devido ao atraso de propagação. Nos contadores síncronos este fenômeno também pode ocorrer.

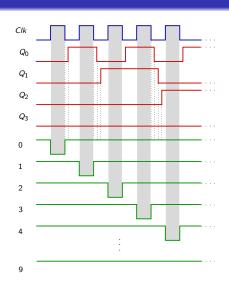
 A figura mostra um contador de década assíncrono conectado a um decodificador de BCD para decimal.



• A linha azul é uma conexão tipo *strobing* utilizada para evitar glitches. Note que com esta conexão o enable ficará ligado ao clock e não ao $+V_{CC}$. Desta maneira, quando o disparo ocorre na borda de descida, o decodificador liberará a saída apenas quando Clk = 1 e após eventuais atrasos de propagação, evitando glitches.

Eliminação do glitch





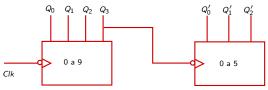
Profa. Grace S. Deaecto

Com strobing

Algumas aplicações

 A seguir apresentaremos a aplicação dos contadores para a implementação de relógios digitais.

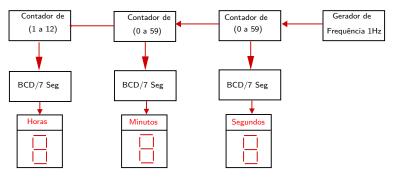
 O contador de 0 a 59 é muito utilizado em circuitos temporizadores para indicar minutos e segundos. Uma maneira de projetá-lo é utilizando dois contadores, um deles com a contagem de 0 a 9 e o outro de 0 a 5 como mostrado a seguir.



 A cada 10 pulsos de clock no primeiro contador temos uma descida de clock no segundo e, após o 60º pulso a contagem recomeça.

Relógio digital

 Vamos utilizar o circuito anterior para a contagem de segundos e minutos. Para a contagem de horas, projetamos um contador, geralmente síncrono, de 0 a 12. Segue o esquema de um relógio digital básico.

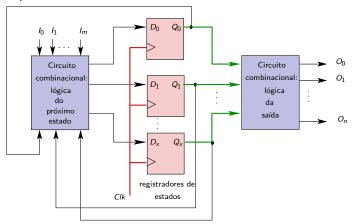


Máquina de estados finitos

- Como já mencionado, máquina de estados finitos é o nome dado ao modelo genérico de circuitos sequenciais, como os contadores síncronos que estudamos na seção anterior. Nesta seção, trataremos este tópico com maiores detalhes.
- O comportamento destas máquinas depende do estado atual e das entradas externas.
- O estado corresponde a um conjunto de variáveis binárias denominadas variáveis de estado.
- Estas variáveis ficam armazenadas no registrador de estados.
- As saídas dependem do estado atual e possivelmente das entradas externas.

Modelo de Moore

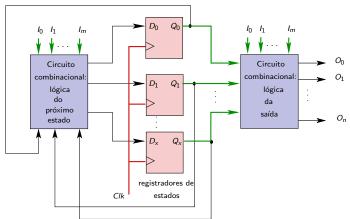
• Esquema do modelo de Moore.



Note que a saída depende somente do estado atual.

Modelo de Mealy

• Esquema do modelo de Mealy.



 Note que a saída depende do estado atual e das entradas externas.

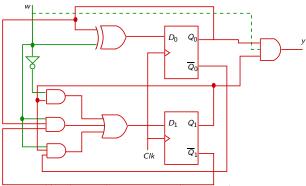
Análise de máquinas de estados

O procedimento para análise destes circuitos está apresentado a seguir :

- Determinar as equações de excitação.
- Determinar as equações de estados e as equações das saídas.
- Construir as tabela de próximo estado e a tabela de saída.
- Desenhar o diagrama de transição de estados.

Análise de máquinas de estados

• Considere a seguinte máquina de estados, primeiramente, desconsiderando a linha pontilhada.



• Como a saída depende somente dos estados atuais, a máquina em estudo é uma máquina de Moore.

Equações de excitação

$$D_0 = w \oplus Q_0$$

$$D_1 = \overline{w} \cdot Q_1 + w \cdot Q_0 \cdot \overline{Q}_1 + w \cdot \overline{Q}_0 \cdot Q_1$$

$$= \overline{w} \cdot Q_1 + w \cdot (Q_0 \oplus Q_1)$$

Equações de estado

$$Q_0^* = w \oplus Q_0$$

 $Q_1^* = \overline{w} \cdot Q_1 + w \cdot (Q_0 \oplus Q_1)$

• Equação de saída

$$y=Q_0$$
 . Q_1

• Utilizando as equações anteriores, obtemos :

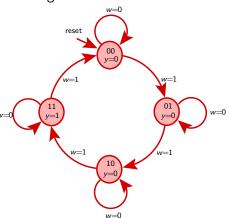
Tabela de transição

Estado atual		Próximo estado $w = 0 w = 1$			
Q_1	Q_0	Q_1^*	Q_0^*	Q_1^*	Q_0^*
0	0	0	0	0	1
0	1	0	1	1	0
1	0	1	0	1	1
1	1	1	1	0	0

Tabela de saída

Esta	Estado atual		
Q_1	Q_0	У	
0	0	0	
0	1	0	
1	0	0	
1	1	1	

Diagrama de estados



Este é um diagrama típico de máquina de Moore :

- As saídas são apresentadas juntamente com os estados e obedecem ao ciclo do clock, sofrendo alterações somente na borda de subida ou descida do clock.
- As entradas são apresentadas nos arcos de transição.
- De cada estado saem dois arcos, cada um representado os valores lógicos da entrada.
- Note a presença do estado inicial "reset".

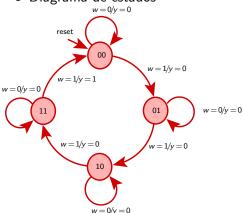
- Se considerarmos a linha pontilhada, a saída y passa a depender da entrada e, portanto, temos uma máquina de Mealy.
- A equação da saída torna-se

$$y=w$$
 . Q_0 . Q_1

e a sua tabela mostra a dependência das entradas

Estado atual		Saída		
ESLA	iuo atuai	w = 0	w = 1	
Q_1	Q_0	У	У	
0	0	0	0	
0	1	0	0	
1	0	0	0	
1	1	0	1	

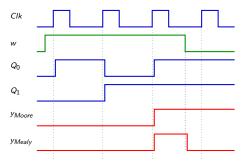
Diagrama de estados



Este é um diagrama típico de máquina de Mealy :

- Nos arcos de transição são apresentadas as entradas e as saídas w/v.
- As saídas podem ser assíncronas, ou seja, podem alterar seus estados durante um período do clock, dependendo das mudanças no estado da entrada.
- Note a presença do estado inicial "reset".

Diagrama temporal :



• Note que y_{Mealy} sofre alteração durante o período do clock.

78 / 100

Síntese de máquinas de estado

A síntese segue aproximadamente os mesmos procedimentos da análise, mas de forma inversa. O roteiro está apresentado a seguir :

- Determinar quantos estados são necessários e selecionar um deles para estado inicial.
- Realizar a codificação dos estados, obtendo as variáveis de estado.
- Definir o tipo de flip-flop a ser utilizado.
- Construir o diagrama de estados escolhendo um dos modelos (Moore ou Mealy) e determinando as condições para as transições entre estados.
- Construir a tabela do próximo estado, a tabela de excitações e a tabela das saídas.

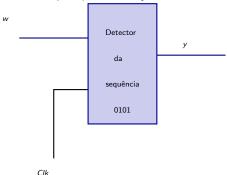
79 / 100

 Sintetizar os circuitos combinacionais: lógica do próximo estado e saída.

Síntese de máquinas de estado

Vamos explicar a síntese através de um exemplo :

 Deseja-se obter um circuito que identifique a ocorrência da sequência 0101 na sua única entrada w. Quando a sequência for detectada a saída y deve ser igual a 1. Considerar a possibilidade de sobreposição, ou seja, 01 0101.



- Neste projeto, A será o estado inicial e os estados B, C, D e/ou E representarão a detecção do 1°, 2°, 3° e/ou 4° bits da sequência.
- Como será observado, na máquina de Mealy, uma vez detectado o 3º bit, não é necessário aguardar o pulso de clock para a detecção do 4º, sendo necessário um estado a menos.
- Logo, utilizaremos 2 FFs para o projeto de 4 estados na máquina de Mealy e 3 FFs para realizar o mesmo projeto considerando a máquina de Moore.
- A codificação influencia diretamente na complexidade do circuito.
 Utilizaremos a codificação binária mais simples descrita a seguir :
 Máquina de Moore

 Máquina do Mooly

Estados	Q_2	Q_1	Q_0
Α	0	0	0
В	0	0	1
C	0	1	0
D	0	1	1
E	1	0	0

Máquina de Mealy

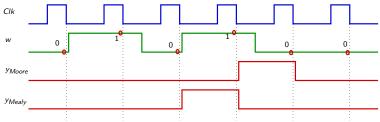
Estados	Q_1	Q_0
Α	0	0
В	0	1
C	1	0
D	1	1

81 / 100

 Exercício : Realizar o mesmo projeto utilizando a codificação em Gray.

Escolha do modelo

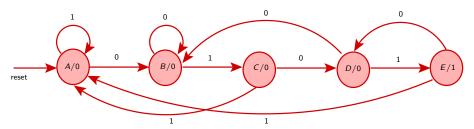
 A escolha do modelo deve ser realizada de acordo com a necessidade da aplicação. Note que as respostas de ambos são diferentes, como mostra o diagrama temporal a seguir.



• A sequência é detectada mais rapidamente na máquina de Mealy mas a duração de $y_{Mealy}=1$ depende da duração da entrada em nível alto no período em consideração. Na máquina de Moore a duração sempre obedece o período do clock.

Diagrama de estados

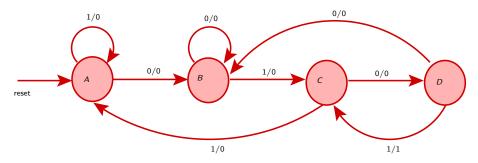
• Segue o diagrama de estados para a máquina de Moore.



 Para cada estado, as transições representam as condições possíveis da entrada w, e a saída está apresentada junto aos estados Estado/y.

Diagrama de estados

• Segue o diagrama de estados para a máquina de Mealy.



• Para cada estado, as transições representam as condições possíveis da entrada e a saída correspondente w/y.

Síntese utilizando o modelo de Mealy

A seguir realizaremos a síntese utilizando o modelo de Mealy.

Tabela de transição

Tabela do saída.

rabeia de transição						
Estado atual		Próximo estado				
LSta	Estado atuai		w = 0		= 1	
Q_1	Q_0	Q_1^*	Q_0^*	Q_1^*	Q_0^*	
0	0	0	1	0	0	
0	1	0	1	1	0	
1	0	1	1	0	0	
1	1	0	1	0	0	

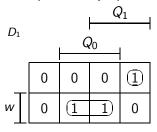
Tabela de saída							
Esta	do atual	Sa					
Listado atuai		w = 0	w = 1				
Q_1	Q_0	у	у				
0	0	0	0				
0	1	0	0				
1	0	0	0				
1	1	0	1				

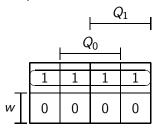
Tabela de Excitação

Ecto	Estado atual		Próximo estado			
ESta	Estado atual		w = 0		= 1	
Q_1	Q_0	D_1	D_0	D_1	D_0	
0	0	0	1	0	0	
0	1	0	1	1	0	
1	0	1	1	0	0	
1	1	0	1	0	0	

Síntese utilizando o modelo de Mealy

• Obtenção das equações de excitação





$$D_1 = w \cdot Q_0 + \overline{w} \cdot Q_1 \cdot \overline{Q}_0$$

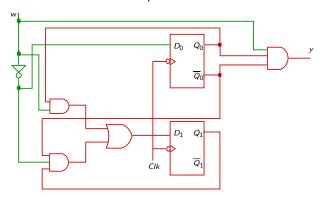
$$D_0 = \overline{w}$$

• Equação de saída

$$y = w \cdot Q_1 \cdot Q_0$$

Síntese utilizando o modelo de Mealy

• Circuito do detector de sequência



Síntese utilizando o modelo de Moore

A seguir realizaremos a síntese utilizando o modelo de Moore.
 Tabela de transição

Estado atual			Próximo estado					
LSU	auo a	tuai		w = 0)	w = 1		
Q_2	Q_1	Q_0	Q_2^*	Q_1^*	Q_0^*	Q_2^*	Q_1^*	Q_0^*
0	0	0	0	0	1	0	0	0
0	0	1	0	0	1	0	1	0
0	1	0	0	1	1	0	0	0
0	1	1	0	0	1	1	0	0
1	0	0	0	1	1	0	0	0

Tabela de saída						
Est	ado a	tual	Saída			
Q_2	Q_1	Q_0	у			
0	0	0	0			
0	0	1	0			
0	1	0	0			
0	1	1	0			
1	0	0	1			

88 / 100

Tabela de Excitação

Estado atual			$ Pr \acute{o} x im c \\ w = 0 $			estado $w=1$		
Q_2	Q_1	Q_0	D_2	D_1	D_0	D_2	D_1	D_0
0	0	0	0	0	1	0	0	0
0	0	1	0	0	1	0	1	0
0	1	0	0	1	1	0	0	0
0	1	1	0	0	1	1	0	0
1	0	0	0	1	1	0	0	0

Síntese utilizando o modelo de Moore

- Utilizando "dont'care states" e o mapa de Karnaugh para a obter as equações de excitação e a equação de saída, temos :
- Equações de excitação

$$D_2 = w \cdot Q_1 \cdot Q_0$$

$$D_1 = \overline{w} \cdot Q_2 + \overline{w} \cdot Q_1 \cdot \overline{Q}_0 + w \cdot \overline{Q}_1 \cdot Q_0$$

$$D_0 = \overline{w}$$

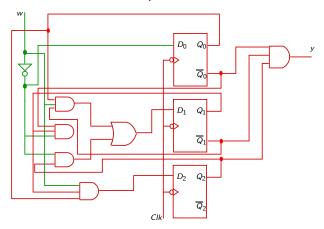
Equação de saída

$$y = Q_2 \cdot \overline{Q}_1 \cdot \overline{Q}_0$$

89 / 100

Síntese utilizando o modelo de Moore

• Circuito do detector de sequência



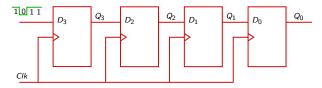
90 / 100

Registradores de deslocamento

- Os registradores de deslocamento (shift registers) são utilizados para o armazenamento e transferência de dados.
- Nesta seção, os seguintes tipos de registradores :
 - entrada serial / saída serial
 - entrada serial / saída paralela
 - entrada paralela / saída serial
 - entrada paralela / saída paralela
- O flip-flop do tipo D é o mais utilizado nesta operação, uma vez que transfere para a saída o dado disponível na entrada no momento em que ocorre o pulso de clock e o armazena até a ocorrência do próximo pulso.
- A capacidade de armazenamento de um registrador é definida pelo números de bits que ele pode armazenar, ou em outras palavras, o número de flip-flops D que ele possui.

Entrada serial / saída serial

 A informação de n bits é inserida sequencialmente bit a bit iniciando-se pelo LSB e, da mesma maneira, é liberada sequencialmente em uma única linha de transmissão após 2n pulsos de clock. Segue um exemplo de registrador de 4 bits.

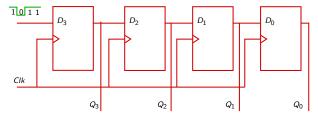


pulso	Estados			
do clock	Q_3	Q_2	Q_1	Q_0
início	0	0	0	0
1º ↑	1	0	0	0
2º ↑	1	1	0	0
3° ↑	0	1	1	0
4° ↑	1	0	1	1
5° ↑	0	1	0	1
6° ↑	0	0	1	0
7° ↑	0	0	0	1
8° ↑	0	0	0	0

- Após o 4º pulso toda informação está armazenada nos 4 FFs e iniciase o processo de liberação da saída.
- Após o 8º pulso toda informação foi liberada

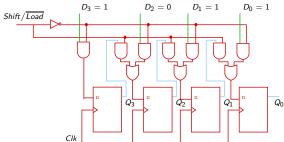
Entrada serial / saída paralela

 Neste caso, a informação de n bits é inserida sequencialmente iniciando-se pelo LSB e a saída é obtida em paralelo considerando n linhas de transmissão após n pulsos de clock.
 Segue um exemplo de registrador de 4 bits.



Entrada paralela / saída serial

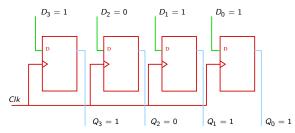
- As entradas são introduzidas simultaneamente por n linhas de transmissão e a saída é disponibilizada sequencialmente após n pulsos de clock.
- Note no exemplo a seguir que quando $Shift/\overline{Load}=0$ após um pulso de clock o dado é carregado no registrador. Quando $Shift/\overline{Load}=1$ após 4 pulsos de clock o dado foi completamente transferido para a saída.



94 / 100

Entrada paralela / saída paralela

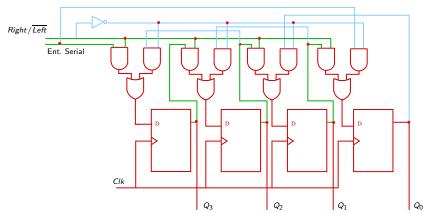
• As entradas são aplicadas simultaneamente por *n* linhas de transmissão e as saídas são imediatamente disponibilizadas.



Profa. Grace S. Deaecto ES572 DMC / FEM - Unicamp 95 / 100

Registradores de deslocamento bidirecionais

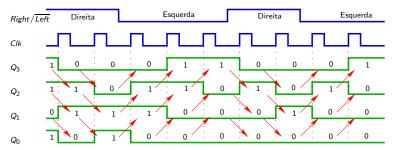
 Nestes registradores os dados podem er deslocados para direita ou para a esquerda.



96 / 100

Registradores de deslocamento bidirecionais

• Para ilustrar o funcionamento do registrador apresentado anteriormente, considere que $Q_3=1,\ Q_2=1,\ Q_1=0,\ Q_0=1$ e que a entrada serial está sempre em nível baixo. Logo, dada a entrada de controle $Right/\overline{Left}$ e após cada pulso de clock, temos :

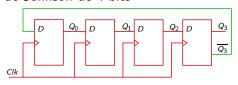


Contadores de deslocamento

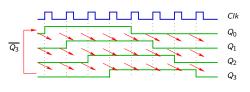
- Um contador de deslocamento é um registrador de entrada serial / saída serial em que a saída é ligada diretamente na entrada gerando uma sequência.
- Ele é classificado como contador pois exibe uma sequência específica dos estados. Os dois tipos mais comuns são o contador de Johnson e o contador de anel.
- No contador de Johnson o complemento da saída do último FF-D é conectada à entrada do primeiro FF-D gerando uma sequência fechada.

Contador de Johnson

Contador de Johnson de 4 bits



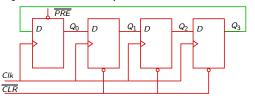
pulso	Estados			
do clock	Q_0	Q_1	Q_2	Q_3
início	0	0	0	0
1° ↑	1	0	0	0
2° ↑	1	1	0	0
3° ↑	1	1	1	0
4° ↑	1	1	1	1
5° ↑	0	1	1	1
6° ↑	0	0	1	1
7° ↑	0	0	0	1



• Em geral o módulo do contador é 2n onde n é o número de estados. No caso em questão n=4 e seu módulo é $2\times 4=8$

Contador de anel

• No contador de anel, define-se uma sequência inicial utilizando-se as entradas de \overline{PRE} e \overline{CLR} e realimenta-se a saída do último FF ao primeiro. No exemplo, a seguir consideramos um contador de 4 bits com condição inicial é $Q_0Q_1Q_2Q_3=1000$. Note que seu módulo é n=4.



pulso	Estados			
do clock	Q_0	Q_1	Q_2	Q_3
início	1	0	0	0
1° ↑	0	1	0	0
2° ↑	0	0	1	0
3° ↑	0	0	0	1

