

Disciplina de Circuitos Lógicos

5ª Lista de Exercícios

Curso de Engenharia Elétrica

UEMG Ituiutaba

<https://bit.ly/2LqA1l8>

<https://github.com/mauro-hemerly/UEMG-2018-2>

Circuitos Lógicos Sequenciais: latch RS, Flip-Flop RS, Flip-Flop JK, Flip-Flop D, Flip-Flop T

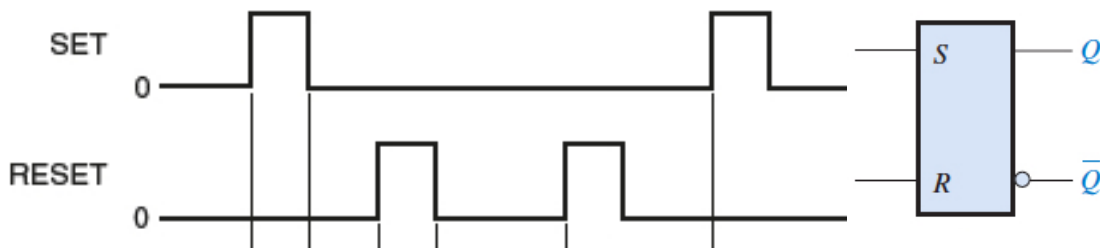
1. Se um **latch RS** tem um **nível 1** na entrada **S** e um **nível 0** na entrada **R** e em seguida a entrada **S** passa para o **nível 0**, o latch estará no estado

(a) set (b) reset (c) inválido (proibido) (d) clear

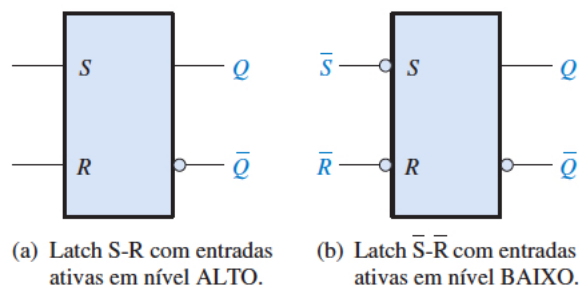
2. O estado proibido de um **latch RS** ocorre quando

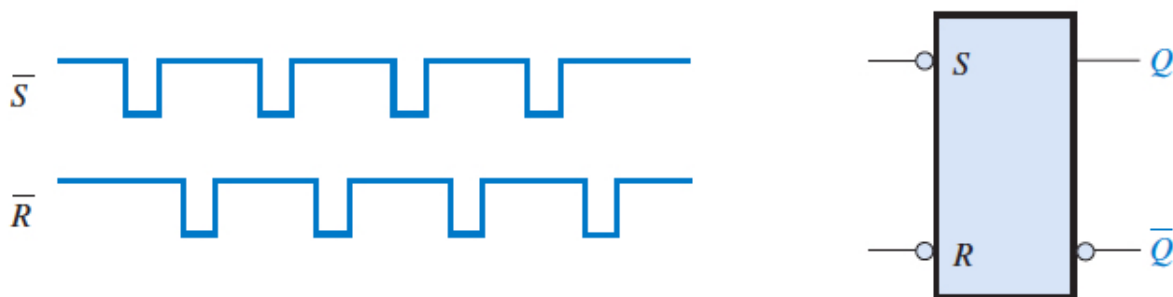
(a) $S = 1, R = 0$ (b) $S = 0, R = 1$ (c) $S = 1, R = 1$ (d) $S = 0, R = 0$

3. Considere inicialmente $Q = 0$ e determine a forma de onda da saída Q , para um **latch RS** que tem as entradas mostradas na figura abaixo.

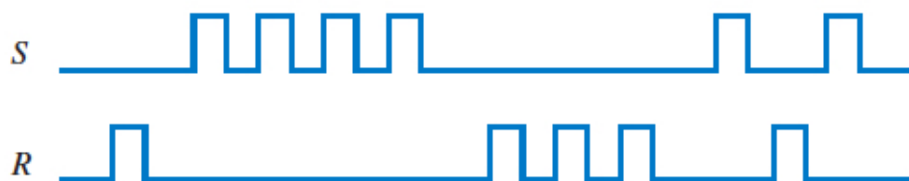


4. Se as formas de onda vistas na figura da página seguinte são aplicadas no **latch** com entradas ativas em nível **BAIXO**, desenhe a forma de onda da saída Q resultante em relação às entradas. Considere a saída Q iniciando em nível **BAIXO**. Os símbolos lógicos para os latches com entradas ativas em nível ALTO e entradas ativas em nível BAIXO são mostrados na figura abaixo.





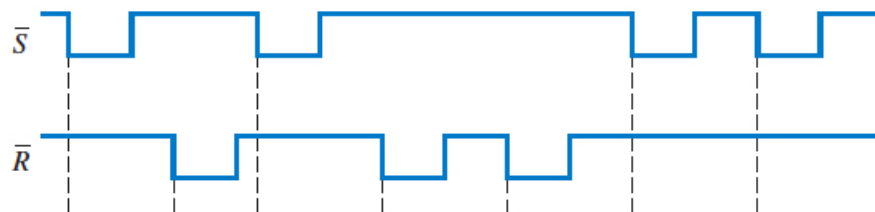
5. Resolva o **Exercício 4** para as formas de onda dadas na figura abaixo aplicadas num **latch RS** com entradas ativas em nível ALTO.



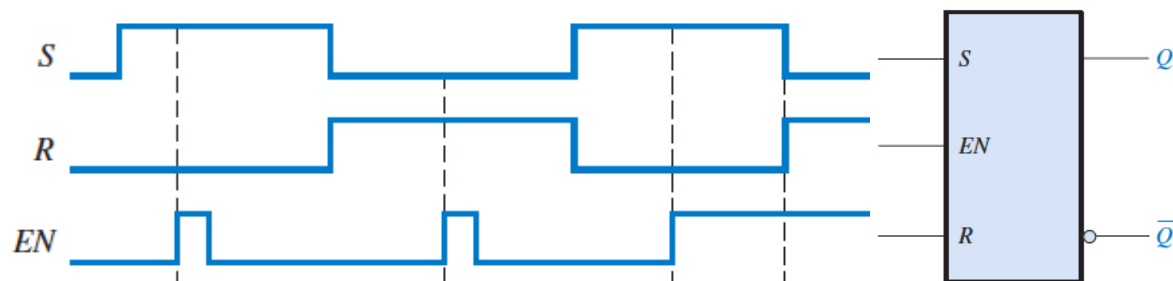
6. Resolva o **Exercício 4** para as formas de onda de entrada dadas na figura abaixo.



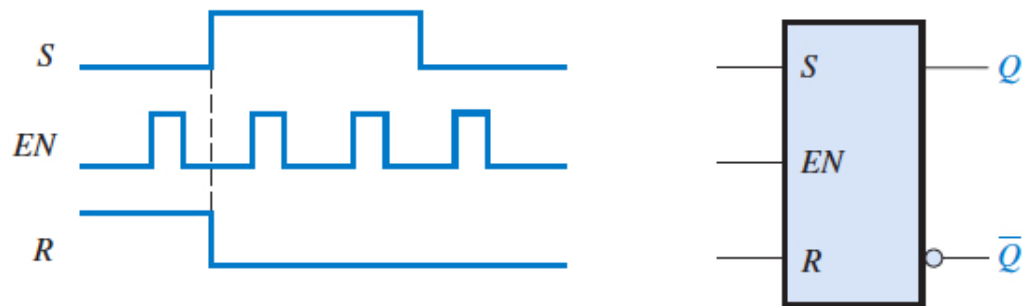
7. Se as formas de onda **R** e **S** mostradas na abaixo são aplicadas nas entradas de um **latch RS**, determine a forma de onda observada na saída **Q** e **Q'**. Considere que **Q** está inicialmente em nível **BAIXO**.



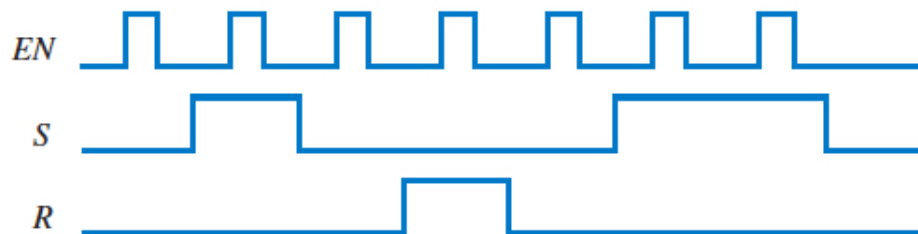
8. Determine a forma de onda da saída **Q** se as entradas mostradas na figura abaixo) forem aplicadas no **latch RS** controlado que está inicialmente resetado.



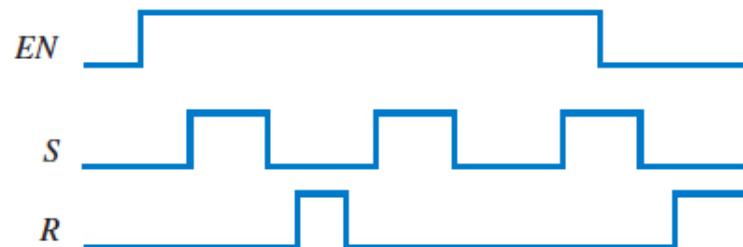
9. Para um **latch RS** controlado, determine as saídas **Q** e **Q'** e para as entradas dadas na figura abaixo. Mostre-as em relação à entrada de habilitação. Considere a saída **Q** iniciando em nível **BAIXO**.



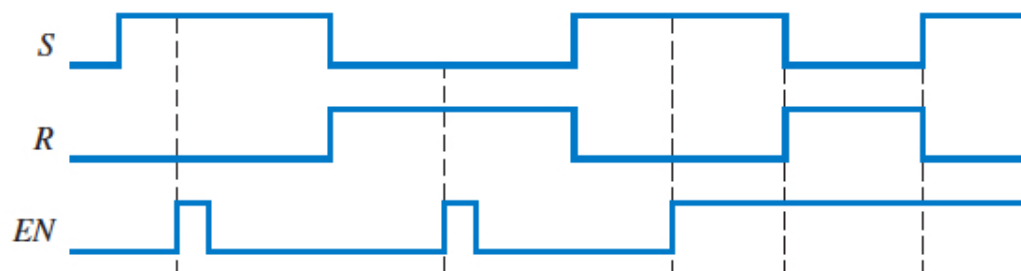
10. Resolva o **Exercício 9** para as entradas dadas na figura abaixo.



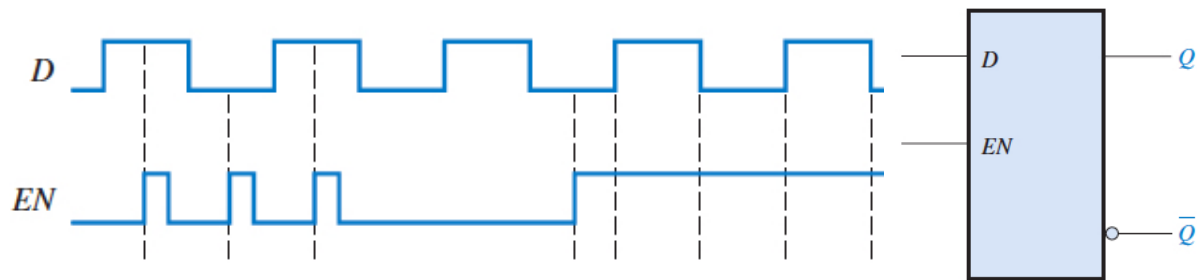
11. Resolva o **Exercício 9** para as entradas dadas na figura abaixo.



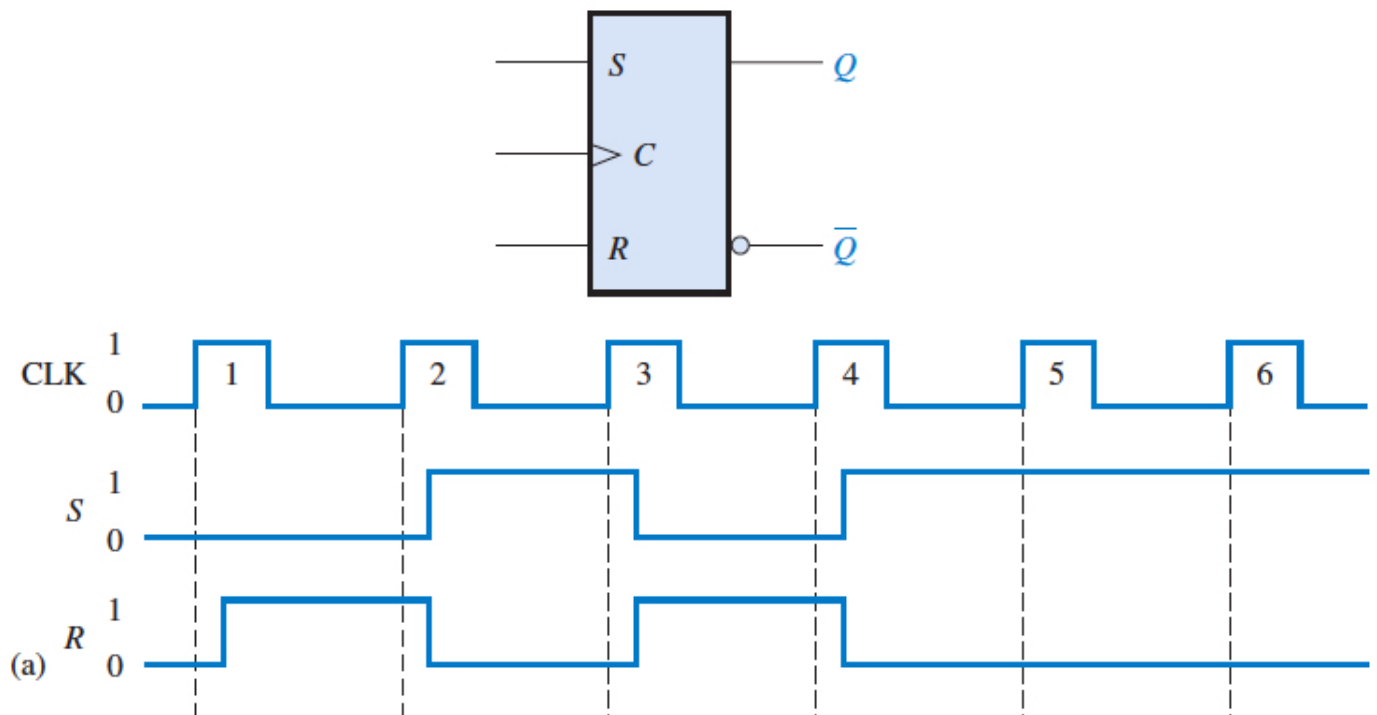
12. Determine a forma de onda da saída **Q** se as entradas mostradas na figura abaixo forem aplicadas no **latch RS** controlado que está inicialmente **resetado**.



13. Determine a forma de onda da saída **Q** se as entradas mostradas na figura abaixo são aplicadas num **latch D** controlado, o qual inicialmente está **resetado**.

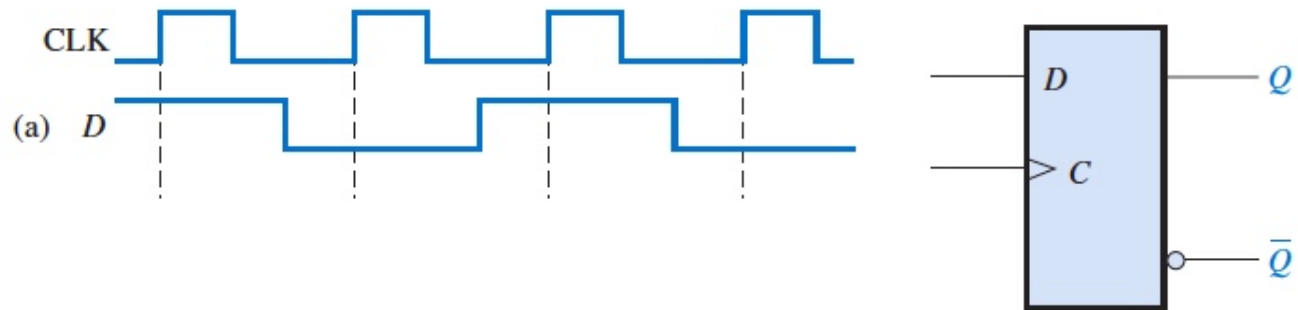


14. Com relação à entrada CLK de um **flip-flop**, o termo **disparada por borda** significa que
- essa entrada não é ativada por nenhuma parte do sinal de pulso.
 - essa entrada é ativada pela transição do sinal de clock.
 - o flip-flop está trabalhando no seu modo assíncrono.
 - essa entrada é ativada geralmente por um sinal senoidal.
 - a saída do flip-flop pode mudar de estado a qualquer momento em que uma ou mais entradas mudarem de estado.
15. Determine as formas de onda das saídas **Q** do **flip-flop** mostrado na figura abaixo para as entradas **S**, **R** e **CLK** mostradas na figura seguinte.. Considere que o flip-flop disparado por **borda positiva** esteja inicialmente **resetado**.



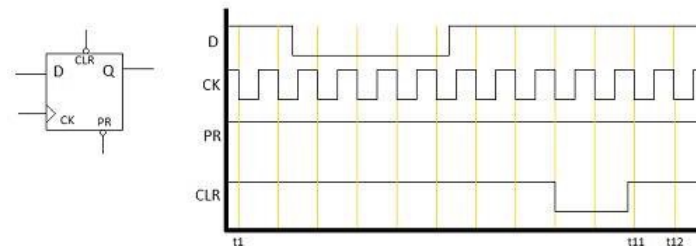
16. Determine **Q** e **Q'** para as entradas **S** e **R** dadas de acordo com a figura do **Exercício 15** se o flipflop for um dispositivo disparado por **borda negativa**.

17. Dadas as formas de onda na figura abaixo para a entrada **D** e o **clock**, determine a forma de onda na saída **Q** se o flip-flop começar **resetado**.



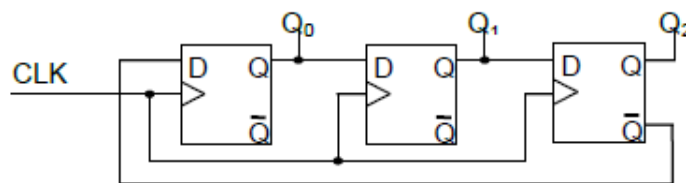
18. Determine a saída **Q** para o **flip-flop D** se a entrada **D** mostrada na figura do **Exercício 17** for **invertida**.

19. Considere o **flip-flop** e o diagrama de tempos apresentado abaixo:



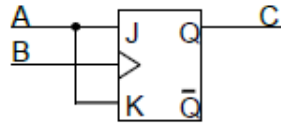
De acordo com o funcionamento do flip-flop em questão, todas as alternativas estão corretas, **EXCETO** uma, assinale-a.

- (a) A entrada Clear força a saída Q para nível baixo.
 - (b) O flip-flop tipo D armazena o estado da entrada D na saída Q até que o sinal de clock seja acionado.
 - (c) A entrada Preset força a saída Q para nível alto
 - (d) A saída Q será invertida da saída atual sempre que o sinal de clock for acionado.
 - (e) A saída Q em t12 estará em nível alto
20. No circuito abaixo, todos os **flip-flops** estão, inicialmente, com suas saídas em nível lógico baixo, e a entrada **CLK** está ligada a um sinal digital periódico. Com relação a este circuito, todas as alternativas estão corretas, **EXCETO**:



- (a) Uma transição de descida do sinal da entrada CLK não modifica o estado das saídas Q0, Q1 e Q2.
- (b) Os sinais das três saídas têm o mesmo período.
- (c) A saída Q1 muda o seu estado de baixo para alto imediatamente após a segunda transição de subida do sinal de entrada CLK, contando a partir do instante inicial.
- (d) A frequência do sinal da saída Q2 é igual à frequência do sinal da entrada CLK dividida por oito.

21. Com relação à funcionalidade do circuito com um flip-flop tipo JK abaixo, podemos afirmar que:



- A saída C será igual à entrada A, desde que a entrada B esteja em nível lógico alto. Caso contrário, a saída permanece inalterada.
- A saída C tem o seu valor invertido a cada transição de subida da entrada B, desde que a entrada A esteja em nível lógico alto. Caso contrário, a saída permanece inalterada.
- A saída C tem o seu valor invertido a cada transição de subida da entrada B, independentemente do nível lógico na entrada A.
- Após a transição de subida da entrada B, a saída C passa a ter o nível lógico presente na entrada A no instante da transição.

22. Os **flip-flops** são circuitos biestáveis muito versáteis na eletrônica digital por oferecerem várias topologias, cada qual com sua particularidade. De acordo com suas características, analise as afirmativas.

- Flip-flop JK**: sua saída é chaveada quando as entradas $J = K = 1$.
- Flip-flop D**: utiliza um **flip-flop tipo JK**, porém, com as entradas conectadas juntas, resultando numa única entrada, denominada entrada **D**.
- Flip-flop T**: utiliza um **flip-flop tipo JK** com as entradas **J** e **K** conectadas a um inversor, de forma que quando $J = 1$, $K = 0$ e vice-versa, resultando numa única entrada, denominada de entrada **T**.
- Flip-flop RS**: este tipo é o mais simples, base para outros tipos como o **JK**.

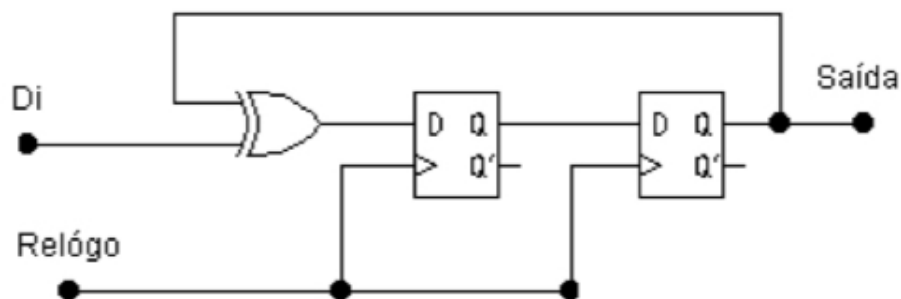
Estão corretas somente as afirmativas

- I e II.
 - I e IV.
 - II e III.
 - II e IV.
23. É possível identificar o funcionamento de um flip-flop através de sua tabela-verdade. Acerca desse assunto, é correto afirmar que a tabela-verdade a seguir representa um flip-flop tipo

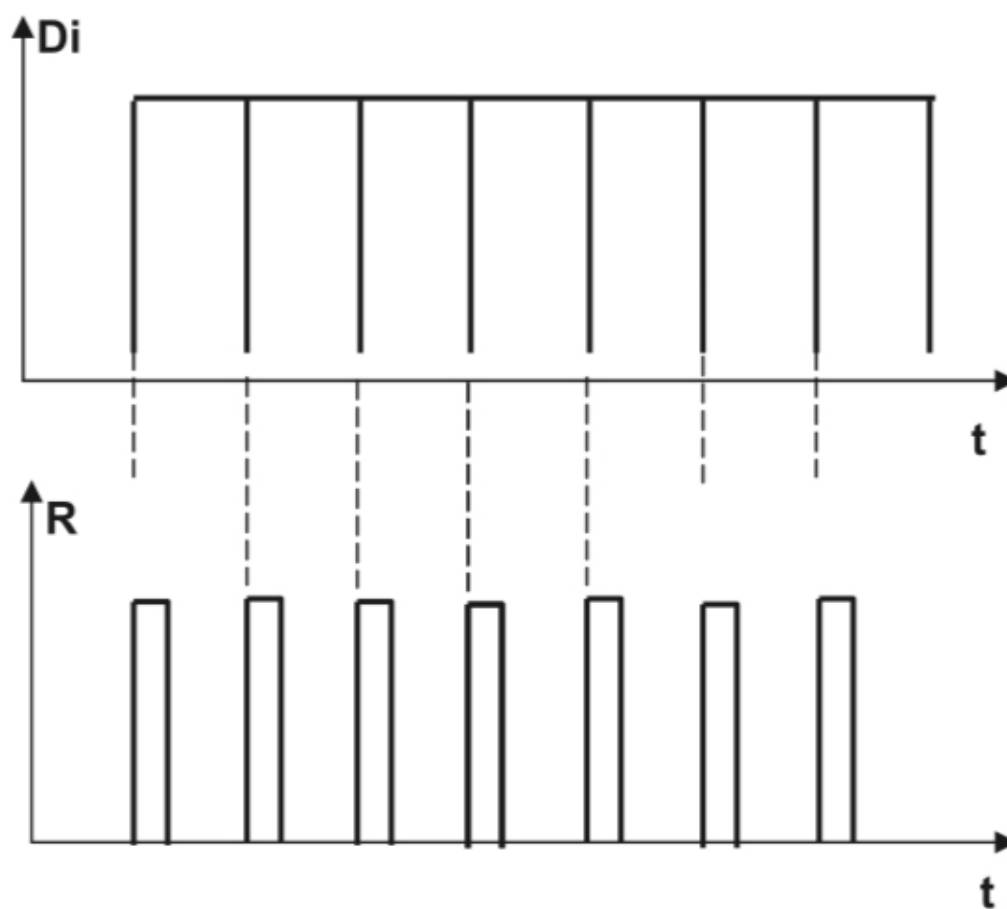
CK	Entrada (In)	Saída Q
1 -> 0	0	0
1 -> 0	1	1

- RS ativo em borda de descida.
- T ativo em borda de subida.
- D ativo em borda de descida.
- D ativo em borda de subida.
- T ativo em borda de descida.

24. O circuito desta questão é um embaralhador (scrambler) usado em transmissão de dados. Os **flip-flops** são do tipo **D**. Pela entrada **Di** são recebidos dados serialmente. Inicialmente as saídas **Q** estão em (0) lógico e são comandados pela transição negativa dos pulsos de clock (relógio). As alimentações dos **Flip-flops** não são mostradas.



Os gráficos abaixo representam os dados **Di** e o relógio (**R**), em função do tempo (**t**).



Em correspondência e após as transições negativas do relógio, a Saída será uma sequência:

- (a) 1 0 0 1 0 0 1;
- (b) 0 1 1 0 0 1 1;
- (c) 0 0 1 0 0 1 1;
- (d) 1 0 1 0 1 1 0;
- (e) 0 0 0 1 1 1 0.