

**UEMG - CIRCUITOS LÓGICOS**  
**Lista de Exercícios**  
**Entrega Manuscrita: no dia da avaliação parcial 1**

Resolver os seguintes exercícios (veja na próxima página: 3-1, 3-2, 3-3, 3-6, 3-11, 3-12, 3-16, 3-17, 3-19, 3-24, 3-26, 3-32, 3-38)

porta NOR  
 porta NAND  
 teoremas booleanos  
 teoremas de DeMorgan  
 símbolos lógicos alternativos  
 níveis lógicos ativos  
 ativa(o)-ALTO  
 ativa(o)-BAIXO  
 acionado  
 não-acionado  
 símbolos IEEE/ANSI

## PROBLEMAS

As letras em negrito que precedem alguns problemas são usadas para indicar a natureza ou tipo de problema como segue:

**C** (do inglês, *challenging*) problema desafiador

**T** (do inglês, *troubleshooting*) problema de depuração

**D** (do inglês, *design*) problema de projeto ou modificação de circuito

**N** (do inglês, *new concept*) novo conceito ou técnica não abordada no texto

### SEÇÃO 3-3

- 3-1. Desenhe a forma de onda de saída para o circuito da Fig. 3-45.
- 3-2. Suponha que a entrada *A* na Fig. 3-45 seja involuntariamente colocada em curto com a terra (isto é,  $A = 0$ ). Desenhe a forma de onda resultante na saída.
- 3-3. Suponha que a entrada *A* na Fig. 3-45 seja involuntariamente colocada em curto com a fonte de +5 V (isto é,  $A = 1$ ). Desenhe a forma de onda resultante na saída.
- 3-4. Leia as afirmações a seguir relativas a uma porta OR. Inicialmente elas podem parecer válidas, mas após alguma análise você deve perceber que nenhuma é *sempre* verdadeira. Prove isto mostrando um exemplo específico para refutar cada afirmação.

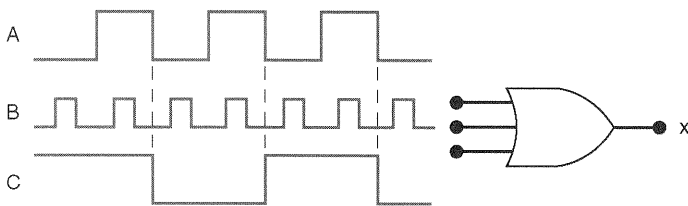


Fig. 3-45

- (a) Se a forma de onda de saída de uma porta OR é a mesma forma de onda de uma das entradas, a outra entrada está sendo mantida permanentemente em BAIXO.
  - (b) Se a forma de onda de saída de uma porta OR está sempre em ALTO, uma das entradas está sendo permanentemente mantida em ALTO.
- 3-5. Quantos conjuntos diferentes de condições de entrada produzem uma saída em ALTO para uma porta OR de cinco entradas?

### SEÇÃO 3-4

- 3-6. Troque a porta OR na Fig. 3-45 por uma porta AND.
- (a) Desenhe a forma de onda de saída.

- (b) Desenhe a forma de onda de saída se a entrada *A* está permanentemente colocada em curto com a terra.
- (c) Desenhe a forma de onda de saída se a entrada *A* está permanentemente colocada em curto com +5 V.

**D**

- 3-7. Consulte a Fig. 3-4. Modifique o circuito de modo que o alarme seja ativado somente quando a pressão e a temperatura excederem os seus limites máximos ao mesmo tempo.
- 3-8. Troque a porta OR na Fig. 3-6 para uma porta AND e desenhe a forma de onda de saída.
- 3-9. Suponha que você tenha uma porta desconhecida de duas entradas que é ou uma porta OR ou uma porta AND. Que combinação de níveis de entrada você deve aplicar nas entradas da porta para determinar qual é o tipo da porta?
- 3-10. *Verdadeiro ou falso:* Não importa quantas entradas tenha, uma porta AND produz uma saída em ALTO para somente uma combinação dos níveis de entrada.

### SEÇÕES 3-5 A 3-7

- 3-11. Acrescente um INVERSOR na saída da porta OR da Fig. 3-45. Desenhe a forma de onda na saída do INVERSOR.
- 3-12. (a) Escreva a expressão booleana para a saída *x* na Fig. 3-46(a). Determine o valor de *x* para todas as condições de entrada possíveis e relacione os valores em uma tabela-verdade.
- (b) Repita para o circuito na Fig. 3-46(b).
- 3-13. Monte a tabela-verdade completa para o circuito da Fig. 3-15(b) determinando os níveis lógicos presentes em cada saída de porta para cada uma das 32 combinações possíveis de entrada.
- 3-14. Troque cada OR por um AND e cada AND por um OR na Fig. 3-15(b). Escreva a expressão para a saída.
- 3-15. Monte a tabela-verdade completa para o circuito da Fig. 3-16 determinando os níveis lógicos presentes em cada saída de porta para cada uma das 16 combinações possíveis de níveis de entrada.

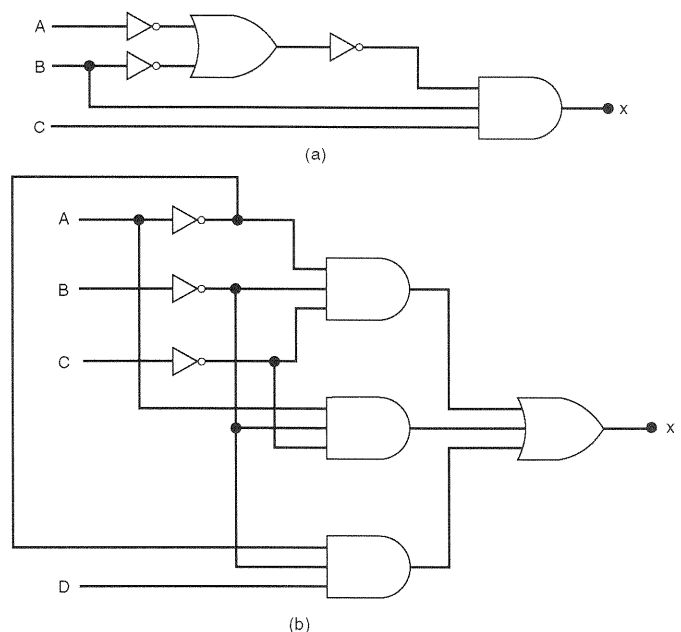


Fig. 3-46

### SEÇÃO 3-8

**3-16.** Para cada uma das seguintes expressões, construa o circuito lógico correspondente, usando portas AND, OR e INVERSORES.

- (a)  $x = \overline{AB(C + D)}$
- (b)  $z = \overline{(A + B + \overline{CDE})} + \overline{BCD}$
- (c)  $y = \overline{(M + N + \overline{PQ})}$
- (d)  $x = \overline{W + \overline{PQ}}$
- (e)  $z = MN(P + \overline{N})$

### SEÇÃO 3-9

- 3-17. (a)** Aplique as formas de onda de entrada da Fig. 3-47 numa porta NOR e desenhe a forma de onda de saída.  
**(b)** Repita com  $C$  mantido permanentemente em BAIXO.  
**(c)** Repita com  $C$  mantido ALTO.

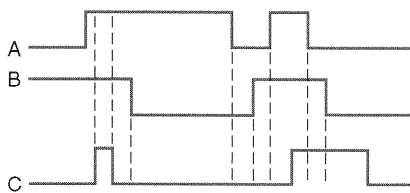


Fig. 3-47

**3-18.** Repita o Problema 3-17 para uma porta NAND.

**3-19.** Escreva a expressão de saída para o circuito da Fig. 3-48. Monte uma tabela-verdade completa.

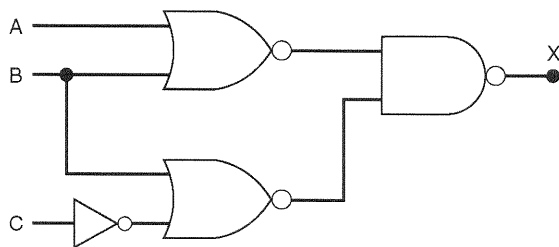


Fig. 3-48

**3-20.** Determine a tabela-verdade para o circuito da Fig. 3-24.

**3-21.** Modifique os circuitos que foram construídos no Problema 3-16 de modo que portas NAND e portas NOR sejam usadas sempre que for apropriado.

### SEÇÃO 3-10

**3-22. QUESTÃO DE FIXAÇÃO**  
Complete cada expressão.

- (a)  $A + 1 = \text{-----}$
- (b)  $A \cdot A = \text{-----}$
- (c)  $B \cdot \overline{B} = \text{-----}$
- (d)  $C + C = \text{-----}$
- (e)  $x \cdot 0 = \text{-----}$

- (f)  $D \cdot 1 = \text{-----}$
- (g)  $D + 0 = \text{-----}$
- (h)  $C + \overline{C} = \text{-----}$
- (i)  $G + GF = \text{-----}$
- (j)  $y + \overline{w}y = \text{-----}$

**3-23. (a)** Prove o teorema (15) experimentando todos os casos possíveis.

**(b)** Prove-o usando o teorema (14) para substituir  $x$ .

**C**

**3-24. (a)** Simplifique a expressão seguinte usando os teoremas (13b), (3) e (4):

$$x = (M + N)(\overline{M} + P)(\overline{N} + \overline{P})$$

**(b)** Simplifique a expressão seguinte usando os teoremas (13a), (8) e (6):

$$z = \overline{ABC} + \overline{AB}\overline{C} + \overline{BCD}$$

### SEÇÕES 3-11 E 3-12

**3-25.** Prove os teoremas de DeMorgan experimentando todos os casos possíveis.

**3-26.** Simplifique cada uma das expressões seguintes utilizando os teoremas de DeMorgan.

- (a)  $\overline{\overline{ABC}}$
- (b)  $\overline{A + \overline{BC}}$
- (c)  $\overline{\overline{ABCD}}$
- (d)  $\overline{\overline{A(B + \overline{C})D}}$
- (e)  $\overline{(M + \overline{N})(\overline{M} + N)}$
- (f)  $\overline{\overline{ABCD}}$

**3-27.** Use os teoremas de DeMorgan para simplificar a expressão para a saída da Fig. 3-48.

**C**

**3-28.** Converta o circuito da Fig. 3-46(b) para outro que use apenas portas NAND. Depois escreva a expressão de saída para o novo circuito, simplifique-a usando os teoremas de DeMorgan e compare-a com a expressão para o circuito original.

**3-29.** Converta o circuito da Fig. 3-46(a) para outro que use apenas portas NOR. Depois escreva a expressão para o novo circuito, simplifique-a usando os teoremas de DeMorgan e compare-a com a expressão para o circuito original.

**3-30.** Mostre como uma porta NAND de duas entradas pode ser construída com portas NOR de duas entradas.

**3-31.** Mostre como uma porta NOR de duas entradas pode ser construída com portas NAND de duas entradas.

**3-32.** Um avião a jato emprega um sistema para monitoração dos valores de rpm, pressão e temperatura dos motores utilizando sensores que operam como segue:

- saída do sensor  $RPM = 0$  somente quando a velocidade  $< 4800$  rpm
- saída do sensor  $P = 0$  somente quando a pressão  $< 1,5 \times 10^6$  N/m<sup>2</sup>
- saída do sensor  $T = 0$  somente quando a temperatura  $< 95^\circ\text{C}$

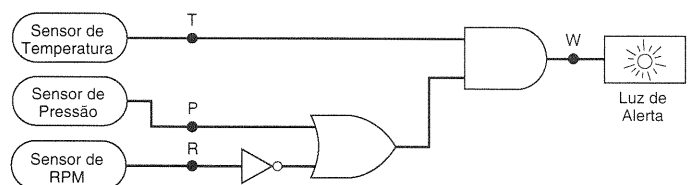


Fig. 3-49

A Fig. 3-49 mostra o circuito lógico que controla a luz de alerta da cabine do piloto para certas combinações das condições do motor. Suponha que um nível ALTO na saída  $W$  ative a luz de alerta.

- Determine que condições do motor darão um alerta para o piloto.
- Altere o circuito para um outro que use apenas portas NAND.

### SEÇÕES 3-13 E 3-14

- Desenhe as representações padronizadas para cada porta lógica básica. Depois desenhe as representações alternativas.
- Para cada sentença a seguir, desenhe a representação de porta lógica apropriada e indique o tipo de porta.
  - Uma saída em ALTO ocorre apenas quando todas as três entradas estão em BAIXO.
  - Uma saída em BAIXO ocorre quando qualquer uma das quatro entradas está em BAIXO.
  - Uma saída em BAIXO ocorre apenas quando todas as oito entradas estão em ALTO.
- O circuito da Fig. 3-48 é uma simples tranca de combinação digital cuja saída gera um sinal ativo-BAIXO  $\overline{UNLOCK}$  para apenas uma combinação das entradas.
  - Modifique o diagrama do circuito de modo que ele represente mais efetivamente a operação do circuito.
  - Use o novo diagrama do circuito para determinar a combinação de entrada que ativa a saída. Faça isto analisando desde a saída usando as informações dadas pelos símbolos das portas como foi feito nos Exemplos 3-22 e 3-23. Compare os resultados com a tabela-verdade obtida no Problema 3-19.
- Determine as condições de entrada necessárias para ativar a saída  $Z$  na Fig. 3-37(b). Faça isto analisando desde a saída como foi feito nos Exemplos 3-22 e 3-23.
  - Admita que é o estado BAIXO de  $Z$  que ativa o alarme. Altere o diagrama do circuito para refletir isto, e depois use o diagrama revisado para determinar as condições de entrada necessárias para ativar o alarme.

### D

- Modifique o circuito da Fig. 3-40 de modo que  $A_1 = 0$  seja necessário para produzir  $DRIVE = 1$  em vez de  $A_1 = 1$ .
- Determine as condições de entrada necessárias para que a saída na Fig. 3-50 vá para o seu estado ativo.

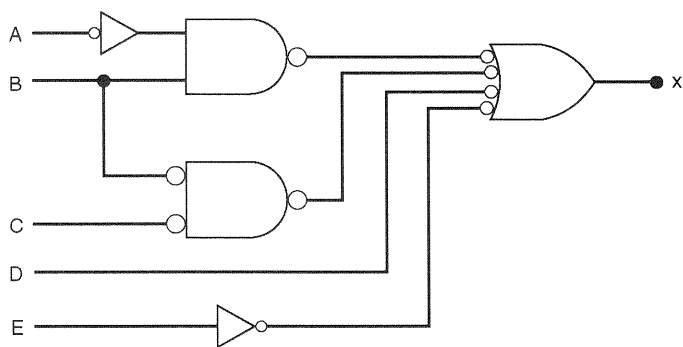


Fig. 3-50

- Use os resultados do Problema 3-38 para obter a tabela-verdade completa para o circuito da Fig. 3-50.
- Qual é o estado ativo para a saída da Fig. 3-50? E para a saída da Fig. 3-36(c)?
- A Fig. 3-51 mostra uma aplicação de portas lógicas que simula os interruptores que usamos em nossas casas para acender e apagar uma luz de dois lugares diferentes. Aqui a luz é um LED que será LIGADO (conduzindo) quando a saída

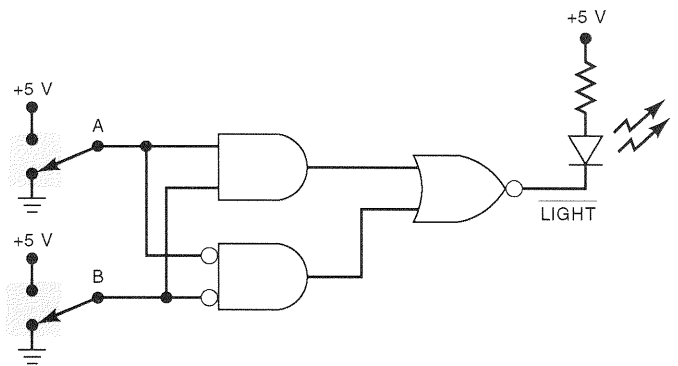


Fig. 3-51

da porta NOR estiver em BAIXO. Note que esta saída é denominada  $\overline{LIGHT}$  para indicar que é ativa-BAIXO. Determine as condições de entrada necessárias para ligar o LED. Depois verifique que o circuito opera como os interruptores descritos usando as chaves  $A$  e  $B$ . No Cap. 4 você aprenderá como projetar circuitos como este para produzir uma determinada relação entre entradas e saídas.

### SEÇÃO 3-15

- Desenhe os circuitos da (a) Fig. 3-50 e (b) Fig. 3-51 usando os símbolos IEEE/ANSI.
- Determine a expressão booleana para a saída  $Z$  na Fig. 3-52.

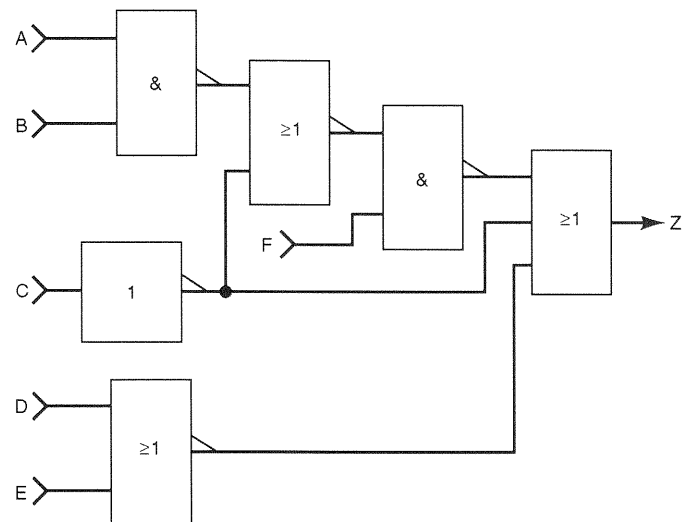


Fig. 3-52

### C

- Supõe-se que a saída do circuito da Fig. 3-52 é ativa-BAIXO. Desenhe-o para representar mais efetivamente a operação do circuito.

### C

- Use a versão redesenhada do circuito da Fig. 3-52 e faça o seguinte:

- Determine as várias condições de entrada que produzam um estado de saída ativo-BAIXO. Faça isto usando apenas o diagrama do circuito sem escrever a expressão para  $Z$  e sem gerar uma tabela-verdade completa. Os resultados deveriam ser:

A	B	C	D	E	F
1	1	1	1	1	1
1	1	1	1	0	1
1	1	1	0	1	1

- (b) Verifique que a expressão simplificada para a saída Z é dada por

$$Z = \overline{ABCF(D + E)}$$

- (c) Teste cada conjunto de condições de (a) na expressão obtida em (b) e verifique que cada uma produz  $Z = 0$ .

### APLICAÇÃO EM MICROCOMPUTADOR

C

- 3-46. Consulte a Fig. 3-40 no Exemplo 3-23. As entradas  $A_7$  até  $A_0$  são entradas de *endereço* que são fornecidas para esse circuito por saídas do chip do microprocessador dentro do microcomputador. O código de endereço de oito bits de  $A_7$  até  $A_0$  seleciona qual dispositivo o microprocessador deseja ativar. No Exemplo 3-23, o código de endereço necessário para ativar a unidade de disco é  $A_7$  até  $A_0 = 11111110_2 = \text{FE}_{16}$ .

Modifique o circuito de modo que o microprocessador deva fornecer um código de endereço de  $4A_{16}$  para ativar a unidade de disco.

### EXERCÍCIOS DESAFIADORES

C

- 3-47. Mostre como  $x = ABC\bar{C}$  pode ser implementado com uma porta NOR de duas entradas e uma porta NAND de duas entradas.

C

- 3-48. Implemente  $y = ABCD$  usando portas NAND de duas entradas.

## RESPOSTAS PARA AS QUESTÕES DE REVISÃO DAS SEÇÕES

### SEÇÃO 3-2

1.  $x = 1$       2.  $x = 0$       3. 32

### SEÇÃO 3-3

1. Todas as entradas em BAIXO      2.  $x = A + B + C + D + E + F$   
3. Constante ALTO

### SEÇÃO 3-4

1. Todas as cinco entradas = 1.      2. Uma entrada em BAIXO manterá a saída em BAIXO.  
3. Falso; veja a tabela-verdade de cada porta.

### SEÇÃO 3-5

1. A saída do segundo INVERSOR será a mesma que a entrada A.  
2.  $y$  será BAIXO somente para  $A = B = 1$ .

### SEÇÃO 3-6

1.  $x = \bar{A} + B + C + \bar{AD}$

### SEÇÃO 3-7

1.  $x = 1$       2.  $x = 1$

### SEÇÃO 3-8

1. Veja a Fig. 3-15(a). 2. Veja a Fig. 3-17(b).  
3. Veja a Fig. 3-15(b).

### SEÇÃO 3-9

1. Todas as entradas em BAIXO      2.  $x = 0$   
3.  $x = \bar{A} + B + \bar{CD}$

### SEÇÃO 3-10

1.  $y = A\bar{C}$   
2.  $y = \bar{A}\bar{B}\bar{D}$

### SEÇÃO 3-11

1.  $z = \bar{A}\bar{B} + C$       2.  $y = (\bar{R} + S + \bar{T})Q$       3. O mesmo que a Fig. 3-28 exceto que o NAND é trocado por NOR. 4.  $y = A\bar{B}(C + \bar{D})$

### SEÇÃO 3-12

1. Três 2. O circuito NOR é mais eficiente porque pode ser implementado com um CI 74LS02. 3.  $x = (\bar{AB})(\bar{CD}) = (\bar{AB}) + (\bar{CD}) = AB + CD$

### SEÇÃO 3-13

1. Saída fica BAIXO quando qualquer entrada está em ALTO.  
2. Saída fica ALTO somente quando todas as entradas estão em BAIXO.  
3. Saída fica BAIXO quando qualquer entrada está em BAIXO.  
4. Saída fica ALTO somente quando todas as entradas estão em ALTO.

### SEÇÃO 3-14

1. Z fica ALTO quando  $A = B = 0$  e  $C = D = 1$ . 2. Z fica BAIXO quando  $A = B = 0$ ,  $E = 1$ , e ou C ou D ou ambos são 0.  
3. Duas      4. Duas      5. BAIXO      6.  $A = B = 0$ ,  $C = D = 1$  7.  $\bar{W}$

### SEÇÃO 3-15

1. Os símbolos IEEE/ANSI com sua notação de dependência especificam a operação completa do dispositivo lógico. 2. Veja a Fig. 3-41. 3. Veja a Fig. 3-44.