

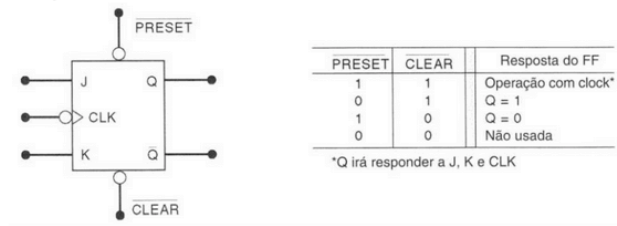
Flip-flop é um circuito digital pulsado (uso de clock) utilizado como uma memória de um bit. Com relação ao assunto, identifique como verdadeiras (V) ou falsas (F) as seguintes afirmativas:

( ) A tabela verdade de um flip-flop J-K com clock é a seguinte:

J	K	CLK	Q
0	0	↑	$Q_0$ (não muda)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q_0}$ (comuta)

( ) O flip-flop disparado por transição faz uso de um detector de transição para garantir que a saída vai responder à entrada somente quando uma transição de disparo do sinal de clock ocorrer. Caso esse detector não seja utilizado, o circuito resultante vai operar como um latch do tipo C.

( ) A tabela verdade de um flip-flop assíncrono JCLK é a apresentada abaixo:

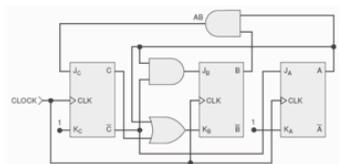


( ) Os atrasos de propagação ocorrem sempre que um sinal causa a mudança de estado da saída de um flip-flop.

Assinale a alternativa que apresenta a sequência correta, de cima para baixo

- ☐ A) V – V – F – V. ✖
- ☐ B) V – F – V – F. ✖
- ☐ C) F – V – V – F. ✖
- ☐ D) V – F – F – V. ✖
- ☐ E) F – F – V – V. ✖

Sobre o contador síncrono de flip-flops tipo JK representado na figura abaixo, considerando que o mesmo inicia-se com as saídas em 0, assinale a alternativa que contém os estados de contagem C B A do respectivo contador.



- ☐ A) 2, 3, 4 e 8 ✖
- ☐ B) 4, 7, 5 e 8 ✖
- ☐ C) 0, 1, 2, 3 e 4 ✖
- ☐ D) 0, 1, 3, 7 e 6 ✖
- ☐ E) 0, 1, 3, 5, e 7 ✖

Considere as afirmações abaixo em relação a circuitos lógicos sequenciais.

I - O próximo estado de circuitos sequenciais depende não somente do estado atual, podendo depender também das entradas.

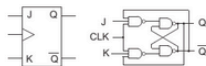
II - Um flip-flop tipo D, sensível à borda positiva, copia sua entrada para a saída na borda de subida do relógio.

III- Um flip-flop tipo D, sensível à borda positiva, troca seu estado quando o relógio faz uma transição do estado 1 para o estado 0.

Quais estão corretas?

- ☐ A) Apenas I. ✖
- ☐ B) Apenas III. ✖
- ☐ C) Apenas I e II. ✖
- ☐ D) Apenas II e III. ✖
- ☐ E) I, II e III. ✖

O flip-flop é um circuito digital pulsado capaz de servir como memória de um bit. Sua utilização principal é na construção de unidades de armazenamento de dados em dispositivos eletrônicos. A Figura a seguir apresenta um flip-flop tipo J-K e sua estrutura lógica. Ele possui dois sinais de entrada J e K, além de uma entrada pulsante, o clock (CLK).



Sobre o flip-flop tipo J-K, considere as afirmativas a seguir:

- I - Quando houver variação do clock, o valor guardado no flip-flop será mantido se J e K forem ambos iguais a 0.
- II - Quando houver variação no clock, se os valores de J e K forem diferentes, a saída será 0 se K = 1.
- III - Quando houver variação no clock, se os valores de J e K forem diferentes, o valor guardado no flip-flop será mantido se J = 0.

É(São) correta(s) **APENAS** a(s) afirmativa(s):

- ☐ **A)** I ✕
- ☐ **B)** II ✕
- ☐ **C)** III ✕
- ☐ **D)** I e II ✕
- ☐ **E)** II e III ✕

Assinale a opção que descreve, corretamente, a operação de um flip-flop D disparado na borda negativa.

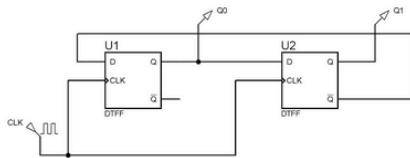
- ☐ **A)** A saída Q é sempre idêntica à entrada D quando ocorre uma transição positiva do CLK. ✕
- ☐ **B)** A entrada D é sempre idêntica à saída  $\bar{Q}$ . ✕
- ☐ **C)** A entrada D é sempre transferida para a saída Q na transição negativa do CLK. ✕
- ☐ **D)** A saída Q é sempre idêntica à entrada CLK se a entrada D estiver em nível alto. ✕
- ☐ **E)** A saída Q estará sempre em nível alto. ✕

Com relação à entrada CLK de um flip-flop, o termo "disparado por borda" significa que

- ☐ **A)** essa entrada não é ativada por nenhuma parte do sinal de pulso. ✕
- ☐ **B)** essa entrada é ativada pela transição do sinal de clock. ✕
- ☐ **C)** o flip-flop está trabalhando no seu modo assíncrono. ✕
- ☐ **D)** essa entrada é ativada geralmente por um sinal senoidal. ✕
- ☐ **E)** a saída do flip-flop pode mudar de estado a qualquer momento em que uma ou mais entradas mudarem de estado. ✕

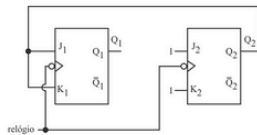
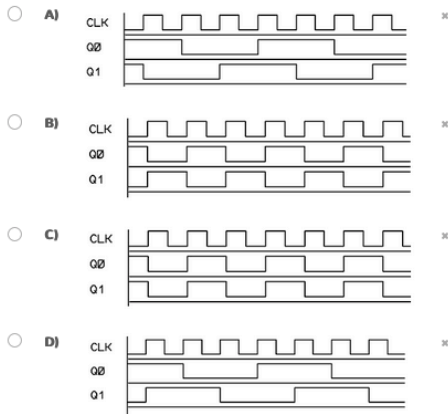
> Exibir texto associado

Análise a figura abaixo, que representa um circuito sequencial.



Fonte: FUNCERN, 2017.

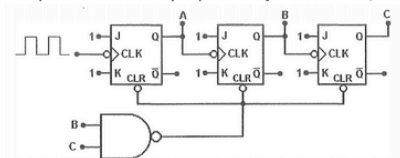
Assinale a opção em que estão representadas, corretamente, as formas de onda das saídas Q0 e Q1.



A imagem acima apresenta um circuito sequencial síncrono em que as entradas J2 e K2 do segundo *flip-flop* estão sempre em nível lógico 1, e as entradas J1 e K1 do primeiro *flip-flop* estão ambas conectadas à saída Q2 do segundo *flip-flop*. Caso o estado inicial das saídas Q1 e Q2 seja Q1Q2=00, a sequência correta, Q1Q2, a ser gerada pelo circuito será

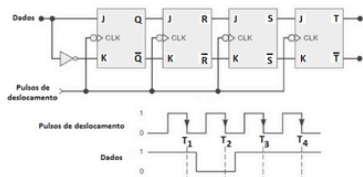
- ☐ A) 00, 11, 01, 10. ✖
- ☐ B) 00, 10, 01, 11. ✖
- ☐ C) 00, 11, 00, 11. ✖
- ☐ D) 00, 01, 10, 11. ✖
- ☐ E) 00, 10, 11, 01. ✖

Admitindo-se que as entradas dos flip-flops J-K estejam em nível alto, e Q representa a saída, assinale a opção que apresenta o tipo de contador da figura.



- ☐ A) Síncrono decrescente de módulo de 8. ✖
- ☐ B) Síncrono decrescente de módulo de 6. ✖
- ☐ C) Assíncrono crescente de módulo de 6. ✖
- ☐ D) Assíncrono decrescente de módulo de 6. ✖
- ☐ E) Assíncrono decrescente de módulo de 8. ✖

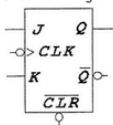
A figura a seguir mostra uma transferência serial de dados por meio de um registrador de deslocamento.



Assinale a opção que indica o diagrama de tempo para a saída S.

- ☐ A)
- ☐ B)
- ☐ C)
- ☐ D)
- ☐ E)

Observe o diagrama esquemático do Flip-Flop do tipo JK apresentado pela figura abaixo.

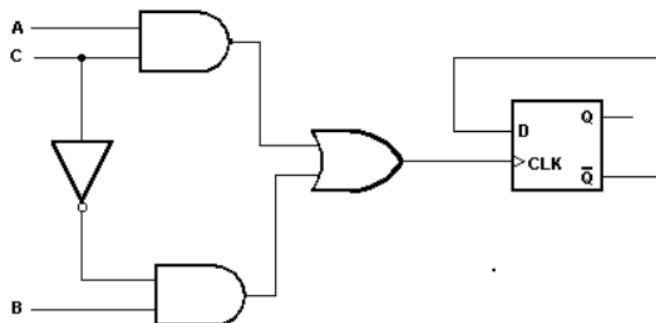


Com base na análise do componente apresentado, qual o procedimento que deve ser realizado para transformar um Flip-Flop JK em um Flip-Flop tipo D?

- ☐ A) Curto circuitar os pinos J e K. ✖
- ☐ B) Colocar a entrada J em nível lógico zero. ✖
- ☐ C) Colocar a entrada K em nível lógico zero. ✖
- ☐ D) Conectar entre J e K uma função lógica NOT. ✖

061

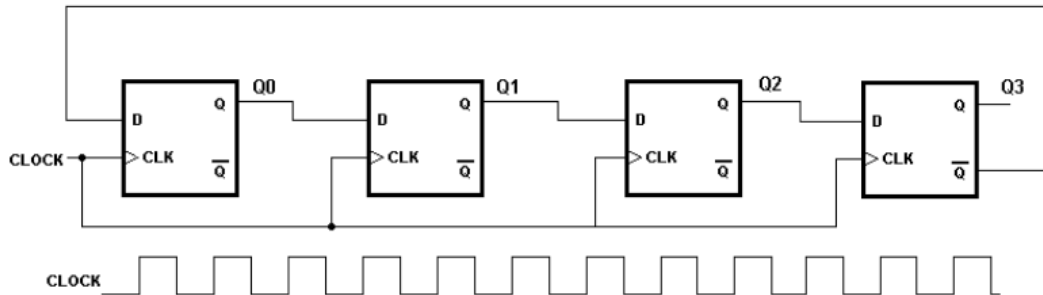
No circuito a seguir, os sinais A e B são ondas quadradas com frequências iguais a 50 kHz e 10 kHz, respectivamente, e o sinal C determina a frequência na saída do *flip-flop*.



Nesse circuito, os valores para a frequência, em kHz, na saída Q, serão, para C = 0 e C = 1, respectivamente:

- a) 5 e 25  
b) 10 e 10  
c) 25 e 50  
d) 20 e 100

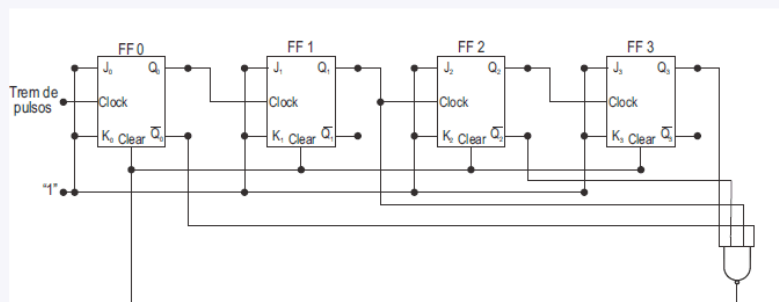
Quatro *flip-flops* do tipo D estão interligados conforme o diagrama apresentado abaixo. Considere a frequência do sinal de CLOCK de 40 kHz e o estado inicial dos *flip-flops*, sendo  $Q_0=Q_1=Q_2=Q_3=0$ .



As frequências dos sinais  $Q_0$ ,  $Q_1$ ,  $Q_2$  e  $Q_3$  são, em kHz, respectivamente, iguais a:

- a) 10, 10, 10 e 10
- b) 20, 20, 20 e 20
- c) 8, 8, 8 e 8
- d) 5, 5, 5 e 5

Concurso: Petrobras Transporte S.A (TRANSPETRO) 2012  
Cargo: Engenheiro Júnior - Área Automação  
Banca: Fundação CESGRANRIO (CESGRANRIO)  
Nível: Superior

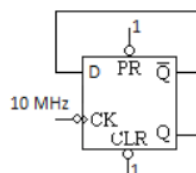


O circuito eletrônico digital acima representa um contador binário e é construído usando-se 4 J-K flip-flops (FF 0, 1, 2 e 3), tipo T (entradas J e K ligadas a 1 lógico). Quando a entrada clear recebe um pulso 0, leva a 0 todas as saídas Q dos flip-flops do circuito. Um trem de pulsos, representado no circuito, excita a entrada Clock do primeiro flip-flop, e, a cada descida do pulso de Clock, o flip-flop muda de estado.

Com base no circuito e nas considerações acima, identifica-se que o circuito representa um contador módulo

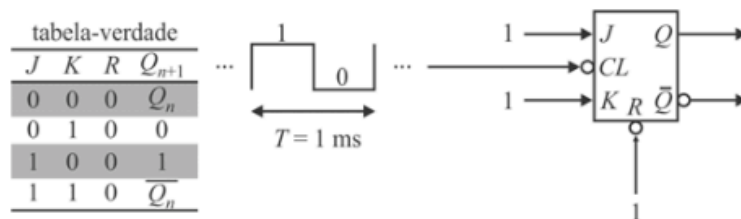
- A. 16
- B. 10**
- C. 8
- D. 6
- E. 4

22. Com base no funcionamento do circuito da figura abaixo, assinale a alternativa **correta**.

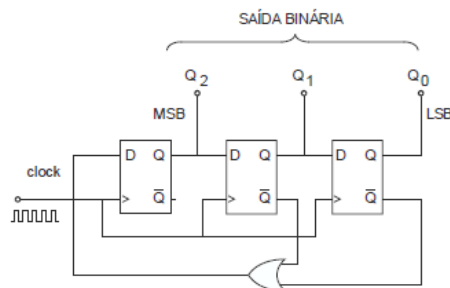


- a)  $Q = 5$  MHz.
- b)  $Q = 10$  MHz.
- c)  $Q = 20$  MHz.
- d)  $Q = 0$ .
- e)  $Q = 1$ .

- 81 A figura abaixo ilustra um *flip-flop* JK mestre-escravo, em que  $J$  e  $K$  são os terminais de entrada;  $CL$  é a entrada de *clock*;  $R$ , o terminal de *reset*; e  $Q$  e  $\bar{Q}$  são os terminais de saída. O *flip-flop* obedece à tabela-verdade apresentada, na qual  $Q_{n+1}$  e  $Q_n$  são as saídas após o disparo do *clock* e antes desse disparo, respectivamente, e o *clock* é um trem de pulsos com nível adequado de amplitude e período  $T = 1$  ms. Considerando essas informações, é correto afirmar que a saída  $Q$  do *flip-flop* alterna entre os níveis lógicos 1 e 0 a cada 1 ms.



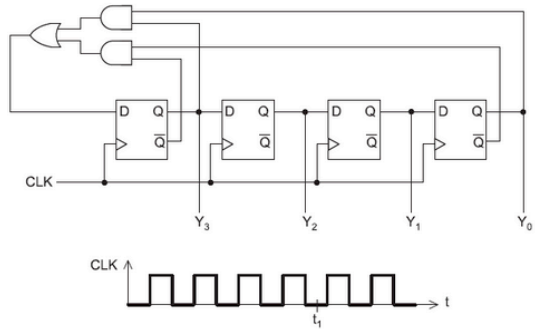
O circuito abaixo trata de um gerador de sequência, em anel, implementado com Flip Flop tipo D e porta lógica.



A sequência de loop, em numeração decimal, executada pelo gerador, é o que consta em

Questão:

Abaixo, tem-se o circuito de um registrador de deslocamento de quatro bits, construído com *flip-flops* tipo D.



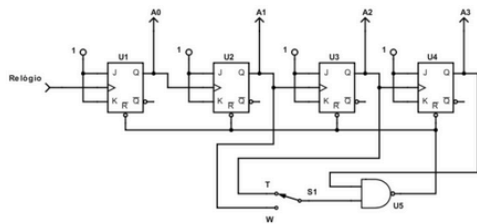
Considerando-se que o registrador de deslocamento inicia sua operação com  $Y_3Y_2Y_1Y_0 = 0000$  em  $t = 0$ , as saídas  $Y_3Y_2Y_1Y_0$  que esse circuito irá apresentar em  $t = t_1$  serão, respectivamente,

- ☒ a) 110
- ☒ b) 101
- ☒ c) 1001
- ☒ d) 1010
- ☒ e) 1100

2018 - AERONÁUTICA - FAB - CIAAR - PRIMEIRO TENENTE - ENGENHARIA ELETRÔNICA - Prova: 62361

Participar do Simulado | Download PDF: Prova | Edital

Abaixo temos um contador digital implementado com 4 (quatro) *flip-flops* tipo JK.



Fonte: Arquivo da Banca Elaboradora.

Informe se é verdadeiro (V) ou falso (F) o que se afirma abaixo sobre o contador digital.

- ( ) É um contador modo 16.
- ( ) Quando a chave *S1* está no posição *T* (tal como na figura), é um contador modo 13.
- ( ) Quando a chave *S1* está no posição *W* (posição outra do que a da figura) é um contador modo 10.
- ( ) Além dos estados firmes que definem o modo do contador, esse contador apresenta um estado de transição.

Marque a alternativa com a sequência correta.

- ☐ A) (V); (V); (F); (F). ✕
- ☐ B) (V); (F); (F); (V). ✕
- ☐ C) (F); (F); (V); (V). ✕
- ☐ D) (F); (V); (V); (F). ✕