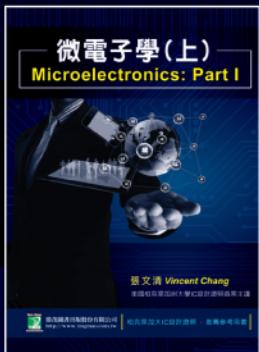


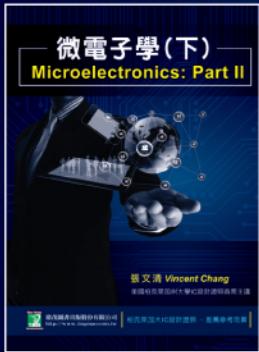
電子學系列叢書推薦



DE2001

微電子學(上)

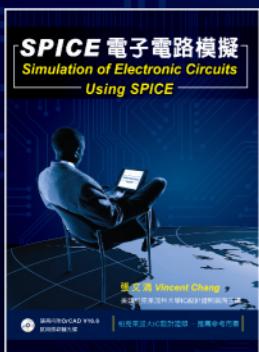
作者：張文清



DE2002

微電子學(下)

作者：張文清



DE2003

SPICE 電子電路模擬

作者：張文清

SPICE 電子電路模擬

Simulation of Electronic Circuits Using SPICE

- SPICE(Simulation Program with Integrated Circuit Emphasis)已經成為微電子領域中，電腦輔助電路分析的標準工具。目前在世界各地，包括北美、台灣、中國、南韓和日本，許多IC設計工程師均以SPICE從事電路分析、設計、模擬和驗證等工作。使用本書可使所學的微電子知識與市場結合、增加職場競爭力。
- 本書榮獲美國柏克萊加州大學IC設計證照學程推薦之中文參考用書；證照學程中的英文版教材係由本書改編而成。因此對於大中華區半導體業界專業人士而言，如果希望在IC設計領域進修並取得國際頂尖一流大學—柏克萊加大—IC設計證照(Certificate)，使用本工具書將大幅提升學習成效。本書同時為台灣數所國立大學以及中國上海交通大學推薦作為教授微電子及數位與類比積體電路的參考用書。

好評推薦

- ◎ 作者深入淺出的實例描述與範圍廣泛，從半導體元件的SPICE模型到各式電子電路，更能引人入勝。--聯電名譽副董事長 宣明智
- ◎ 相信可提升學習的成效並培養設計更複雜電路的能力。--台大電機系教授 曹恆偉
- ◎ 我個人認為對電子相關有興趣的學生，這是一本相當好的入門工具書。--台大電機系教授 劉深淵

鼎茂圖書出版股份有限公司

台北總公司：台北市中正區博愛路60號4樓
電話：02-2381-4314 傳真：02-2382-5963
台中辦事處：台中市中區綠川東街20號2樓
電話：04-2221-1381 傳真：04-2221-1403
www.tingmao.com.tw

DE2003

SPICE 電子電路模擬



隨書內附OrCAD V16.6
試用版軟體光碟

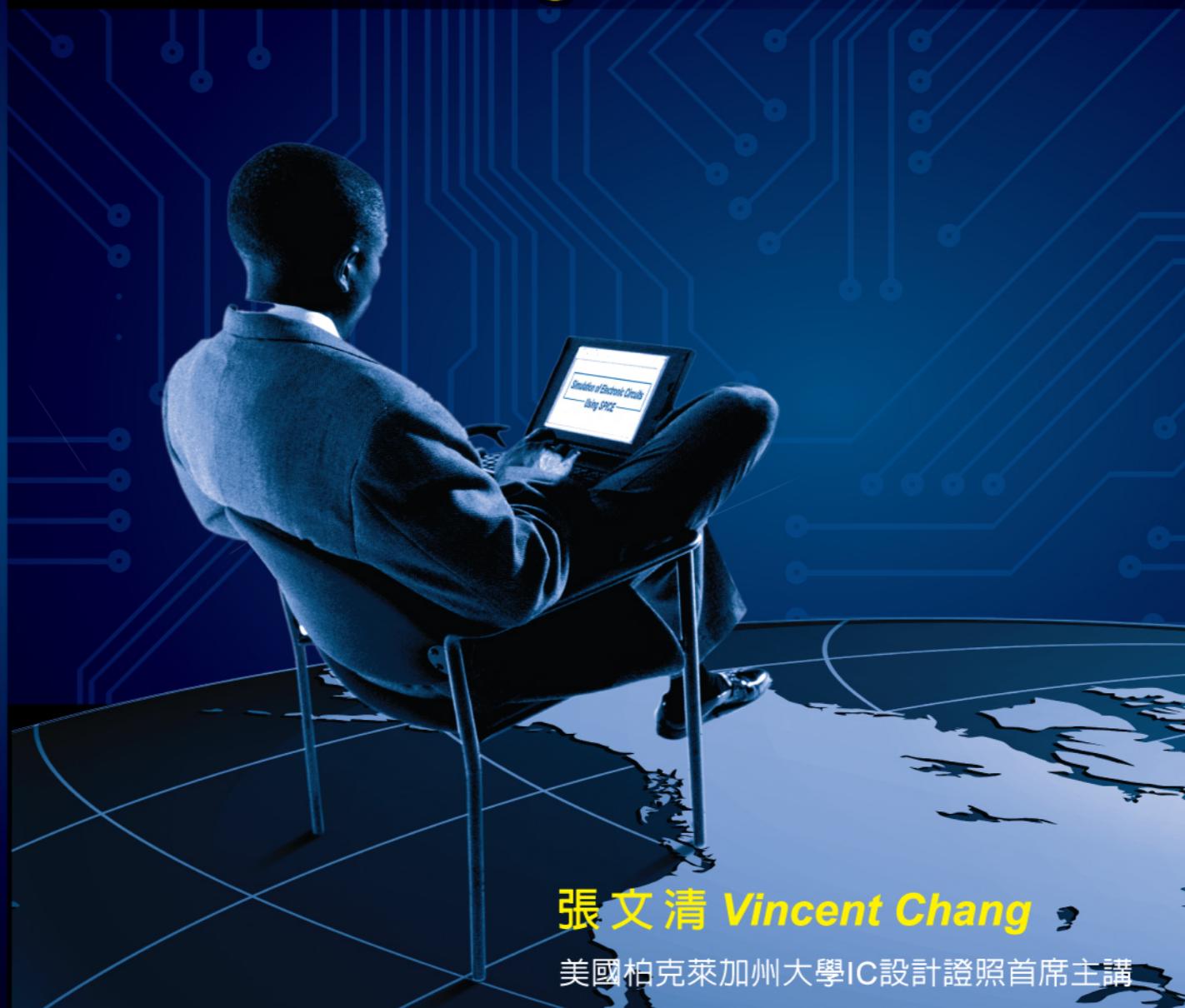
張文清



五版

SPICE 電子電路模擬

Simulation of Electronic Circuits Using SPICE



張文清 Vincent Chang

美國柏克萊加州大學IC設計證照首席主講

作者簡介



張文清
Vincent Chang

出生

1963年生於台灣

學歷

台灣大學電機工程博士
美國南加州大學
(University of Southern California)

企業管理碩士(MBA)

經歷

台灣淡江大學電機工程系副教授
台灣國防部統一通信指揮部教官
台灣考試院國家考試典試委員
台灣億兆科技(股)技術總監

現職

美國柏克萊加州大學IC設計證照
-首席主講
中國上海交通大學密西根學院
-企業關係總監
美國加州Knowledge Master, Inc.
-創辦人

著作

出版14本微電子領域教科書
發表40篇國際期刊和會議論文

柏克萊加大IC設計證照 - 推薦參考用書

SPICE 電子電路模擬

Simulation of Electronic Circuits Using SPICE

張文清

Vincent Chang

美國柏克萊加州大學繼續教育學院

University of California, Berkeley Extension

Berkeley, California

中國上海交通大學密西根學院

University of Michigan--Shanghai Jiao Tong University Joint Institute

Shanghai, China

鼎茂圖書出版有限公司

Tingmao Press



SPICE

The logo consists of the word "SPICE" in a bold, sans-serif font. The letter "S" is partially enclosed in a circle, and there is a horizontal bar underneath the letters.

謹將本書獻給我的最愛
秋鶯(Jennifer)、柏遠(Brian)、智森(Jason)
母親 陳淑貞
大姊 張珍
大哥 張旭
弟弟 張文豪(Calvin)
以及已過世的父親 張軍

作者簡介

SPICE 電子電路模擬

張文清博士目前擔任美國柏克萊加州大學 IC 設計證照首席主講以及中國上海交通大學密西根學院企業關係總監，同時也是美國專業網路線上教育公司 Knowledge Master Inc.的創辦人。他在台灣任職電機工程副教授十年，在微電子、半導體、類比、以及混合信號 IC 設計領域有 20 年以上的豐富教學經驗。在台灣、美國、中國、包括加州大學柏克萊分校、加州大學聖地牙哥分校、IEEE 教育學程、以及上海交通大學培育超過三萬名工程師和學生。

Knowledge Master 獨創的網路中英雙語教學模式榮獲柏克萊加州大學採用。2007 年至今，他協助柏克萊加州大學發展先進網路教學及雙語 IC 設計證照，並獲得柏克萊加大工學院教授和亞太區及美國主要半導體產業領袖的支持。台灣聯電名譽副董事長宣明智表示，這項"獨步全球的柏克萊半導體 IC 設計學程，為專業網路教育樹立新的高標準"。台積電副董事長曾繁城博士則認為 "柏克萊 IC 設計學程橫跨美國、台灣、和中國，提供在職人士創新的國英雙語發音教學"。目前攻讀證照學程的專業人士及學生來自全美各州、台灣、中國、印度、英國、德國、義大利、以色列及世界各地。

2010 年至今，他致力於協助中國上海交通大學密西根學院發展企業合作，包括主辦美國柯惠醫療(Covidien)的企業創新和領導力培訓課程 (Innovation Insight, 2011-2013)。同時主持多項創新計劃，合作跨國企業包括奇異(General Electric)、惠普(Hewlett Packard)、英特爾(Intel)、西門子(Siemens)、國家儀器(National Instruments)、飛利浦(Philips)、都福(Dover)。

張博士出版 14 本微電子領域教科書，發表 40 篇國際期刊和會議論文。

The logo consists of the word "SPICE" in a bold, sans-serif font. The letter "S" is partially obscured by a red circle, and the letter "P" is partially obscured by a grey circle. A horizontal grey bar is positioned below the letters.

序

SPICE 電子電路模擬

宣 序

我國資訊電子工業近年來飛躍的成長，已成為衆所矚目的明星產業，以去年為例，資訊硬體工業產值達 470 億美元，諸多產品如筆記型電腦、主機板、監視器和影像掃瞄器等皆在全球市場獨占鰲頭，且產值位居全世界第三名。積體電路工業更為突出，歷年來台灣成長率(40%)皆超出世界平均 20%，營運獲利能力更是崢嶸頭角，美日歐各知名廠商都難望項背。整個產業蓬勃發展，新公司如雨後春筍，各式新產品如個人電腦晶片組，網路交換與集線器，動態靜態記憶體，CD ROM 與 DVD 使用的積體電路都不斷推陳出新，充分支應國內資訊電子工業急遽成長的需求。

贏得此一傲人成績的主因，除了資訊工業與積體電路產業仍處在高度成長期外，豐沛的工程人力，台灣經營者特有的企業家精神，與適合快速環境變遷下的產品創新能力都至為重要。尤其進者，教育學術單位提供高素質人力，支撐產業的快速成長；媒體書籍提供有價值的資訊，穿梭其間，使學子能掌握新知，與時俱進；業者能掌握市場脈動，做出正確決策，更是功不可沒。

幾乎每一個積體電路設計工程師在做產品設計時，為符合成本與產品的效能，都一定會使用 SPICE 軟體來模擬電路，以達到最適性。設

SPICE

序

SPICE 電子電路模擬

計工程師使用的軟體與經驗判斷力，必然攸關到產品的性能。作者張文清博士從事這方面研究與教育多年，一方面願意將自己寶貴的經驗為同學指點迷津；再者，與業界分享其經驗與成果，使學理與應用更為契合。

本書最大的特點是，除對基本觀念的說明外，更著重在闡述電子電路模擬的過程及結果，使學生從實例中瞭解模擬的技巧與過程，並認識到各式電子電路的特性與影響此一特性的因子，從而加深學子對學理的驗證與學習效果。由於作者深入淺出的實例描述與範圍廣泛，從半導體元件的 SPICE 模型到各式電子電路，更能引人入勝。而張教授在各大學春風化雨多年，對於學子在學可能遭遇的問題了然於心，因此透過其重點導引與凱切分析，使在學者輕鬆上路，容易觸類旁通，是後進者學習的一大福音。

素仰作者張文清教授學養，爰為新書付梓發行伊始，特誌數語，並預祝莘莘學子因而受益，我們也樂見更多優秀新血加入台灣積體電路產業，使此一產業盤碁永固日臻佳境，我國邁向科技島也因此更進一步。

聯電名譽副董事長

王明和

SPICE

序

SPICE 電子電路模擬

曹 序

SPICE 軟體自問世以來，由於加州大學柏克萊分校電子研究實驗室及好幾家軟體公司不斷的致力於演算法、元件模型及介面更新及改進的工作，已成為在時域(time domain)進行電子電路模擬最常用的工具。不論是分離式電路（如：電力電子）或類比／數位積體電路業界都廣泛地使用於設計流程之中，而很多電子學／電路學教科書近年來也將其納入課程內容，以作為驗證電路性能之輔助工具，然多未講述 SPICE 的使用方法及限制…等細節。至於專門介紹 SPICE 應用之書籍（多為外文）種類雖亦不少，但其內容又多無法與目前大專學校之電子學課程配合。

張文清教授累積實際之教學經驗，在其學生蔡佩珊的協助下編著此書，一方面配合電子學課程之教學進度與內容，一方面較深入地介紹 SPICE 的使用方法及相關應注意事項，不但能使學生更有效地學習使用此一重要的電路 CAD 工具，且亦不致因對之過度依賴而忽略了手算(hand analysis)所能帶來的對電子電路較更深入地了解及“感覺”，相信將可提升學習的成效並培養設計更複雜電路的能力。本人樂見此書即將問世，謹為之序。

台大電機系教授

曹文清

SPICE

序

SPICE 電子電路模擬

劉 序

由於有線及無線通信、PC 產業等與積體電路相關產業蓬勃發展，使得晶圓代工快速成長，為配合系統趨向輕、薄、短、小，省電等要求，積體電路的整合愈發龐大，例如所謂“System-on-Chip”的觀念，其中有一重要的工具，就是“Spice”，它讓設計工程師可以在電腦上預先評估電路的性能，加上精密準確的元件模型參數，使得各式積體電路可以可靠地大量生產，不僅降低成本更可以增加其功能。如果能善加利用“Spice”，對未來就業及深造均是一大助益。

吾人接觸“Spice”已經超過二十年，而張文清教授文筆流暢，對一位初次使用“Spice”所需要的基本知識與實例，書中所舉的範例均是常用的電路，我個人認為對電子相關有興趣的學生，這是一本相當好的入門工具書。

根據我的經驗，“Spice”是一個十分重要的工具，但初學者往往過度依賴，而將最基本的電路學、電子學捨棄。最後，我提供一個淺見，“Spice”只是驗證設計者電路的工具，而非替設計者設計其所需的電路，所以保有基本的元件、電路、電子的物理意義，方能有效而正確的使用“Spice”。

台大電機系教授

劉清濬

SPICE

序

SPICE 電子電路模擬

自序

近十年來大中華區(Greater China)在微電子工業方面蓬勃發展，其中包括台灣以台北內湖、新竹、台中、台南和高雄五大科學園區串聯而成的科技島已具相當規模，中國在上海、西安、無錫、北京、成都、杭州及深圳建立七個國家級 IC 設計產業化基地。以上海為例，以浦東張江高科技園區為核心、紫竹科學園區、金橋出口加工區和外高橋保稅區為延伸的微電子產業策略已將上海打造成中國 IC 設計的第一重鎮。可以肯定的是，二十一世紀的大中華區將更需要大量微電子與 IC 設計方面的人才，同時台灣與中國未來在微電子工業的國際舞台上將持續扮演重要的角色。

SPICE(Simulation Program with Integrated Circuit Emphasis)已經成為微電子領域中電腦輔助電路分析的標準工具。目前在世界各地，包括北美、台灣、中國、南韓和日本，許多 IC 設計工程師均以 SPICE 從事電路分析、設計、模擬和驗證等工作。而本書的主要目的在於告訴讀者如何使用 SPICE 分析和模擬微電子電路，除了指令敘述方式和程式編輯之外；更重要的是，協助讀者如何判斷模擬結果的正確性及了解其在電路上所代表的意義。因此，使用本書可使所學的微電子知識與市場結合、增加職場競爭力。甚至對於大中華區的電子、IC 設計工程師或半導體業界專業人士而言，如果希望在 IC 設計領域進修並取得國際頂尖

SPICE

序

SPICE 電子電路模擬

一流大學--柏克萊加大--IC 設計證照(Certificate)，使用本工具書將大幅提升學習成效。

自從 1970 年代初期發展以來，SPICE 至今已被全球各大學電機電子相關科系之大學部或研究所學生廣泛使用。雖然期間陸續出現許多不同的電子電路專用之電腦輔助分析軟體，亦被許多業界或研究單位使用，但是沒有一個軟體的普及性可與 SPICE 相比。這主要歸功於美國柏克萊加州大學電子研究實驗室(Electronics Research Laboratory of the University of California at Berkeley)在程式發展初期所訂定的一些軟體推廣政策，部份甚至是完全免費提供使用者。

目前市面上有許多提供個人電腦使用的電子電路模擬程式，而最廣為使用的 SPICE 軟體則是由美國 MicroSim 公司所發行，它是一種可在 IBM 及其相容性電腦上執行的電路模擬軟體。1998 年，致力於電子工程專用多功能軟體設計的 EDA(electronic design automation)廠商 OrCAD 將 PSPICE A/D 併購並整合為 OrCAD PSPICE A/D。1999 年六月，EDA 界的知名公司 Cadence 買下功能強大的電路模擬軟體 OrCAD PSPICE A/D 並且併入其下的 PCB(printed circuit board)部門，該公司並整合原有的 Cadence PSPICE Schematics Editor 與 OrCAD PSPICE A/D 推出類比與混合訊號模擬器(analog and mixed-signal simulator)。2008 年十二月，Cadence 推出下一代的平

The logo for SPICE, featuring the word "SPICE" in a bold, sans-serif font. The letter "S" is partially enclosed in a circle, and there is a horizontal bar underneath the letters.

序

SPICE 電子電路模擬

行電路模擬器(parallel circuit simulator)作為類比與混合訊號設計驗證之用。

我們將使用 Cadence 公司免費提供的 Demo 版 OrCAD 16.6 Demo 做電路模擬，而 Demo 版 PSPICE 限制使用 10 個電晶體、64 個節點和 10 條傳輸線。本書大多數的電路可適用上述限制條件。此外，一些超過 Demo 版限制的電路，我們將使用專業版 OrCAD PSPICE A/D 處理。

關於 Demo 版或專業版 OrCAD PSPICE A/D 的其他問題，讀者可以直接詢問 Cadence 公司或其台灣代理商映陽科技(Graser)股份有限公司：

美國原廠	台灣代理商
Cadence PCB Systems Division 13221 S.W 68th Parkway , Suite 200 Portland , Oregon 97223 USA Phone: 503-671-9500 Fax:503-671-9501 Email:pcbinfo@cadence.com www.pspice.com www.orcad.com www.cadence.com	映陽科技股份有限公司 台北縣三重市重新路五段 609 巷 16 號 3 樓 Phone:(02)2995-7668 Fax:(02)2995-7559 www.graser.com.tw\orcad

SPICE

序

SPICE 電子電路模擬

本書中針對每一個電路的講解主要分為兩部份 SPICE 模擬與手算分析。在 SPICE 模擬中，除了列出輸入檔外，亦會針對部份重要的指令詳細說明。再者，模擬結果顯示的方式主要是以輸出檔或是繪圖（轉換特性、頻譜、訊號波形等）方式表達。由於 SPICE 所提供的程式書寫與指令敘述的方式相當簡單，所以要獲得模擬結果並不是件困難的事。根據我多年的教學經驗發現，一般學生以 SPICE 模擬電子電路所遭遇的最大困難在於如何判定模擬結果是否正確，以及如何進一步由模擬結果中解讀曲線或是數值所代表的意義與其內涵。於是，在每一電路中我們儘可能的加入部份基本電路觀念與手算分析，以協助 SPICE 使用者增加正確性判定與意義解讀方面的能力。由於手算分析並不是本書的主軸，所以對於電路分析過程中，許多複雜的詳細推導我們均將省略，只摘錄手算分析的基本假設與結果。於是，即使對於電子電路之手算分析有困難的讀者，亦能對電子電路的計算機模擬產生興趣進而有效吸收。

本書的內容分為十四單元，分別摘錄如下：第 1、2 章介紹半導體元件的模型和 SPICE 敘述語法以及元件電流電壓特性曲線追蹤。講解的半導體元件包括二極體、雙載子接面電晶體(BJT)、金氧半場效電晶體(MOSFET)、接面場效電晶體(JFET)、金半場效電晶體(MESFET)。

The logo for SPICE, featuring the word "SPICE" in a bold, sans-serif font. The letter "S" is partially enclosed within a circle, and the entire logo is set against a red-to-white gradient background.

序

SPICE 電子電路模擬

第 3 章主要介紹電子電路的直流操作點分析，重點在於告訴讀者如何使用 SPICE 中的操作點分析指令.OP 和直流掃描指令.DC。內容包括基本二極體電路、齊納二極體限制器等電路轉換特性曲線的掃描。亦將模擬許多 BJT，加強式和空乏式 MOSFET、JFET 和 MESFET 等電路之直流操作點。第 4 章介紹交流與暫態分析，讀者可由本章的許多模擬實例中熟悉交流頻率響應分析指令.AC 和暫態分析指令.TRAN。模擬電路包括雙載子與場效電晶體放大器以及 NMOS 和 CMOS 類比開關。

第 5、6 章分別介紹運算放大器與積體電路放大器，內容包括運算放大器電路及其應用，BJT 和 MOS IC 偏壓技術、差動放大器的差模、共模轉換特性和小訊號分析以及輸入偏移電壓的計算等。此外，我們也將模擬 CMOS 放大器與多級放大器，其中亦將學習.NODESET 指令在多級放大器上的應用。

第 7、8、9 章分別介紹頻率響應、回授和輸出級。這部份將出現許多精彩的内容，包括 BJT、MOS 和差動等放大器頻率響應的模擬，低頻回授與穩定度的分析，各種頻率補償技術，以及 A、B 和 AB 類輸出級的轉換特性和傳輸訊號波形。

第 10 章我們將利用 SPICE 模擬一個 BJT 741 運算放大器，分析主題包括大訊號差模與共模轉換特性、直流分析、交流分析，以及 741

The logo for SPICE (Simulation Program with Integrated Circuit Emphasis) features the word "SPICE" in a bold, sans-serif font. The letter "I" is stylized with a horizontal bar underneath it, and the letters "P" and "C" are partially overlapping. The entire logo is set against a light gray background with a circular dotted outline.

序

SPICE 電子電路模擬

的全級大小與相角頻率響應。並將考慮一電壓追隨器的脈衝響應藉以了解 741 op amp 的延遲率限制。第 11 章為濾波器的模擬，分析電路包括 GIC 式高通、帶通、全通濾波器，以及 GIC 式正規帶拒和高通帶拒濾波器。另外亦將模擬 TIL 式以及單一放大器二階濾波器。

第 12 章為波形產生器的模擬，分析電路有文氏電橋等正弦振盪器、單穩態和無穩態複振器等。本章除了利用.**TRAN** 指令繪出訊號波形外，亦將使用傅立葉級數分析指令.**FOUR** 以了解訊號失真的情形。

第 13、14 章分別是金氧半和雙載子數位電路的模擬，這兩章中將有許多深入且精彩的模擬與觀念解說。就 MOS 部份，電路主要有 NMOS、CMOS 和假 NMOS 等邏輯閘。就 BJT 部份，則以 TTL 為主要模擬對象。

本書的完成首先感謝佩珊在 SPICE 模擬和數據資料整理方面所付出的心血，哲民過去 15 年來在電路研究的專注以及惠玉的校稿和完成中英文索引。感謝曄如為整理 SPICE 教師手冊的努力。沒有這些優秀的團隊成員，這本書不可能順利出版。感謝聯華電子集團名譽副董事長宣明智、台大電機系曹恒偉和劉深淵兩位教授在百忙中抽空審查本書並為文作序以及長期支持。感謝台灣知識庫（股）董事長邱昌其 28 年來的信任。感謝鼎茂圖書出版（股）社長陳銘桐、責任編輯李世純及全體同仁

The logo consists of the word "SPICE" in a bold, sans-serif font. The letters are partially cut out by a circular shape, with the top half of the circle being solid red and the bottom half being white with a black outline. A horizontal bar is positioned below the letters.

序

SPICE 電子電路模擬

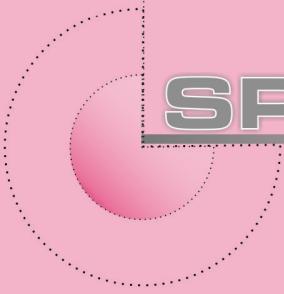
的鼎力相助。感謝映陽科技公司湯秀珍和陳怡伶在 OrCAD 16.6 Demo 軟體授權方面的大力協助。感謝許多我所教過的學生，在課堂上給我的支持與靈感，以及對本書內容提出許多寶貴的建議。

感謝美國柏克萊加州大學繼續教育學院院長 Diana Wu、總監 Jim Connor、台灣積體電路製造（股）副董事長曾繁城博士、台灣聯電名譽副董事長宣明智、中國映瑞光電總裁兼首席執行長張汝京博士、以及柏克萊加州大學電機工程與電腦科學系 Chenming Calvin Hu （胡正明）教授和 Tsu-Jae King Liu （劉金智潔）教授，於 2008 年全力支持發展先進網路教學及柏克萊雙語 IC 設計證照學程，使本書得以列為證照學程參考用書。感謝台灣數所國、私立大學以及中國上海交通大學密西根學院教師的推薦並使用本書作為教授微電子及數位與類比積體電路等方面的參考用書。感謝台大電機系王維新教授在我攻讀碩、博士時的教導。感謝我的良師(mentor)長期無條件的支持與協助：Ronnie Ong, Dr. Richard Ru Gin Chang, Frank Tzeng, Dr. Jack Lewis, Clement Wong, Chris Meyer, Dean Hara, Dennis Lee, Steve Takai, 和 Gerald Tanaka。最後，感謝父母的養育之恩以及妻子秋鶯對我的信任與鼓勵。

張文清

Vincent Chang
2013 年 6 月

SPICE



SPICE

目 錄

SPICE 電子電路模擬

第 1 章 半導體元件的 SPICE 模型與語法

1.1	二極體	21
1.2	雙載子接面電晶體	27
1.3	金氧化半場效電晶體	30
1.4	接面場效電晶體	33
1.5	金半場效電晶體	36
	練習題	38
	參考書目	39

第 2 章 半導體元件的曲線追蹤

2.1	二極體的特性曲線	41
2.2	BJT 的特性曲線	45
2.3	MOSFET 的特性曲線	49
2.4	JFET 的特性曲線	56
2.5	MESFET 的特性曲線	56
	練習題	57
	參考書目	58

第 3 章 直流操作點分析

3.1	二極體電路	61
3.2	BJT 電路	69
3.3	MOSFET 電路	78
3.4	JFET 電路	82
3.5	MESFET 電路	87
	練習題	88
	參考書目	89

第 4 章 交流與暫態分析

4.1	二極體電路	91
4.2	BJT 放大器	97

SPICE

目 錄

SPICE 電子電路模擬

4.3	MOSFET 類比開關	105
4.4	JFET 放大器	114
4.5	MESFET 放大器	117
	練習題	120
	參考書目	122

第 5 章 運算放大器

5.1	T 型回授網路之反相組態	125
5.2	米勒積分器	129
5.3	阻尼式米勒積分器	132
5.4	差動放大器	135
5.5	儀表放大器	138
	練習題	141
	參考書目	144

第 6 章 積體電路放大器

6.1	BJT 積體電路偏壓技術	147
6.2	MOS 積體電路偏壓技術	152
6.3	差動放大器的大訊號特性	158
6.4	差動放大器的小訊號分析	168
6.5	差動放大器的非理想特性	175
6.6	CMOS 放大器	182
6.7	多級放大器	185
	練習題	191
	參考書目	192

第 7 章 頻率響應

7.1	小訊號動態模型	195
7.2	共源放大器之頻率響應	202
7.3	共閘放大器與源極追隨器	210

SPICE

目 錄

SPICE 電子電路模擬

7.4	共射共基串疊放大器	214
7.5	差動放大器	219
	練習題	228
	參考書目	229

第 8 章 回授與穩定度

8.1	回授對放大器頻寬的效應	233
8.2	穩定度問題	234
8.3	頻率補償	245
	練習題	249
	參考書目	250

第 9 章 輸出級

9.1	A 類輸出級	253
9.2	B 類輸出級	259
9.3	AB 類輸出級	266
	練習題	271
	參考書目	272

第 10 章 類比積體電路

10.1	741 運算放大器的轉換特性	275
10.2	直流與小訊號分析	284
10.3	741 運算放大器的頻率響應	286
10.4	延遲率限制	291
	練習題	294
	參考書目	295

第 11 章 濾波器

11.1	GIC 式二階濾波器	310
11.2	GIC 式帶拒濾波器	316

SPICE

目 錄

SPICE 電子電路模擬

11.3 雙積分器迴路式濾波器	316
11.4 單一放大器二階濾波器	319
練習題	324
參考書目	326
第 12 章 波形產生器	
12.1 正弦振盪器	329
12.2 無穩態複振器	347
12.3 單穩態複振器	353
練習題	357
參考書目	358
第 13 章 金氧半數位電路	
13.1 加強式負載 NMOS 反相器	361
13.2 空乏式負載 NMOS 反相器	374
13.3 CMOS 反相器	379
13.4 假-NMOS 反相器	390
13.5 傳輸電晶體邏輯	397
練習題	405
參考書目	406
第 14 章 雙載子數位電路	
14.1 TTL 反相器	409
14.2 TTL 閘的串接	419
練習題	424
參考書目	424
中文索引	426
英文索引	429
授權同意書	432

SPICE

1

半導體元件的 SPICE 模型與語法

本書將由半導體元件的模型和 SPICE 敘述語法開始談起。其中半導體元件包括二極體、雙載子接面電晶體(BJT)、金氧半場效電晶體(MOSFET)、接面場效電晶體(JFET)、金半場效電晶體(MESFET)等五種元件。由於本書的主題是 SPICE 電子電路模擬，故對於各種半導體元件的工作原理和基本的物理特性並不會提及。

本章將由各種半導體元件的敘述語法開始，告訴讀者如何以一個指令描述一個元件，包括連接的端子和模型參數等。再者，將介紹各元件的電流電壓關係式與大訊號模型，也包括不同工作區間的敘述方式。此外，對於這五種元件的小訊號模型與小訊號參數亦有組織性的歸納與整理。

- 1.1 二極體
- 1.2 雙載子接面電晶體
- 1.3 金氧半場效電晶體
- 1.4 接面場效電晶體
- 1.5 金半場效電晶體

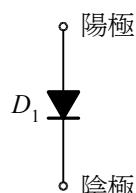
1.1 二極體

1.1.1 pn 接面二極體的描述語法

接面二極體(pn junction diode)在 SPICE 之描述有兩個主要部分。其中一個是描述二極體的形式和它在網路中的連接節點，另一個則是描述模型參數值，如圖 1-1 所示。在 SPICE 輸入檔中使用 Dname 來描述 pn 接面二極體，其中腳位依序是陽極、陰極，另一方面利用.MODEL 的指令來描述 pn 接面二極體的參數。

表 1-1 為 pn 接面二極體之 SPICE 參數表。參數表中第一部份顯示飽和電流(saturation current)，理想因子(ideality factor)和歐姆電阻，其中理想因子在 SPICE 中之表示為 n ，且又名放射係數(emission coefficient)，這些參數之物理意義與預設值(default)皆整理於圖中。參數預設值為 SPICE 中對各種元件參數的內定值，若使用者未在.MODEL 指令中說明各個參數設定值，SPICE 將以其預設值作電路模擬。

參數表中的第二部份顯示逆向崩潰區參數，其中 V_{ZK} 代表逆向崩潰電壓，即膝蓋電壓(knee voltage)； I_{ZK} 則代表逆向崩潰電流，又名膝蓋電流(knee current)，它代表進入崩潰區所需之最小電流。參數表的第三部份整理出二極體動態模型中的電容參數。根據半導體理論，考慮接面面積後代入空乏區(depletion layer)寬度公式即可導出空乏電容(depletion capacitance) C_j ：



Dname 陽極 陰極 模型名稱 [二極體並聯數目]

.MODEL 模型名稱 D(型參數)

圖 1-1 pn 接面二極體的電路描述與 SPICE 語法。

表 1-1 *pn* 接面二極體的 SPICE 參數。

SPICE 參數	符號	單位	預設值	參數名稱	意義
IS	I_s	安培	1×10^{-14}	飽和電流	理想特性
n	n	無	1	理想因子	空乏區復合電流
RS	r_s	歐姆	0	歐姆電阻	寄生電阻
BV	V_{zK}	伏特	∞	逆向崩潰電壓	
IBV	I_{zK}	安培	1×10^{-10}	逆向崩潰電流	逆向崩潰
CJO	C_{jo}	法拉	1×10^{-12}	零偏壓空乏電容	
M	m	無	0.5	接面梯度係數	
VJ	V_j	伏特	1	接面電位	

$$C_j = \frac{C_{jo}}{\left(1 - \frac{V}{V_{bi}}\right)^m} \quad (1-1)$$

其中 C_{jo} 為零偏壓時的空乏電容， m 代表接面梯度係數(grading coefficient)，而 V_{bi} 則為內建電位(built-in potential)，但在 SPICE 二極體模型參數中則對應接面電位(junction potential)。

圖 1-2 為一簡單的二極體電路，圖 1-3 為掃描圖 1-2 中二極體電流電壓特性的 SPICE 輸入檔。關於電流電壓特性的掃描請參閱下一章。在此請注意輸入檔中的二極體敘述語法：

```
D1 1 0 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)
```

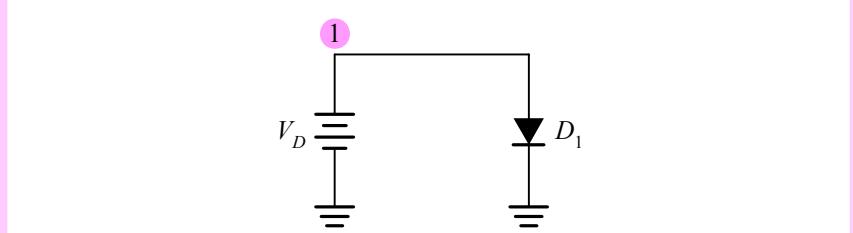


圖 1-2 一簡單的二極體電路。

I-V Characteristics of a pn Diode

```

* circuit description *
VD 1 0 DC 700mV
* diode model description *
D1 1 0 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)
* analysis requests *
.DC VD 0V 800mV 20mV
* output requests *
.PLOT DC I(VD)
.probe
.end

```

圖 1-3 掃描圖 1-2 二極體的 $i-v$ 特性(詳第 2 章)之 SPICE 輸入檔。

上式代表介於節點 1 與 0 間有一二極體 D_1 ，其模型名稱為 1mA_diode，模型參數如下： $I_S = 10^{-14} \text{ A}$ 和 $n = 1.0675$ 。

1.1.2 二極體的模型

SPICE 之二極體大訊號(large signal)等效模型與小訊號(small signal)等效模型顯示於表 1-2，表中右方為對應之電流電壓關係式。大訊號模型中串聯電阻 r_s 代表接面兩端 p 區及 n 區的寄生電阻，其預設值為零，而實際寄生電阻的數位範圍由幾歐姆到幾十歐姆。圖中表示二極體大訊號電流電壓間之關係：

$$i_D = I_S(e^{v_D/nV_T} - 1) \quad (1-2)$$

表 1-2 二極體大訊號模型和小訊號模型與其對應之關係式。

	模 型	關 係 式
大訊號模型		$i_D = I_S(e^{v_D/nV_T} - 1)$
小訊號模型		$i_d = \frac{V_d}{r_d}$

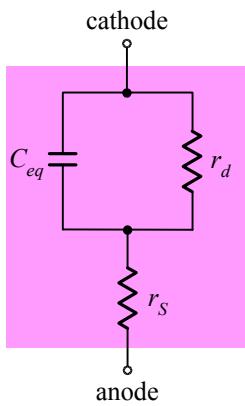
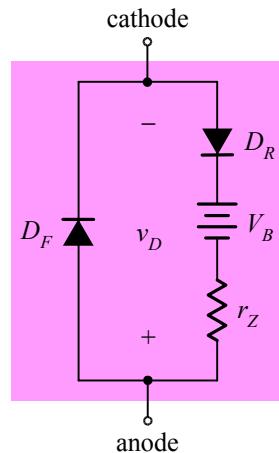


圖 1-4 二極體小訊號行為的動態 SPICE 模型。



(a)



(b)

v_D	D_F	D_R	操作區間
$v_D > 0$	導通	截止	順偏區
$-V_B < v_D < 0$	截止	截止	截止區
$v_D < -V_B$	截止	導通	崩潰區

(c)

圖 1-5 (a)齊納二極體的電路符號，(b)齊納二極體之等效電路，
(c)操作區間與 v_D 的關係。

在小訊號模型中， r_d 為二極體的小訊號電阻(small signal resistance)，又名變量電阻，由下式

$$r_d = \left(\frac{\partial i_D}{\partial v_D} \Big|_{i_D=I_D} \right)^{-1} = \frac{nV_T}{I_D} \quad (1-3)$$

可知其值為 $i_D - v_D$ 特性曲線在操作點的微分倒數。另外，圖 1-4 為二極體小訊號行為之動態 SPICE 模型(dynamic SPICE model)。模型中除了小訊號電阻 r_d 和寄生電阻 r_s 外，主要加入了電容 C_{eq} 。此電容除了包括空乏電容 C_j 外，在順偏時亦需考慮擴散電容 C_d 。空乏電容主要根據(1-1)式，而擴散電容 C_d 主要與偏壓電流為正比，其值為

$$C_d = \frac{\tau I_D}{nV_T} \quad (1-4)$$

其中 τ 代表少數載體生命期(lifetime of excess minority carrier)。

1.1.3 齊納二極體

圖 1-5(a)和(b)為齊納二極體(Zener diode)及包括順偏、逆偏和崩潰區(breakdown region)之完整等效電路圖。等效電路中使用了兩個二極體 D_F 與 D_R 來模擬二極體之完整特性曲線，兩個二極體之操作狀態與電壓 v_D 關係顯示於圖 1-5(c)。在 $v_D > 0$ 時，等效模型中 D_F 導通， D_R 截止，元件操作於順向主動區且將呈現出順偏二極體 D_F 之指數特性曲線；在 $-V_B < v_D < 0$ ， D_F 與 D_R 皆關閉，元件處於截止區；當 $v_D < -V_B$ 時， D_F 截止， D_R 導通，二極體進入崩潰區，則齊納二極體將以電池加電阻模型(battery-plus-resistance model)表示，此時即崩潰區特性以一直線來近似。

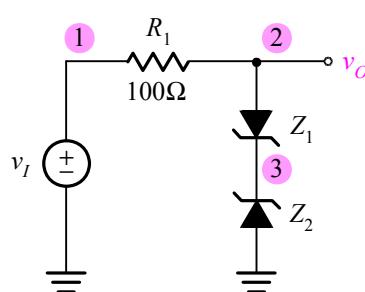


圖 1-6 一齊納二極體電路。

```

Transfer Characteristics of a Zener-Diode Limiting Circuit

* zener diode subcircuit
.subckt Zener_diode 1 2
* node1: anode
* node2: cathode
Df 1 2 1mA_diode
Dr 2 4 ideal_diode
Vb 4 3 DC 7.3V
Rz 1 3 10
.model 1mA_diode D (Is=0.01pA n=1.0675)
.model ideal_diode D (Is=0.1pA n=0.001)
.ends zener_diode

* circuit description
Vi 1 0 DC 1V
R1 1 2 100
XZ1 2 3 zener_diode
XZ2 0 3 zener_diode

* analysis requests
.DC Vi -15V 15V 10mV
.probe
.end

```

圖 1-7 圖 1-6 所示齊納二極體電路之 SPICE 輸入檔。

$$-v_D = V_B - i_D r_Z \quad (1-5)$$

圖 1-6 為一齊納二極體電路，在此我們並不做整個電路的分析，僅就齊納二極體的敘述語法部份說明，見圖 1-7。圖 1-7 中，XZ1 和 XZ2 代表呼叫齊納二極體的副電路(subcircuit)。請注意副電路中關於齊納二極體的敘述：

```

* zener diode subcircuit *
.subckt zener_diode 1 2
* node1: anode
* node2: cathode
Df 1 2 1mA_diode
Dr 2 4 ideal_diode
Vb 4 3 DC 7.3V
Rz 1 3 10
.model 1mA_diode D (Is=0.01pA n=1.0675)
.model ideal_diode D (Is=0.1pA n=0.001)

```

```
.ends zener_diode
```

其中 Df 和 Dr 分別對應圖 1-5 中之 D_F 和 D_R ，Df 之模型名稱為 1mA_diode(代表傳導電流 1mA 時，導通電壓為 0.7V，詳第 2 章)，其模型參數為 $I_S = 10^{-14} \text{ A}$ 和 $n = 1.0675$ 。至於 Dr 之模型名稱為 ideal_diode，其模型參數為 $I_S = 10^{-13} \text{ A}$ 和 $n = 0.001$ 。值得一提的是，我們利用一極小的 n 值(0.001)來近似一理想二極體的特性曲線——即在順偏區時，特性曲線幾乎與縱座標重合。

利用一極小的 n 值(0.001)來近似一理想二極體的特性曲線。

1.2 雙載子接面電晶體

1.2.1 BJT 的描述語法

和先前的二極體相同，我們將使用二行指令來完整敘述雙載子接面電晶體(bipolar junction transistor，簡稱 BJT)之 SPICE 模型。圖 1-8 為 *npn* 和 *pnp* 雙載子接面電晶體之 SPICE 元件描述語法，第一部份為電路敘述，Q 為雙載子接面電晶體之元件字首，腳位依序表示：集極節點、基極節點、射極節點和基板節點。其中基板為選擇選項，若不設定，SPICE 將自動視為接地；在接點之後敘述雙載子接面電晶體名稱和並聯電晶體之數目(選擇選項)。第二部份則是對電晶體模型加以敘述，我們使用 .MODEL 指令，並依序說明電晶體名稱、電晶體種類(*npn* 和 *pnp*)和各參數設定值。須再次提醒的是，電路敘述與模型敘述中的電晶體名稱必須前後一致。

腳位依序表示：集極節點、基極節點、射極節點和基板節點。

電路敘述與模型敘述中的電晶體名稱必須前後一致。

1.2.2 BJT 的模型

雙載子電晶體的大訊號等效模型為圖 1-9。在基極、集極、射極上的電阻值 r_b 、 r_c 、 r_e 代表雙載子電晶體的內部寄生電阻。至於電晶體在主動區(active region)的直流特性則由兩個非線性受控電流源來決定

$$i_B = \frac{I_S}{\beta_F} e^{v_{BE}/V_T} \quad (1-6)$$

和

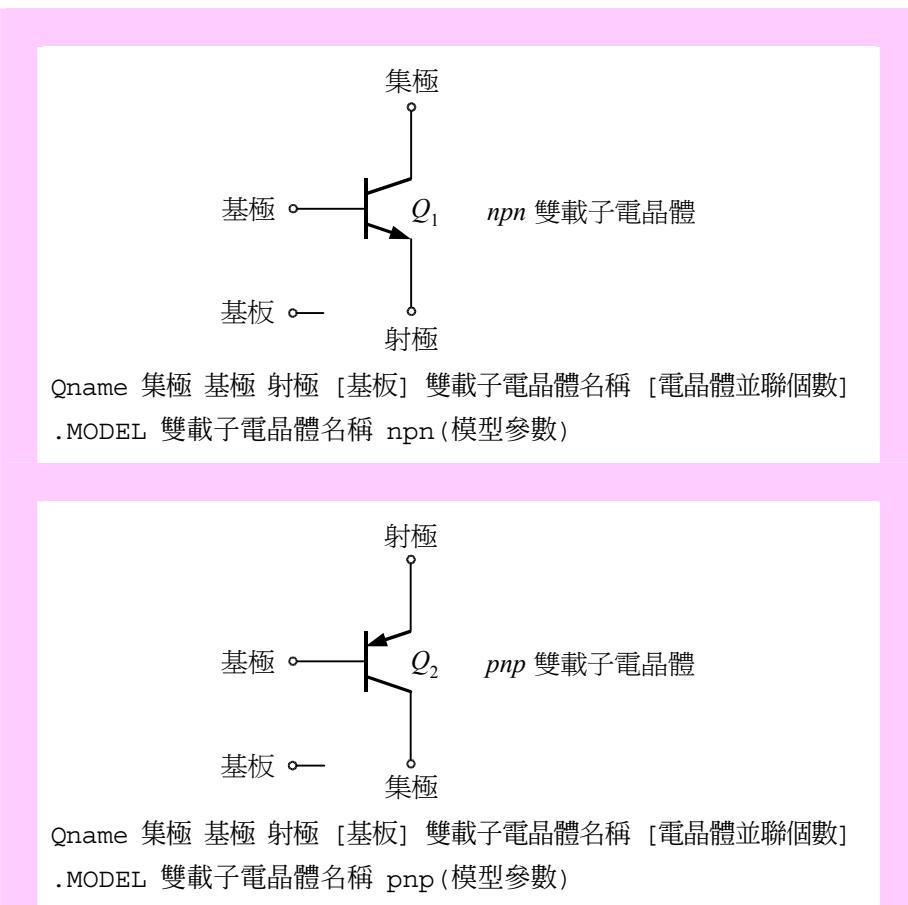


圖 1-8 雙載子電晶體之 SPICE 元件描述語法。

表 1-3 雙載子接面電晶體之靜態 SPICE 參數。

SPICE 參數	符號	單位	預設值	參 數 名 稱	意 義
I_s	I_s	安培	1×10^{-16}	飽和電流	理想特性
B_f	β_F	無	100	順向電流增益	共射電流增益
V_{AF}	V_{AF}	伏特	∞	歐萊電壓	基極寬度調變效應
R_b	r_b	歐姆	0	基極電阻	基極內部寄生電阻
R_c	r_c	歐姆	0	集極電阻	集極內部寄生電阻
R_e	r_e	歐姆	0	射極電阻	射極內部寄生電阻

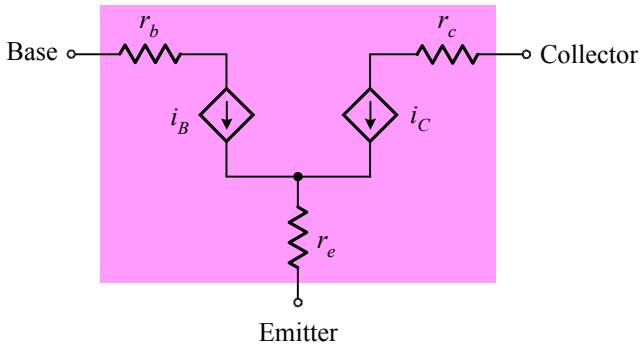


圖 1-9 雙載子電晶體大訊號直流分析之 SPICE 模型。其中三電阻為電晶體之內部寄生電阻。

$$i_C = I_S e^{v_{BE}/V_T} \left(1 + \frac{v_{CE}}{V_{AF}} \right) \quad (1-7)$$

圖 1-10 顯示 BJT 的 SPICE 小訊號模型，其中轉導 g_m 為

$$g_m \triangleq \left. \frac{\partial i_C}{\partial v_{BE}} \right|_{\text{操作點}} = \frac{I_C}{V_T} \quad (1-8)$$

r_π 代表介於基極與射極間由基極看進去的電阻，其值為

$$r_\pi \triangleq \left(\left. \frac{\partial i_B}{\partial v_{BE}} \right|_{\text{操作點}} \right)^{-1} = \frac{\beta_F}{g_m} \quad (1-9)$$

電阻 r_b ， r_e ， r_c 則分別代表基極、射極、集極之寄生電阻。

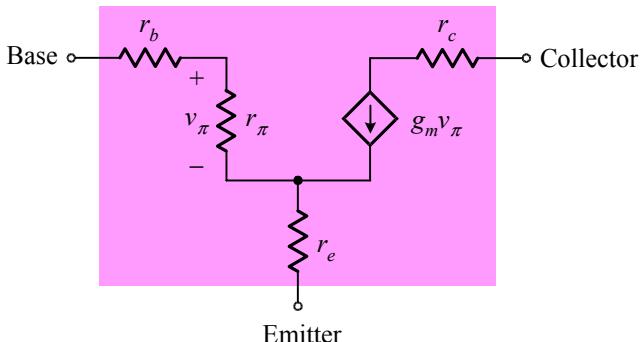


圖 1-10 BJT 之 SPICE 一階小訊號模型。其中三電阻為電晶體之內部寄生電阻且 SPICE 預設值為 0。

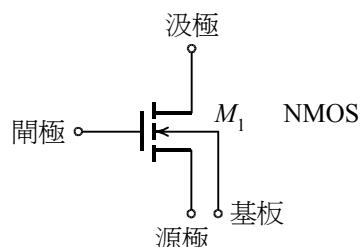
1.3 金氧半場效電晶體

1.3.1 MOSFET 的描述語法

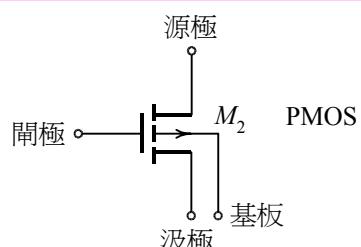
金氧半場效電晶體(metal–oxide–semiconductor field–effect transistor，簡稱 MOSFET)使用 SPICE 描述的語法與二極體類似，主要有兩個部份，一個是描述 MOSFET 的尺寸(通道長度 L 和通道寬度 W)和它在網路上的連接節點，另一個則是描述上述 MOSFET 元件的型式(NMOS 或 PMOS)和內建的參數值，如圖 1-11 所示。

腳位依序是汲極節點、閘極節點、源極節點與基板或基體。

在 SPICE 輸入檔中 MOSFET 使用 M 為元件字首，腳位依序是汲極節點(drain)、閘極節點(gate)、源極節點(source)與基板(substrate)或基體(body)，而通道長度 L 和通道寬度 W 在 SPICE 中並無預設值，所以我們必須在輸入檔中指明通道長度 L 和通道寬度 W 之值。另一方面利用 .MODEL 指令描述 MOSFET 的型式(NMOS 或 PMOS)與 MOSFET 的



```
Mname     汲極 閘極 源極 基板 模型名稱 L=數值 W=數值
.MODEL    模型名稱 NMOS (模型參數)
```



```
Mname     汲極 閘極 源極 基板 模型名稱 L=數值 W=數值
.MODEL    模型名稱 PMOS (模型參數)
```

圖 1-11 SPICE 中 MOSFET 的描述語法。

表 1-4 MOSFET 的 SPICE 參數表。

SPICE 參數	符號	單位	預設值	參數名稱	意義
VTO	V_{to}	伏特	0	零偏壓臨界電壓	理想特性
KP	$\mu_n C_{ox}$	AV^2	20μ	製程轉導參數	
lambda	λ	(伏特) $^{-1}$	0	通道長度調變參數	通道長度調變效應
gamma	γ	無	0	基體效應係數	
phi	$2\phi_f$	伏特	0.6	佛米電位	基體效應
Rs	r_s	歐姆	0	源極歐姆電阻	
Rd	r_d	歐姆	0	汲極歐姆電阻	寄生電阻

參數值(μ_n 、 C_{ox} 、 V_{to} 等)，表 1-4 為 MOSFET 的 SPICE 一階模型參數表，參數表中的製程轉導參數(process transconductance parameter)KP 為

$$KP \triangleq \mu_n C_{ox} \quad (1-10)$$

在 SPICE 中 MOSFET 的大訊號等效模型，以參數的複雜程度可分為一階、二階和三階，其中一階(level1)是最簡單的。一般來說，我們都是使用一階的 MOSFET 模型，而二階和三階兩種模型的數學關係式較為複

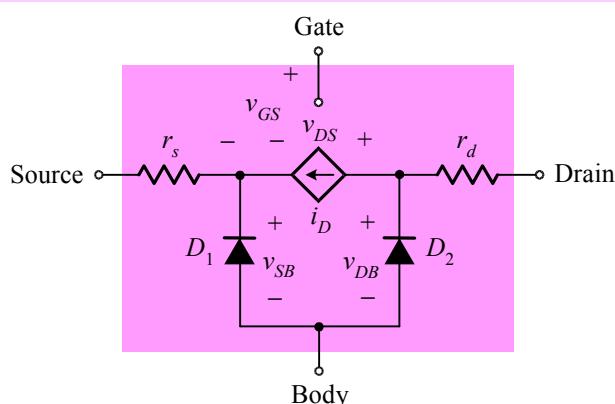


圖 1-12 NMOS 的 SPICE 一階大訊號等效模型，其中 D_1 和 D_2 描述源極或汲極至基板的 n^+p 接面， r_s 和 r_d 則代表源極和汲極的寄生電阻。

雜，在此我們不詳加討論。不過值得一提的是，二階模型是一個精密的物理架構模型，其參數很難精確測量出來，因此並不普遍。三階模型則是混合物理特性和實驗資料所得到的模型，尤其適用於小尺寸的MOSFET(通道長度 $L \leq 5\mu\text{m}$)。

圖 1-12 為 SPICE 之一階 NMOS 的大訊號等效模型，其中 D_1 和 D_2 描述源極或汲極至基板的 $n^+ p$ 接面，而 r_s 和 r_d 則代表源極和汲極的寄生電阻。在此模型中，電流源 i_D 主要被 v_{GS} 和 v_{DS} 所控制。對於三極區而言，

$$i_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} [2(v_{GS} - V_t)v_{DS} - v_{DS}^2] \quad \text{對於 } v_{GS} > V_t \text{ 且 } v_{DS} < v_{GS} - V_t \quad (1-11)$$

對飽和區而言，

$$i_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (v_{GS} - V_t)^2 (1 + \lambda v_{DS}) \quad \text{對於 } v_{GS} > V_t \text{ 且 } v_{DS} > v_{GS} - V_t \quad (1-12)$$

其中 V_t 則需受到基體效應(body effect)的影響：

$$V_t = V_{to} + \gamma (\sqrt{v_{SB} + 2\phi_F} - \sqrt{2\phi_F}) \quad (1-13)$$

此外，對於加強式(enhancement-type)MOSFET 而言， $V_t > 0$ ；對於空乏式(depletion-type)MOSFET 而言， $V_t < 0$ 。

圖 1-13 為 MOSFET 的一階小訊號模型，除了歐姆電阻 r_d 和 r_s 之外，轉導 g_m 為

$$g_m \triangleq \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{\text{操作點}} = \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_t)(1 + \lambda V_{DS}) \quad (1-14)$$

基體轉導(body transconductance) g_{mb} 為

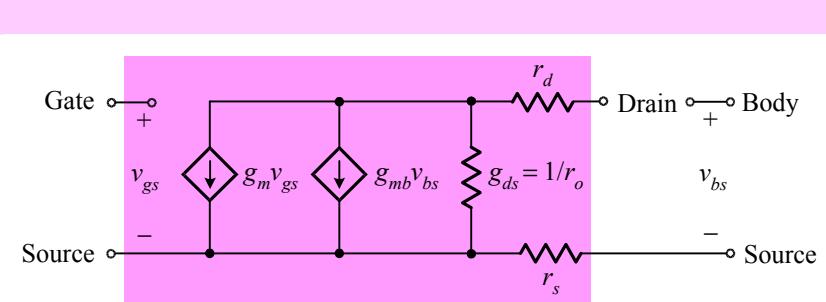


圖 1-13 MOSFET 的一階小訊號模型。

$$g_{mb} \triangleq \left. \frac{\partial i_D}{\partial v_{BS}} \right|_{\text{操作點}} = g_m \cdot \chi \quad (1-15)$$

其中

$$\chi \triangleq \frac{\partial V_t}{\partial v_{SB}} = \frac{\gamma}{2\sqrt{V_{SB} + 2\phi_F}} \quad (1-16)$$

此外輸出電導 g_{ds}

$$g_{ds} \triangleq \left. \frac{\partial i_D}{\partial v_{DS}} \right|_{\text{操作點}} \quad (1-17)$$

或可用輸出電阻 r_o 表示，其中 $r_o = \frac{1}{g_{ds}}$ 。

1.4 接面場效電晶體

1.4.1 JFET 的描述語法

接面場效電晶體(junction field-effect transistor，簡稱 JFET)使用 SPICE 描述之語法與 MOSFET 相同，包括兩個主要部份，一個是描述 JFET 的模型名稱和它在網路上的連接節點，另一為描述元件的型式和內建的參數值，如圖 1-14 所示。

在 SPICE 輸入檔中 JFET 使用 J 為元件字首，腳位依序是汲極節點(drain)、閘極節點(gate)、源極節點(source)。另一方面，同樣利用.MODEL 指令描述 JFET 的型式(NJF 或 PJF)與 JFET 的參數值(V_{to} 和 β 等)，其中 NJF 代表 n 通道 JFET 和 PJF 代表 p 通道 JFET。

表 1-5 為 JFET 的 SPICE 參數表，其中 β 代表製程轉導參數和 V_{to} 為臨界電壓(threshold voltage)，又名夾止電壓(pinch-off voltage)，兩者間之關係為

$$\beta = \frac{I_{DSS}}{V_{to}^2} \quad (1-18)$$

其中 I_{DSS} 為零閘源偏壓($v_{GS} = 0V$)時介於汲極與源極間之飽和電流。至於通道長度調變參數 λ ，源極寄生電阻 r_s 和汲極寄生電阻 r_d 之意義則與 MOSFET 相同。

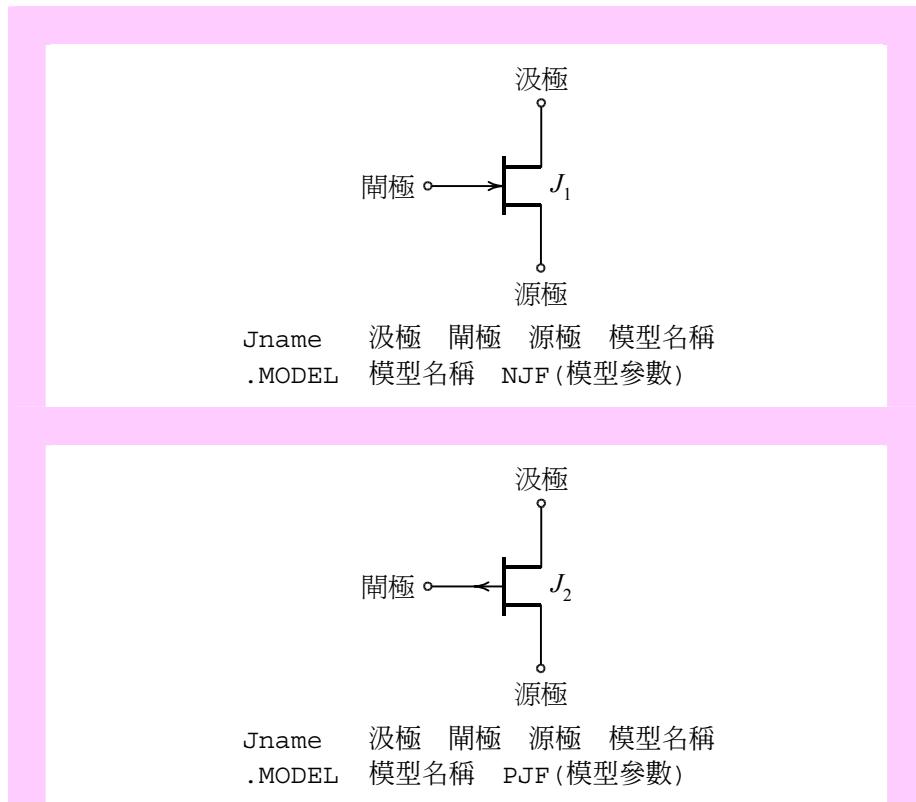
圖 1-14 JFET(*n* 通道和 *P* 通道)之 SPICE 描述語法。

表 1-5 JFET 的 SPICE 參數。

SPICE 參數	符號	單位	預設值	參數名稱	意義
VTO	V_t	伏特	-2.0	零偏壓臨界電壓	理想特性
beta	β	安培/伏特 ²	100 μ	製程轉導參數	
lambda	λ	伏特 ⁻¹	0	通道長度調變參數	通道長度調變效應
Rs	r_s	歐姆	0	源極歐姆電阻	
Rd	r_d	歐姆	0	汲極歐姆電阻	寄生電阻

1.4.2 JFET 的模型

圖 1-15 為 *n* 通道 JFET 的 SPICE 大信號等效模型，其中 D_s 和 D_d 分別描述源極或汲極至閘極的 *np* 接面。而 r_s 和 r_d 則代表源極和汲極的寄生電

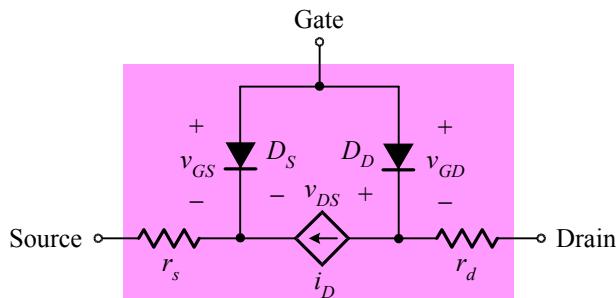


圖 1-15 *n* 通道接面場效電晶體之 SPICE 大訊號等效模型，其中 D_D 和 D_S 描述汲極或源極至閘極的 np 接面，而 r_s 和 r_d 則代表汲極的寄生電阻。

阻， i_D 為一受控電流源，主要是由 v_{GS} 和 v_{DS} 控制。注意，在 SPICE 中 JFET 的電流電壓關係式和 MOSFET 非常類似：對 *n* 通道 JFET 而言，在三極區和飽和區之特性分別為

$$i_D = \beta[2(v_{GS} - V_{to})v_{DS} - v_{DS}^2] \quad v_{GS} > V_{to} \quad \text{且} \quad v_{DS} \leq v_{GS} - V_{to} \quad (1-19)$$

和

$$i_D = \beta(v_{GS} - V_{to})^2 \quad v_{GS} > V_{to} \quad \text{且} \quad v_{DS} \geq v_{GS} - V_{to} \quad (1-20)$$

圖 1-16 為 JFET 的小訊號模型，其中轉導 g_m 為

$$g_m \triangleq \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{\text{操作點}} = 2\beta(V_{GS} - V_{to}) \quad (1-21)$$

輸出電導 g_{ds} 為

$$g_{ds} \triangleq \left. \frac{\partial i_D}{\partial v_{DS}} \right|_{\text{操作點}} \quad (1-22)$$

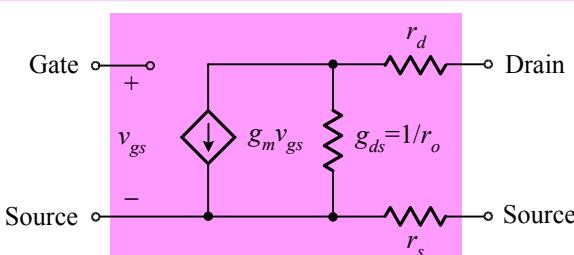


圖 1-16 JFET 之 SPICE 小訊號模型。

1.5 金半場效電晶體

1.5.1 MESFET 的描述語法

一 n 通道空乏模式 GaAs 金半場效電晶體(metal–semiconductor field–effect transistor，簡稱 MESFET)使用 SPICE 的描述語法與先前的元件均相同，包括兩個主要部份，一個是描述 MESFET 的模型名稱和它在網路上的連接節點，另一為描述元件的型式和內建的參數值，如圖 1-17 所示。

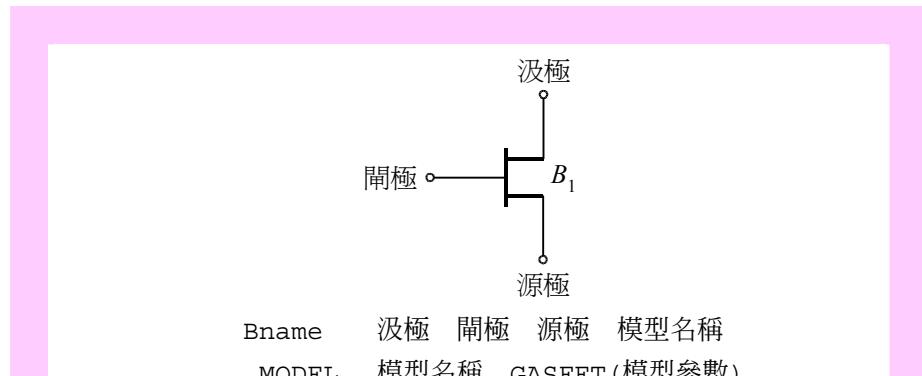


圖 1-17 n 通道空乏模式 GaAs MESFET。

表 1-6 MESFET 的 SPICE 參數。

SPICE 參數	符號	單位	預設值	參數名稱	意義
VTO	V_t	伏特	-2.5	夾止電壓	理想特性
beta	β	安培/伏特 ²	0.1	製程轉導參數	
alpha	α	伏特 ⁻¹	2.0	飽和電壓參數	曲線拼湊與提前飽和
lambda	λ	伏特 ⁻¹	0	通道長度調變參數	通道長度調變效應
Rg	r_g	歐姆	0	閘極歐姆電阻	寄生電阻
Rs	r_s	歐姆	0	源極歐姆電阻	
Rd	r_d	歐姆	0	汲極歐姆電阻	

在 SPICE 輸入檔中 MESFET 使用 B 為元件字首，腳位依序是汲極節點 (drain)、閘極節點(gate)、源極節點(source)。另一方面，同樣利用.MODEL 指令描述 JFET 的型式(GASFET)與 MESFET 的參數值(V_{to} 和 β 等)。

表 1-6 為 MESFET 的 SPICE 參數，表中所示與 JFET 大致相同，只有兩個部份不同。除了加入閘極歐姆電阻 R_g ，另外出現了飽和電壓參數 (saturation voltage parameter) α ，此參數主要作爲三極區與飽和區的曲線拼湊以及考慮 MESFET 中特有的提前飽和現象(early saturation phenomenon)。

1.5.2 MESFET 的模型

圖 1-18 為 n 通道 MESFET 的 SPICE 大信號等效模型，其中 D_S 和 D_D 分別描述閘極至源極或汲極的蕭基接面(Schottky junction)。而 r_g ， r_s 和 r_d 則代表閘極、源極和汲極的寄生電阻， i_D 為一受控電流源，主要是由 v_{GS} 和 v_{DS} 控制。

對於一階(level 1)MESFET 模型而言，其電流電壓特性爲

$$i_D = \begin{cases} 0 & v_{GS} < V_t \\ \beta(v_{GS} - V_t)^2 (1 + \lambda v_{DS}) \tanh(\alpha v_{DS}) & v_{GS} > V_t \end{cases} \quad (1-23)$$

在此值得特別注意的是，MESFET 在 SPICE 中是以一雙曲線正切函數 $\tanh(\alpha v_{DS})$ 去拼湊其整體的電流電壓特性。換言之，加入此因子

加入此因子 $\tanh(\alpha v_{DS})$ 後，此方程式可同時描述三極區以及飽和區。

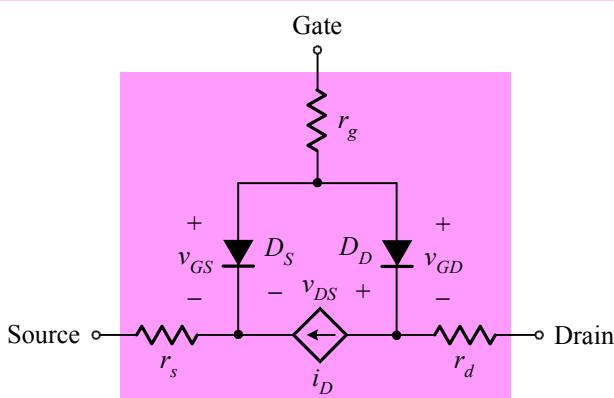


圖 1-18 n 通道金半場效電晶體之 SPICE 大訊號等效模型，其中 D_D 和 D_S 描述閘極至汲極或源極的蕭基接面，而 r_g ， r_s 和 r_d 則代表閘極，汲極和源極的寄生電阻。

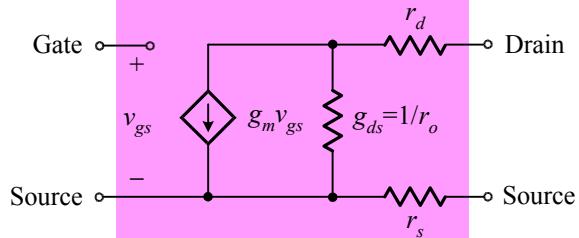


圖 1-19 在忽略閘極電阻下，MESFET 之 SPICE 小訊號模型。

$\tanh(\alpha V_{DS})$ 後，此方程式可同時描述三極區以及飽和區。此外，此因子 $\tanh(\alpha V_{DS})$ 的加入亦傳達出 MESFET 中的提前飽和現象。

圖 1-19 為 MESFET 的小訊號模型，其中轉導 g_m 為

$$g_m \triangleq \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{\text{操作點}} = 2\beta(V_{GS} - V_t)(1 + \lambda V_{DS}) \tanh(\alpha V_{DS}) \quad (1-24)$$

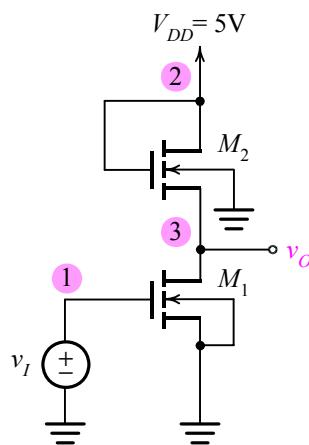
輸出電導 g_{ds} 為

$$g_{ds} \triangleq \left. \frac{\partial i_D}{\partial v_{DS}} \right|_{\text{操作點}} \quad (1-25)$$

其中 $g_{ds} = \frac{1}{r_o}$ ， r_o 為 MESFET 的輸出電阻。

S 練習題

- 1.1 根據(1-2)式二極體電流電壓關係式，若 $I_S = 10^{-15} \text{ A}$ ，欲實現 1mA 二極體($v_D = 0.7 \text{ V}$ 時， $i_D = 1 \text{ mA}$)的特性，則所需搭配的理想因子 n 值為何？
- 1.2 利用 SPICE 執行圖 1-3 的輸入檔，並掃描出二極體電流電壓特性曲線。
- 1.3 嘗試修改圖 1-7 所示齊納二極體的副電路滿足下列要求： D_f 為習題 1.1 的 1mA 二極體， D_r 中理想二極體的參數為 $I_S = 10^{-15} \text{ A}$ 和 $n = 0.0001$ ， V_B 和 r_Z 維持不變。
- 1.4 利用本文(1-6)和(1-7)二式，證明(1-9)式中之 $r_\pi = \beta_F / g_m$ 。
- 1.5 針對一加強式負載 NMOS 反相器電路，如附圖。試以 SPICE 寫下此電路的輸入檔，分析需求為計算 $v_I = 5 \text{ V}$ 時對應的輸出電壓。



習題 1.5 附圖

參考書目

1. G. W. Roberts and A. S. Sedra “SPICE” 2nd ed. Oxford University Press, 1997.
2. A. S. Sedra and G. W. Roberts. “Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith” Fort Worth: Saunders College Pub, 1992.
3. P. W. Tuinenga, “SPICE: A Guide to Circuit Simulation Analysis Using Psice: IBM-PC 3.5” 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
4. K. Lee, “Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator” Englewood Cliffs, N. J.: Prentice Hall, 1993.
5. A. S. Sedra and K. C. Smith, “Microelectronic Circuits”, 6th ed. Oxford university Press, 2009.
6. R. T. Howe and C. G. Sodini, “Microelectronics: An Integrated Approach,” Prentice-Hall International, Inc, 1996.
7. Y. Taur and T. H. Ning, “Fundamentals of Modern VLSI Devices,” 2nd ed. Cambridge University Press, 2009.
8. D. A. Neamen, “Semiconductor Physics and Devices: Basic Principles,” 3rd ed. , McGraw-Hill, 2002.
9. J. Millman and A. Grabel. “Microelectronics,” 3rd ed. New York: McGraw-Hill Book Co., 1999.
10. J. Millman and C. C. Halkias. “Integrated Electronics,” McGraw-Hill Book Company, New York, 1972.
11. S. M. Sze, and M. K. Lee “Semiconductor Devices, Physics and Technology,” 3rd ed. New York: Wiley, 2012.
12. M. H. Rashid, “Introduction to PSpice Using OrCAD for Circuits and Electronics”, 3rd Ed., Prentice-Hall, 2004.
13. J. Keown, “OrCAD PSpice and Circuit Analysis,” 4th ed., Prentice-Hall, Inc, 2000.
14. 張文清, “微電子學上冊”, 二版, 台北鼎茂圖書, 2013。

2

半導體元件的曲線追蹤

本章將介紹二極體(*pn* 接面和齊納二極體)、BJT、MOSFET(加強式和空乏式)、JFET 和 MESFET 等五種半導體元件的曲線追蹤。在 SPICE 中曲線追蹤祇需要一個非常簡單的指令——直流掃描分析指令.DC。故對於半導體元件許多複雜特性曲線感到混淆甚至沮喪的同學，祇要願意研讀本章或是直接上機模擬，必然會有不同於以往修課的感受與心得。

本章掃描的曲線有二極體在順偏、截止和逆偏的曲線，BJT 的共射輸出特性以及不同的歐萊電壓對曲線的影響，加強式和空乏式 MOS 的共源輸出特性與轉移特性，JFET 和 MESFET 的特性曲線。其中在 MESFET 部份，我們將在電流電壓關係式中加入 $\tanh(\alpha v_{DS})$ 因子，除了可同時表達出三極區與飽和區外，亦可透過此因子傳達 MESFET 中獨特的提前飽和現象。

- 2.1 二極體的特性曲線
- 2.2 BJT 的特性曲線
- 2.3 MOSFET 的特性曲線
- 2.4 JFET 的特性曲線
- 2.5 MESFET 的特性曲線

2.1 二極體的特性曲線

2.1.1 二極體的曲線追蹤

爲了掃描 pn 接面二極體 $i - v$ 特性曲線，可利用 SPICE 做爲一曲線追蹤器 (curve tracer)。首先，我們假設當二極體導通電流爲 1mA ，其順向偏壓爲 0.7V 。圖 2-1 為一以 SPICE 模擬二極體 $i - v$ 特性的電路，圖 2-2 為其 SPICE 輸入檔。請注意輸入檔中關於模型參數部份，由於二極體在順向偏壓時，

$$i_D = I_S e^{v_D/nV_T} \quad (2-1)$$

於是理想因子 n 可表示爲

$$n = \frac{v_D}{V_T \ln\left(\frac{i_D}{I_S}\right)} \quad (2-2)$$

若代入 $v_D = 0.7\text{ V}$ ， $i_D = 1\text{mA}$ ， $V_T = 0.02589\text{V}$ 和 $I_S = 10^{-14}\text{ A}$ ，可得 $n = 1.0675$ 。另外，圖 2-2 輸入檔中使用直流掃描指令 DC，

```
.DC VD 0V 800mV 200uV
```

以上指令代表對 v_D 以每 $200\mu\text{V}$ 為一單位作直流特性掃描，從 0V 掃描至 800mV 。掃描出的電流電壓特性顯示於圖 2-3，其中圖 2-3(a)爲線性座標，圖 2-3(b)爲半對數座標。此外，指數特性曲線的確穿過 $(0.7\text{V}, 1\text{mV})$ 之座標點，符合一個 1mA 二極體的基本特性。

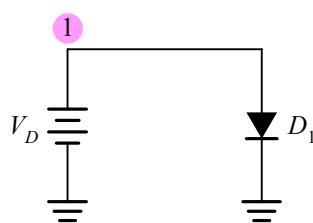


圖 2-1 掃描二極體 $i - v$ 特性曲線之 SPICE 電路。

```

Forward Characteristics of a 1mA Diode

* circuit description *
VD 1 0 DC 700mV
* diode model statement
D1 1 0 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)
* analysis requests *
.DC VD 0V 800mV 200uV
* output requests *
.PLOT DC I(VD)
.probe
.end

```

圖 2-2 掃描一 1mA 二極體電流電壓特性之 SPICE 輸入檔。

2.1.2 溫度效應

另一方面，為了研究溫度變化對二極體 $i-v$ 特性曲線的影響，我們使用溫度分析指令 TEMP 來分析圖 2-1 的電路：

```
.TEMP 0 27 100
```

指令中分別顯示出欲分析的溫度 0°C 、 27°C 和 100°C 。

圖 2-5 為 SPICE 模擬結果。注意圖中橫軸所代表的是 $-I(VD)$ ，這是因為 SPICE 中，電壓源內部電流的定義方向是由正端流向負端，與本電路二極體順偏電流的方向恰好相反，故在 $i-v$ 特性曲線的掃描時取電流為負值。由溫度分析結果可知，溫度上升時，順偏特性曲線向左偏移。現在我們固定順偏電流為 1mA 時，則在 $T = 27^{\circ}\text{C}$ 和 $T = 0^{\circ}\text{C}$ 所對應之偏壓值分別為 700mV 和 743mV。計算後得知，當電流固定在 $i = 1\text{mA}$ 時，每上升 1°C ，則 v_D 約下降 1.6mV。

溫度上升時，順偏特性曲線向左偏移。

當電流固定在 $i=1\text{mA}$ 時，每上升 1°C ，則 v_D 約下降 1.6mV。

2.1.3 逆向崩潰區

圖 2-6 為掃描二極體完整特性曲線之 SPICE 輸入檔。所謂完整特性曲線是指除了順偏區外，還包括存在逆偏飽和電流的截止區(cutoff region)以及出現逆偏大電流的崩潰區(breakdown region)。輸入檔中與崩潰區相關的指令如下：

```
.model 1mA_diode D (Is=0.01pA n=1.0675 BV=6V IBV=1nA)
```

其中 $BV = 6V$ 代表逆偏崩潰電壓 V_{ZK} 為 $6V$ ， $I_{bv} = 1nA$ 則代表逆偏崩潰電流 I_{ZK} 為 $1nA$ 。經直流掃描後所得的完整特性曲線顯示於圖 2-7。

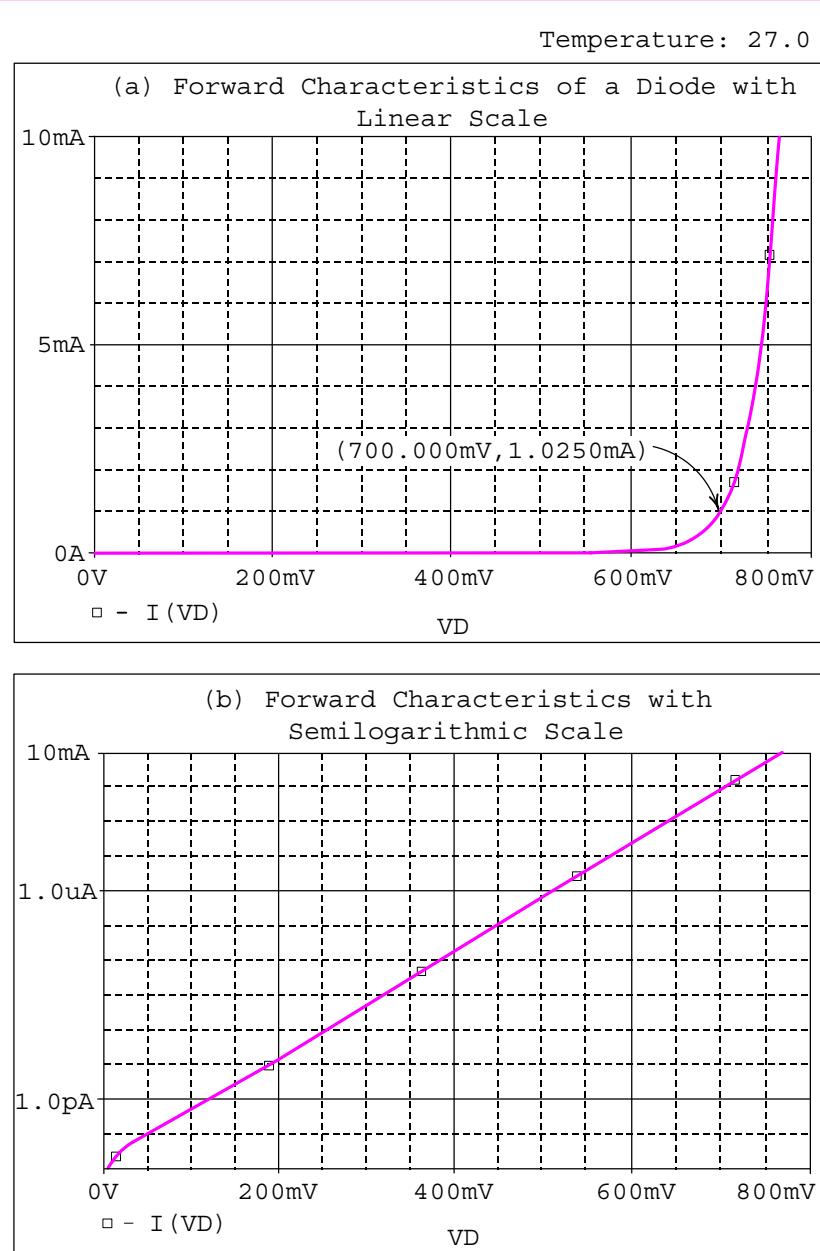


圖 2-3 — 1mA 二極體在順偏區的電流電壓特性曲線：(a)線性座標，(b)半對數座標。

Temperature Effect of I-V characteristics

```

* Circuit Description
VD 1 0 DC 700mV
D1 1 0 1mA_diode
* diode model statement
.model 1mA_diode D (Is=0.01pA n=1.0675)
* analysis requests *
.DC VD 0V 800mV 200uV
.TEMP 0 27 100
* Output Requests
.PLOT DC I(VD)
.probe
.end

```

圖 2-4 掃描二極體的 $i - v$ 特性並考慮溫度變化對特性曲線影響之 SPICE 輸入檔。

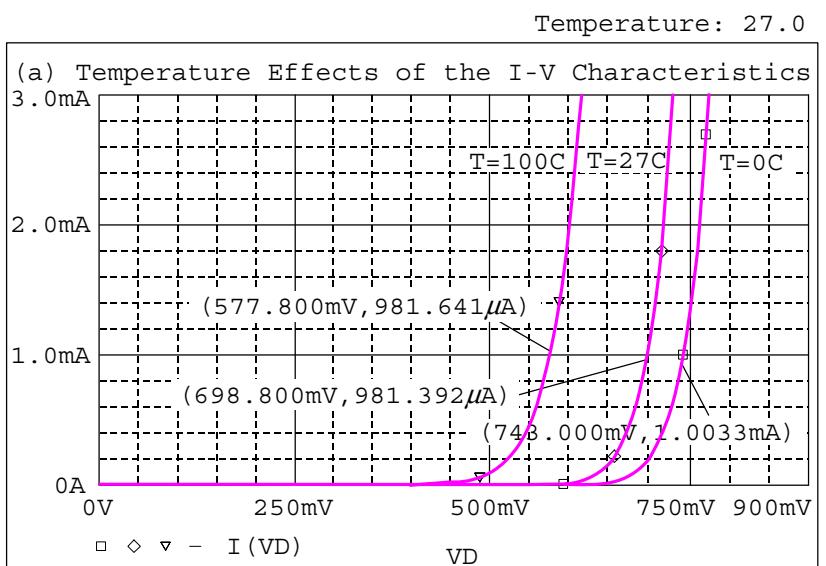


圖 2-5 溫度對二極體順向 $i - v$ 特性曲線。由圖可知當電流固定在 1mA 時，每上升 1°C，順偏電壓約下降 1.6mV。

```

Breakdown Characteristics of a Diode

* circuit description *
VD 1 0 DC 700mV
* model description
D1 1 0 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675 Bv=6V Ibv=1nA)
* analysis requests *
.DC VD -6.5V 1V 0.1mV
* output requests
.PLOT DC I(VD)
.probe
.end

```

圖 2-6 掃描二極體包括截止區與逆向崩潰區之完整特性曲線之 SPICE 輸入檔。

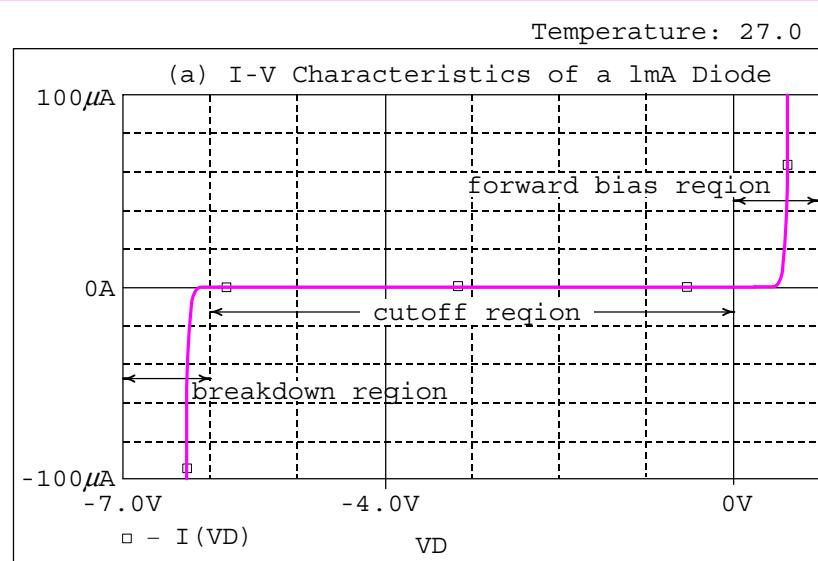


圖 2-7 二極體包括截止區及逆向崩潰區的完整特性曲線。

2.2 BJT 的特性曲線

2.2.1 BJT 的曲線追蹤

圖2-8 為掃描雙載子接面電晶體共射輸出特性(common-emitter output

characteristics)之 SPICE 電路圖，圖 2-9 為其 SPICE 輸入檔。首先，我們將基極電流指定在 $10\mu\text{A}$ 並掃描其共射輸出特性，在此假設順向歐萊電壓(forward Early voltage)為 35V ，並在模型描述中加入此參數設定值。注意輸入檔中的直流掃描指令

```
DC Vce 0V +10V 10mV Ib 1u 10u 1u
```

請注意上述語法與以往的直流掃描指令有所不同。其中 DC 指令同時對兩個變數 v_{CE} 和 i_B 作直流掃描，分別說明掃描起點、終點和掃描間隔。圖 2-10 為 BJT 共射輸出特性曲線，圖 2-10(a)為基極電流 $10\mu\text{A}$ 時之共射輸出特性，圖 2-10(b)為不同的基極電流對共射輸出特性的影響。

集極電流和緩上升區間為順向主動區，而集極電流急速變化區間為飽和區。

2.2.2 基極寬度調變效應

在 BJT 的 SPICE 模型中出現一重要參數——歐萊電壓(Early voltage)

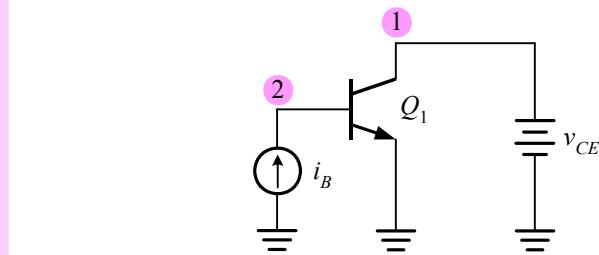


圖 2-8 掃描 BJT 共射輸出特性之 SPICE 電路圖。

```
BJT I-V Characteristics
* circuit description
Vce 1 0 DC 0V
Ib 0 2 DC 10uA
* transistor model description *
Q1 1 2 0 npn transistor
.model npn transistor npn (Is=1.8e-15 Bf=100 VAF=35V)
.DC Vce 0V +10V 10mV Ib 1u 10u 1u
.PLOT DC I(Vce)
.probe
.end
```

圖 2-9 掃描雙載子接面電晶體共射輸出特性之 SPICE 輸入檔。

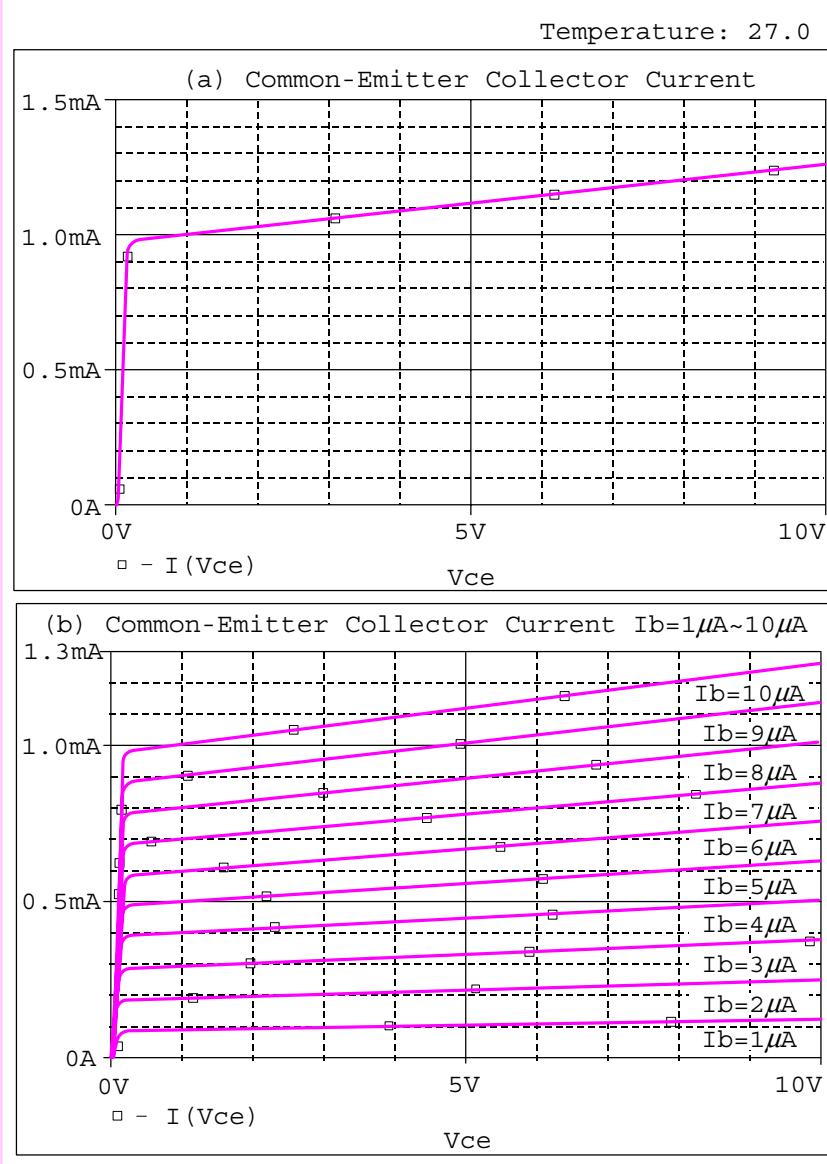


圖 2-10 BJT 之共射輸出特性：(a) $i_B=10\mu\text{A}$ 之電流電壓特性曲線，
(b)變化基極電流對共射輸出特性之影響。

V_{AF} ，其 SPICE 名稱為 VAF。這個參數主要代表基極寬度調變效應 (base-width modulation effect，又名歐萊效應)的嚴重程度。此效應主要陳述在順向主動區時，BJT 並非一理想的定電流源且集極電流 i_C 將隨 v_{CE} 的增加而增加。

在順向主動區時，BJT 並非一理想的定電流源且集極電流 i_C 將隨 v_{CE} 的增加而增加。

```

BJT I-V Characteristics with Different Vaf

* Circuit Description (Vaf=10V)
Vce 1 0 DC 0V
Ib 0 2 DC 10uA
Q1 1 2 0 npn_transistor
* BJT model description *
.model npn_transistor npn (Is=1.8e-15 Bf=100 VAf=10V)
* analysis requests
.DC Vce -12V +10V 10mV
* output requests
.plot DC I(Vce)
.probe
.end

* Circuit Description (Vaf=35V)
Vce 1 0 DC 0V
Ib 0 2 DC 10uA
Q1 1 2 0 npn_transistor
* BJT model description *
.model npn_transistor npn (Is=1.8e-15 Bf=100 VAf=35V)
* analysis requests
.DC Vce -12V +10V 10mV
* output requests
.plot DC I(Vce)
.probe
.end

* Circuit Description (Vaf=1e5V)
Vce 1 0 DC 0V
Ib 0 2 DC 10uA
Q1 1 2 0 npn_transistor
* BJT model description *
.model npn_transistor npn (Is=1.8e-15 Bf=100 VAf=1e5)
* analysis requests
.DC Vce -12V +10V 10mV
.plot DC I(Vce)
.probe
.end

```

圖 2-11 考慮一 BJT 中基極寬度調變效應之 SPICE 輸入檔。

圖 2-11 為考慮 BJT 基極寬度調變效應之 SPICE 輸入檔，其中分別對應 $V_{AF} = 10V$ 、 $35V$ 和 10^5V 。圖 2-12 則為掃描出的特性曲線，其中 $V_{AF} = 10V$ 時顯示歐萊效應很嚴重，且當 $v_{CE}=10V$ ， i_C 幾乎上升了一倍，由 $1mA$ 升至 $2mA$ 。而 $V_{AF}=10^5V$ 顯示歐萊效應幾乎不存在，即對應一理想的定電流源。

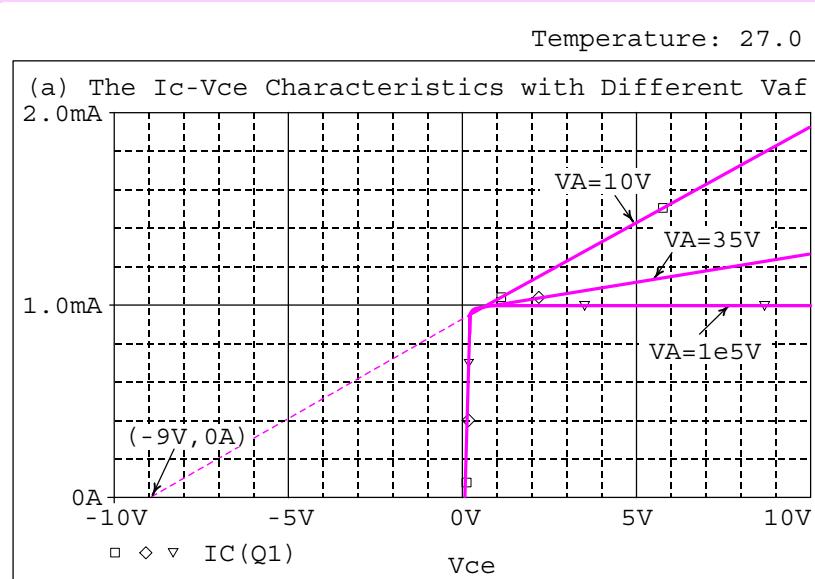


圖 2-12 顯示不同歐萊效應之共射輸出特性，其中歐萊電壓 V_{AF} 分別對應 $10V$ 、 $35V$ 和 10^5V 。

2.3 MOSFET 的特性曲線

2.3.1 加強式 MOSFET 的曲線追蹤

以下我們將掃描一 n 通道加強式 MOSFET 的 $i-v$ 特性曲線。假設 NMOS 之元件參數為 $K_P = \mu_n C_{ox} = 20 \mu\text{A}/\text{V}^2$ 、 $V_{to} = +1\text{V}$ 、 $W/L = 40$ 及 $\lambda = 0$ ，並對照圖 2-13 的電路。首先我們將電壓 v_{GS} 和 v_{DS} 設為常數，再使用指令.DC 來掃描其電流電壓特性。圖 2-14 為其 SPICE 輸入檔，請注意直流掃描指令.DC

```
.DC Vds 0V 10V 10mV Vgs 1V 5V 1V
```

以上指令代表同時對 v_{DS} 與 v_{GS} 作直流掃描，其中 v_{GS} 由 1V 掃描至 5V ，每 1V 掃描一次。而對一固定的 v_{GS} 而言， v_{DS} 由 0V 掃描至 10V ，每 10mV 作一次掃描。此外值得注意的是，上述偏壓條件指令中關於 v_{DS} 與 v_{GS} 的數值可先任意指定(例如 $v_{DS} = 10\text{V}$ 和 $v_{GS} = 4\text{V}$)，之後再利用.DC 指令對 v_{DS} 與 v_{GS} 作直流掃描。如此一來，就可利用 SPICE 追蹤出 MOSFET 的 $i_D - v_{DS}$ 特性曲線，如圖 2-15 所示。

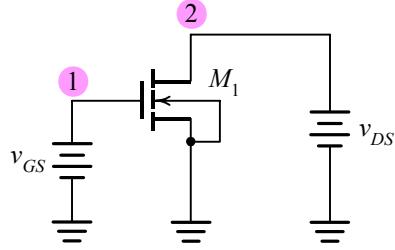


圖 2-13 掃描—n通道加強式 MOSFET 電流電壓特性曲線的電路。

Id-Vds Characteristics of a N-Channel E-Type MOSFET

```

*circuit description
Vds 2 0 DC 10V
Vgs 1 0 DC 4V
* MOSFET model description
M1 2 1 0 0 e_mos L=10u W=400u
.model e_mos nmos (KP=20u Vto=1V lambda=0)
* analysis requests
.DC Vds 0V 10V 10mV Vgs 1V 5V 1V
.probe
.end

```

圖 2-14 掃描—n通道加強式 MOSFET $i - v$ 特性之 SPICE 輸入檔。上述偏壓條件指令中關於 v_{DS} 和 v_{GS} 的數值可先任意指定(例如 $v_{DS} = 10V$ 和 $v_{GS} = 4V$)，之後再利用.DC 指令對 v_{DS} 以及 v_{GS} 作直流掃描。

同樣地，我們可將 v_{DS} 設為定值($v_{DS} = 6V$)，對 v_{GS} 作直流掃描，就可以得到 MOSFET 的 i_D 對 v_{GS} 的特性曲線。圖 2-16 為掃描 i_D 對 v_{GS} 特性的 SPICE 輸入檔。注意在輸入檔中 v_{GS} 可先任意指定，再利用.DC 指令對 v_{GS} 掃描。圖 2-17 為掃描出的 i_D 對 v_{GS} 之特性曲線。請注意在飽和區(v_{GS} 小於 7V)時，滿足 $v_{DS} > v_{GS} - V_t$ ， i_D 對 v_{GS} 特性為拋物線：

$$i_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_{to})^2 = 400(v_{GS} - 1)^2 (\mu A) \quad (2-3)$$

在飽和區(v_{GS} 小於 7V)時，滿足 $v_{DS} > v_{GS} - V_t$ ， i_D 對 v_{GS} 特性為拋物線。當 v_{GS} 大於 7V 時，對應 $v_{DS} < v_{GS} - V_t$ ，代表元件進入三極區，此時 i_D 對 v_{GS} 特性為直線：

當 v_{GS} 大於 7V 時，對應 $v_{DS} < v_{GS} - V_t$ ，代表元件進入三極區，此時 i_D 對 v_{GS} 特性為直線：

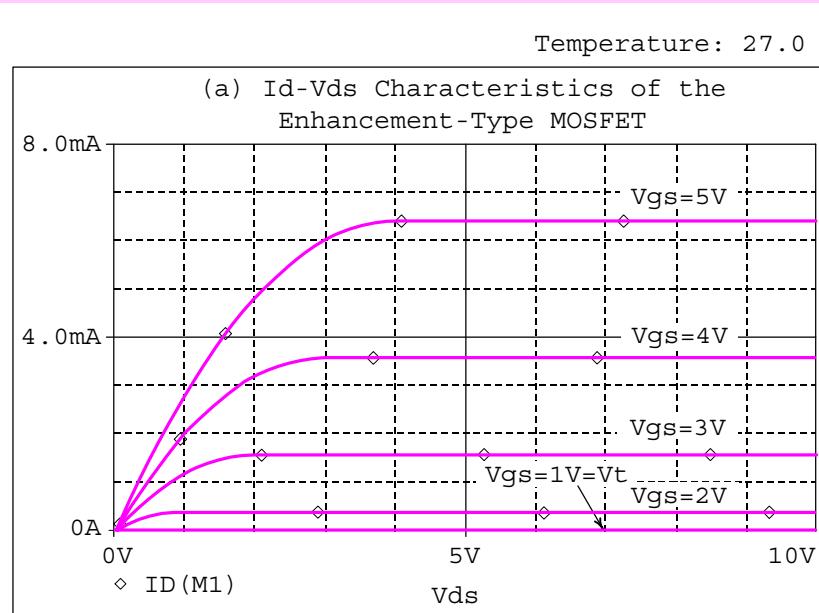


圖 2-15 — n 通道加強式 MOSFET 的共源輸出特性曲線，其中
 $\mu_n C_{ox} = 20 \mu\text{A/V}^2$ ， $V_{to} = 1\text{V}$ ， $W/L = 40$ 和 $\lambda = 0$ 。

Id-Vgs Characteristics of a N-Channel Enhancement-Type MOSFET

```

*circuit description
Vds 2 0 DC 6V
Vgs 1 0 DC 4V
*MOSFET model description
M1 2 1 0 0 e_mos L=10u W=400u
.model e_mos nmos (kp=20u Vto=+1V lambda=0)
* analysis requests
.DC Vgs 0V 12V 50mV
* output requests *
.PLOT DC I(Vgs) V(2)
.probe
.end

```

圖 2-16 模擬 MOSFET 之 $i_D - v_{GS}$ 特性之 SPICE 輸入檔，其中令為 v_{DS} 定值($v_{DS} = 6\text{V}$)並對 v_{GS} 作直流掃描。上述偏壓條件指令中關於 v_{GS} 的數值可先任意指定(例如 $v_{GS} = 4\text{V}$)，之後再利用.DC 指令對 v_{GS} 作直流掃描。

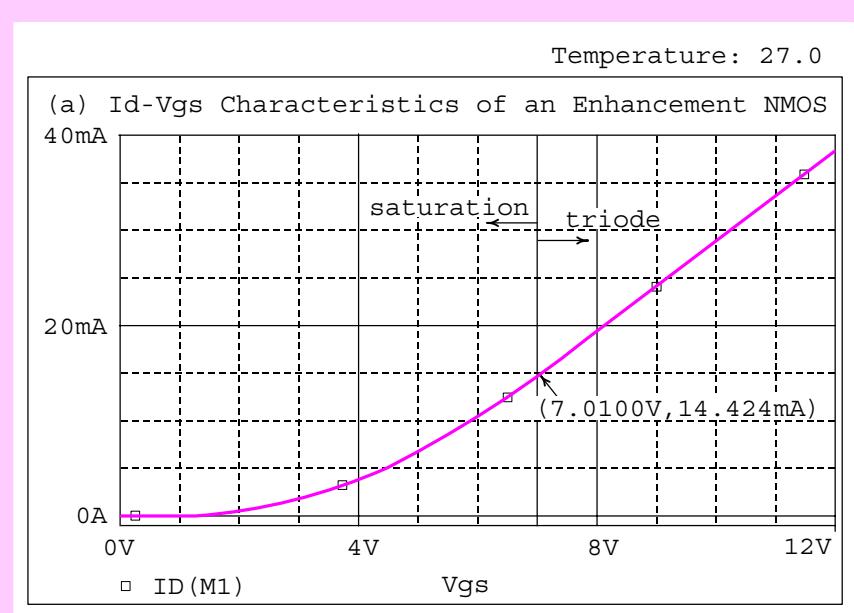


圖 2-17 — n 通道加強式 MOSFET 之 i_D 對 v_{GS} 特性曲線。注意當 v_{GS} 大於 7V 時，對應 $v_{DS} < v_{GS} - V_t$ ，代表 MOSFET 進入三極區，此時 i_D 對 v_{GS} 特性為直線，並非飽和區的拋物曲線。

$$i_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(v_{GS} - V_t)v_{DS} - v_{DS}^2] = 4.8v_{GS} - 19.2(\text{mA}) \quad (2-4)$$

2.3.2 空乏式 MOSFET 的曲線追蹤

以下我們將掃描一 n 通道空乏式 MOSFET 的共源輸出特性曲線。假設空乏式 NMOS 之元件參數為 $KP = \mu_n C_{ox} = 20\mu\text{A/V}^2$ 、 $V_{to} = -4\text{V}$ 、 $W/L = 40$ 及 $\lambda = 0$ 。首先我們將電壓 v_{GS} 和 v_{DS} 設為常數，再使用指令.DC 來掃描其電流電壓特性。圖 2-18 為其 SPICE 輸入檔，請注意直流掃描指令.DC

```
.DC Vds 0V 10V 10mV Vgs -4V 2V 1V
```

以上指令代表同時對 v_{DS} 與 v_{GS} 作直流掃描，其中 v_{GS} 由 -4V 掃描至 2V ，每 1V 掃描一次。而對一固定的 v_{GS} 而言， v_{DS} 由 0V 掃描至 10V ，每 10mV 作一次掃描。此外值得注意的是，上述偏壓條件指令中關於 v_{DS} 與 v_{GS} 的數值可先任意指定(例如 $v_{DS} = 10\text{V}$ 和 $v_{GS} = 0\text{V}$)，之後再利用.DC 指令對 v_{DS} 與 v_{GS} 作直流掃描。如此一來，就可利用 SPICE 追蹤出

MOSFET 的 $i_D - v_{DS}$ 特性曲線，如圖 2-19 所示。

```
Id-Vds Characteristics of a N-Channel D-Type MOSFET

*circuit description
Vds 2 0 DC 10V
Vgs 1 0 DC 0V
* MOSFET model description
M1 2 1 0 0 d_mos L=10u W=400u
.model d_mos nmos (KP=20u Vto=-4V lambda=0)
* analysis requests
.DC Vds 0V 10V 10mV Vgs -4V 2V 1V
.probe
.end
```

圖 2-18 掃描一 n 通道空乏式 MOSFET $i - v$ 特性之 SPICE 輸入檔，上述偏壓條件指令中關於 v_{DS} 和 v_{GS} 的數值可先任意指定(例如 $v_{DS} = 10V$ 和 $v_{GS} = 0V$)，之後再利用.DC 指令對 v_{DS} 以及 v_{GS} 作直流掃描。

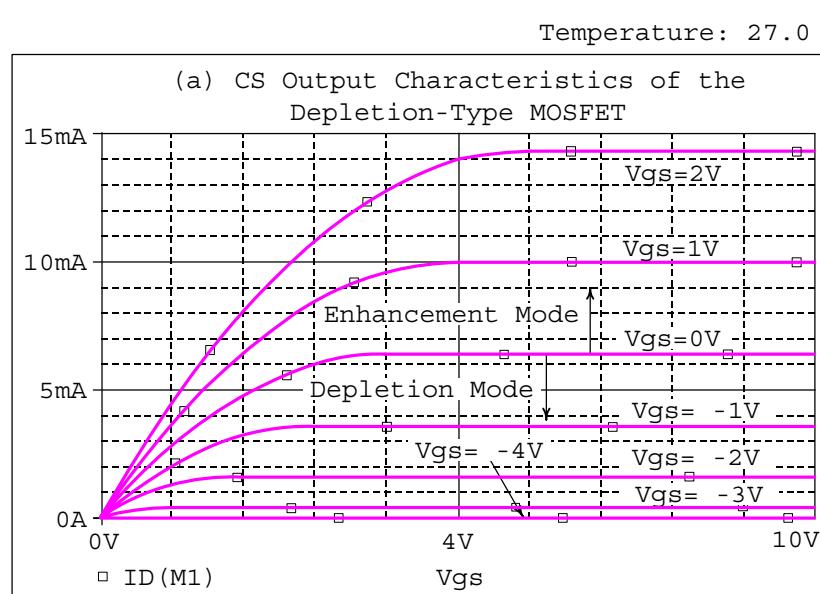


圖 2-19 — n 通道空乏式 MOSFET 的共源輸出特性曲線，其中元件參數為 $\mu_n C_{ox} = 20 \mu\text{A/V}^2$ ， $V_{to} = -4V$ ， $W/L = 40$ 和 $\lambda = 0$ 。

同樣地，我們可將 v_{DS} 設為定值($v_{DS} = 10V$)，對 v_{GS} 作直流掃描，就可以得到 MOSFET 的 $i_D - v_{GS}$ 的特性曲線。圖 2-20 為掃描 i_D 對 v_{GS} 特性的 SPICE 輸入檔。注意在輸入檔中 v_{GS} 可先任意指定，再利用.DC 指令對 v_{GS} 掃描。圖 2-21 為掃描出的 i_D 對 v_{GS} 之特性曲線。注意圖 2-21 與圖 2-17

```
Transfer Characteristics of a N-Channel D-Type MOSFET

*circuit description
Vds 2 0 DC 10V
Vgs 1 0 DC 0V
* MOSFET model description
M1 2 1 0 0 d_mos L=10u W=400u
.model d_mos nmos (KP=20u Vto=-4V lambda=0)
* analysis requests
.DC Vgs -4V 2V 5mV
.probe
.end
```

圖 2-20 掃描一空乏式 NMOS $i_D - v_{GS}$ 轉移特性之 SPICE 輸入檔。

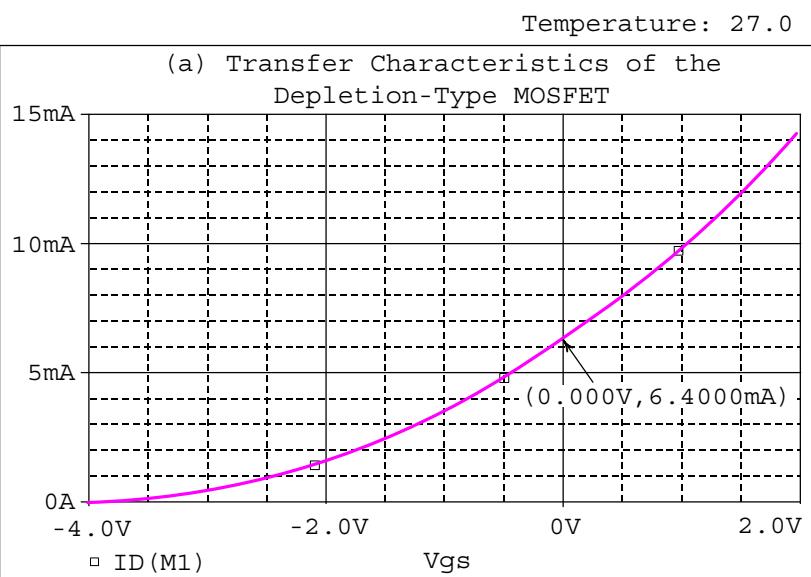


圖 2-21 一空乏式 NMOS 在飽和區內的 $i_D - v_{GS}$ 轉移特性曲線，其中 $\mu_n C_{ox} = 20 \mu\text{A/V}^2$, $V_{to} = -4V$, $W/L = 40$ 和 $\lambda = 0$ 。

並非平移關係。由於 v_{DS} 固定為 10V，在 v_{GS} 由 -4V 變化至 +2V 時，均維持 $v_{DS} > v_{GS} - V_t$ ，即元件始終工作在飽和區，於是 i_D 對 v_{GS} 始終呈現拋物曲線：

$$i_D = 400(v_{GS} + 4)^2 \quad (\mu\text{A}) \quad (2-5)$$

因此當 $v_{GS}=0\text{V}$ ， $i_D=6.4\text{mA}$ ，與圖 2-21 游標所顯示之數值吻合。

```
Id-Vds Characteristics of a N-Channel JFET

*circuit description
Vds 2 0 DC 10V
Vgs 1 0 DC 0V
* JFET model description
J1 2 1 0 jfet
.model jfet NJF ( beta=0.4m Vto=-4V lambda=0)
* analysis requests
.DC Vds 0V 10V 10mV Vgs -4V 0V 1V
.probe
.end
```

圖 2-22 掃描一 n 通道 JFET 共源輸出特性之 SPICE 輸入檔。

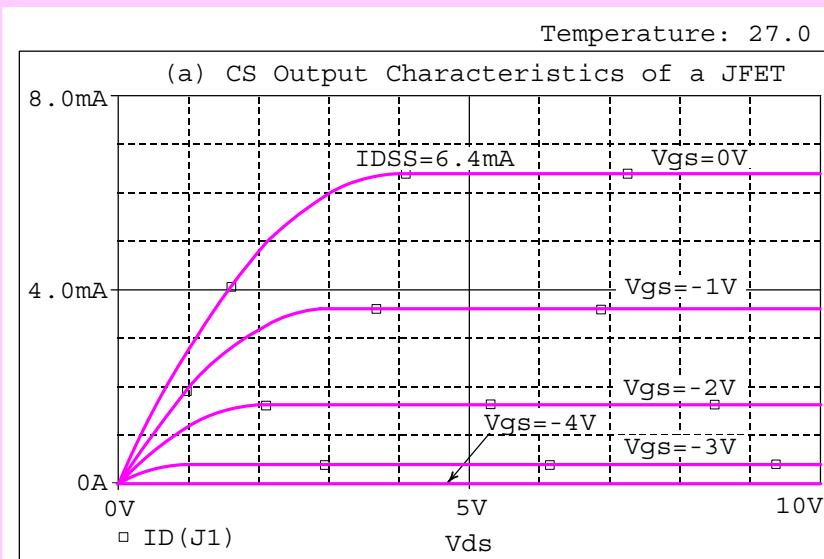


圖 2-23 一 n 通道 JFET 的 $i_D - v_{DS}$ 共源輸出特性，其中
 $\beta = I_{DSS}/V_{Io}^2 = 0.4\text{mA/V}^2$ ， $V_{to}=-4\text{V}$ 和 $\lambda=0$ 。

2.4 JFET 的特性曲線

圖 2-22 為掃描一 n 通道 JFET 共源輸出特性的 SPICE 輸入檔，掃描方式與 MOSFET 類似，在此不多作說明。圖 2-23 為掃描結果，其中 JFET 的元件參數為 $\beta = 0.4 \text{ mA/V}^2$ ， $V_{to} = -4\text{V}$ 和 $\lambda = 0$ 。

以下我們將檢視圖 2-23 中顯示的一些重要訊息。首先是 $v_{GS} = 0\text{V}$ 時所對應的飽和電流 I_{DSS} ，

$$I_{DSS} = \beta V_{to}^2 \quad (2-6)$$

代值後得 $I_{DSS} = 6.4\text{mA}$ ，與圖 2-23 所示一致。此外，定電流操作區間為飽和區，對應 $v_{DS} > v_{GS} - V_{to}$ 。而 I_D 隨 v_{DS} 減少而下降的區間則為三極區，對應 $v_{DS} < v_{GS} - V_{to}$ 。

2.5 MESFET 的特性曲線

圖 2-24 為掃描一 n 通道空乏模式 GaAs MESFET 的 $i_D - v_{DS}$ 特性曲線之 SPICE 輸入檔，其中 v_{GS} 固定為 0V 。

現令一 GaAsMESFET 的元件參數為 $\beta = 0.2\text{mA/V}^2$ ， $V_t = -1\text{V}$ ， $\lambda = 0.05\text{V}^{-1}$ ， $W = 10\mu\text{m}$ ， $L = 1\mu\text{m}$ 。至於飽和電壓參數(saturation voltage parameter) α 則分別取 $0.2, 0.5, 2, 10^5$ 。所得到 $i_D - v_{DS}$ 特性顯示於圖 2-25。

```
I-V Characteristics of a MESFET

* circuit description (alpha=0.2)
Vds 2 0 DC 12V
Vgs 1 0 DC 0V
* MESFET model description
B1 2 1 0 mesfet 10
.model mesfet GASFET (beta=0.2m Vto=-1V lambda=0.05 alpha=0.2)
* analysis requests
.DC Vds 0V 8V 5mV
* output requests
.probe
.end
```

圖 2-24 掃描一 n 通道空乏模式 GaAs MESFET 的 $i_D - v_{DS}$ 特性曲線之 SPICE 輸入檔。其中 v_{GS} 固定為 0V ，而飽和電壓參數 α 則取 0.2 。

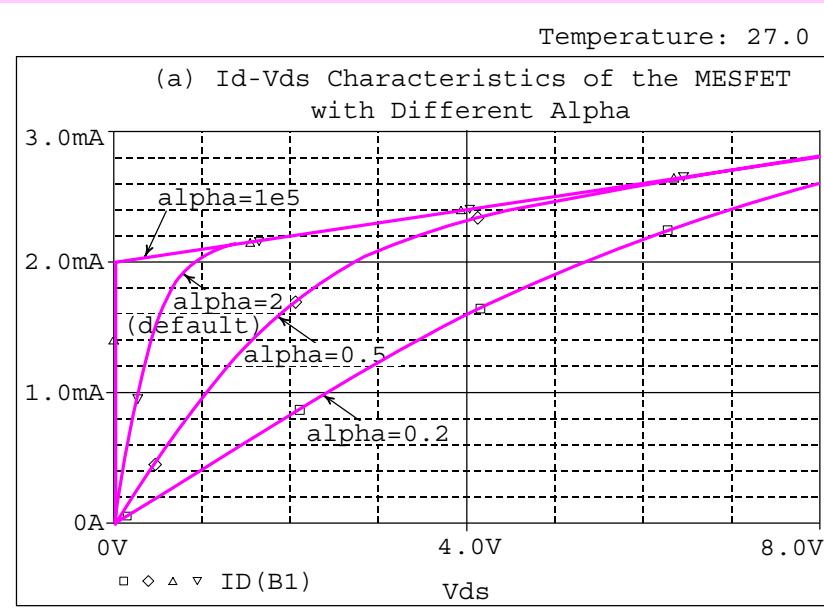


圖 2-25 — n 通道 GaAs MESFET 在 $v_{GS}=0V$ 且變化不同的飽和電壓參數 α 的條件下掃描出的 i_D-v_{DS} 特性曲線。

回顧上一章曾提及在電流電壓關係式中加入 $\tanh(\alpha v_{DS})$ 因子除了可同時表達出三極區與飽和區外，亦可透過此因子傳達 MESFET 中獨特的提前飽和現象。

- 2.1** 在 2.1 節中我們取熱電壓 V_T 為 $0.02589V$ ，若 V_T 改為 $0.025V$ ， I_S 保持 $10^{-14}A$ ，
- (a) 針對 $1mA$ 二極體($i_D = 1mA$ 時， v_D 對應 $0.7V$)所需搭配之理想因子 n 值為何？
- (b) 由(a)中計算的 n 值配合 $I_S = 10^{-14}A$ ，利用 SPICE 重新掃描二極體的特性曲線。
- 2.2** (a) 利用.DC 指令掃描二極體 D1N4148 包括順偏區，截止區以及崩潰區之整體電流電壓特性，D1N4148 的二極體模型敘述為
- ```
.model DIN4148 D (Is=0.1pA Rs=16 CJO=2p Tt=12n
BV=100 +Ibv=0.1p)
```
- (b) 承(a)小題，考慮溫度效應，即  $T = 0^\circ\text{C}$ ,  $27^\circ\text{C}$ ,  $100^\circ\text{C}$ 。

### S 練習題

### 2.3 利用 SPICE 繪出 BJT 偏壓電路中常見的負載線方程式：

$$V_{CC} = I_C R_C + V_{CE}$$

令  $V_{CC} = 10V$  和  $R_C = 10k\Omega$ ，將此負載線方程式直接繪於圖 2-10 的共射特性曲線上以獲得可能的直流操作點。

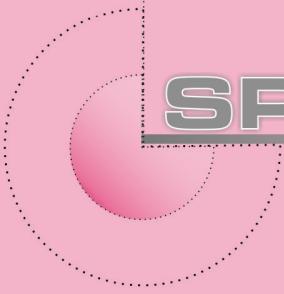
### 2.4 參考圖 2-15 加強式 NMOS 的共源輸出特性，由元件基本理論得知三極區與飽和區的邊界方程式為

$$i_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} v_{DS}^2$$

利用 SPICE 將此方程式以相同的參數繪於圖 2-15 之曲線上。

## 參考書目

1. G. W. Roberts and A. S. Sedra “*SPICE*” 2nd ed. Oxford University Press, 1997.
2. A. S. Sedra and G. W. Roberts. “*Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith*” Fort Worth: Saunders College Pub, 1992.
3. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits*,” 6th ed. Oxford University Press, 2009.
4. M. H. Rashid, “*SPICE for Circuit and Electronic Using Psice*” 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
5. G. Massobrio and P. Antognetti “*Semiconductor Device Modeling with SPICE*” 2nd ed. New York: McGraw-Hill, Inc. 1993.
6. B. G. Streetman, “*Solid State Electronic Devices*,” 4th ed. Englewood Cliffs, NJ; Prentice-Hall, Inc., 1995.
7. R. S. Muller and T. I. Kamins. “*Device Electronics for Integrated Circuits*,” John Wiley & Sons, New York, 1977.
8. J. Millman and A. Grabel. “*Microelectronics*,” 3rd ed. New York: McGraw-Hill Book Co., 1999.
9. D. Schiling and C. Belove. “*Electronic Circuits—Discrete and Integrated*,” McGraw-Hill Book Company, New York, 1979.
10. D. A. Hodges, “*Analysis and Design of Digital Integrated Circuits*,” 3th ed., McGraw-Hill Companies, 2003.
11. S. M. Sze, and M. K. Lee “*Semiconductor Devices, Physics and Technology*”, 3rd ed. New York: Wiley, 2012.
12. S. M. Sze and K. K. Ng, “*Physics of Semiconductor Devices*,” John Wiley & Sons, Inc., 2006.
13. J. Keown, “*OrCAD PSpice and Circuit Analysis*,” 4th ed., Prentice-Hall, Inc, 2000.
14. 張文清，“*微電子學上冊*”，二版，台北鼎茂圖書，2013。



**SPICE**

# 3

## 直流操作點分析

本章主要介紹電子電路的直流操作點分析，主要在於告訴讀者如何使用 SPICE 中的操作點分析指令.OP 和直流掃描指令.DC。內容包括基本二極體電路，齊納二極體限制器，橋式二極體限制器等電路轉換特性曲線的掃描。在 BJT 電路部份，除了熟悉 BJT 元件的基本操作模式(即截止、順向主動和飽和模式等)外，亦分析 BJT 放大器的偏壓電路與互補式偏壓電路。本章最後三節則是場效電晶體電路，計有加強式和空乏式 NMOS 的直流分析，JFET 與 BJT 複合電路以及 MESFET 電路的直流操作點分析。

- 3.1 二極體電路
- 3.2 BJT 電路
- 3.3 MOSFET 電路
- 3.4 JFET 電路
- 3.5 MESFET 電路

## 3.1 二極體電路

### 3.1.1 二極體電路的直流分析

**圖 3-1** 顯示一簡單的二極體電路，其直流操作點(operating point)必須同時滿足二極體順偏的指數特性：

$$I_D = I_S e^{V_D / nV_T} \quad (3-1)$$

以及迴路方程式：

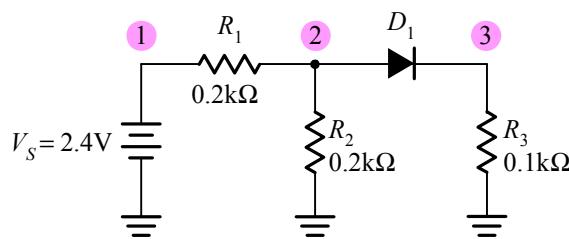


圖 3-1 一簡單的二極體電路。

```
DC Analysis of a Diode Circuit

* circuit description
Vs 1 0 DC 3.4V
VD1 2 3 0.7V
R1 1 2 0.2k
R2 2 0 0.2k
R3 3 0 0.1k
* diode model description
D1 2 3 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)
* analysis requests
.OP
.probe
.end
```

圖 3-2 圖 3-1 電路之 SPICE 輸入檔。

## 62 第3章 直流操作點分析

$$1.2 = 0.2I_D + V_D \quad (3-2)$$

若使用定電壓降模型(constant-voltage-drop model)，可估算出  $V_D=0.7V$  和  $I_D=2.5mA$ 。

圖 3-2 為圖 3-1 電路之 SPICE 輸入檔，其中假設二極體為 1mA 二極體，即  $I_s = 10^{-14} A$  和  $n = 1.0675$ 。利用直流操作點分析指令(operating point analysis command).OP 即可獲得直流分析結果，見圖 3-3。圖 3-3 顯示節點 3 的電壓為 0.2384V，代表二極體的導通電流  $I_D = 2.385mA$ ，對應的二極體電壓為 0.723V。

```
* SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODEVOLTAGE
(1) 3.4000 (2) 9617 (3) .2384

VOLTAGE SOURCE CURRENTS
NAME CURRENT
VS -7.192E-03
TOTAL POWER DISSIPATION 1.73E-02 WATTS
```

圖 3-3 圖 3-1 中二極體電路之直流分析結果。

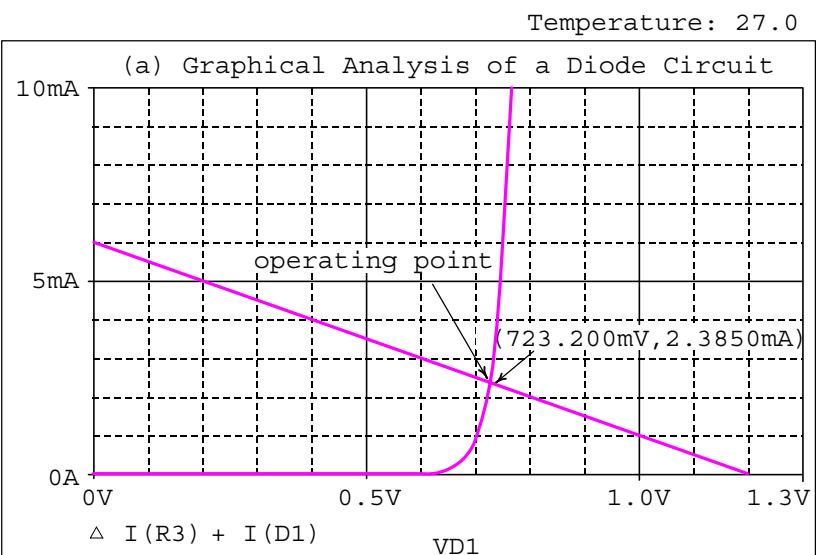


圖 3-4 圖 3-1 電路中操作點的圖解說明，解得的  $V_D = 0.723V$  和  $I_D = 2.385mA$ 。

在圖 3-2 輸入檔中，我們仍利用.DC 指令掃描出 1mA 二極體在順偏區的指數曲線，見圖 3-4。再合併(3-2)式之直流負載線(load line)即可得到直流操作點，解得的二極體電壓  $V_D = 0.723V$  和導通電流  $I_D = 2.385mA$ 。

### 3.1.2 二極體限制器

圖 3-5 所示為一二極體限制器(limiter)電路。若以定電壓降模型( $V_D = 0.7V$ )進行手算分析，可先計算線性區與飽和區的臨界電壓  $V_{cr}$ ：

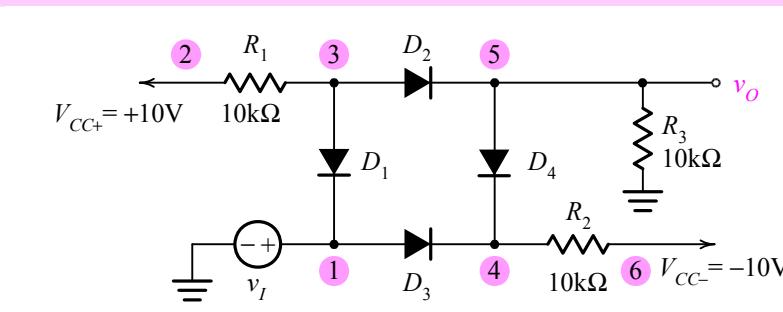


圖 3-5 一二極體限制器之 SPICE 電路圖。

Transfer Characteristics of a Diode Limiting Circuit

```
* circuit description
VCC+ 2 0 DC 10V
VCC- 6 0 DC -10V
Vi 1 0 DC 1V
R1 2 3 10k
R2 4 6 10k
R3 5 0 10k

* diode model description
D1 3 1 1mA diode
D2 3 5 1mA_diode
D3 1 4 1mA_diode
D4 5 4 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)
* analysis requests
.DC Vi -8V 8V 10mV
.probe
.end
```

圖 3-6 圖 3-5 限制器電路之 SPICE 輸入檔。

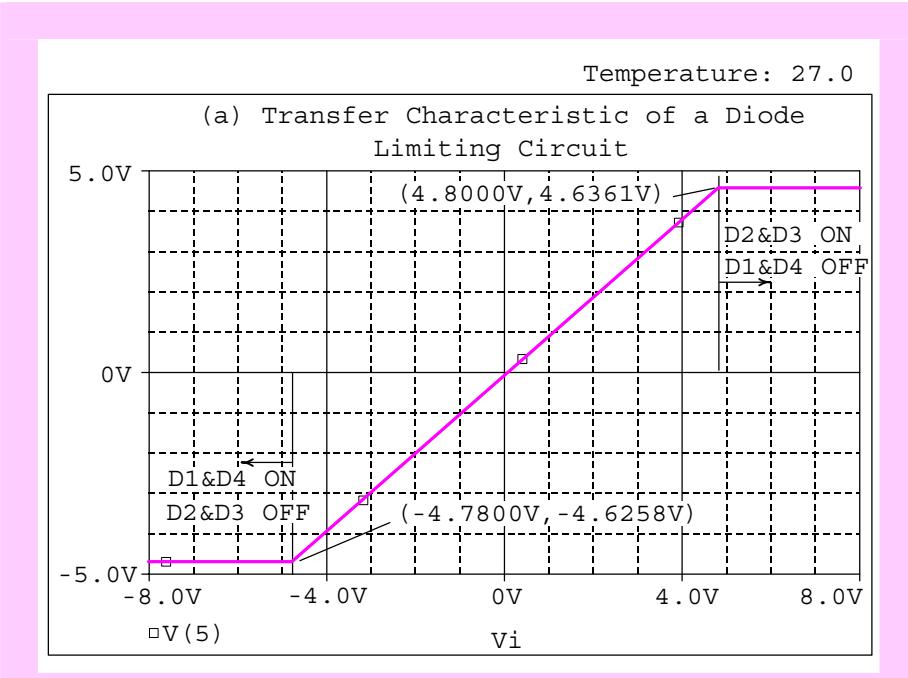


圖 3-7 圖 3-5 限制器電路之轉換特性，圖中顯示輸出飽和電壓為 $\pm 4.64V$ 。

$$V_{cr} = (10 - 0.7) \times \frac{10}{10 + 10} = 4.65V \quad (3-3)$$

當  $-4.65V \leq v_i \leq +4.65V$ ， $D_1$  至  $D_4$  全部導通，此時  $v_o = v_i$ 。當  $v_i \geq +4.65V$ ， $D_1$  和  $D_4$  截止， $D_2$  和  $D_3$  導通，則  $v_o$  被定位在正輸出飽和電壓，即  $+4.65V$ 。當  $v_i \leq -4.65V$ ， $D_2$  和  $D_3$  截止， $D_1$  和  $D_4$  導通，此時  $v_o$  被定位在負輸出飽和電壓，即  $-4.65V$ 。

以下將利用 SPICE 模擬此限制器電路，見圖 3-6 之 SPICE 輸入檔。與先前手算分析不同的是，我們使用 1mA 二極體的順偏指數特性作模擬，故模擬結果與手算分析必然有出入。輸入檔中使用.DC 指令掃描此限制器電路之轉換特性，所得結果見圖 3-7。圖 3-7 顯示線性區與飽和區之臨界點座標約為  $(4.8V, 4.64V)$ ，即輸出飽和電壓為  $4.64V$ ，與先前使用定電壓降模型之手算分析結果  $(4.65V)$  相當接近。

### 3.1.3 齊納二極體限制器

圖 3-8 為利用二個背對背相接的齊納二極體作為一限制器電路。本電路的工作原理如下：當  $v_i > V_D + V_{ZK}$  時， $Z_1$  順偏和  $Z_2$  崩潰，此時

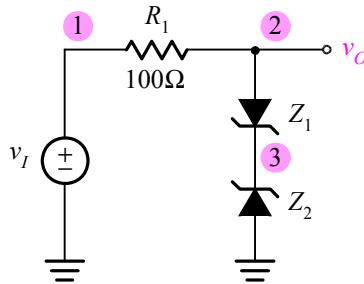


圖 3-8 齊納二極體限制器。

$$v_O = V_D + V_{ZK} \quad (3-4)$$

當  $v_I < -(V_D + V_{ZK})$  時， $Z_1$  崩潰和  $Z_2$  順偏，此時

$$v_O = -(V_D + V_{ZK}) \quad (3-5)$$

當  $-(V_D + V_{ZK}) < v_I < V_D + V_{ZK}$ ， $Z_1$  和  $Z_2$  截止，

$$v_O = v_I \quad (3-6)$$

以下使用 SPICE 模擬此電路，輸入檔見圖 3-9。與先前手算分析不同的是順偏二極體使用 1mA 二極體( $I_s = 10^{-14} A$  和  $n=1.0675$ )的指數曲線以及考慮崩潰區的齊納電阻( $r_z = 10\Omega$ )。請注意輸入檔中使用了副電路語法 .SUBCKT

```
.subckt zener_diode 1 2
Df 1 2 1mA_diode
Dr 2 4 ideal_diode
Vb 4 3 DC 7.3V
Rz 1 3 10
.model 1mA_diode D (Is=0.01pA n=1.1055)
.model ideal_diode D (Is=0.1pA n=0.001)
.ends zener_diode
```

副電路中  $D_f$  代表齊納二極體等效電路中之  $D_F$ ，我們假設  $D_F$  為一個 1mA-二極體(1mA-diode)，並令  $I_s = 0.01\text{pA}$  和  $n = 1.1055$ ，即 1mA 時， $V_{BE} = 0.7\text{V}$ ； $D_r$  則對應等效電路中之  $D_R$ ，注意在  $D_R$  參數設定中我們以極小的  $n$  值( $n=0.001$ )來模擬理想二極體之特性，即電壓將略大於 0V 時即呈現出急速上升的指數曲線。除此之外，副電路中  $V_b$  和  $R_z$  則分別對應等效電路中之  $V_B$  與  $r_z$ 。

此外，在輸入檔中主要利用.DC 指令掃描轉換特性，所得的結果見圖 3-10。圖中顯示模擬結果與手算分析大致吻合。至於圖 3-10 中出現飽

在  $D_R$  參數設定中我們以極小的  $n$  值( $n=0.001$ )來模擬理想二極體之特性。

Transfer Characteristics of a Zener-Diode Limiting Circuit

```

* zener diode subcircuit
.subckt zener diode 1 2
* node1: anode
* node2: cathode
Df 1 2 1mA_diode
Dr 2 4 ideal_diode
Vb 4 3 DC 7.3V
Rz 1 3 10
.model 1mA_diode D (Is=0.01pA n=1.0675)
.model ideal_diode D (Is=0.1pA n=0.001)
.ends zener_diode

* circuit description
Vi 1 0 DC 1V
R1 1 2 100
XZ1 2 3 zener_diode
XZ2 0 3 zener_diode
* analysis requests
.DC Vi -15V 15V 10mV
.probe
.end

```

圖 3-9 圖 3-8 齊納二極體限制器電路之 SPICE 輸入檔。

Temperature: 27.0

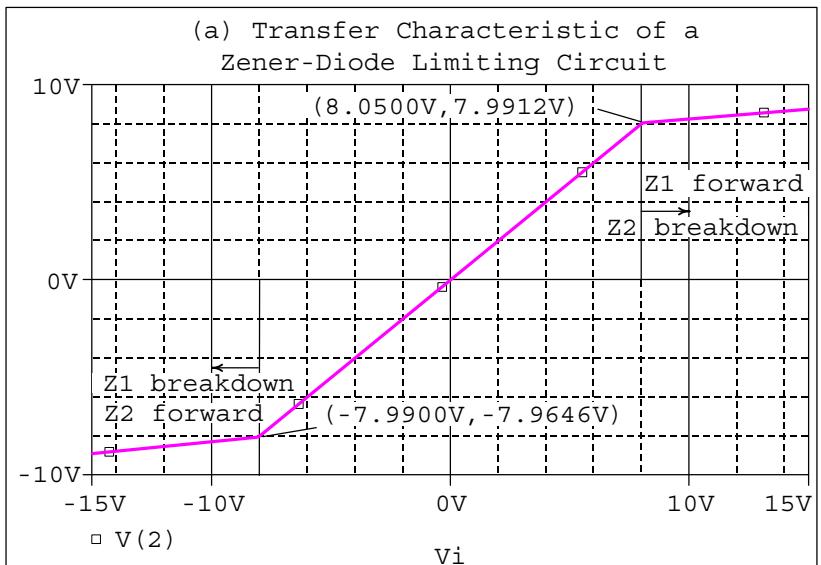


圖 3-10 圖 3-8 齊納二極體限制器電路之轉換特性。

和區電壓不是常數的現象，這是因為 SPICE 模擬時代入順偏二極體的指數特性並加入崩潰區的齊納電阻所致。

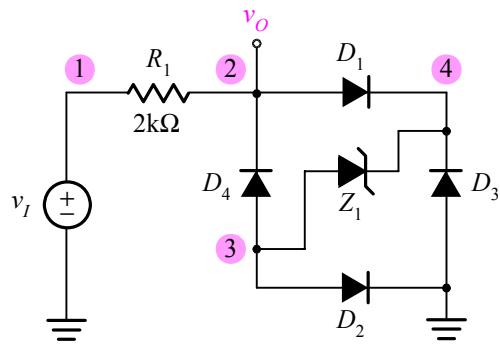


圖 3-11 橋式二極體限制器電路。

#### Transfer Characteristics of a Bridge-type Limiting Circuit

```

* zener diode subcircuit
.subckt zener_diode 1 2
* node1: anode
* node2: cathode
Df 1 2 1mA_diode
Dr 2 4 ideal_diode
Vb 4 3 DC 7.3V
Rz 1 3 10
.model 1mA_diode D (Is=0.01pA n=1.0675)
.model ideal_diode D (Is=0.1pA n=0.001)
.ends zener_diode

* circuit description
Vi 1 0 DC 1V
R1 1 2 2k
XZ1 3 4 zener_diode

* diode model description
D1 2 4 1mA_diode
D2 3 0 1mA_diode
D3 0 4 1mA_diode
D4 3 2 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)
* analysis requests
.DC Vi -15V 15V 10mV
.probe
.end

```

圖 3-12 圖 3-11 橋式二極體限制器電路之 SPICE 輸入檔。

### 3.1.4 橋式二極體限制器

圖 3-11 為使用四個 *pn* 接面二極體  $D_1$  至  $D_4$  以及一個齊納二極體  $Z_1$  所組成的橋式二極體限制器電路，手算分析簡介如下：當  $v_I > (V_{D1} + V_{ZK} + V_{D2})$  時， $D_1$  和  $D_2$  順偏， $D_3$  和  $D_4$  截止， $Z_1$  崩潰，此時出現正方向的輸出飽和，其值為

$$v_O = V_{D1} + V_{ZK} + V_{D2} \quad (3-7)$$

當  $v_I < -(V_{D3} + V_{ZK} + V_{D4})$ ， $D_3$  和  $D_4$  順偏， $D_1$  和  $D_2$  截止， $Z_1$  崩潰，此時出現負方向的輸出飽和，其值為

$$v_O = -(V_{D3} + V_{ZK} + V_{D4}) \quad (3-8)$$

當  $-(V_{D3} + V_{ZK} + V_{D4}) < v_I < (V_{D1} + V_{ZK} + V_{D2})$  時，五個二極體同處於截止狀態，此時電阻  $R_1$  上無電流且

$$v_O = v_I \quad (3-9)$$

以下使用 SPICE 模擬此電路，輸入檔見圖 3-12。與先前手算分析不同的是順偏二極體使用 1mA 二極體 ( $I_s = 10^{-14}$  A 和  $n=1.0675$ ) 的指數曲線以及考慮崩潰區的齊納電阻效應。圖 3-13 為利用 DC 指令掃描出的轉換特

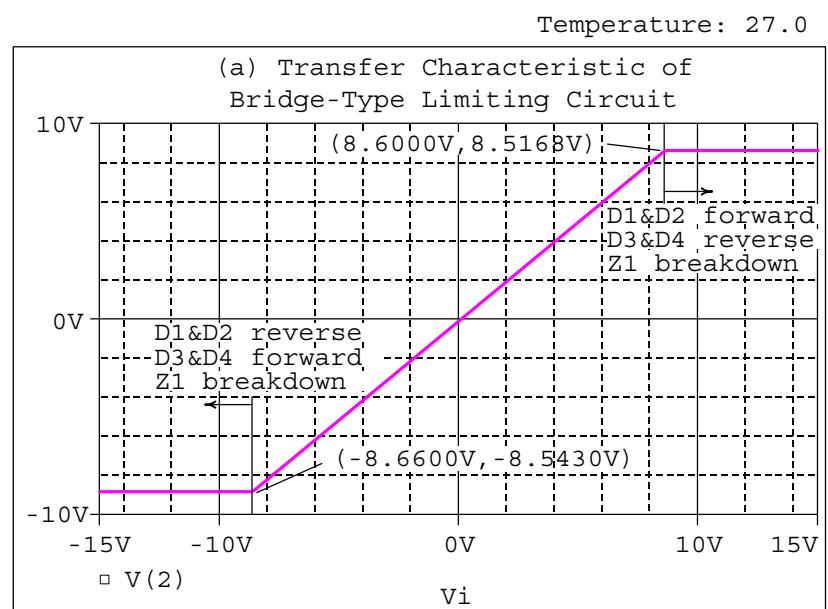


圖 3-13 圖 3-11 橋式二極體限制器電路之轉換特性。

性，圖中顯示兩側為飽和區，飽和電壓為 $\pm 8.5V$ ；中間為通過原點斜率為1的直線，代表模擬結果與手算分析幾乎一致。

## 3.2 BJT 電路

### 3.2.1 BJT 電路的直流分析

為了了解電晶體電路的操作特性，我們將以 $npn$ 電晶體為例，考慮一 $1mA$ 集極電流對應基射電壓 $v_{BE}$ 為 $0.7V$ 之電晶體，並假設 $\beta_F = 100$ 且 $V_{AF} = \infty$ 。回顧 BJT 在順向主動區的基本關係式：

$$i_C = I_S e^{v_{BE}/V_T} \left( 1 + \frac{V_{CE}}{V_{AF}} \right) \quad (3-10)$$

若忽略基極寬度調變效應， $V_{AF} = \infty$ ，則

$$i_C = I_S e^{v_{BE}/V_T} \quad (3-11)$$

代入上述數值得

$$1 \times 10^{-3} = I_S e^{0.7/25.88 \times 10^{-3}} \quad (3-12)$$

可得 $I_S = 1.8 \times 10^{-15}A$ ，我們將把此參數設定放入後續的模型描述中。

圖 3-14 為 $npn$ 電晶體之 SPICE 電路圖，圖 3-15 為其 SPICE 輸入檔，注意其元件描述：

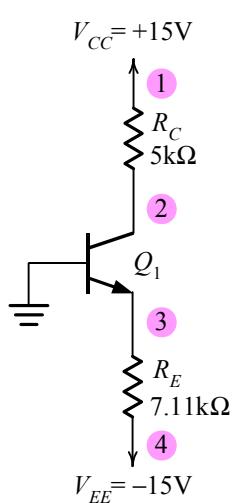


圖 3-14  $npn$  電晶體之 SPICE 電路圖。

```

Operation of NPN Transistor Circuit

* circuit description *
Vcc 1 0 DC +15V
Vee 4 0 DC -15V
Rc 1 2 5k
Re 3 4 7.11k
* transistor model description *
Q1 2 0 3 npn_transistor
.model npn_transistor npn (Is=1.8e-15 Bf=100)
* analysis requests *
.OP
.end

```

圖 3-15 *npn* 電晶體電路之 SPICE 輸入檔。

```

Q1 2 0 3 npn_transistor
.model npn_transistor npn (Is=1.8e-15 Bf=100)

```

其中參數設定值加入了飽和電流  $I_s$  和順向電流增益  $\beta_f$ 。此外，程式的最後使用了操作點分析指令 .OP。我們使用 .OP 指令來計算電晶體之直流操作點，圖 3-16 為其分析結果與小訊號偏壓解。我們可由直流操作點分析結果得知電晶體各變數數值(例： $i_B$  和  $v_{BE}$ )，亦可求出各端點電流間的關係以及節點電壓。

以下考慮手算分析並與模擬結果比較，首先將射基接面使用定電壓降模型，即  $V_{BE} = 0.7V$ ，於是射極電流  $I_E$  為

$$I_E = \frac{V_{EE} - V_{BE}}{R_e} = 2.01\text{mA} \quad (3-13)$$

和集極電流  $I_C$  為

$$I_C = \alpha_f I_E = \frac{\beta_f}{1 + \beta_f} I_E = 1.99\text{mA} \quad (3-14)$$

此外，小訊號參數亦可用手算分析估計：

$$g_m = \frac{I_C}{V_T} = \frac{1.99}{0.025} = 77\text{mA/V} \quad (3-15)$$

和

$$r_\pi = \frac{\beta_f}{g_m} = \frac{100}{77} = 1.3\text{k}\Omega \quad (3-16)$$

將以上三式手算分析結果與圖 3-16 的模擬結果對照，發現兩者幾乎一致。

```

* SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 15.0000 (2) 5.0553 (3) -.7172 (4)-15.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT

Vcc -1.989E-03
Vee 3.009E-03

TOTAL POWER DISSIPATION 6.00E-02 WATTS

*OPERATING POINT INFORMATION TEMPERATURE= 27.000 DEG C

BIPOLAR JUNCTION TRANSISTORS

NAME Q1
MODEL npn_transistor
IB 1.99E-05
IC 1.99E-03
VBE 7.17E-01
VBC -5.06E+00
VCE 5.77E+00
BETADC 1.00E+02
GM 7.69E-02
RPI 1.30E+03
RX 0.00E+00
RO 1.00E+12
CBE 0.00E+00
CBC 0.00E+00
CJS 0.00E+00
BETAAC 1.00E+02
CBX 0.00E+00
FT 1.22E+18

JOB CONCLUDED
OTAL JOB TIME .02

```

圖 3-16 *n-p-n* 電晶體電路之小訊號偏壓解與操作點分析。

### 3.2.2 BJT 的操作模式

BJT 有四種操作模式，順向主動、飽和，截止以及逆向主動(reverse active)，其定義與接面狀態之關係整理於表 3-1 中。

本節中將以圖 3-17 為例，並變化電阻值與直流電壓值，以使電晶體操作在不同的模式，依序分別為順向主動、飽和以及截止模式。

表 3-1 BJT 的四種操作模式。

| 操作模式 | 射基接面 | 集基接面 |
|------|------|------|
| 順向主動 | 順偏   | 逆偏   |
| 逆向主動 | 逆偏   | 順偏   |
| 飽和   | 順偏   | 順偏   |
| 截止   | 逆偏   | 逆偏   |

### 順向主動

考慮圖 3-17 所示之電晶體電路圖，圖 3-18 為圖 3-17 之 SPICE 輸入檔。我們將對此電路作操作點分析，並觀察集基接面與射基接面的電壓。圖 3-19 為其操作點分析結果，其中  $v_{BE} = 0.699V$ (順偏)， $v_{BC} = -3.04V$ (逆偏)，由此可以判斷電晶體位於順向主動區操作。

### 飽和

接下來將圖 3-17 中  $R_C$  改為  $8k\Omega$  並進行操作點分析，圖 3-20 為其分析結果，圖中顯示射基接面電壓  $v_{BE} = 0.703V$ (順偏)，集基接面電壓  $v_{BC} = 0.651V$ (順偏)，故電晶體操作於飽和區。

### 截止

最後為截止區的模擬，考慮將圖 3-17 中之  $4V$  直流電源移去並將基極接

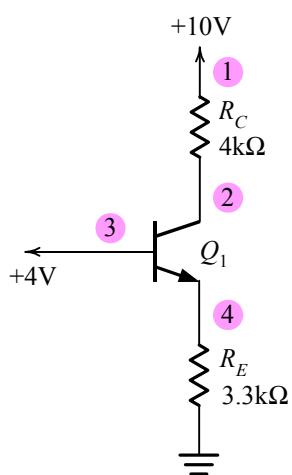


圖 3-17 雙載子接面電晶體直流分析之 SPICE 電路圖。

地做操作點分析。分析結果為圖 3-21，由射基接面電壓  $v_{BE}$  和集基接面電壓  $v_{BC}$  之數值： $v_{BE} \approx 0V$  和  $v_{BC} \approx -10V$ ，代表兩接面均為逆偏，於是此電晶體操作於截止區。此外讀者亦可由小訊號偏壓解中各節點電壓值與手算分析作比較。

```
DC Analysis of a BJT Circuit

* circuit description *
Vcc 1 0 DC +10V
Vbb 3 0 DC +4V
Rc 1 2 4k
Re 4 0 3.3k
* transistor model description*
Q1 2 3 4 npn_transistor
.model npn_transistor npn (Is=1.8e-15 Bf=100)
.OP
.end
```

圖 3-18 雙載子電晶體電路直流分析之 SPICE 輸入檔(主動區)。

```
*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 10.0000(2) 6.0385 (3) 4.0000 (4) 3.3009

*OPERATING POINT INFORMATION TEMPERATURE =27.000 DEG C

*BIPOLAR JUNCTION TRANSISTORS

NAME Q1
MODEL npn_transistor
IB 9.90E-06
IC 9.90E-04
VBE 6.99E-01
VBC -2.04E+00
VCE 2.74E+00
```

圖 3-19 雙載子電晶體電路之操作點分析結果，其中顯示元件工作於主動區。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 10.0000 (2) 3.3487 (3) 4.0000 (4) 3.2972

*OPERATING POINT INFORMATION TEMPERATURE =27.000 DEG C

*BIPOLAR JUNCTION TRANSISTORS

NAME Q1
MODEL npn_transistor
IB 1.68E-04
IC 8.31E-04
VBE 7.03E-01
VBC 6.51E-01
VCE 5.15E-02

```

圖 3-20 雙載子電晶體於飽和區工作之操作點分析結果。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 10.0000 (2) 10.0000 (3) 0.0000 (4) 33.01E-09

*OPERATING POINT INFORMATION TEMPERATURE =27.000 DEG C

*BIPOLAR JUNCTION TRANSISTORS
NAME Q1
MODEL npn_transistor
IB -1.00E-11
IC 3.00E-11
VBE -3.30E-08
VBC -1.00E+01
VCE 1.00E+01

```

圖 3-21 雙載子電晶體於截止區工作之操作點分析結果。

### 3.2.3 BJT 放大器偏壓電路

偏壓問題主要是討論如何在電晶體的集極(或射極)建立一定值直流電流。此電流必須是可以計算、預測，以及對溫度和  $\beta_F$  的變化要不敏感。倘若只有一電源供應器是現成的，則圖 3-22 之電路為一電晶體放大器最

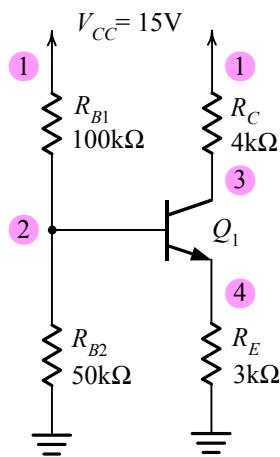


圖 3-22 一 BJT 放大器之直流偏壓電路。

常用的一種偏壓安排，又稱為自偏電路(self-biasing circuit)。讀者可利用戴維寧等效電路取代圖 3-22 中之分壓網路：其中等效戴維寧電壓為

$$V_{TH} = \frac{R_{B2}}{R_{B1} + R_{B2}} V_{CC} \quad (3-17)$$

和等效內阻為

$$R_{TH} = \frac{R_{B1} R_{B2}}{R_{B1} + R_{B2}} \quad (3-18)$$

#### DC Analysis of a BJT circuit

```
* circuit description
Vcc 1 0 DC 15V
RB1 1 2 100k
RB2 2 0 50k
Rc 1 3 4k
Re 4 0 3k
* BJT model description
Q1 3 2 4 npn_transistor
.model npn_transistor npn (Is=1.8104e-15 Bf=100)
* analysis requests
.OP
.end
```

圖 3-23 圖 3-22 直流偏壓電路之 SPICE 輸入檔。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 15.0000 (2) 4.5744 (3) 9.8927 (4) 3.8688

VOLTAGE SOURCE CURRENTS
NAME CURRENT

VCC -1.381E-03
*OPERATING POINT INFORMATION TEMPERATURE =27.000 DEG C

*BIPOLE JUNCTION TRANSISTORS

NAME Q1
MODEL npn_transistor
IB 1.28E-05
IC 1.28E-03
VBE 7.06E-01
VBC -5.32E+00
VCE 6.02E+00
BETADC 1.00E+02
GM 4.94E-02
RPI 3.03E+03
RX 0.00E+00
RO 1.00E+12
CBE 0.00E+00
CBC 0.00E+00
CJS 0.00E+00
BETAAC 1.00E+02
CBX/CBX2 0.00E+00
FT/FT2 7.86E+17

```

圖 3-24 圖 3-22 直流偏壓電路之操作點輸出檔。

寫下一克西荷夫迴路方程式(Kirchhoff loop equation)，並代入  $I_B = I_E / (\beta_F + 1)$ ，即可決定電流  $I_E$

$$I_E = \frac{V_{TH} - V_{BE}}{R_E + R_{TH} / (\beta_F + 1)} \quad (3-19)$$

代入數值後可得  $I_E = 1.29\text{mA}$  和

$$I_C = \alpha_F I_E = 1.278\text{mA} \quad (3-20)$$

以下我們利用 SPICE 模擬此電路並與手算分析比較。圖 3-23 為圖 3-22 直流偏壓電路之 SPICE 輸入檔，與先前手算分析不同的是在此考慮 1mA 電晶體，即傳導電流 1mA 時，基射電壓  $v_{BE} = 0.7\text{V}$ 。根據(3-12)式可得  $I_S = 1.81 \times 10^{-15}\text{A}$ 。

圖 3-24 為 SPICE 輸出檔，其中顯示  $I_C = 1.28\text{mA}$ ，與(3-20)式之手算分析結果一幾乎一致。此外，讀者亦可由節點 2 與節點 3 的電壓發現 BJT 的集基接面逆偏 5.32V，代表 BJT 確實工作於順向主動區。

### 3.2.4 互補式 BJT 電路

先前考慮的 BJT 均為 *npn* 型式，本節電路中將加入一 *pnp* 電晶體，兩者構成一互補式 BJT 電路，見圖 3-25。

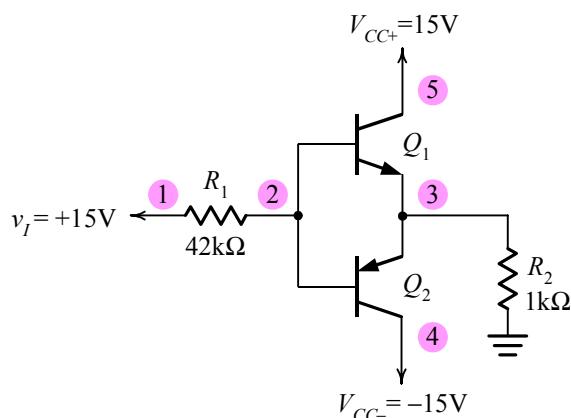


圖 3-25 一互補式 BJT 電路。

```
DC Analysis of a BJT circuit

* circuit description
Vcc+ 5 0 DC 15V
Vcc- 4 0 DC -15V
Vi 1 0 DC 15V
R1 1 2 42k
R2 3 0 1k

* BJT model description
Q1 5 2 3 npn transistor
Q2 4 2 3 pnp transistor
.model pnp_transistor pnp (Is=1.8104e-15 Bf=100)
.model npn transistor npn (Is=1.8104e-15 Bf=100)
* analysis requests
.OP
.end
```

圖 3-26 圖 3-25 所示互補式 BJT 電路之 SPICE 輸入檔。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 15.0000 (2) 10.8170 (3) 10.0590 (4) -15.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT

Vcc+ -9.959E-03
Vcc- 5.088E-11
Vi -9.959E-05

```

圖 3-27 圖 3-25 互補式 BJT 電路之輸出檔。

手算分析如下：當  $v_t = +15V$  時， $Q_1$  主動和  $Q_2$  截止，故由迴路方程式可得

$$15 = 42I_{B1} + 0.7 + (1 + \beta_F)I_{B1} \times 1 \quad (3-21)$$

解得  $I_{B1} = 0.1mA$ ，故節點 3 電壓  $V(3) = (1 + \beta_F)I_{B1} \times 1 = 10.1V$ 。

以下利用 SPICE 模擬此電路。模擬條件與先前手算分析之不同在於令  $npn$  和  $pnp$  之飽和電流為  $I_s = 1.8104 \times 10^{-15} A$ ，見圖 3-26 之 SPICE 輸入檔。經 OP 操作點分析指令解出的輸出檔顯示於圖 3-27，圖中顯示節點 3 電壓  $V(3)$  為  $10.059V$ ，與先前手算分析之結果相當接近。

### 3.3 MOSFET 電路

#### 3.3.1 加強式 NMOS 電路的直流分析

圖 3-28 為一加強式 NMOS 電路，元件參數為  $V_{to} = 1V$ ， $\mu_n C_{ox} = 20\mu A/V^2$ ， $W/L=5$  和  $\lambda = 0$ 。首先介紹手算分析：由於 NMOS 閘汲間短路，滿足  $V_{GD} < V_t$  或  $V_{DS} > V_{GS} - V_t$ ，代表 NMOS 工作於飽和區，故

$$I_D = \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{to})^2 \quad (3-22)$$

再者，寫下負載線方程式

$$V_{DD} = \left( I_D + \frac{V_{GS}}{R_2} \right) R_D + V_{GS} \left( 1 + \frac{R_1}{R_2} \right) \quad (3-23)$$

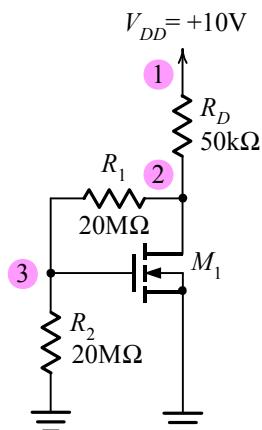


圖 3-28 MOSFET 直流分析之 SPICE 電路圖。

以上二式聯立解得  $I_D = 0.1\text{mA}$ ,  $V_{GS} = 3.45\text{V}$ , 以及節點 2 電壓  $V(2)=4.9\text{V}$ 。

以下利用 SPICE 模擬圖 3-28 電路，其輸入檔見圖 3-29。回顧輸入檔中關於 NMOS 的敘述語法：

```
M1 2 3 0 0 e_nmos L=10u W=50u
```

上述指令依序描述元件字首、連接節點(端子依序是汲極節點、閘極節點、源極節點與基板或基體)、模型名稱、通道長度  $L$  和通道寬度  $W$ ，其中通道長度  $L$  和通道寬度  $W$  在 SPICE 中並無預設值，故在 SPICE 的輸入檔中必須指明。此外，注意圖 3-29 中之指令：

```
DC Analysis of a NMOS Circuit

* circuit description *
Vdd 1 0 DC 10V
Rd 1 2 50k
R1 2 3 20Meg
R2 3 0 20Meg
* MOSFET model description
M1 2 3 0 0 e_nmos L=10u W=50u
.model e_nmos nmos (kp=20u Vto=+1V lambda=0)
* analysis requests *
.OP
.end
```

圖 3-29 圖 3-28 加強式 NMOS 電路直流分析之 SPICE 輸入檔。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE=27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 10.0000 (2) 4.8647 (3) 3.4324

VOLTAGE SOURCE CURRENTS
NAME CURRENT
Vdd -1.027E-04

TOTAL POWER DISSIPATION 1.03E-03 WATTS

*OPERATING POINT INFORMATION TEMPERATURE=27.000 DEG C

MOSFETS
NAME M1
MODEL e_nmos
ID 1.03E-04
VGS 3.43E+00
VDS 4.86E+00
VBS 0.00E+00
VTH 1.00E+00
VDSAT 1.43E+00
GM 1.43E-04

```

圖 3-30 圖 3-28 NMOS 電路直流分析之 SPICE 輸出檔。圖中顯示  $V_{DS} = 4.86V$ ，與手算分析值 4.9V 之誤差為 0.81%。此外， $V_{GS}>V_t$  且  $V_{DS}>V_{GS}-V_t$ ，故此 MOSFET 操作在飽和區。

```
.model e_nmos nmos (KP=20u Vto=+1V lambda=0)
```

因為  $V_{to} > 0$ ，所以此元件為加強式的 NMOS，其中 KP 為製程轉導參數，定義為  $KP = \mu_n C_{ox}$ 。此外， $\lambda = 0$ ，代表不考慮通道長度調變效應。圖 3-30 為其輸出檔，我們發現  $v_{GS} > V_t$  且  $v_{DS} > v_{GS} - V_t$ ，代表 NMOS 操作在飽和區。此外， $I_D = 0.103\text{mA}$ ， $V_{GS} = 2.43\text{V}$ ，節點 2 電壓  $V(2) = 4.86\text{V}$ ，顯示 SPICE 模擬結果均與手算分析相當接近。

### 3.3.2 空乏式 NMOS 電路的直流分析

圖 3-31 為一 NMOS 分壓電路(voltage divider)，其中  $M_1$  為加強式 NMOS，其元件參數為  $\mu_n C_{ox} = 10\text{mA/V}^2$ ， $V_{to} = 3\text{V}$ ， $W/L = 1$ ，和  $\lambda = 0$ ；而  $M_2$  則為空乏式 NMOS，其元件參數為  $\mu_n C_{ox} = 1.11\text{mA/V}^2$ ， $V_{to} = -3\text{V}$ ， $W/L = 1$  和  $\lambda = 0$ 。

由於  $M_1$  必然操作於飽和區，故僅需假設  $M_2$  於飽和區工作，於是

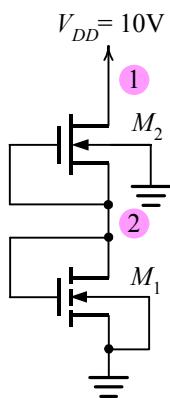


圖 3-31 一 MOSFET 分壓電路，其中  $M_1$  為加強式 NMOS， $M_2$  為空乏式 NMOS。

$$I_{D2} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS2} - V_{t2})^2 = 5\text{mA} \quad (3-24)$$

令  $I_{D1} = I_{D2} = 5\text{mA}$ ，即

$$I_{D1} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS1} - V_{t1})^2 \quad (3-25)$$

解得  $V_{GS1} = 4\text{V}$ 。對  $M_2$  而言，滿足  $V_{DS2} > V_{GS2} - V_{t2}$ ，代表  $M_2$  確實工作於飽和區。

以下利用 SPICE 模擬此電路，見圖 3-32 所示之輸入檔。經由 .OP 指令可得到此分壓器之輸出檔，見圖 3-33。輸出檔中顯示節點 2 的電壓為 5V 及供應電源送出的電流為 5mA，顯示模擬結果與手算分析完全吻合。

```
DC Analysis of a MOSFET circuit

*circuit description
VDD 1 0 DC 10V
* MOSFET model description
M1 2 2 0 0 e mos L=10u W=10u
M2 1 2 2 0 d mos L=10u W=10u
.model d_mos nmos (KP=1.1111m Vto=-3V lambda=0)
.model e mos nmos (KP=10m Vto=3V lambda=0)
* analysis requests
.OP
.probe
.end
```

圖 3-32 圖 3-31 電路執行操作點分析之 SPICE 輸入檔。

```

* SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C
***** NODE VOLTAGE ***** NODE VOLTAGE ***** NODE VOLTAGE *****
(1) 10.0000 (2) 4.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT

VDD -5.000E-03

```

圖 3-33 圖 3-31 電路之輸出檔。

## 3.4 JFET 電路

### 3.4.1 JFET 電路的直流分析

圖 3-34 為一 *n* 通道 JFET 電路圖，其元件參數為  $\beta = 625\mu\text{A}/\text{V}^2$ ,  $V_{to} = -4\text{V}$  和  $\lambda = 0$ 。首先介紹手算分析部份，令 JFET 操作於三極區，故

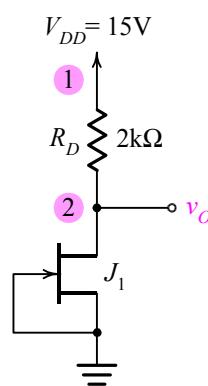
$$I_D = \beta[2(V_{GS} - V_{to})V_{DS} - V_{DS}^2] = 0.625(8V_{DS} - V_{DS}^2) \quad (3-26)$$

再寫下負載線方程式

$$V_{DD} = I_D R_D + V_{DS} \quad (3-27)$$

即

$$15 = 2I_D + V_{DS} \quad (3-28)$$

圖 3-34 *n* 通道 JFET 的電路圖，其中  $V_{to} = -4\text{V}$  和  $\beta = 625\mu\text{A}/\text{V}^2$ 。

```

A Simple N-Channel JFET Circuit

* circuit description *
Vdd 1 0 DC 15V
Rd 1 2 2k
* JFET model description *
J1 2 0 0 n_jfet
.model n_jfet njf (beta=625u Vto=-4V lambda=0)
* analysis requests *
.OP
.end

```

圖 3-35 圖 3-34JFET 電路之 SPICE 輸入檔。

代入(3-26)式可解得  $V_{DS}=1.7V$  和  $I_D=6.7mA$ ，且元件確實操作於三極區。

以下為 SPICE 模擬部份，圖 3-35 為 SPICE 輸入檔，其中關於 JFET 的敘述如下：

```
J1 2 0 0 n_jfet
```

上述指令描述依序是元件字首連接節點(端子依序是汲極節點、閘極節點、源極節點)、模型名稱，而模型敘述如下：

```
.model n_jfet njf (beta=625u Vto=-4V lambda=0)
```

其中因為  $V_{to} < 0$ ，代表此元件為  $n$  通道 JFET。

```

* OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

* JFETS
NAME J1
MODEL n_jfet
ID 6.66E-03
VGS 0.00E+00
VDS 1.69E+00
GM 3.11E-03
GDS 3.89E-03
CGS 0.00E+00
CGD 0.00E+00

```

圖 3-36 JFET 電路直流偏壓操作點之 SPICE 輸出檔，由圖中知  $I_D = 6.66mA$  和  $V_{DS} = 1.69V$ ，與先前手算分析之結果比較，得知兩者幾乎完全一致。

圖 3-36 為其輸出檔，由輸出檔中發現  $I_D = 6.66\text{mA}$  和  $V_{DS} = 1.69\text{V}$ ，故滿足  $V_{DS} < V_{GS} - V_t$ ，所以此電路操作在三極區。由先前之手算分析得  $I_D = 6.7\text{mA}$  和  $V_{DS} = 1.7\text{V}$ ，故 SPICE 模擬結果與手算分析幾乎一致。

### 3.4.2 JFET 與 BJT 複合電路

在 SPICE 中，JFET 之  $\beta$  代表製程轉導參數，其單位為  $\text{A}/\text{V}^2$ ，語法中以 beta 表示；而 BJT 之  $\beta_F$  代表順向電流增益，為一無單位的量，語法中則以 Bf 表示。

本節中我們介紹一 JFET 與 BJT 之複合電路，見圖 3-37。就 JFET  $J_1$  而言，元件參數為  $\beta = 2.0408\text{mA}/\text{V}^2$ ， $V_{to} = -1.4\text{V}$  和  $\lambda = 0$ 。就 BJT  $Q_2$  而言，元件參數為  $I_s = 1.8 \times 10^{-15}\text{A}$  和  $\beta_F = 100$ 。在 SPICE 中，JFET 之  $\beta$  代表製程轉導參數，其單位為  $\text{A}/\text{V}^2$ ，語法中以 beta 表示；而 BJT 之  $\beta_F$  代表順向電流增益，為一無單位的量，語法中則以 Bf 表示。以上請讀者特別注意，以避免兩者混淆。

首先介紹手算分析部份，並針對 BJT 代入定電壓降模型( $V_{BE} = 0.7\text{V}$ )：假設  $J_1$  飽和和  $Q_2$  主動。由  $V_{BE} = 0.7\text{V}$  可得  $R_b$  上電流為  $0.972\text{mA}$ ，且  $V_{GS} = -0.7\text{V}$ ，代入

$$I_D = \beta(V_{GS} - V_{to})^2 = 1\text{mA} \quad (3-29)$$

於是  $I_B = 28\mu\text{A}$  和

$$I_C = \beta_F I_B = 2.8\text{mA} \quad (3-30)$$

解得節點 2 電壓  $V(2) = 8.6\text{V}$ ，證實  $J_1$  飽和  $Q_2$  主動之假設。

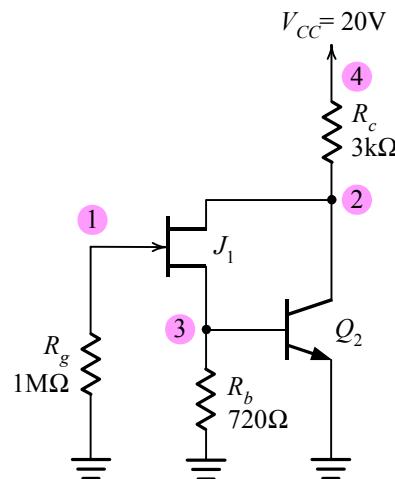


圖 3-37 — JFET 與 BJT 複合電路。

以下為 SPICE 模擬部份，見圖 3-38 和圖 3-39 之 SPICE 輸入檔和輸出檔。輸出檔中顯示節點 2 電壓  $V(2)$  為 13.487V，與手算分析之出入甚大，值得進一步深究。

於是我們列出 JFET( $J_1$ )與 BJT( $Q_2$ )之操作點訊息，見圖 3-40。圖中顯示  $I_D = 0.989\text{mA}$ ， $V_{GS} = -0.704\text{V}$ ， $V_{BE} = 0.704\text{V}$ ，以上三數值與手算分析相當接近。但  $I_B = 11.8\mu\text{A}$  和  $I_C = 1.18\text{mA}$  則與手算分析出入甚大，這是因為

$$I_B = I_D - \frac{V_{BE}}{R_b} \quad (3-31)$$

```
DC Analysis of a Transistor circuit

*circuit description
Vcc 4 0 DC 20V
Rg 1 0 1Meg
Rb 3 0 720
Rc 4 2 3k
* transistor model description
J1 2 1 3 jfet
Q2 2 3 0 npn_transistor
.model jfet NJF (beta=2.0408m Vto=-1.4V lambda=0)
.model npn_transistor npn (Is=1.8e-15 Bf=100)
* analysis requests
.OP
.probe
.end
```

圖 3-38 圖 3-37 中所示 JFET 與 BJT 複合電路之 SPICE 輸入檔。

```
*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 14.21E-06 (2) 13.4870 (3) .7038 (4) 20.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT
Vcc -2.171E-03
```

圖 3-39 圖 3-37 電路之輸出檔。

```

*OPERATING POINT INFORMATION TEMPERATURE= 27.000 DEG C

* BIPOLAR JUNCTION TRANSISTORS

NAME Q2
MODEL npn transistor
IB 1.18E-05
IC 1.18E-03
VBE 7.04E-01
VBC -1.28E+01
VCE 1.35E+01
BETADC 1.00E+02
GM 4.57E-02
RPI 2.19E+03
RX 0.00E+00
RO 1.00E+12
CBE 0.00E+00
CBC 0.00E+00
CJS 0.00E+00
BETAAC 1.00E+02
CBX 0.00E+00
FT 7.27E+17

* JFETS

NAME J1
MODEL jfet
ID 9.89E-04
VGS -7.04E-01
VDS 1.28E+01
GM 2.84E-03
GDS 0.00E+00
CGS 0.00E+00
CGD 0.00E+00

```

圖 3-40 圖 3-37 電路中關於 JFET ( $J_1$ )與 BJT( $Q_2$ )之操作點訊息。

代值得  $I_B$  確為  $11.8\mu\text{A}$ ，於是  $I_C = \beta_F I_B = 1.18\text{mA}$ 。手算分析與模擬結果之誤差甚大其根源在於手算分析所使用的定電壓降模型( $V_{BE} = 0.7\text{V}$ )。使用  $V_{BE} = 0.7\text{V}$ ，將造成  $V_{BE}$ 、 $V_{GS}$  和  $I_D$  的些微誤差，且根據(3-31)式將使  $I_B$  的誤差累積，再經 BJT 電流增益  $\beta_F$  的放大遂使得  $I_C$  與  $V(2)$ 的誤差大幅增加。

由此得知，使用定電壓降模型針對許多電路均可獲得很好的結果，這點在 3.1 節與 3.2 節的許多電路均已得到證實。但是對於較複雜的電路，一旦誤差累積或甚至被放大，則將造成手算分析與模擬結果出入甚大。於是，定電壓降模型的適用性必須有所節制與規範。

對於較複雜的電路，一旦誤差累積或甚至被放大，則將造成手算分析與模擬結果出入甚大。於是，定電壓降模型的適用性必須有所節制與規範。

## 3.5 MESFET 電路

圖 3-41 為一 GaAs MESFET 電路，此電路使用兩個 *n*-通道空乏模式 MESFET。首先假設元件參數為  $\beta = 0.2\text{mA/V}^2$ 、 $V_{to} = -1\text{V}$  和  $\lambda = 0.05\text{V}^{-1}$ 。更進一步假設兩電晶體  $B_1$  和  $B_2$  之通道長度均為一特定製程技術(本例中假設  $1\mu\text{m}$ )之極小值且其通道寬度分別為  $W_1 = 10\mu\text{m}$  和  $W_2 = 5\mu\text{m}$ 。

圖 3-42 為圖 3-41 MESFET 電路之輸入檔，請注意一單位尺寸 (unit-sized) MESFET 的模型敘述：

```
.model mesfet GASFET (beta = 0.2m Vto = -1 lambda = 0.05)
```

上述指令代表單位尺寸 MESFET 之參數為  $\beta = 0.2\text{mA/V}^2$ 、 $V_{to} = -1\text{V}$ 、 $\lambda = 0.05\text{V}^{-1}$ ，所謂單位尺寸是指一特定製程技術的最小尺寸，也就是  $L = 1\mu\text{m}$  和  $W = 1\mu\text{m}$ 。

接下來我們必須考慮兩個電晶體  $B_1$  和  $B_2$  不同通道寬度的效應。注意輸入檔中關於  $B_1$  的元件敘述：

```
B1 2 0 0 mesfet 10
```

在本例中的單位寬度為  $1\mu\text{m}$ ，而  $B_1$  的實際寬度為  $10\mu\text{m}$ ，故在上述指令中加入一尺寸比例因子(scale factor)10，代表  $B_1$  的行為相當於將 10 個單位尺寸 MESFET 的並聯。對於  $B_2$  而言，其通道寬度為  $5\mu\text{m}$ ，故在指令中加入尺寸比例因子 5，即

```
B2 1 2 2 mesfet 5
```

所謂單位尺寸是指一特定製程技術的最小尺寸。

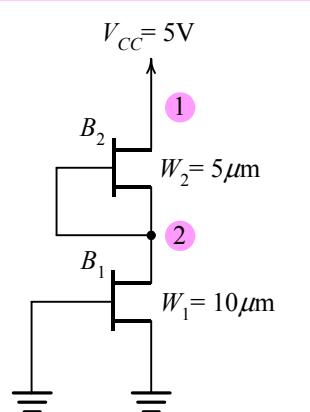


圖 3-41 — GaAs MESFET 電路。

```

DC Analysis of a MESFET Circuit

* circuit description
Vcc 1 0 DC 5V
* MESFET model description
B1 2 0 0 mesfet 10
B2 1 2 2 mesfet 5
.model mesfet GASFET (beta=0.2m Vto=-1V lambda=0.05)
* analysis requests
.OP
.probe
.end

```

圖 3-42 圖 3-41 MESFET 電路之 SPICE 輸入檔。

```

* SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 5.0000 (2) .3510

VOLTAGE SOURCE CURRENTS
NAME CURRENT

VCC -1.232E-03

```

圖 3-43 圖 3-41 MESFET 電路之輸出檔。

利用輸入檔中.OP 指令所解出的輸出檔見圖 3-43，圖中顯示節點 2 電壓  $V_2$  為 0.35V 和  $I_D = 1.23\text{mA}$ ，於是可得  $V_{DS1} = 0.35\text{V}$  和  $V_{DS2} = 4.65\text{V}$ 。

### § 練習題

- 3.1 如圖 3-5 所示的二極體限制器電路，試以 SPICE 重新模擬此電路並利用軟體提供的檢視功能繪出線性區( $-4.64\text{V} \leq v_i \leq +4.64\text{V}$ )與飽和區( $v_i > 4.64\text{V}$  和  $v_i < -4.64\text{V}$ )中四個二極體的傳導電流對輸入電壓的轉換曲線，用以證實文中所述各區中二極體的狀態。
- 3.2 參考圖 3-17，若將基極直流輸入電壓由原先的 4V 提高至 6V，請問 BJT 是否仍在順向主動區操作？試以 SPICE 模擬確認元件之操作模式，並列出直流操作點之電流和電壓值。

- 3.3 參考圖 3-18 之 BJT 放大器偏壓電路，若將集極電阻  $R_c$  由原先  $4\text{k}\Omega$  增加 10 倍至  $40\text{k}\Omega$ ，請問 BJT 是否仍在順向主動區操作？試以 SPICE 模擬確認元件之操作模式，並列出直流操作點之電流和電壓值。
- 3.4 參考圖 3-25 之互補式 BJT 電路，若將輸入電壓  $V_i$  由原先的  $+15\text{V}$  改為  $-10\text{V}$ ，試問電晶體  $Q_1$  和  $Q_2$  的操作模式為何？試以 SPICE 模擬並列出  $R_2$  上的輸出電壓。
- 3.5 參考圖 3-28 之 MOS 偏壓電路，若將  $R_2$  拆除(或令  $R_2 = \infty$ )，則對加強式 NMOS 而言，必然滿足  $v_{DS} > v_{GS} - V_t$ ，即元件操作於飽和區。試以 SPICE 模擬證實以上所述，並列出直流操作點數值。
- 3.6 參考圖 3-34 之 JFET 電路，若將  $R_D$  由原先的  $2\text{k}\Omega$  改為  $1\text{k}\Omega$ ，請問 JFET 的操作模式為何？試以手算分析說明並以 SPICE 模擬確認。

## 參考書目

1. G. W. Roberts and A. S. Sedra “SPICE” 2nd ed. Oxford University Press, 1997.
2. A. S. Sedra and G. W. Roberts. “Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith” Fort Worth: Saunders College Pub, 1992.
3. P. W. Tuinenga, “SPICE: A Guide to Circuit Simulation Analysis Using Psice: IBM-PC 3.5” 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
4. K. Lee, “Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator” Englewood Cliffs, N. J.: Prentice Hall, 1993.
5. A. S. Sedra and K. C. Smith, “Microelectronic Circuits,” 6th ed. Oxford University Press, 2009.
6. R. T. Howe and C. G. Sodini, “Microelectronics: An Integrated Approach,” Prentice-Hall International, Inc., 1996.
7. Y. Taur and T. H. Ning, “Fundamentals of Modern VLSI Devices, 2nd ed.” Cambridge University Press, 2009.
8. D. A. Neamen, “Semiconductor Physics and Devices: Basic Principles,” 3rd ed., McGraw-Hill, 2002.
9. J. Millman and A. Grabel. “Microelectronics,” 3rd ed. New York: McGraw-Hill Book Co., 1999.
10. J. Millman and C. C. Halkias. “Integrated Electronics,” McGraw-Hill Book Company, New York, 1972.
11. S. M. Sze and K. K. Ng, “Physics of Semiconductor Devices,” 3rd ed., John Wiley & Sons, New York, 2006.
12. M. H. Rashid, “Introduction to PSpice Using OrCAD for Circuits and Electronics”, 3rd Ed., Prentice-Hall, 2004.
13. 張文清，“微電子學上冊”，二版，台北鼎茂圖書，2013。

# 4

## 交流與暫態分析

本章介紹交流與暫態分析，讀者可由本章的許多模擬實例中熟悉交流頻率響應分析指令.AC 和暫態分析指令.TRAN。模擬電路包括二極體限制器的訊號波形分析，BJT 單級與共射放大器的小訊號分析。此外，也加入了 JFET 和 MESFET 放大器的模擬。

較特別的是，本章我們將模擬 MOS 類比開關，重點在於研究利用 NMOS 或 CMOS 傳送類比訊號的行為並利用 SPICE 軟體提供的檢視能力深入討論兩者的差異。同時，也將觀察不同負載電阻對訊號傳輸的影響。

- 4.1 二極體電路
- 4.2 BJT 放大器
- 4.3 MOSFET 類比開關
- 4.4 JFET 放大器
- 4.5 MESFET 放大器

## 4.1 二極體電路

### 4.1.1 二極體限制器

#### 轉換特性

**圖** 4-1 為一二極體限制器電路，首先介紹手算分析部份。為簡單說明起見，假設二極體  $D_1$  和  $D_2$  匹配且均為理想二極體。當  $v_I > V_{R1}$  時， $D_1$  順偏和  $D_2$  截止，此時

$$v_O = \frac{1}{2}v_I + \frac{1}{2}V_{R1} = \frac{1}{2}v_I + 2.5 \quad (4-1)$$

當  $v_I < -V_{R2}$ ， $D_2$  順偏和  $D_1$  截止，

$$v_O = \frac{1}{2}v_I - \frac{1}{2}V_{R2} = \frac{1}{2}v_I - 2.5 \quad (4-2)$$

當  $-V_{R2} < v_I < V_{R1}$ ， $D_1$  和  $D_2$  均截止，

$$v_O = v_I \quad (4-3)$$

以下為 SPICE 模擬部份，參考圖 4-2 之輸入檔。為使模擬結果接近真實行為，輸入檔中的二極體  $D_1$  和  $D_2$  均假設為  $1\text{mA}$  二極體 ( $I_S = 10^{-14}\text{ A}$  和  $n = 1.0675$ )，並非如先前手算分析之理想二極體。也就是說，模擬的轉

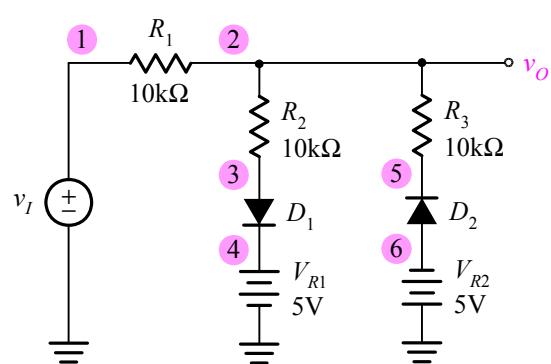


圖 4-1 一二極體限制器電路。

```

A Diode Limiting Circuit

* circuit description
Vi 1 0 DC 1V
VR1 4 0 DC 5V
VR2 6 0 DC -5V
R1 1 2 10k
R2 2 3 10k
R3 2 5 10k
* diode model description
D1 3 4 1mA_diode
D2 6 5 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)
* analysis requests
.DC Vi -10V 10V 10mV
.probe
.end

```

圖 4-2 掃描圖 4-1 電路轉換特性之 SPICE 輸入檔。

換特性與(4-1)至(4-3)三式間必然產生誤差。利用.DC 指令掃描出的轉換特性見圖 4-3，與先前手算分析預測的(4-1)至(4-3)三式大致吻合。

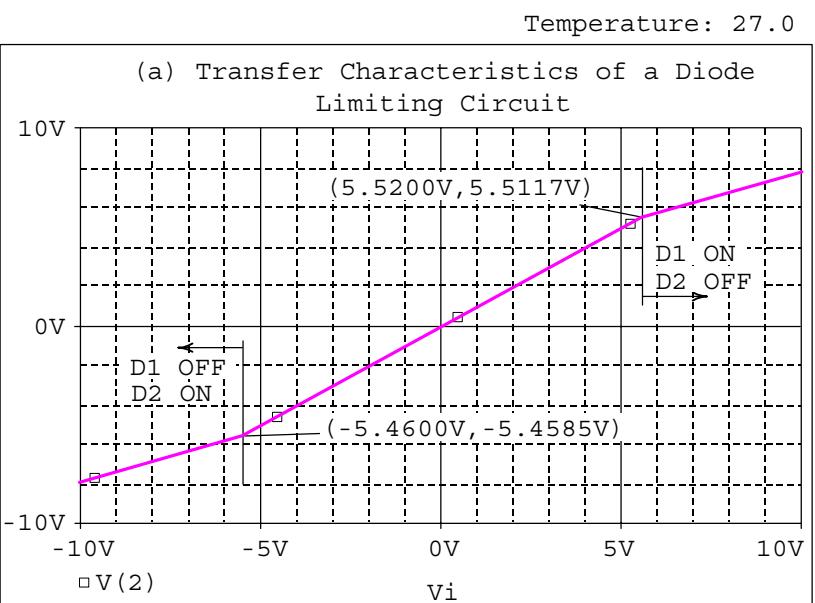


圖 4-3 圖 4-1 二極體限制器之轉換特性。

## A Diode Limiting Circuit

```

* circuit description
Vi 1 0 SIN (0V 10V 60Hz)
VR1 4 0 DC 5V
VR2 6 0 DC -5V
R1 1 2 10k
R2 2 3 10k
R3 2 5 10k
* diode model description
D1 3 4 1mA_diode
D2 6 5 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)
* analysis requests
.TRAN 0.01ms 40ms 0ms 0.01ms
.probe
.end

```

圖 4-4 針對圖 4-1 電路執行暫態分析之 SPICE 輸入檔。

## 暫態分析

圖 4-4 為針對圖 4-1 電路執行暫態分析之 SPICE 輸入檔。其中關於輸入正弦波形指令(sinusoidal waveform command)：

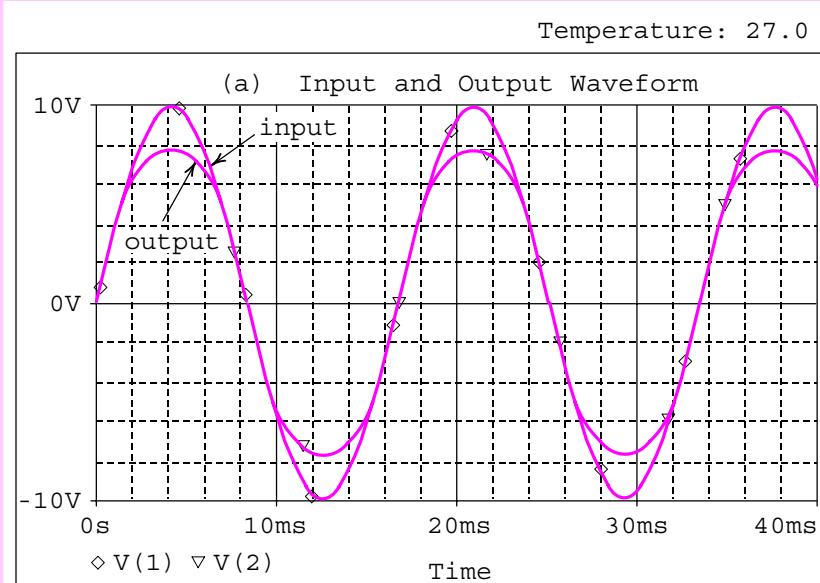


圖 4-5 在圖 4-1 二極體限制器中輸入一正弦波後所得的輸出波形。

```
Vi 1 0 sin (0V 10V 60Hz)
```

上述代表輸入一直流成份為 0V 且峰值振幅為 10V 之正弦波，其頻率為 60Hz。另外，請注意暫態分析指令(transient analysis command)：

```
.TRAN 0.01ms 40ms 0ms 0.01ms
```

上述代表由於 0ms 分析至 40ms，每 0.01ms 執行一次運算。所得到的輸入與輸出波形顯示於圖 4-5。圖中顯示在  $\pm 5.5V$  區間內，輸出跟隨輸入正弦波形；但在  $v_I$  超過  $\pm 5.5V$  範圍時，輸出波形被壓縮，其正負峰值電壓約限制在  $\pm 8V$ 。

### 4.1.2 峰值整流器

#### 基本原理

圖 4-6 為一具有濾波電容的整流器，一般稱為峰值檢測器(peak detector)或是峰值整流器(peak rectifier)。這個電路的主要功能為產生其值為輸入正弦峰值的直流輸出電壓。

**主要功能為產生其值為輸入正弦峰值的直流輸出電壓。**

首先介紹此電路的工作原理：假設二極體是理想且  $v_I(t) = \hat{V} \sin \omega t$ ，則在正半週時，電容充電至輸入正弦的峰值  $\hat{V}$ 。緊接著二極體關閉且電容經由負載電阻  $R_L$  放電。此放電過程會一直持續下去，直到輸入正弦之值超過電容電壓，於是二極體再度導通，造成電容充電至  $v_I$  的峰值  $\hat{V}$ ，接下來就不斷重複這種週期性的操作。

在電容放電期間，為了避免輸出電壓衰減太快，吾人通常選擇  $C_1$  值使之  $R_L C_1$  時間常數遠大於放電區間，於是在  $R_L C_1 \gg T$  的假設下可推導出輸出波形的漣波電壓(ripple voltage)  $V_{rip}$  為

$$V_{rip} = \frac{\hat{V}T}{R_L C_1} \quad (4-4)$$

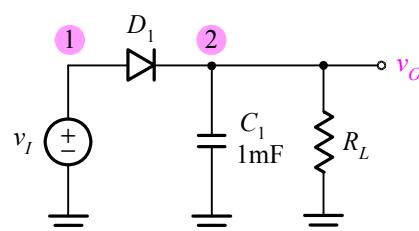


圖 4-6 一具有濾波電容的峰值整流器電路。

其中  $T$  代表輸入正弦波的週期。此外，亦可推導出二極體的導通區間 (conduction interval)  $\Delta t$  為

$$\Delta t = \frac{T}{2\pi} \sqrt{\frac{2V_{rip}}{V}} \quad (4-5)$$

### SPICE 模擬

接下來以圖 4-7 之 SPICE 輸入檔模擬此電路並且令  $R_L = 1k\Omega$ 。輸入檔中的第一部份為理想二極體，請注意指令

```
.model ideal_diode D (Is=0.1pA n=0.001)
```

經由暫態分析指令：

```
.TRAN 0.01ms 60ms 0ms 0.01ms
```

上述代表由 0ms 至 60ms 執行暫態分析，每 0.01ms 分析一次。所得的輸出見圖 4-8(a)中標示理想二極體的波形。

```
A Peak Rectifier

* circuit description (ideal diode)
Vi 1 0 SIN (0V 10 60Hz)
R1 2 0 1k
C1 2 0 1mF
*diode model description
D1 1 2 ideal_diode
.model ideal_diode D (Is=0.1pA n=0.001)
* analysis requests
.TRAN 0.01ms 60ms 0ms 0.01ms
.probe
.end

* circuit description (1mA diode)
Vi 1 0 SIN (0V 10 60Hz)
R1 2 0 1k
C1 2 0 1mF
*diode model description
D1 1 2 1mA_diode
.model 1mA_diode D (Is=0.01pA n=1.0675)

* analysis requests
.TRAN 0.01ms 60ms 0ms 0.01ms
.probe
.end
```

圖 4-7 圖 4-6 峰值整流器電路之 SPICE 輸入檔。

由圖 4-8(a)理想二極體對應波形中電容放電與充電的臨界點座標(20.337ms, 9.825V)得知漣波電壓為  $10 - 9.825 = 0.175$  V。根據(4-4)式手算分析所得的  $V_{rip}$  為

$$V_{rip} = \frac{\hat{V}T}{R_L C_1} = \frac{10 \times \left(\frac{1}{60}\right)}{10^3 \times 10^{-3}} = 0.167\text{V} \quad (4-6)$$

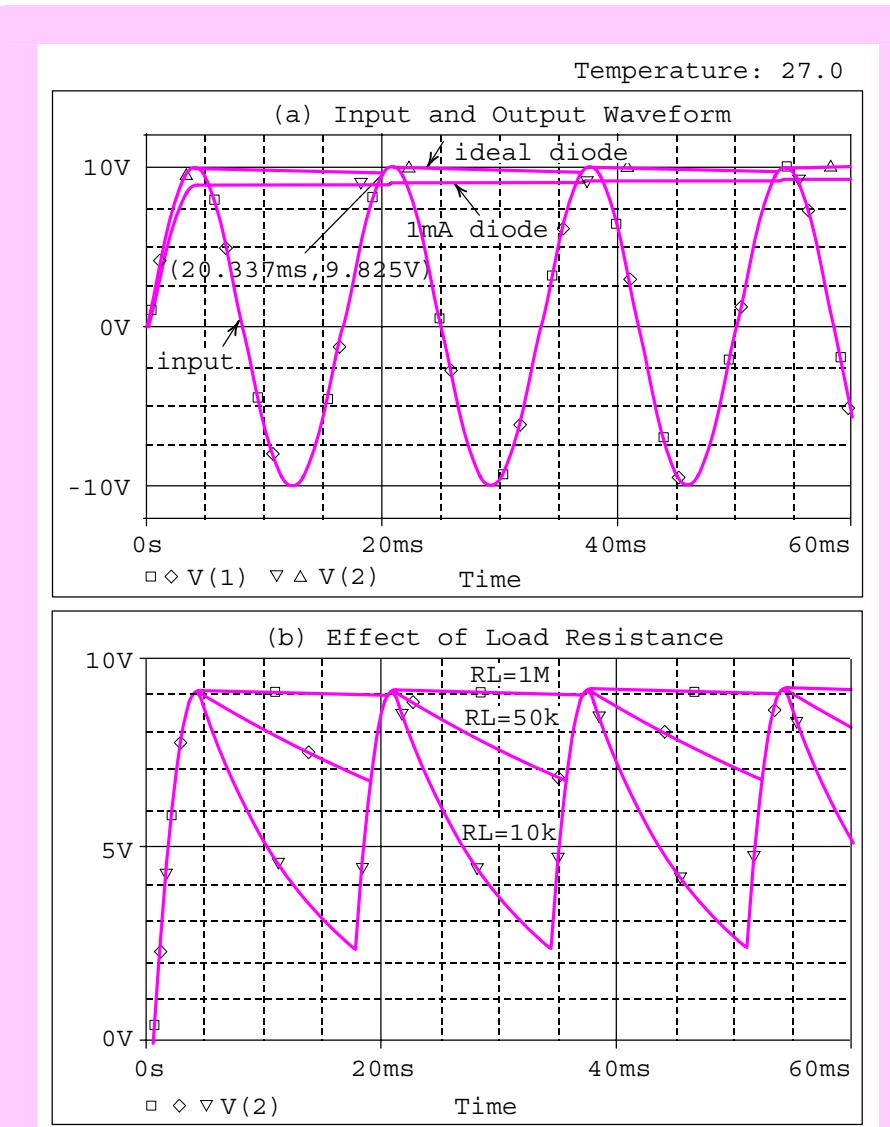


圖 4-8 (a)圖 4.6 峰值整流器的輸入正弦與分別考慮理想二極體及 1mA 二極體條件下的輸出波形，(b)不同負載值的輸出波形，可看出  $R_L$  值愈大時，整流器特性愈接近理想。

代表兩者相當接近。另外，由(4-5)式得到導通區間 $\Delta t$

$$\Delta t = \frac{T}{2\pi} \sqrt{\frac{2V_{rip}}{\hat{V}}} = \frac{1}{2\pi \times 60} \sqrt{\frac{2 \times 0.167}{10}} = 0.48\text{ms} \quad (4-7)$$

對照圖 4-8(a)顯示的 $\Delta t = 1.25 \times 16.667 - 20.337 = 0.496\text{ ms}$ ，與(4-7)式之手算值亦相當接近。

圖 4-7 輸入檔中的第二部份係考慮元件為 1mA 二極體，請注意指令：

```
.model 1mA_diode D (Is=0.01pA n=1.0675)
```

利用.TRAN 暫態分析指令所得的輸出顯示於圖 4-8(a)中標示 1mA 二極體的波形。可明顯看出此波形與理想二極體對應波形之表現大致相同，祇不過差了約 0.7V 的二極體壓降。

最後，我們利用 SPICE 模擬不同負載電阻 $R_L$ 值之下的輸出波形，見圖 4-8(b)。可看出當 $R_L$ 值愈小時，電容放電的指數曲線愈趨明顯。而 $R_L$ 值愈大時，整流器的特性愈接近於理想。

當 $R_L$ 值愈小時，電容放電的指數曲線愈趨明顯。而 $R_L$ 值愈大時，整流器的特性愈接近於理想。

## 4.2 BJT 放大器

### 4.2.1 單級放大器

#### 手算分析

圖 4-9 為一簡單的 BJT 單級放大器電路，首先介紹手算分析部份。本電路的直流基極電流為

$$I_B = \frac{V_{BB} - V_{BE}}{R_{BB}} \cong \frac{3 - 0.7}{100} = 0.023\text{mA} \quad (4-8)$$

集極電流 $I_C$ 為

$$I_C = \beta I_B = 100 \times 0.023 = 2.3\text{mA} \quad (4-9)$$

集極電壓 $V_C$ 為

$$V_C = V_{CC} - I_C R_C = 10 - 2.3 \times 2 = 5.4\text{V} \quad (4-10)$$

因為 $V_B = 0.7\text{V}$ ，所以元件將在主動區操作。小訊號模型參數如下：轉導為

$$g_m = \frac{I_C}{V_T} = \frac{2.3\text{mA}}{25.85\text{mV}} = 88.97\text{mA/V} \quad (4-11)$$

和基極電阻為

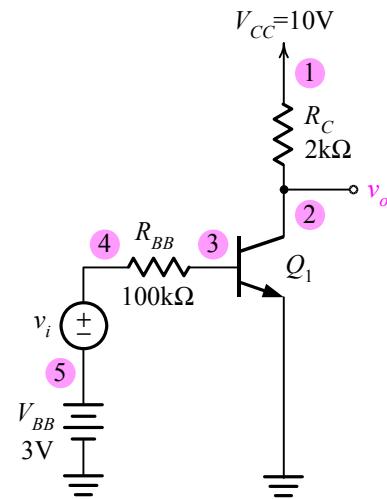


圖 4-9 單級放大器之 SPICE 電路圖。

$$r_\pi = \frac{\beta}{g_m} = \frac{100}{88.97} = 1.12\text{k}\Omega \quad (4-12)$$

交流分析如下：

$$v_\pi = v_i \frac{r_\pi}{r_\pi + R_{BB}} = v_i \frac{1.12}{101.12} = 0.011v_i \quad (4-13)$$

交流輸出電壓為

$$v_o = -g_m v_\pi R_C = -88.97 \times 0.011v_i \times 2 = -1.96v_i \quad (4-14)$$

電壓增益為

$$\frac{v_o}{v_i} = -1.96 \quad (4-15)$$

### SPICE 模擬

接下來我們使用 SPICE 模擬出 BJT 混合  $-\pi$  模型之小訊號參數並模擬放大器表現，例如電壓增益和輸入電阻等。考慮此一單級放大器電路之輸入檔，如圖 4-10 所示。注意圖 4-10 中的兩個分析指令.TF 和.OP：

.TF V(2) Vi

其中.TF 為轉移函數分析指令(transfer function analysis command)，V(2) 和 Vi 為欲分析之變數，我們可由此指令求出電壓增益。另外，.OP 指令除了可做操作點直流分析外，亦將顯示出電晶體之小訊號模型參數，如

```

A Single-Stage Amplifier Circuit

* circuit description
Vcc 1 0 DC +10V
Vbb 5 0 DC +3V
Vi 4 5 DC 1mV
Rc 1 2 2k
Rbb 4 3 100k

* model description *
Q1 2 3 0 npn_transistor
.model npn_transistor npn (Is=1.8e-15 Bf=100)
* analysis requests *
.TF V(2) Vi
.OP
.end

```

圖 4-10 單級放大器電路之 SPICE 輸入檔。

```

*OPERATING POINT INFORMATION TEMPERATURE= 27.000 DEG C

***** BIPOLAR JUNCTION TRANSISTORS

NAME Q1
MODEL npn_transistor
IB 2.28E-05
IC 2.28E-03
VBE 7.21E-01
VBC -4.72E+00
VCE 5.44E+00
BETADC 1.00E+02
GM 8.82E-02
RPI 1.13E+03
RX 0.00E+00
RO 1.00E+12
CBE 0.00E+00
CBC 0.00E+00
CJS 0.00E+00
BETAAC 1.00E+02
CBX/CBX2 0.00E+00
FT/FT2 1.40E+18

```

圖 4-11 執行.OP 指令所得的輸出檔，其中除了列出直流分析數值外，亦顯示 BJT 小訊號混合-π模型之模型參數。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 10.0000 (2) 5.4395 (3) .7208 (4) 3.0010
(5) 3.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT

Vcc -2.280E-03
Vbb -2.280E-05
Vi -2.280E-05

TOTAL POWER DISSIPATION 2.29E-02 WATTS

SMALL-SIGNAL CHARACTERISTICS

V(2)/Vi = -1.978E+00

INPUT RESISTANCE AT Vi = 1.011E+05
OUTPUT RESISTANCE AT V(2) = 2.000E+03

JOB CONCLUDED
TOTAL JOB TIME .03

```

圖 4-12 小訊號偏壓解與小訊號特性之 SPICE 輸出檔。

轉導  $g_m$  和基極電阻  $r_\pi$ 。圖 4-11 為 BJT 小訊號混合- $\pi$  模型之模型參數，其中轉導  $g_m$  為  $88.2\text{mA/V}$ ，基極電阻  $r_\pi$  為  $1.13\text{k}\Omega$ 。這與(4-11)和(4-12)二式根據定電壓降模型( $V_{BE} = 0.7\text{V}$ )之手算結果相當接近。

圖 4-12 為單級放大器之模擬結果，我們可由輸出檔中的小訊號偏壓解 (small-signal bias solution) 得到靜態操作點。另外，由小訊號特性 (small-signal characteristics) 可得其電壓增益為  $-1.978\text{V/V}$ ，與(4-15)式之手算分析值幾乎一致。

由於電晶體飽和電流設定值不同(輸入檔飽和電流為  $1.8 \times 10^{-15}\text{A}$ )，造成模擬結果與手算分析(定壓降模型)數值產生些微誤差。

## 4.2.2 共射放大器

### SPICE 電路描述

考慮一共射放大器電路，如圖 4-13，其中電容  $C_1$  與  $C_2$  為放大器之耦合電容， $C_3$  則為旁路電容，我們將此三電容值設為  $1\text{GF}$ ，以使得在考慮的訊號頻率範圍內，均可視其為交流短路。此外，請注意在電阻  $R_L$  後接上一電壓源  $v_{out}$ ，這是為了在計算電流增益時，可將電壓源  $v_{out}$  設為 0 藉以監視負載端電流。另一方面，作出輸出電阻分析時，可將  $v_{out}$  設一非零數值(例  $10\text{mV}$ )，再配合對應的輸出電流，可計算其輸出電阻  $R_{out}$ 。

為了計算共射放大器之小訊號參數，我們將分兩個部份對此電路作分析。第一部份為計算電壓增益  $A_V$ 、電流增益  $A_I$  以及輸入阻抗  $R_{in}$ ；而第二部份則計算其輸出阻抗  $R_{out}$ 。

### 指令敘述

圖 4-14 為計算  $A_V$ 、 $A_I$  和  $R_{in}$  之 SPICE 輸入檔，其中我們輸入一大小為  $10\text{mV}$  之交流電壓源  $V_s$ ，並對此電路作交流分析。再者，注意交流頻率響應分析指令(ac frequency response analysis command)：

```
.AC LIN 1 kHz 1kHz
```

以上指令敘述使用線性座標掃描(LIN)，由於我們只對  $1\text{kHz}$  頻率作分析，故只掃描頻率為  $1\text{kHz}$  一點，頻率由  $1\text{kHz}$  到  $1\text{kHz}$ 。另外，注意輸出指令.PRINT 中的變數寫法：

```
.PRINT AC Vm(1) Vp(1) Vm(7) Vp(7)
```

$V_m$  和  $V_p$  分別代表其節點電壓大小(magnitude)與節點電壓相角(phase)，經由這個指令可讓我們在輸出檔中直接觀察各節點電壓的大小與相角。

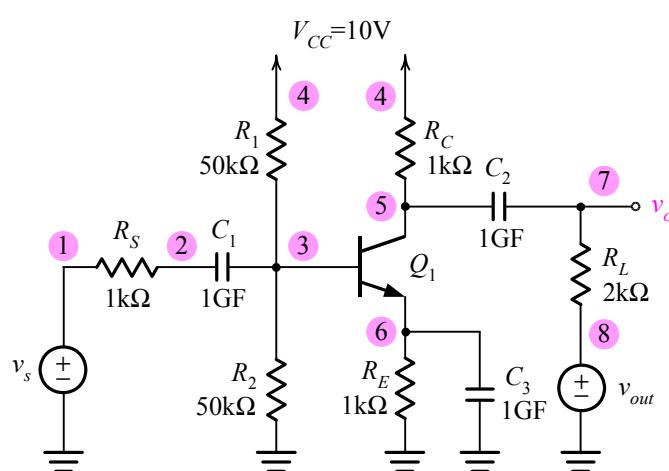


圖 4-13 共射放大器之 SPICE 電路圖。

```

Common-Emitter Amplifier

* circuit description *
Vcc 4 0 DC 10V
Vs 1 0 AC 10mV
Rs 1 2 1k
R1 7 8 2k
Rc 4 5 1k
Re 6 0 1k
R1 4 3 50k
R2 3 0 50k
C1 2 3 1GF
C2 5 7 1GF
C3 6 0 1GF
Vout 8 0 0V
* model description *
Q1 5 3 6 npn transistor
.model npn transistor npn (Is=1.8e-15 Bf=100 Vaf=100)
* analysis requests *
.OP
.AC LIN 1 1kHz 1kHz
.PRINT AC Vm(1) Vp(1) Vm(7) Vp(7)
.PRINT AC Im(Vs) Ip(Vs) Im(Vout) Ip(Vout)
.PRINT AC Vm(3) Vp(3) Im(Vs) Ip(Vs)
.end

```

圖 4-14 共射放大器之 SPICE 輸入檔。

變化。

### 模擬結果

圖 4-15 至圖 4-17 為 SPICE 模擬結果。圖 4-15 為 BJT 之操作點訊息，除了顯示直流操作點數值外，亦顯示相關小訊號參數，其中轉導  $g_m$  為  $131\text{mA/V}$ ，基極電阻  $r_\pi$  為  $0.778\text{k}\Omega$ 。圖 4-16 則為此電路的小訊號偏壓解，其實就是直流分析結果，得知電源供應電流為  $3.522\text{mA}$  以及全部功率散逸為  $35.2\text{mW}$ 。最後，圖 4-17 為共射放大器之交流掃描輸出，由圖 4-17(a) 中之電壓大小  $VM(1)$  和  $VM(7)$  之數值可計算得電壓增益值為  $VM(7)/VM(1) = 36.92\text{V/V}$ ，且由電壓相角  $Vp(1)$  和  $Vp(7)$  之數值得知輸出與輸入訊號之相位差為 180 度，代表兩訊號間為反相位。再者，由(b)中之  $IM(Vs)$  和  $IM(Vout)$  可計算得電流增益值為  $32.4\text{A/A}$ 。最後，由(c)中  $VM(3)$  與  $IM(Vs)$  可計算出輸入阻抗為  $(4.3 \times 10^{-3} / 5.7 \times 10^{-6}) = 0.75\text{k}\Omega$ 。

```

*OPERATING POINT INFORMATION TEMPERATURE= 27.000 DEG C
*BIPOLAR JUNCTION TRANSISTORS

NAME Q1
MODEL npn_transistor
IB 3.32E-05
IC 3.41E-03
VBE 7.31E-01
VBC -2.43E+00
VCE 3.16E+00
BETADC 1.02E+02
GM 1.32E-01
RPI 7.78E+02
RX 0.00E+00
RO 3.01E+04
CBE 0.00E+00
CBC 0.00E+00
CJS 0.00E+00
BETAAC 1.02E+02
CBX 0.00E+00
FT 2.09E+18

```

圖 4-15 圖 4-13 共射放大器電路中由 SPICE 解得之 BJT 小訊號混合- $\pi$  模型參數。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 0.0000 (2) 0.0000 (3) 4.1689 (4) 10.0000
(5) 6.5949 (6) 3.4384 (7) 0.0000 (8) 0.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT

Vcc -3.522E-03
VS 0.000E+00
Vout 0.000E+00

TOTAL POWER DISSIPATION 3.52E-02 WATTS

```

圖 4-16 圖 4-13 共射放大器之直流偏壓解。

```

* AC ANALYSIS TEMPERATURE = 27.000 DEG C

FREQ VM(1) VP(1) VM(7) VP(7)
1.000E+03 1.000E-02 0.000E+00 3.692E-01 -1.800E+02
(a)
* AC ANALYSIS TEMPERATURE = 27.000 DEG C

FREQ IM(Vs) IP(Vs) IM(Vout) IP(Vout)
1.000E+03 5.700E-06 -1.800E+02 1.846E-04 -1.800E+02
(b)
* AC ANALYSIS TEMPERATURE = 27.000 DEG C

FREQ VM(3) VP(3) IM(Vs) IP(Vs)
1.000E+03 4.300E-03 -6.464E-13 5.700E-06 -1.800E+02
(c)
* AC ANALYSIS TEMPERATURE = 27.000 DEG C

FREQ VM(7) VP(7) IM(Vout) IP(Vout)
1.000E+03 3.261E-03 -1.651E-14 3.369E-06 -1.800E+02
(d)

```

圖 4-17 圖 4-13 共射放大器電路之交流輸出檔：(a)計算電壓增益之輸出檔，其中 VM 代表電壓大小和 VP 代表電壓相角(b)計算電流增益之輸出檔，(c)計算輸入阻抗之輸出檔，(d)計算輸出電阻之輸出檔。

### 輸出電阻

接下來，我們將計算電路的輸出阻抗  $R_{out}$ 。首先，對圖 4-14 之輸入檔做以下的修改：根據電子電路中對於輸出電阻之觀念，可先令獨立電壓源為零。

根據電子電路中對於輸出電阻之觀念，可先令獨立電壓源為零。

Vs 1 0 0V

再將電壓產生器  $V_{out}$  之數值令為 10mV：

Vout 8 0 10mV

最後，為了觀察輸出端的電壓與電流，將所有輸出列印指令.PNINT 移去並改為：

.PRINT AC Vm(7) Vp(7) Im(Vout) Ip(Vout)

在重新模擬此電路後，我們可得圖 4-17(d)之輸出結果，由 VM(7)和 IM(Vout)可計算出輸出阻抗為  $(3.26 \times 10^{-3} / 3.369 \times 10^{-6}) = 0.968\text{k}\Omega$ 。

注意 SPICE 模擬結果，其中直流偏壓( $I_{EQ} = 3.47\text{mA}$ )與手算分析之結果( $I_{EQ} = 3.45\text{mA}$ )有些許誤差，這是由於手算分析中使用定電壓降模型

( $V_{BE}=0.7V$ )的緣故。關於這個部份，請讀者自行嘗試驗證，在此不多作討論。

## 4.3 MOSFET 類比開關

### 4.3.1 導通電阻

#### NMOS 開關

圖 4-18(a)為 NMOS 類比開關(analog switch)，主要用以傳送類比信號。當然此電路亦可傳送數位信號，其行為將在 13 章介紹。為了計算 NMOS 開關的導通電阻(on resistance)，我們刻意將接收端點接地，再由輸入電壓與輸入電流之比即可獲得導通電阻。

圖 4-18(a)中亦顯示，為使 NMOS 導通，其閘極接至 +5V ( $V_g = +5V$ )，且避免基板導通，於是 p 型基體必須接至 -5V ( $V_b = -5V$ )。圖 4-19 為計算 NMOS 開關導通電阻之 SPICE 輸入檔，注意指令

```
.model e_nmosfet nmos (KP=20u Vto=2V lambda=0.02 gamma=0.5)
```

上述指令代表元件參數為  $\mu_n C_{OX} = 20\mu\text{A/V}^2$ ， $V_{to} = 2\text{V}$ ， $\lambda = 0.02\text{V}^{-1}$  和  $\gamma = 0.5\text{V}^{1/2}$ 。此外，請注意直流掃描指令：

```
.DC Vi -5V 5V 10.001mV
```

上述代表  $V_i$  由 -5V 掃描至 +5V，每 10.001mV 掃描一次。這裡必須特別指出，掃描間隔之所以取 10.001mV 而非取 10mV，是為了在計算輸入電壓與輸入電流之比時避免出現 0 除以 0 的不定值現象。再者，在 NMOS 元件敘述部份：

```
M1 1 2 0 3 e_nmosfet L=10u W=400u
```

上述指出將節點 1 定為汲極和節點 0 定為源極。請注意 MOSFET 中關於源極與汲極之選擇可以是任意的，不論我們如何選擇，將不會影響最後的結果。關於這點敘述，讀者若有任何疑問，可嘗試將上述指令中的汲極與源極對調即可證實以上所述。

計算出的 NMOS 導通電阻  $R_{ON}$  與輸入電壓的關係顯示於圖 4-21 中標示 NMOS 開關之曲線。圖中顯示，當  $v_I = -5\text{V}$  時， $R_{ON} = 200\Omega$ ，但隨著  $v_I$  增加， $R_{ON}$  持續上升；當  $v_I = +5\text{V}$  時， $R_{ON}$  約增加至  $2.3\text{k}\Omega$  附近。這代表 NMOS 開關之導通電阻與輸入電壓訊號有關，這種非線性的行為使開關特性衰退且將造成傳送訊號的失真。

將接收端點接地，再由輸入電壓與輸入電流之比即可獲得導通電阻。

掃描間隔之所以取 10.001mV 而非取 10mV，是為了在計算輸入電壓與輸入電流之比時避免出現 0 除以 0 的不定值現象。

NMOS 開關之導通電阻與輸入電壓訊號有關，這種非線性的行為使開關特性衰退且將造成傳送訊號的失真。

### PMOS 與 CMOS 開關

圖 4-18(b) 為 PMOS 類比開關，為使 PMOS 導通，其閘極接至  $-5V(V_g = -5V)$ ；且避免基板導通， $n$  型基體必須接至  $+5V(V_b = +5V)$ 。計算而得的 PMOS 導通電阻與輸入電壓之關係顯示於圖 4-21 中標示 PMOS 開關之曲線。圖中可明顯看出 PMOS 開關與 NMOS 開關呈現互補特性。結論是，單一元件(NMOS 或 PMOS)均不適合作為一類比開關。NMOS 或 PMOS 均不適合作為一類比開關。

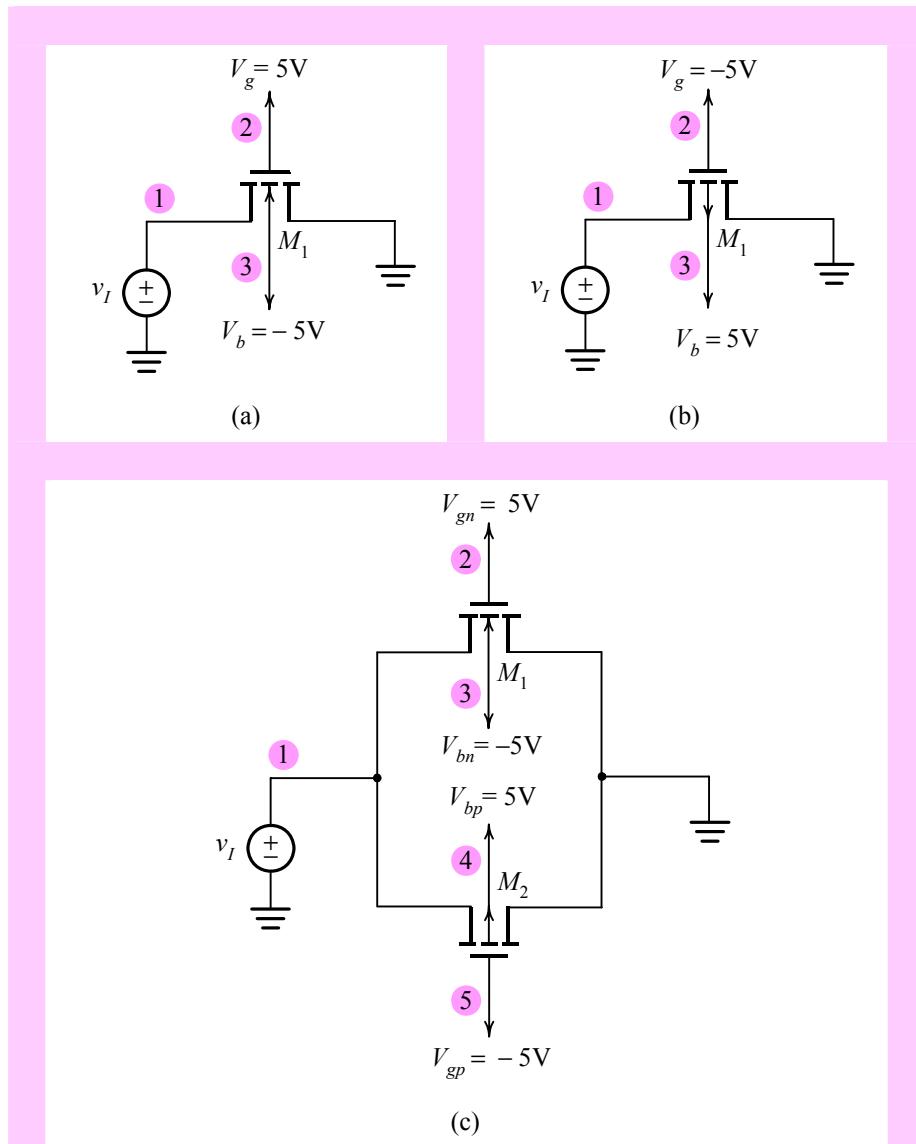


圖 4-18 三個 MOS 開關之接收端接地以計算其導通電阻：(a)NMOS 開關，(b)PMOS 開關，(c)CMOS 開關。

```

On-Resistance of an NMOS Switch

* circuit description
Vg 2 0 DC 5V
Vb 3 0 DC -5V
Vi 1 0 DC 0V
* MOSFET model description
M1 1 2 0 3 e_nmosfet L=10u W=400u
.model e_nmosfet nmos (KP=20u Vto=2V lambda=0.02 gamma=0.5)
* analysis requests
.DC Vi -5V 5V 10.001mV
.probe
.end

```

圖 4-19 計算圖 4-18(a)NMOS 開關導通電阻之 SPICE 輸入檔。

```

On-Resistance of an CMOS Switch

* circuit description
Vgn 2 0 DC 5V
Vbn 3 0 DC -5V
Vgp 5 0 DC -5V
Vbp 4 0 DC 5V
Vi 1 0 DC 0V
* MOSFET model description
M1 1 2 0 3 e_nmosfet L=10u W=400u
M2 1 5 0 4 e_pmosfet L=10u W=400u
.model e_nmosfet nmos (KP=20u Vto=2V lambda=0.02 gamma=0.5)
.model e_pmosfet pmos (KP=20u Vto=-2V lambda=0.02 gamma=0.5)
* analysis requests
.DC Vi -5V 5V 10.001mV
.probe
.end

```

圖 4-20 計算圖 4-18(b)CMOS 開關導通電阻之 SPICE 輸入檔。

圖 4-18(c)為 CMOS 類比開關，它是由一對互補電晶體  $M_1$ (NMOS)和  $M_2$ (PMOS)所組成，其輸入檔見圖 4-20。輸入檔中顯示 NMOS 和 PMOS 之元件參數匹配，祇不過臨界電壓的符號相反。計算出的導通電阻  $R_{ON}$  與輸入電壓的關係繪於圖 4-21 中標示 CMOS 開關的曲線。讀者可以明顯看出 CMOS 開關的導通電阻幾乎為一常數且遠比 NMOS 或 PMOS 開關之導通電阻為小。圖中亦顯示當  $v_I$  由  $-5V$  變化至  $+5V$  時， $R_{ON}$  之值約介於  $200\Omega$  至  $275\Omega$  之間，且最大導通電阻出現在零電壓輸入時。

CMOS 開關的導通電阻幾乎為一常數且遠比 NMOS 或 PMOS 開關之導通電阻為小。

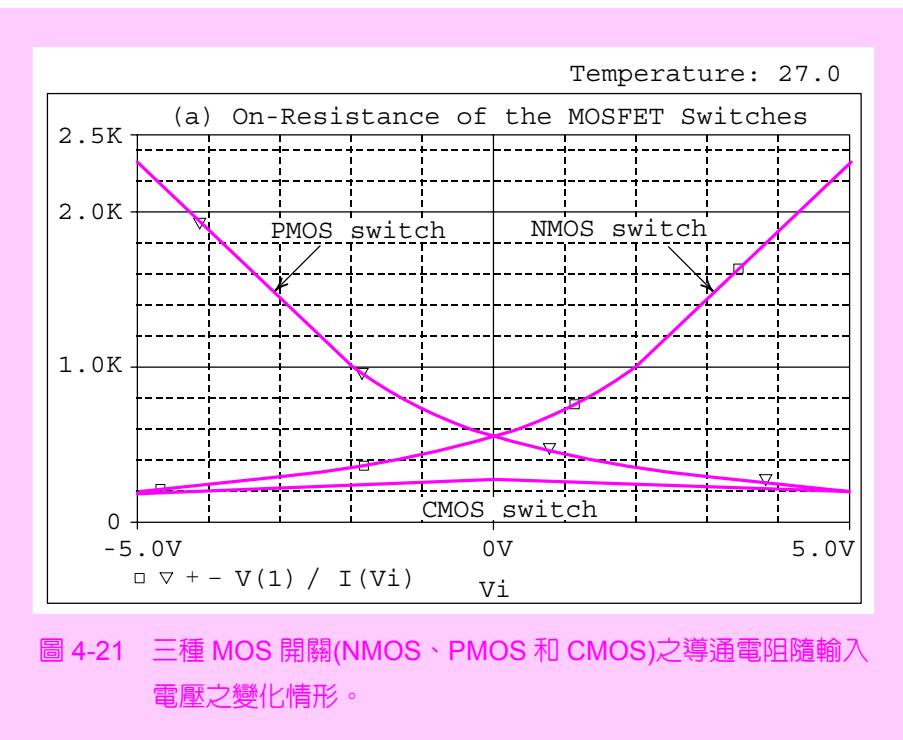


圖 4-21 三種 MOS 開關(NMOS、PMOS 和 CMOS)之導通電阻隨輸入電壓之變化情形。

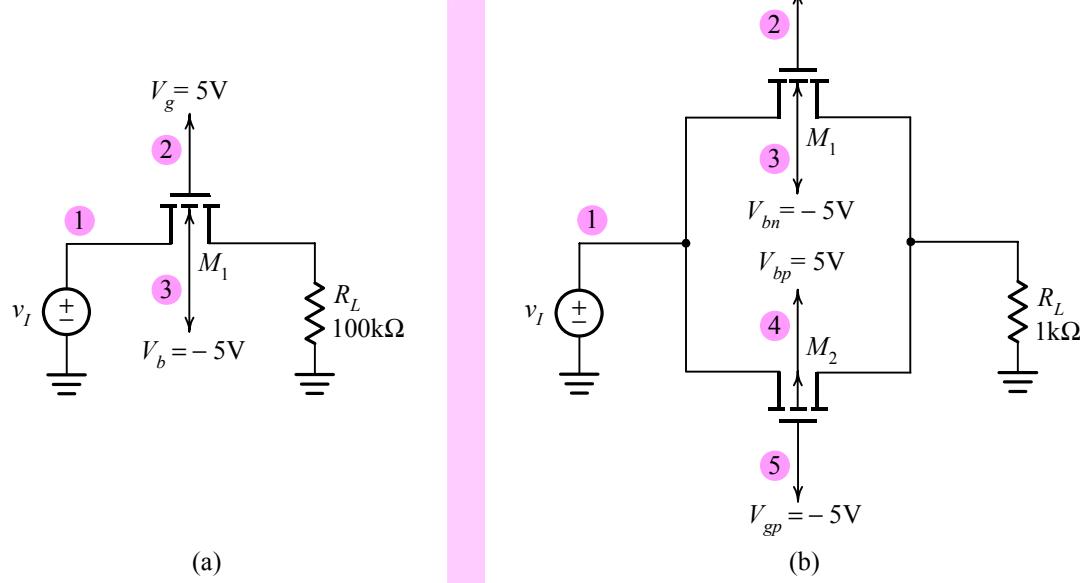


圖 4-22 接收端接上負載電阻以觀察訊號傳輸行為的兩個 MOSFET 類比開關：(a)NMOS 開關，(b)CMOS 開關。

### 4.3.2 訊號傳輸

#### NMOS 與 CMOS 開關

現將圖 4-18 中三個開關接收端之接地拆除，改為連接一  $100\text{k}\Omega$  的負載電阻，所得到的 NMOS 和 CMOS 之類比開關電路見圖 4-22。圖 4-23 為 NMOS 開關中輸入一正弦波以觀察其訊號傳輸行為之 SPICE 輸入檔，注意指令：

```
Vi 1 0 SIN (0V 5V 100Hz)
```

代表輸入一介於  $-5\text{V}$  與  $+5\text{V}$  間變化且頻率為  $100\text{Hz}$  的正弦訊號。再經由暫態分析指令：

```
.TRAN 0.1ms 20ms 0ms 0.1ms
```

代表由  $0\text{ms}$  分析至  $20\text{ms}$ ，每  $0.1\text{ms}$  計算一次。所得到的輸出波形繪於圖 4-24(b)中標示 NMOS 開關的曲線，可看出在正半週部份當電壓接近  $1.8\text{V}$  時即出現輸出飽和現象，於是造成訊號傳輸的失真。

將上述兩指令保留並針對 CMOS 開關改寫圖 4-23 之輸入檔，即可模擬出圖 4-24(b)中標示 CMOS 開關( $R_L = 100\text{k}\Omega$ )之輸出波形。讀者可明顯看出(或使用 SPICE 軟體所提供的檢視功能)在 CMOS 開關中，若選擇適當的負載電阻( $R_L = 100\text{k}\Omega$ )，則輸出波形與輸入正弦波形幾乎一致，代表訊號傳輸幾乎無失真。

```
Signal Transmission through a NMOS Switch

* circuit description
Vg 2 0 DC 5V
Vb 3 0 DC -5V
Vi 1 0 SIN(0V 5V 100Hz)
Rl 6 0 100k
* MOSFET model description
M1 1 2 6 3 e_nmosfet L=10u W=400u
.model e_nmosfet nmos (KP=20u Vto=2V lambda=0.02 gamma=0.5)
* analysis requests
.TRAN 0.01ms 20ms 0ms 0.01ms
.probe
.end
```

圖 4-23 在圖 4-22(a)中之 NMOS 開關輸入一正弦波以觀察其暫態響應之 SPICE 輸入檔。

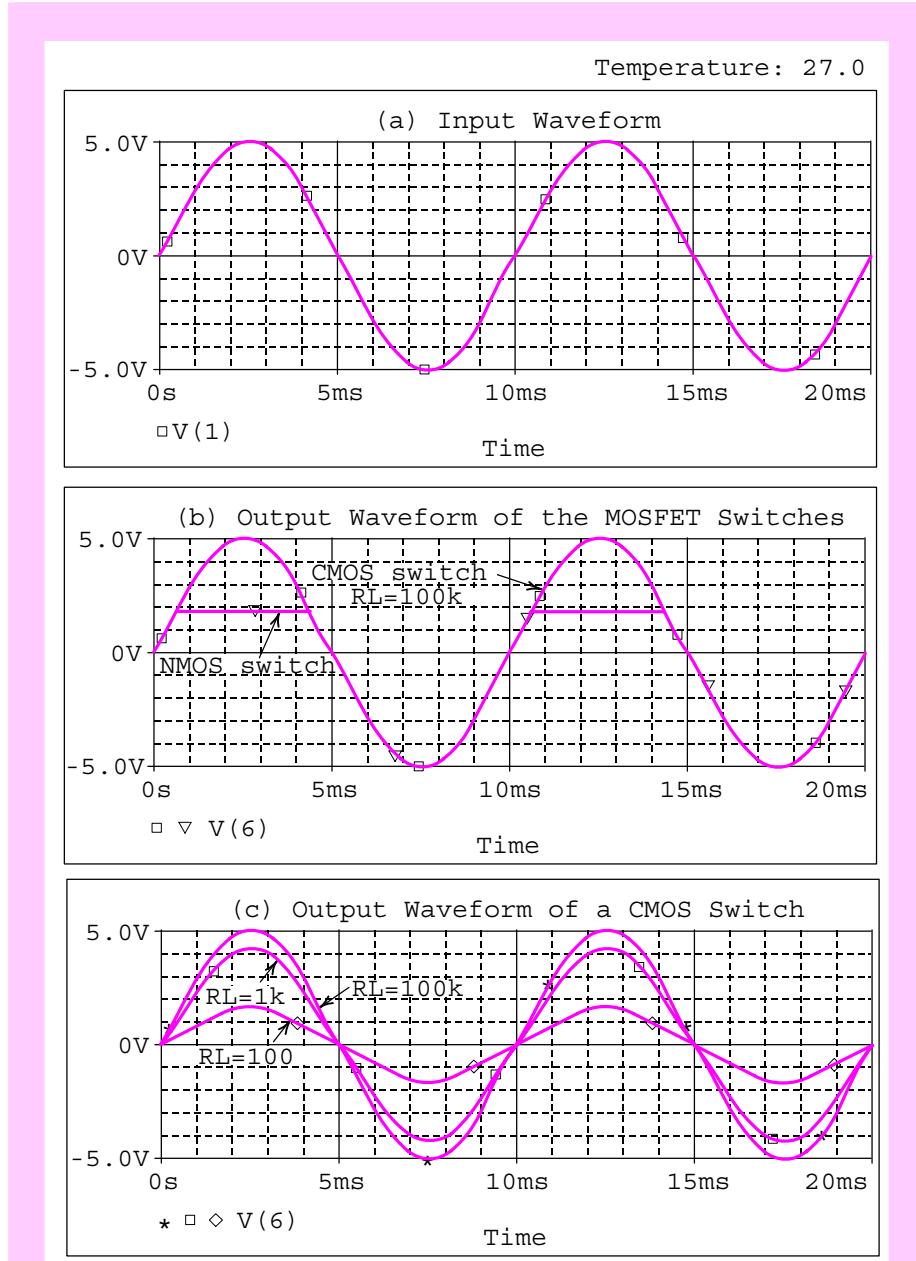


圖 4-24 MOS 類比開關之訊號傳輸現象：(a) 輸入正弦訊號，(b) NMOS 與 CMOS 開關之輸出訊號，(c) CMOS 開關中負載電阻對訊號傳輸之影響。

### 負載效應

我們希望進一步了解 CMOS 開關中之訊號傳輸與負載電阻之關聯性，於

是在輸入檔中(未列出)變化數個不同的負載電阻( $R_L = 100\text{k}\Omega$ 、 $R_L = 1\text{k}\Omega$ 和 $R_L = 100\Omega$ )並觀察其輸出波形，見圖 4-24(c)。圖中顯示當負載電阻降低時，波形失真開始增加。以 $R_L=100\Omega$ 為例，其輸出電壓峰值， $v_{O(\text{peak})}$ 可由 $v_I = +5\text{V}$ 時對應的 $R_{ON}$ ( $R_{ON} = 200\Omega$ )與 $R_L$ 分壓而得，即

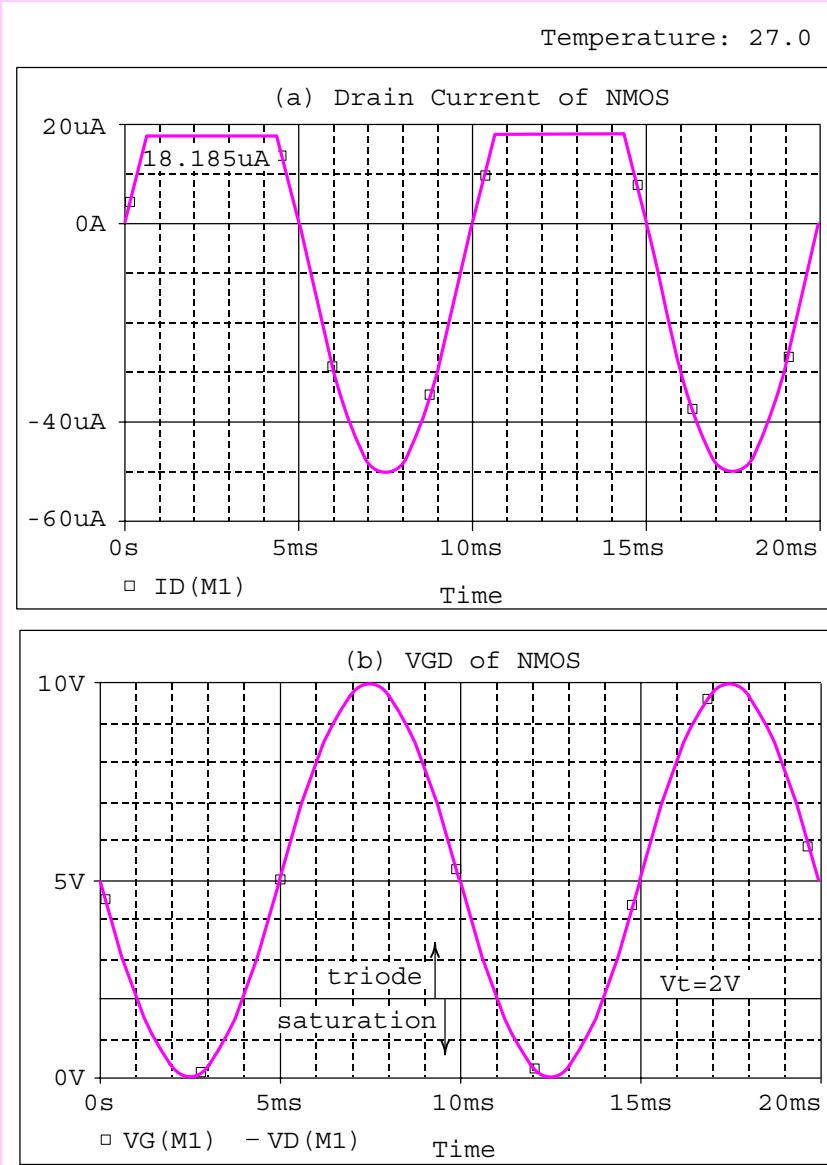


圖 4-25 NMOS 開關的訊號傳輸分析：(a)NMOS 的汲極電流波形，  
(b)NMOS 的閘汲電壓波形。

$$v_{O(\text{peak})} = v_{I(\text{peak})} \frac{R_L}{R_{ON} + R_L} \quad (4-16)$$

代值後得  $v_{O(\text{peak})} = 1.67\text{V}$ ，讀者可使用軟體所提供的檢視功能證實。

在 CMOS 開關中如欲降低傳輸失真，則應增加負載電阻或降低 MOS 元件的導通電阻。

結論是，在 CMOS 開關中如欲降低傳輸失真，則應增加負載電阻或降低 MOS 元件的導通電阻。

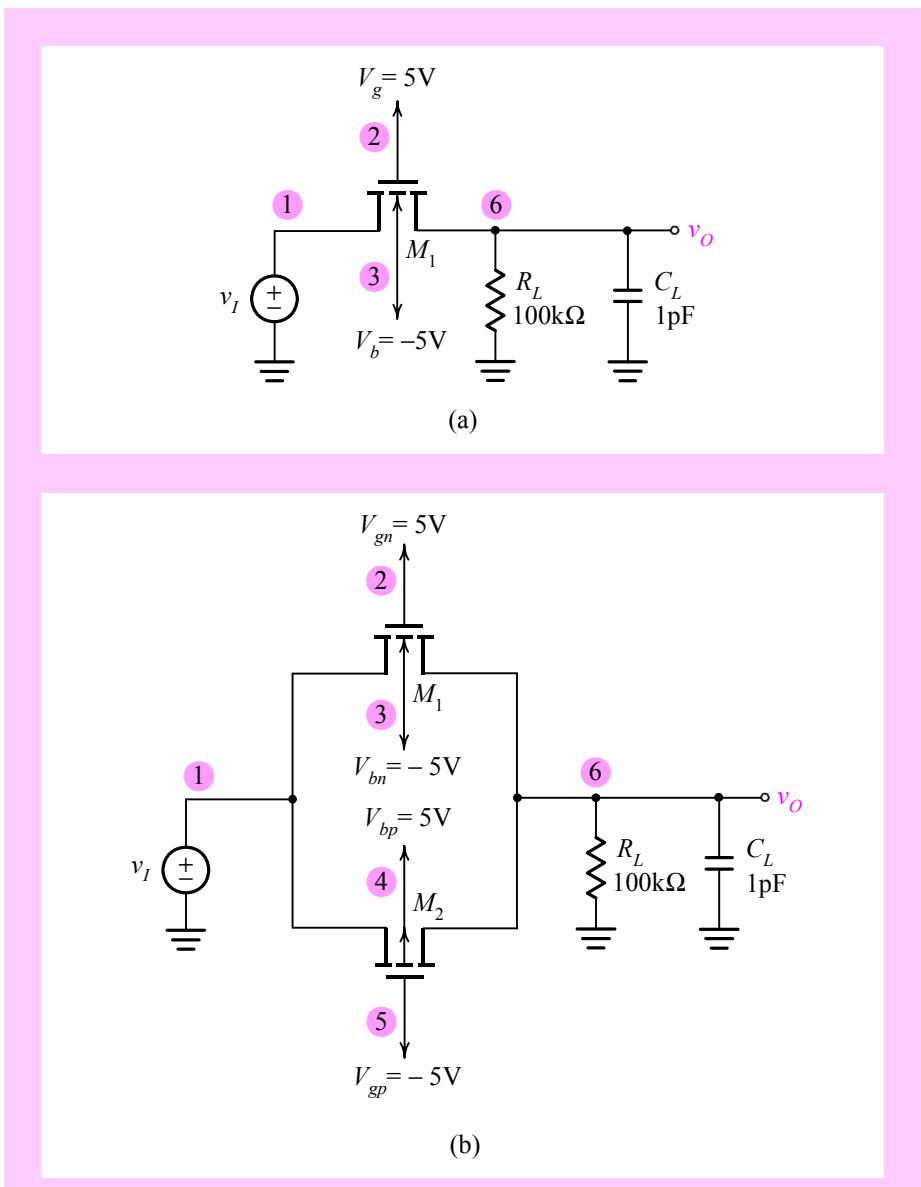


圖 4-26 在接收端上連接負載電阻和電容以觀察 MOS 開關的步階響應：(a)NMOS 開關，(b)CMOS 開關。

最後，我們希望進一步研究 NMOS 開關中的輸出飽和造成波形尖峰被截掉的現象，見圖 4-25。利用軟體所提供的檢視功能可繪出 NMOS 開關的汲極電流與閘汲電壓波形，見圖 4-25。圖 4-25(b)顯示當  $v_{GD} < V_t$  時，NMOS 進入飽和區，此時圖 4-25(a)之電流波形亦進入飽和狀態，即對應波形尖峰被截掉的部份。

### 4.3.3 步階響應

為了進一步觀察 MOS 開關之步階響應，將 MOS 開關之接收端連接負載電阻和電容，見圖 4-26。圖 4-27 為觀察 CMOS 開關步階響應之 SPICE 輸入檔，其中關於輸入步階波形指令(step waveform command)：

```
Vi 10 PWL (0 0V 10ns 0V 20ns 5V 50ns 5V)
```

代表在  $t = 0$  至  $t = 10\text{ns}$ ， $v_I = 0\text{V}$ ，而  $t = 10\text{ns}$  至  $t = 20\text{ns}$  時， $v_I$  由  $0\text{V}$  線性上升至  $5\text{V}$ ，在  $t = 20\text{ns}$  至  $t = 50\text{ns}$ ， $v_I = 5\text{V}$ 。

由暫態分析指令：

```
.TRAN 0.01ns 50ns 0ms 0.01ns
```

```
Step Response of a CMOS Switch

* circuit description (RL=100k)
Vgn 2 0 DC 5V
Vbn 3 0 DC -5V
Vgp 5 0 DC -5V
Vbp 4 0 DC 5V
Vi 1 0 PWL (0 0V 10ns 0V 20ns 5V 50ns 5V)
Rl 6 0 100k
Cl 6 0 1pF

* MOSFET model description
M1 1 2 6 3 e_nmosfet L=10u W=400u
M2 1 5 6 4 e_pmosfet L=10u W=400u
.model e_nmosfet nmos (KP=20u Vto=2V lambda=0.02 gamma=0.5)
.model e_pmosfet pmos (KP=20u Vto=-2V lambda=0.02 gamma=0.5)
* analysis requests
.TRAN 0.01ns 50ns 0ms 0.01ns
.probe
.end
```

圖 4-27 觀察 CMOS 開關步階響應之 SPICE 輸入檔。

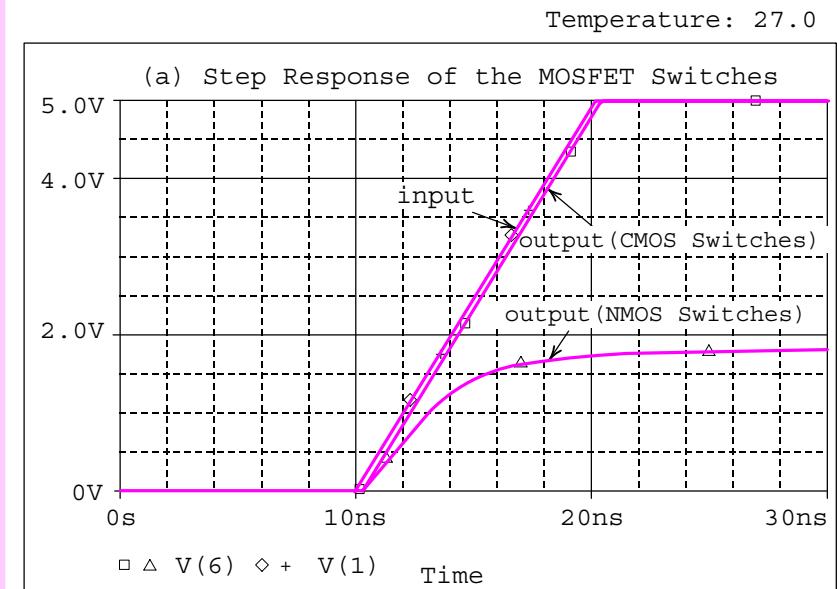


圖 4-28 NMOS 和 CMOS 開關的步階響應。

代表由  $t = 0$  分析至 50ns，每 0.01ns 分析一次。

圖 4-28 為 NMOS 和 CMOS 的步階響應。圖中顯示對 NMOS 而言，輸出波形上升時間較長且輸出電壓在 1.8V 附近因輸出飽和效應被截掉。反觀 CMOS 開關的步階響應不論就上升時間或輸出準位而言，其表現均遠較 NMOS 開關為佳。

## 4.4 JFET 放大器

### 手算分析

圖 4-29 為一 JFET 共源放大器(common-source amplifier)，JFET 的元件參數為( $\beta = 0.48\text{mA/V}^2$ ， $V_{to} = -5\text{V}$  和  $\lambda = 0.00333\text{V}^{-1}$ )。首先介紹手算分析：由輸入端分壓電路，

$$V_{GG} = V_{DD} \frac{R_{G2}}{R_{G1} + R_{G2}} \quad (4-17)$$

和 JFET 之飽和關係式

$$I_D = \beta(V_{GS} - V_{to})^2(1 + \lambda V_{DS}) \quad (4-18)$$

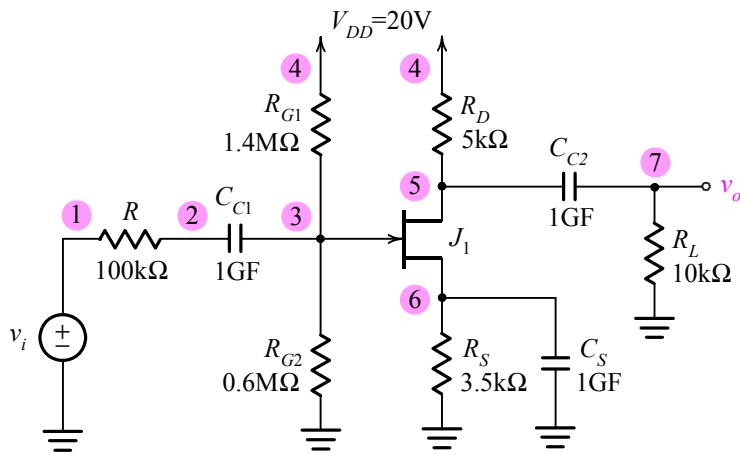


圖 4-29 JFET 共源放大器之電路。

為簡單起見，將  $\lambda$  視為零，則以上二式聯立可得  $I_D = 3 \text{ mA}$  和  $V_{GS} = -2.5 \text{ V}$ 。

以下計算小訊號參數：轉導  $g_m$  為

$$g_m = 2\beta(V_{GS} - V_{to}) \quad (4-19)$$

和輸出電導  $g_{ds}$

$$g_{ds} \cong \lambda I_D \quad (4-20)$$

代值後得  $g_m = 2.4 \text{ mA/V}$  和  $g_{ds} = 0.01 \text{ mA/V}$ 。於是小訊號電壓增益  $A_V$  為

$$A_V = -g_m [R_D \parallel R_L \parallel (1/g_{ds})] \quad (4-21)$$

代值後得  $A_V = -4.7$ 。

### SPICE 模擬

本節第二部份將以 SPICE 模擬 JFET 共源放大器。圖 4-30 為計算  $A_v$

和  $R_{in}$  之 SPICE 輸入檔。其中輸入一交流電壓源  $V_i = 1\text{V}$ ：

```
Vi 1 0 AC 1V
```

由輸出電壓和輸入電流可分別觀察其電壓增益與輸入電阻。此外，請注意執行交流分析時所需之指令：

```
.AC LIN 1 1kHz 1kHz
```

上述指令代表使用線性掃描(LIN)，且由於我們只對 1kHz 頻率作分析，故只掃描頻率為 1kHz 一點，頻率由 1kHz 到 1kHz。另外，注意輸出指

```

AC Analysis of a JFET Common-Source Amplifier

* circuit description *
Vdd 3 0 DC 30V
Vi 1 0 AC 1V
Rd 3 4 4k
Rg1 3 2 26.5Meg
Rg2 2 0 3.5Meg
Rs 5 0 2k
C1 1 2 1GF
C2 4 6 1GF
Cs 5 0 1GF
Rl 6 0 4k

* JFET model description *
J1 4 2 5 njfet
.model njfet NJF (beta=480u Vto=-5V lambda=0.00333)
* analysis requests *
.OP
.AC LIN 1 1kHz 1kHz
*output requests
.PRINT AC Vm(6) Vp(6) Im(Vi) Ip(Vi)
.probe
.end

```

圖 4-30 計算 JFET 共源放大器的電壓增益  $A_v$  及輸入阻抗  $R_{in}$  之 SPICE 輸入檔。

令 .PRINT 中的變數寫法：

```
.PRINT AC Vm(6) Vp(6) Im(Vi) Ip(Vi)
```

其中  $V_m$  和  $V_p$  分別代表其節點電壓大小與相角， $I_m$  和  $I_p$  分別代表其節點電流大小與相角。

圖 4-31 和圖 4-32 為 SPICE 模擬結果。圖 4-31 為本電路之偏壓電流及相關小訊號參數，其中  $I_D = 2.61\text{mA}$ ，轉導  $g_m$  為  $2.29\text{mA/V}$ ，以及輸出電阻  $r_o$  為  $120.5\text{k}\Omega$ 。最後，圖 4-32 為共源放大器之交流輸出檔，因為  $V_i = 1\text{V}$  且  $A_v = V_o/V_i$ ，故由輸出電壓數值可直接轉換為電壓增益，其值為  $4.509 \text{V/V}$ 。由輸出電壓相角  $\text{VP}(6)$  為  $-180$  度，即代表輸出電壓與輸入電壓反相。此外，因為  $R_{in} = V_i/I_i$ ，所以由  $\text{IM}(V_i)$  之倒數即可計算出輸入電阻，其值為  $3.09\text{M}\Omega$ 。讀者可將 SPICE 模擬結果與先前手算分析比較，其間的誤差主要是由於在手算直流分析時將  $\lambda$  視為零。

```
*OPERATING POINT INFORMATION TEMPERATURE= 27.000 DEG C

* JFETS
NAME J1
MODEL njfet
ID 2.61E-03
VGS -1.72E+00
VDS 1.43E+01
GM 2.29E-03
GDS 8.30E-06
CGS 0.00E+00
CGD 0.00E+00
```

圖 4-31 JFET 共源放大器之操作點分析與對應之小訊號參數。其中  $I_D = 2.61\text{mA}$ ，轉導  $g_m = 2.29\text{mA/V}$  以及輸出電阻  $r_o = 1/g_{ds} = 120.5\text{k}\Omega$ 。

```
* AC ANALYSIS TEMPERATURE = 27.000 DEG C

FREQ VM(6) VP(6) IM(Vi) IP(Vi)
1.000E+03 4.509E+00 -1.800E+02 3.235E-07 1.800E+02
```

圖 4-32 JFET 共源放大器之交流分析結果。可由圖中計算得知，電壓增益  $A_V = 4.509\text{V/V}$ ，且輸出電壓與輸入電壓反相，以及輸入阻抗  $R_{in} = 1/(3.235 \times 10^{-7}) \Omega = 3.09\text{M}\Omega$ 。

## 4.5 MESFET 放大器

### 轉換特性

圖 4-33 為一 MESFET 放大器電路，電晶體  $B_1$  和  $B_2$  的通道寬度分別為  $W = 10\mu\text{m}$  和  $W = 5\mu\text{m}$ ，其他參數則相同，包括  $\beta = 0.2\text{mA/V}^2$ ， $V_{to} = -1\text{V}$  和  $\lambda = 0.05\text{V}^{-1}$ 。

圖 4-34 為掃描 MESFET 放大器轉換特性之 SPICE 輸入檔，其中關於 MESFET  $B_1$  的元件敘述部份：

```
B1 3 1 0 mesfet 10
```

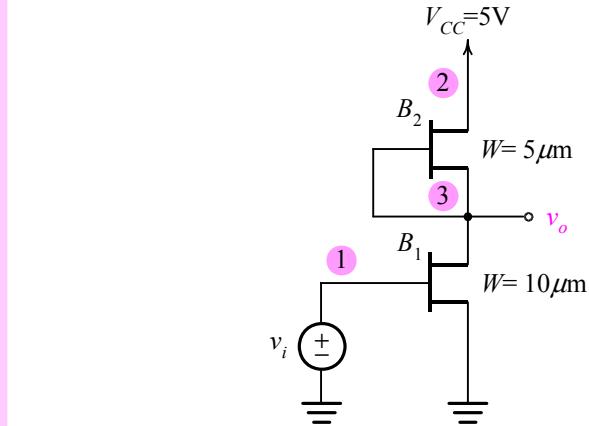


圖 4-33 MESFET 放大器電路。

```

* circuit description (B2 W=5um)
Vcc 2 0 DC 5V
Vi 1 0 DC 0V
* MESFET model description
B1 3 1 0 mesfet 10
B2 2 3 3 mesfet 5
.model mesfet GASFET (beta=0.2m Vto=-1V lambda=0.05)
* analysis requests
.DC Vi -4V 1V 1mV
.OP
.probe
.end

```

圖 4-34 圖 4-33MESFET 放大器掃描轉換特性曲線之 SPICE 輸入檔。

其中 10 代表尺寸比例因子，代表 10 個具有單位尺寸( $L = 1\mu\text{m}$  和  $W = 1\mu\text{m}$ )的電晶體並聯。圖 4-35 中標示  $W = 5\mu\text{m}$  的曲線為掃描出的轉換特性，整體呈現出一類似反相器的轉換曲線。圖中顯示在  $v_i = -0.3\text{V}$  準位附近操作可獲得高增益。此外，當輸入訊號準位超過  $0.7\text{V}$  時，輸出電壓開始上升。這是因為當  $v_i$  超過  $0.7\text{V}$  時，電晶體  $B_1$  的閘極至通道之蕭基接面開始順偏，於是閘極電壓無法再以“場效”的方式精確控制通道電流。

當  $v_i$  超過  $0.7\text{V}$  時，電晶體  $B_1$  的閘極至通道之蕭基接面開始順偏，於是閘極電壓無法再以“場效”的方式精確控制通道電流。

圖 4-35 亦顯示  $B_2$  在不同通道寬度下( $W = 10\mu\text{m}$  和  $W = 2\mu\text{m}$ )之轉換特性，圖中顯示若  $B_1$  尺寸固定，當  $B_2$  之通道寬度增加時，線性區的增益有增加的趨勢。

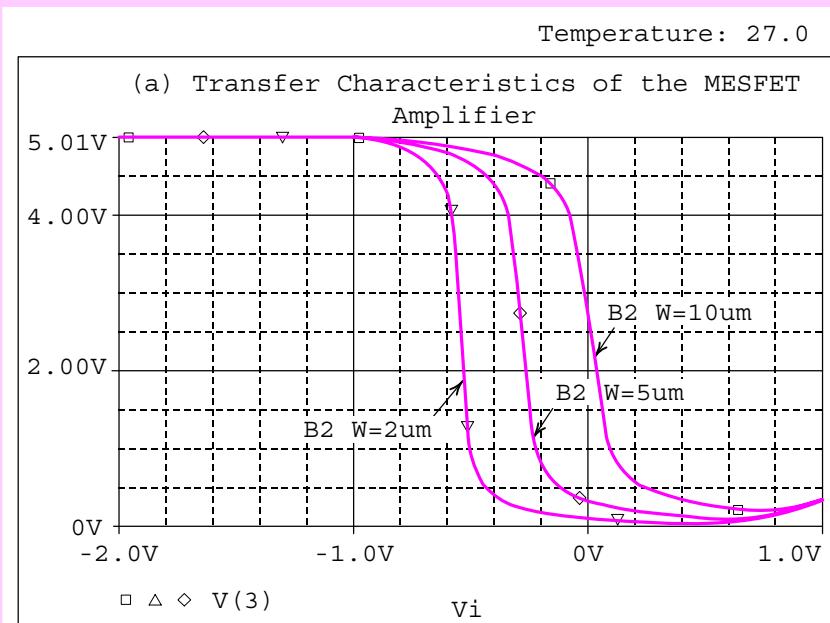


圖 4-35 圖 4-33 MESFET 放大器在不同元件寬度下的轉換特性曲線。

### 小訊號分析

如欲利用 SPICE 執行線性區的小訊號分析，則需將圖 4-34 之輸入檔改寫。首先，必須將直流操作點偏壓在  $v_i = -0.3V$  附近，即

$V_i \ 1 \ 0 \ DC \ -0.3V$

再者，在分析需求(analysis request)的部份將.DC 指令以轉移函數分析指令.TF 取代：

.TF V(3) Vi

```

 SMALL-SIGNAL CHARACTERISTICS *****

V(3)/Vi = -3.177E+01
INPUT RESISTANCE AT Vi = 2.961E+10
OUTPUT RESISTANCE AT V(3) = 9.985E+03
```

圖 4-36 圖 4-33 MESFET 放大器的小訊號特性。

```

*OPERATING POINT INFORMATION TEMPERATURE= 27.000 DEG C

***** GASFETS *****
***** MESFET *****

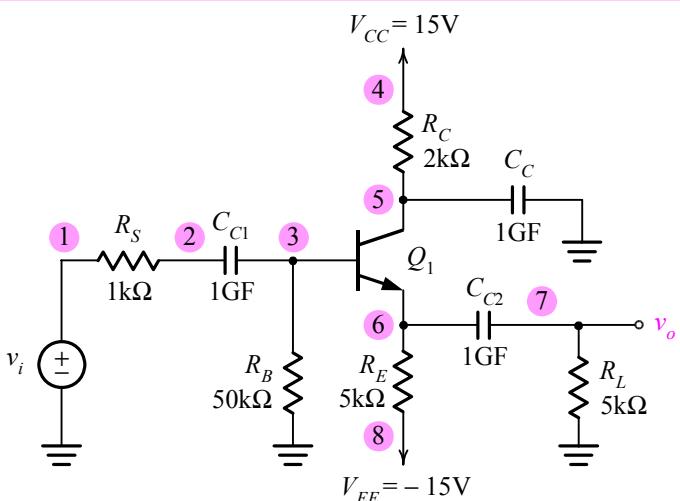
NAME B1 B2
MODEL mesfet mesfet
ID 1.21E-03 1.21E-03
VGS -3.00E-01 0.00E+00
VDS 4.66E+00 3.42E-01
GM 3.45E-03 2.42E-03
GDS 4.90E-05 2.69E-03
CGS 0.00E+00 0.00E+00
CGD 0.00E+00 0.00E+00
CDS 0.00E+00 0.00E+00

```

圖 4-37 圖 4-33 MESFET 放大器的操作點訊息。

當然，我們亦可保留操作點分析指令.OP 以獲得小訊號模型參數。所得的結果分別顯示於圖 4-36 和圖 4-37。

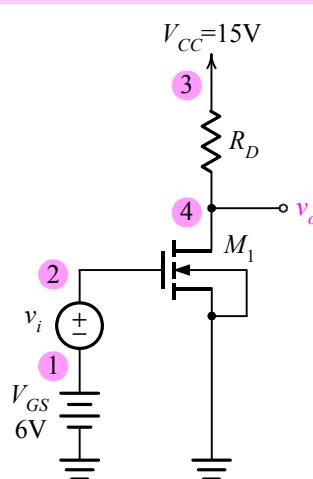
**S 練習題 4.1** 針對圖 4-6 的峰值整流器電路，課本中僅繪出輸入正弦與輸出波形，請利用 SPICE 軟體中所提供的檢視功能繪出二極體電流與電容充放電電流之波形。



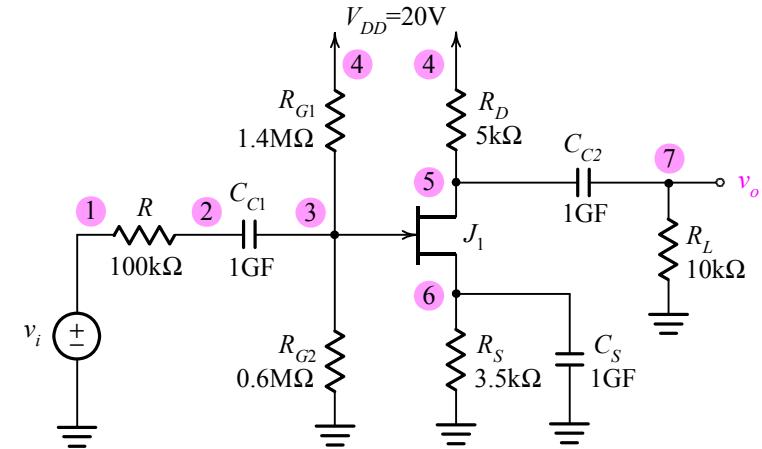
習題 4.2 附圖。

- 4.2 附圖所示為一射極追隨器電路，試以 SPICE 模擬此電路並計算其操作點、小訊號電壓增益、輸入電阻  $R_{in}$  以及輸出電阻  $R_{out}$ 。
- 4.3 附圖為一 MOSFET 單級放大器電路，元件參數為  $\mu_n C_{ox} = 20 \mu\text{A/V}^2$ 、 $V_{to} = 2\text{V}$ 、 $W/L = 10$  和  $\lambda = 0.02\text{V}^{-1}$ 。試以 SPICE 模擬此電路並回答以下問題：
- (a) 利用.DC 指令繪出  $i_D$  對  $v_{DS}$  特性曲線，並在此平面上繪出兩條分別對應  $R_D = 4\text{k}\Omega$  和  $R_D = 6\text{k}\Omega$  之直流負載線。
  - (b) 輸入一三角波，指令為  

$$\begin{aligned} \text{Vi} & 2 1 \text{ PWL } (0, 0\text{V} 0.5\text{ms}, 1\text{V} 1.5\text{ms}, -1\text{V} 2.5\text{ms}, 1\text{V} \\ & + 3.5\text{ms}, -1\text{V} 4.5\text{ms}, 1\text{V} 5.5\text{ms}, -1\text{V} 6\text{ms}, 0\text{V}) \end{aligned}$$
試分別繪出  $R_D = 4\text{k}\Omega$  和  $R_D = 6\text{k}\Omega$  的輸出訊號波形。
  - (c) 以(a)小題的操作點位置解釋(b)小題的輸出訊號波形。
- 4.4 附圖為一 JFET 共源放大器電路，元件參數為  $\beta = 4\text{mA/V}^2$ 、 $V_{to} = -1\text{V}$ 、 $\lambda = 0$ 。試以 SPICE 模擬此電路並計算其直流操作點和小訊號電壓增益。
- 4.5 針對圖 4-26(a)之 NMOS 開關電路及圖 4-28 之步階響應，試變化 NMOS 開關中元件的寬長比  $W/L = 4$ ， $W/L = 40$  和  $W/L = 80$ ，並分別繪出經 NMOS 開關傳輸後的輸出波形。
- 4.6 對於圖 4-22(b)之 CMOS 開關電路及圖 4-24(b)CMOS 開關之輸出波



習題 4.3 附圖。



習題 4.4 附圖。

形，仿照圖 4-25 的繪圖方式討論 CMOS 開關中電晶體操作區間以及傳導電流之關係。

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide.*”
2. G. W. Roberts and A. S. Sedra “*SPICE*” 2nd ed. Oxford University Press, 1997.
3. A. S. Sedra and G. W. Roberts. “*Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith*” Fort Worth: Saunders College Pub, 1992.
4. P. W. Tuinenga, “*SPICE: A Guide to Circuit Simulation Analysis Using Psice: IBM-PC 3.5”* 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
5. R. M. Kielkowski, “*Spice: Practical Device Modeling*” New York: McGraw-Hill, Inc. 1995.
6. M. H. Rashid, “*SPICE for Circuit and Electronic Using Psice*” 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
7. J. Millman and A. Grabel. “*Microelectronics,*” 3rd ed. New York: McGraw-Hill Book Co., 1999.
8. J. Millman and C. C. Halkias. “*Integrated Electronics,*” McGraw-Hill Book Company, New York, 1972.
9. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits,*” 6th ed. Oxford University Press, 2009.
10. R. T. Howe and C. G. Sodini, “*Microelectronics: An Integrated Approach,*” Prentice-Hall International, Inc., 1996.

11. P. E. Allen and D. R. Holberg, “*CMOS Analog Circuit Design*,” 2nd ed., Oxford University Press, 2002.
12. 張文清,“*微電子學上冊*”,二版,台北鼎茂圖書,2013。

# 5

## 運算放大器

本章介紹運算放大器的電路分析與應用。內容包括利用一 T 型網路實作一反相組態、阻尼式米勒積分器、差動放大器等。值得一提的是，若以手算分析處理阻尼式米勒積分器的步階響應是比較困難的；但對 SPICE 而言，讀者祇要利用上一章所學的.TRAN 指令即可獲得結果。此外，我們也將變化不同的回授電阻，觀察其對步階響應的影響。

在儀表式差動放大器部份，我們將有較詳細的分析，包括完美的差模增益，以及在真實電路中由於電阻不匹配所造成的非理想效應等。以上這些模擬結果，我們將配合手算分析且儘量以簡單的方式為讀者解讀。

- 5.1 T 型回授網路之反相組態
- 5.2 米勒積分器
- 5.3 阻尼式米勒積分器
- 5.4 差動放大器
- 5.5 儀表放大器

## 5.1 T型回授網路之反相組態

### 5.1.1 理想運算放大器

對於圖 5-1(a)的理想運算放大器而言，在 SPICE 中均使用電壓控制電壓源(voltage controlled voltage source, 簡稱 VCVS)描述，如圖 5-1(b)。此電壓控制電壓源之電壓增益為無限大(即開迴路增益  $A \rightarrow \infty$ )，加上輸入電阻無限大和輸出電阻為零等特性構成理想運算放大器的模型。在模擬實例中，讀者可使用此特性來作電路模擬。此外，在 SPICE 的語法中，E 為 VCVS 之元件字首。例如，我們可用 E1 代表此一 VCVS 之名稱，至於增益 A 則在內建元件中或 SPICE 輸入檔中設定。

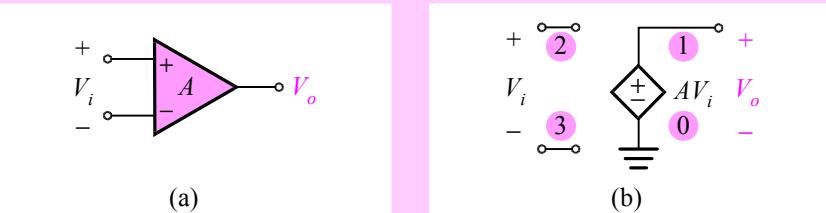


圖 5-1 理想運算放大器的等效電路與 SPICE 元件使用法。

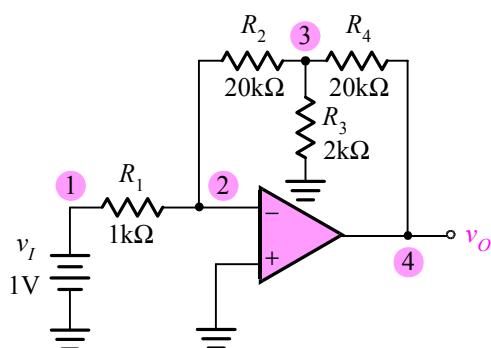


圖 5-2 具有 T型回授網路之反相組態。

```
.subckt ideal_Opamp 1 2 3
*node 1: output terminal
*node 2: noninverting input terminal
*node 3: invertinf terminal
Eopamp 1 0 2 3 1e7
Iopen1 2 0 0A
Iopen2 3 0 0A
.ends ideal_opamp
```

圖 5-3 理想放大器之副電路描述。

首先，我們將用 SPICE 來分析理想 op amp 在 T 型回授網路之反相組態中的各種特性。參考圖 5-2，於反相輸入端輸入 1 伏特的直流電源，之後將分析此電路的閉迴路增益及輸出電壓；圖 5-3 為理想 op amp 的副電路敘述語法，注意其中對理想放大器(即電壓控制電壓源)的描述。

```
Eopamp 1 0 2 3 1e7
```

其腳位依序為輸出端接腳、電源共同接地點(power-supply common terminal)、非反相輸入端接腳、反相輸入端接腳及開迴路增益。由於 SPICE 並沒有無限大的概念，故我們在描述無限大電壓增益時，通常以  $10^7$ V/V 來表示。

此外，副電路中還多了兩個電流源的指令：

```
Iopen1 2 0 0A
Iopen2 3 0 0A
```

**此二行指令是為了避免作直流小信號分析時產生“缺乏兩個連結”的語法錯誤**

此二行指令是為了避免作直流小信號分析時產生“缺乏兩個連結”的語法錯誤；SPICE 電路描述中，每個節點必須要有兩個以上的連結，若缺少兩個連結，則 SPICE 將否決此檔案，而在模擬之後出現錯誤的訊息：

```
ERROR: Less than 2 connections at node 2
ERROR: Less than 2 connections at node 3
```

### 5.1.2 反相組態之分析

參考圖 5-2，在虛短路(virtual short circuit)的前提下，節點 3 的電壓  $V_3$  為

$$v_3 = 0 - \frac{v_i}{R_1} R_2 = -\frac{R_2}{R_1} v_i \quad (5-1)$$

故輸出電壓  $v_o$  為

$$v_o = -\frac{R_2}{R_1}v_I - \left( \frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I \right) R_4 \quad (5-2)$$

因此，電壓增益為

$$\frac{v_o}{v_I} = -\left[ \frac{R_4}{R_1} \left( 1 + \frac{R_2}{R_3} \right) \right] - \frac{R_2}{R_1} \quad (5-3)$$

代入數值得  $v_o/v_I = -240$ 。

### 5.1.3 SPICE 模擬

圖 5-4 為分析圖 5-2 電路之 SPICE 輸入檔，其中對於閉迴路增益，我們使用小信號轉換函數指令 .TF 來分析。

.TF V(4) V(1)

其指令依序分別為指令語法與欲作分析的變數名稱。

圖 5-5 為 SPICE 模擬結果，其中節點②的電壓為  $24 \times 10^{-6}$ V，並非是零。這是因為在輸入檔中的 op amp 的開迴路增益指定為  $10^7$ V/V，並非無窮大。若我們提高開迴路增益之值，則節點②的電壓將降低，此即理想 opamp 條件下的虛接地(virtual ground)觀念。此外，輸出檔中顯示的閉迴

```
Inverting Configuration with T-type Feedback Network

.subckt ideal_opamp 1 2 3
* node 1: output terminal
* node 2: noninverting input terminal
* node 3: inverting input terminal
Eopamp 1 0 2 3 1e7
Iopen1 2 0 0A
Iopen2 3 0 0A
.ends ideal_opamp

* circuit description
Vi 1 0 DC 1V
R1 1 2 1k
R2 2 3 20k
R3 3 0 2k
R4 3 4 20k
Xopamp 4 0 2 ideal_opamp
.TF V(4) Vi
.end
```

圖 5-4 分析 T 型回授網路反相組態之轉移函數之 SPICE 輸入檔。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 1.0000 (2) 24.00E-06 (3) -20.0000 (4) -239.9900

VOLTAGE SOURCE CURRENTS
NAME CURRENT

Vi -1.000E-03

TOTAL POWER DISSIPATION 1.00E-03 WATTS

***** SMALL-SIGNAL CHARACTERISTICS

V(4)/Vi = -2.400E+02

INPUT RESISTANCE AT Vi = 1.000E+03

OUTPUT RESISTANCE AT V(4) = 0.000E+00

```

圖 5-5 T型回授網路反相組態之轉移函數與小訊號偏壓解之 SPICE 輸出檔。

路增益為 $-240\text{V/V}$ ，與手算分析一致。再者，輸入電阻為 $1\text{k}\Omega$ (即 $R_1$ 之值)和輸出電阻為零。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 1.0000 (2) .6838 (3) -5.6410 (4) -68.3760

VOLTAGE SOURCE CURRENTS
NAME CURRENT

Vi -3.162E-04
TOTAL POWER DISSIPATION 3.16E-04 WATTS

**** SMALL-SIGNAL CHARACTERISTICS

V(4)/Vi = -6.838E+01

INPUT RESISTANCE AT Vi = 3.162E+03
OUTPUT RESISTANCE AT V(4) = 0.000E+00

```

圖 5-6 將圖 5-2 電路中的運算放大器改為有限開迴路增益後之輸出檔。

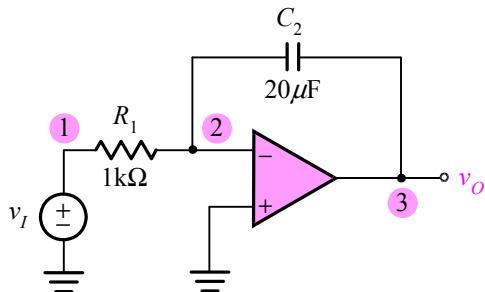


圖 5-7 米勒積分器之 SPICE 電路圖。

最後，我們也利用 SPICE 進行非理想 op amp 之模擬。在此，令 op amp 之開迴路增益為 100，其輸出檔顯示於圖 5-6。其中，由節點②的電壓顯示虛接地現象將不再出現，且閉迴路增益將大幅衰退，由原先的  $-240V/V$  降低至  $-68.38V/V$ 。另外，有限開迴路增益也將造成輸入電阻增加，由原先的  $1k\Omega$  提升至  $3.162k\Omega$ 。

由節點②的電壓顯示虛接地現象將不再出現，且閉迴路增益將大幅衰退。

## 5.2 米勒積分器

### 5.2.1 暫態分析

圖 5-7 和 5-8 分別為米勒積分器的電路圖及 SPICE 輸入檔。米勒積分器為反相組態的應用之一，只是將圖 5-2 中的 T 型回授網路以一電容

```
The Miller Integrator

* circuit description *
Vi 1 0 PWL (0 0V 1ms 0V 1.001ms 1V 10ms 1V)
R1 1 2 1k
C1 2 3 20uF
Eopamp 3 0 0 2 1e7
* analysis request *
.TRAN 10us 5ms 0ms 10us
* output request *
.PRINT TRAN V(1) V(3)
.probe
.end
```

圖 5-8 米勒積分器暫態分析之 SPICE 輸入檔。

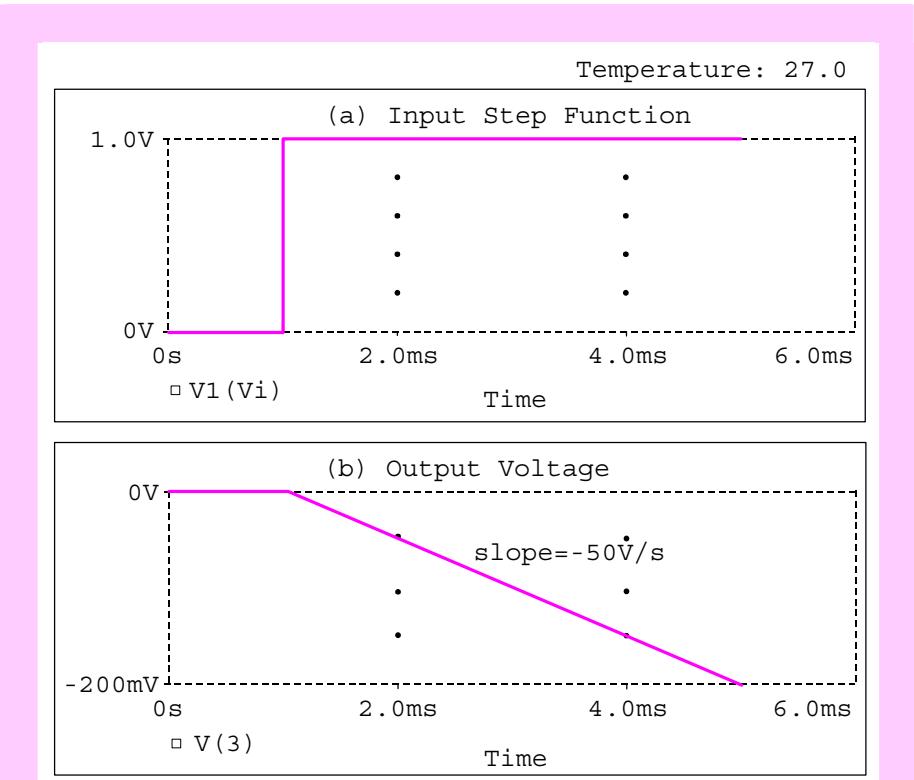


圖 5-9 米勒積分器之暫態分析圖：(a)步階信號的實際波形，(b)米勒積分器的輸出波形，其斜率為  $-200\text{mV}/4\text{ms}$ ，即  $-50\text{V/s}$ 。

$C_2 = 20\mu\text{F}$  取代。現在我們將輸入端輸入 1V 步階信號，並觀察其輸出端電壓  $V_o$ 。注意輸入檔中關於步階信號的描述

```
Vi 1 0 PWL (0 0V 1ms 0V 1.001ms 1V 10ms 1V)
```

以上指令代表在 0 至 1ms 之範圍內電壓為 0V，在 1.001ms 處驟升至 1V，並持續 1V 電壓到 10ms。暫態分析指令如下：

```
.TRAN 10us 5ms 0ms 10us
```

以上指令代表暫態分析由 0ms 起執行至 5ms 且每  $10\mu\text{s}$  的時間距執行次計算。圖 5-9 為模擬結果，可看出其輸出電壓由 1ms 開始衰減，衰減率為  $-50\text{V/s}$ 。我們亦可以由下式計算出相同的結果：

$$V_o = -\frac{1}{C} \int I dt = -\frac{1}{C} \int \frac{V_i}{R} dt = -\frac{1}{RC} \int V_i dt \quad (5-4)$$

故對 1V 的步階輸入而言，輸出應為一直線，其斜率為  $-V_i/RC$ ，代入數值得  $-50\text{V/s}$ ，與模擬結果一致。

## 5.2.2 交流頻率響應

在執行頻率響應分析時，我們將輸入端改為振幅 1V 的交流信號：

Vi 1 0 AC 1V

並以交流頻率響應分析指令.AC 取代原本的暫態分析：

.AC DEC 5 1Hz 1kHz

以上指令代表交流分析係以十進位的方式進行且每十倍頻率作五次的計算，由頻率 1Hz 執行到 1kHz。

圖 5-10 為米勒積分器的頻率響應圖，輸出端以 $-20\text{dB/dec}$  的速率遞減，注意圖上零分貝時的頻率 7.93Hz，即代表單位增益(unity gain)時的頻率，可由下式計算得知：

$$\frac{V_o}{V_i} = -\frac{1}{sC} = -\frac{1}{sRC} \quad (5-5)$$

代入  $s = j\omega$ ，

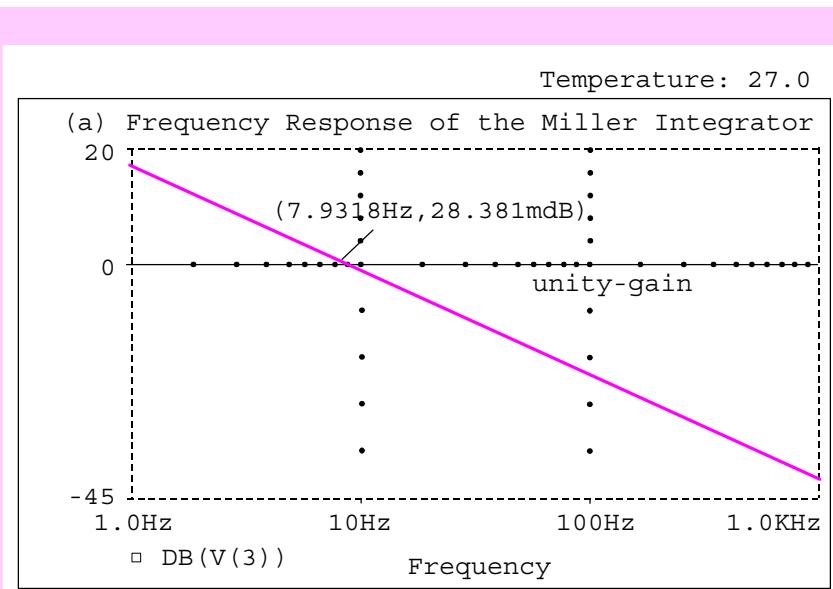


圖 5-10 米勒積分器交流頻率響應輸出圖。輸出響應之斜率為 $-20\text{dB/dec}$ ，其中 0dB 對應的頻率為 7.93Hz，代表增益為 1 時的真實頻率。

$$\left| \frac{V_o}{V_i} \right| = \frac{1}{\omega RC} \quad (5-6)$$

故令  $|V_o/V_i|=1$  以及  $\omega = 2\pi f$  可得單位增益頻率為

$$\text{單位增益頻率} = \frac{1}{2\pi RC} \quad (5-7)$$

代入數值得 7.93Hz，與模擬結果一致。

### 5.3 阻尼式米勒積分器

阻尼米勒積分器(damped Miller integrator)之電路結構為在米勒積分器的電容上跨接一個電阻  $R_2$ ，其電路圖及 SPICE 輸入檔分別為圖 5-11 和圖 5-12。我們將對加了電阻的阻尼式米勒積分器進行交流頻率響應分析。在輸入檔中，我們可以看到兩個新的指令.PLOT 及.PROBE，兩者皆為 SPICE 的繪圖指令。兩者不同的是，.PLOT 指令會將輸出變數以波形方式繪出並將波形中的各點數值儲存在模擬後的.OUT 檔中，而.PROBE 則可提供讀者直接觀察波形中各點的數值；此外，需注意的是，.PLOT 指令須說明其分析指令及變數名稱：

.PLOT AC V(3)

而.PROBE 則不需要說明。

圖5-13和5-14 為阻尼式米勒積分器的步階響應以及頻率響應圖，我們以不同的  $R_2$  值做分析( $R_2 = 100k\Omega$ 、 $R_2 = 1M\Omega$ )。由圖可明顯得知，

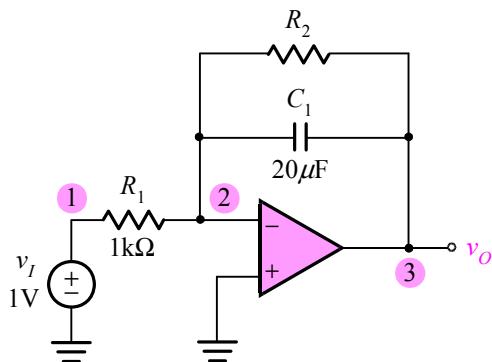


圖 5-11 阻尼式米勒積分器之 SPICE 電路圖。

```

Damped Miller Integrator

* the Miller Integrator *
Vi 1 0 AC 1V
R1 1 2 1k
C2 2 3 20uF
Eopamp 3 0 0 2 1e7
.AC DEC 100 1mHz 1kHz
.PLOT TRAN V(3)
.probe
.end

* the Damped Miller Integrator (R2=1M) *
Vi 1 0 AC 1V
R1 1 2 1k
R2 2 3 1Meg
C2 2 3 20uF
Eopamp 3 0 0 2 1e7
.AC DEC 100 1mHz 1kHz
.PLOT TRAN V(3)
.probe
.end

* the Damped Miller Integrator (R2=100k) *
Vi 1 0 AC 1V
R1 1 2 1k
R2 2 3 100k
C2 2 3 20uF
Eopamp 3 0 0 2 1e7
.AC DEC 100 1mHz 1kHz
.PLOT TRAN V(3)
.probe
.end

```

圖 5-12 阻尼式米勒積分器進行頻率響應分析之 SPICE 輸入檔。

當 $R_2$ 電阻值越大時，其步階響應和頻率響應均會愈接近理想積分器；另外，注意圖 5-14 中的水平曲線，可看出在低頻時具有較大的增益而在高頻時衰減；這樣的特性，就是反相組態的另一個重要應用——低通濾波器。我們可以根據以下分析找出低通濾波器的轉移函數及頻寬(3dB 頻率)：

$$H(s) = \frac{V_o}{V_i} = -\frac{R_2 \parallel \frac{1}{sC}}{R_1} = \frac{-\frac{R_2}{R_1}}{1 + sR_2 C} = \frac{-\frac{R_2}{R_1}}{1 + j \frac{f}{f_{3dB}}} \quad (5-8)$$

當 $R_2$ 電阻值越大時，其步階響應和頻率響應均會愈接近理想積分器

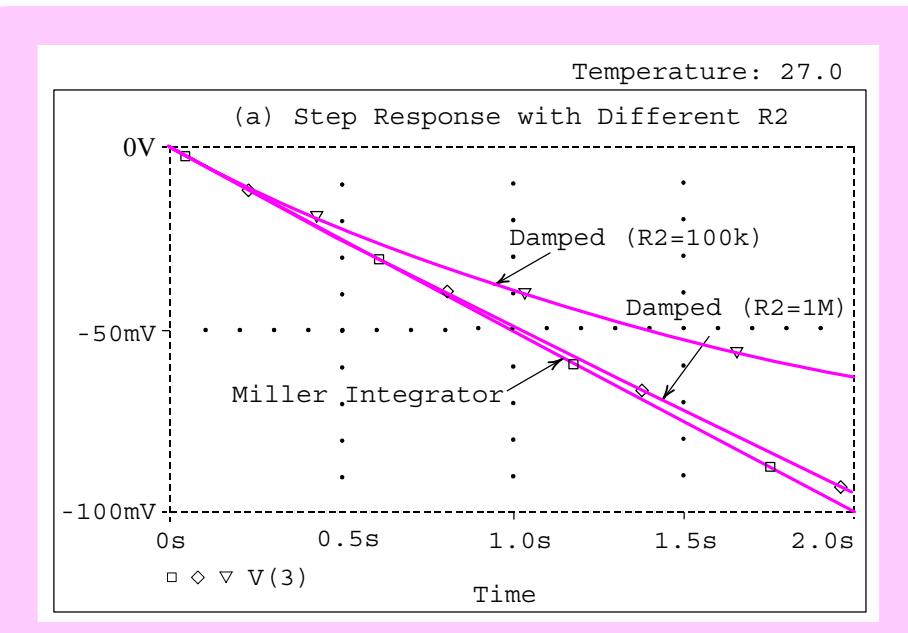
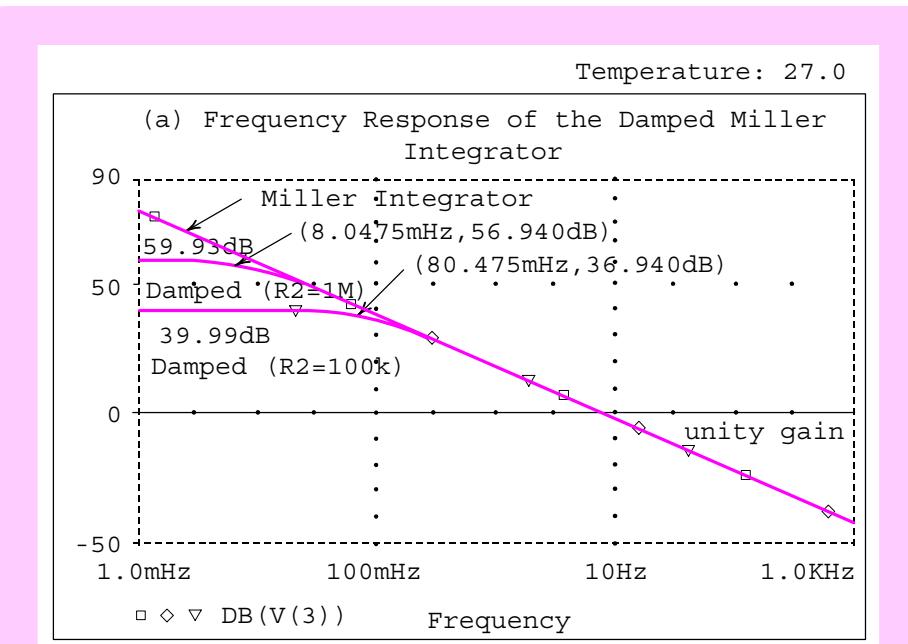


圖 5-13 阻尼式米勒積分器的步階響應。

圖 5-14 阻尼式米勒積分器頻率響應輸出圖。圖中三曲線為分別對應  $R_2=100\text{k}\Omega$ 、 $R_2=1\text{M}\Omega$  及理想積分器的頻率響應，其游標為 3dB 衰減的頻率。

故 3 分貝頻率  $f_{3\text{dB}}$  為

$$f_{3\text{dB}} = \frac{1}{2\pi R_2 C} \quad (5-9)$$

此即圖 5-14 中的  $8\text{mHz}$  ( $R_2 = 1\text{M}\Omega$ ) 以及  $80\text{mHz}$  ( $R_2 = 100\text{k}\Omega$ )。

## 5.4 差動放大器

### 5.4.1 手算分析

圖 5-15 所示為一差動放大器(differential amplifier)。分析這個電路有很多方法，其中最簡單的就是利用重疊原理(principle of superposition)。首先令節點②電壓  $v_2$  為零，然後求出所對應的輸出電壓  $v_{o1}$ 。

$$v_{o1} = -\frac{R_2}{R_1} v_1 \quad (5-10)$$

接著我們令節點①電壓  $v_1$  為零，並計算所對應  $v_{o2}$ ，

$$v_{o2} = v_2 \frac{R_4}{R_3 + R_4} \left( 1 + \frac{R_2}{R_1} \right) \quad (5-11)$$

重疊原理告訴我們輸出電壓  $v_o$  等於  $v_{o1}$  和  $v_{o2}$  的和：

$$v_o = -\frac{R_2}{R_1} v_1 + \frac{1 + R_2 / R_1}{1 + R_3 / R_4} v_2 = A_1 v_1 + A_2 v_2 \quad (5-12)$$

代入數值得  $A_1 = -9$ ， $A_2 = 5$ 。在圖 5-15 中， $v_1 = -15\text{mV} + (20\text{mV})\sin 2\pi ft$  和  $v_2 = 15\text{mV} + (20\text{mV})\sin 2\pi ft$ ，其中  $\pm 15\text{mV}$  代表差模(differential-mode)

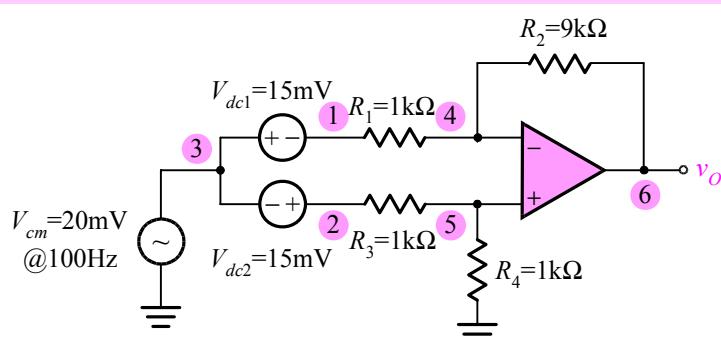


圖 5-15 差動放大器之 SPICE 電路圖。

成份，而 $(20\text{mV})2\pi f t$  則代表共模(common-mode)成份， $f = 100\text{Hz}$ 。代入(5-12)式後可得

$$v_o = 210\text{mV} + (80\text{mV}) \sin 2\pi f t \quad (5-13)$$

代表差模成份與共模成份同時被放大。

接著讀者不難發現，若滿足

$$\frac{R_1}{R_2} = \frac{R_3}{R_4} \quad (5-14)$$

則此電路為一差動放大器。將(5-14)式代入(5-12)式得

$$v_o = \frac{R_2}{R_1} (v_2 - v_1) = -\frac{R_2}{R_1} (v_1 - v_2) \quad (5-15)$$

很明顯為一差動放大器，其差模增益為  $R_2 / R_1$ 。

```
Differential Amplifier

* op amp subcircuit *
.subckt ideal_opamp 1 2 3
* node1: output terminal
* node2: noninverting input terminal
* node3: inverting input terminal
Eopamp 1 0 2 3 1e7
Iopen1 2 0 0A
Iopen2 3 0 0A
.ends ideal_opamp

* main circuit *
Vcm 3 0 SIN (0 20mV 100Hz)
Vdc1 3 1 DC 15mV
Vdc2 2 3 DC 15mV
Xop_A1 6 5 4 ideal_opamp
R1 1 4 1k
R2 4 6 9k
R3 2 5 1k
R4 5 0 1k

* analysis requests *
.TRAN 10us 80ms 0 10us
* output request *
.PLOT TRAN V(1) V(2) V(6)
.probe
.end
```

圖 5-16 分析圖 5-15 差動放大器之 SPICE 輸入檔。

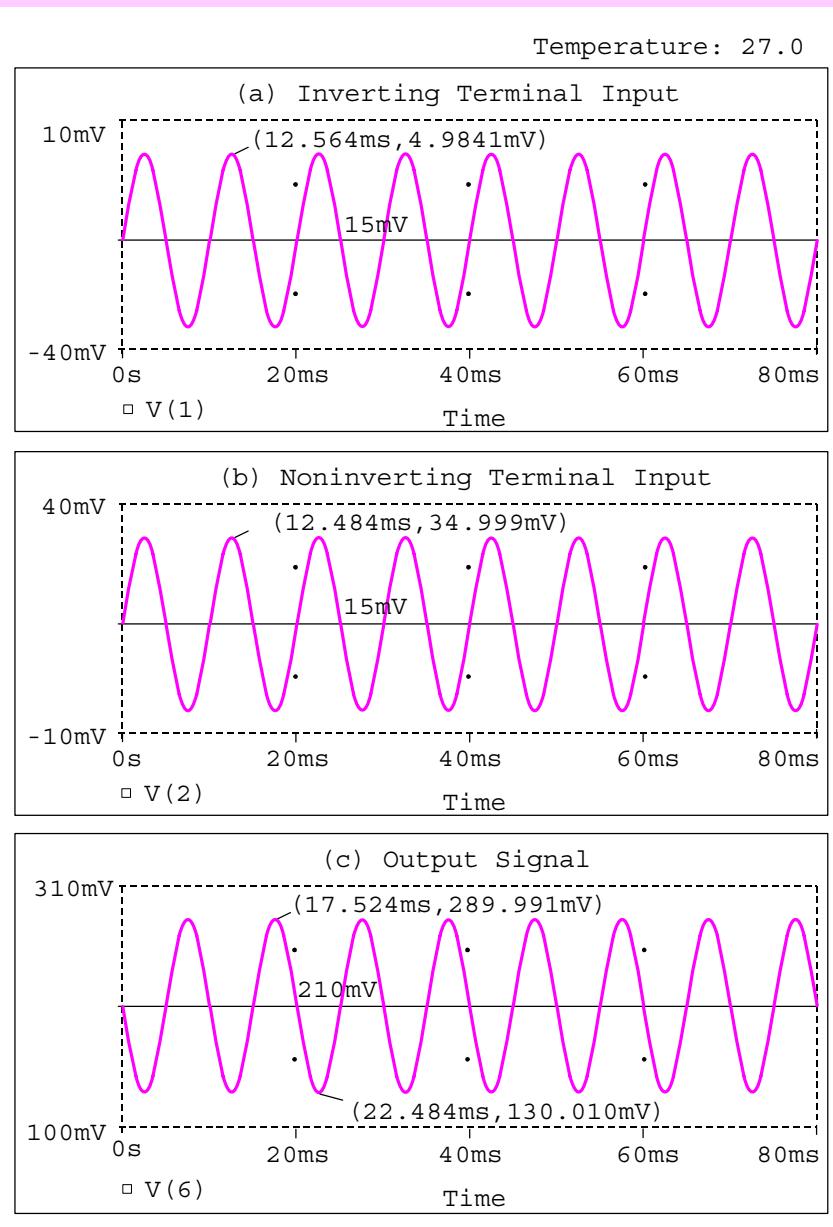


圖 5-17 圖 5-15 電路之輸入與輸出波形。

差動放大器的應用很廣泛，最值得注意的是用於儀器系統的設計。譬如說，一轉送器(transducer)的兩個輸出端產生一相當小的訊號，如1mV。但是，在每條接線和接地點之間可能存在非常大的接收干擾，如1V。此時所需的放大器必須要能排斥此大的干擾訊號（即兩條線上都存

在的一共模訊號），並且放大此小小的差動訊號。

換言之，若吾人將圖 5-15 中之  $R_4$  改為  $9\text{k}\Omega$ ，則此電路之表現即為一完美的差動放大器，且輸出信號為一  $270\text{mV}$  的直流成份，代表共模成份被完全排斥，這種現象稱為完美的共模排斥(common-mode rejection)。

### 5.4.2 SPICE 模擬

圖 5-16 和圖 5-17 分別為分析圖 5-15 電路之 SPICE 輸入檔以及暫態分析後的輸出波形。可看出圖 5-17 中輸出波形的直流成份為  $210\text{mV}$  與交流振幅為  $80\text{mV}$ ，與(5-13)式之手算分析完全一致。

## 5.5 儀表放大器

### 5.5.1 完美的共模排斥

圖 5-18 為儀表放大器的電路圖，它是由一緩衝電路與差動放大器所組成。我們於兩輸入端分別輸入極性相反的差模信號  $15\text{mV}$  以及頻率為  $100\text{Hz}$  之共模信號  $20\text{V}$ ，以觀察儀表放大器的完美差動特性。圖 5-19 為其 SPICE 輸入檔。

在電路圖 5-18 中，為簡化問題，我們延續(5-14)式的假設，使差動級上的  $R_1$  與  $R_3$ ， $R_2$  與  $R_4$  匹配，並根據  $R_a = 5\text{k}\Omega$ 、 $R_{b1} = R_{b2} = 50\text{k}\Omega$  來分析此電路。圖 5-20 為 SPICE 模擬結果，放大器  $A_1$ 、 $A_2$  輸入端皆為  $20\text{V}$  且頻率為  $100\text{Hz}$  之共模輸入，輸出端則為  $630\text{mV}$  直流電壓，由此我們

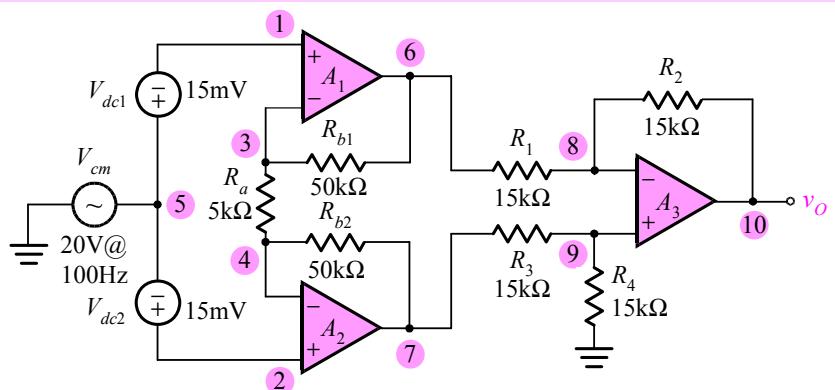


圖 5-18 儀表放大器 SPICE 電路圖。

可以看出其完美的差動放大特性：僅有差模成份被放大，而共模成份則排除。讀者亦可參考儀表放大器電路的手算分析：

$$v_o = -\frac{R_2}{R_1} \left( 1 + \frac{2R_{b1}}{R_a} \right) (v_1 - v_2) \quad (5-16)$$

上式中代入數值後可得  $v_o = 630\text{mV}$ 。

完美的差動放大特性：僅有差模成份被放大，而共模成份則排除。

### 5.5.2 電阻不匹配的效應

以下我們將考慮當電阻  $R_3$  和  $R_4$  間出現不匹配時對儀表放大器的影

```
Instrumentation Amplifier

* op amp subcircuit *
.subckt ideal_opamp 1 2 3
* node1: output terminal
* node2: noninverting input terminal
* node3: inverting terminal
Eopamp 1 0 2 3 1e7
Iopen1 2 0 0A
Iopen2 3 0 0A
.ends ideal_opamp

* main circuit *
Vcm 5 0 SIN (0 20V 100Hz)
Vdc1 5 1 DC 15mV
Vdc2 2 5 DC 15mV
Xop_A1 6 1 3 ideal_opamp
Xop_A2 7 2 4 ideal_opamp
Xop_A3 10 9 8 ideal_opamp
Ra 3 4 5k
Rb1 3 6 50k
Rb2 4 7 50k
R1 6 8 15k
R2 8 10 15k
R3 7 9 15k
R4 9 0 15k

* analysis request *
.TRAN 10us 80ms 0 10us
* output request *
.PRINT TRAN V(1) V(2) V(10)
.probe
.end
```

圖 5-19 儀表放大器使用副電路語法的輸入檔。

響。現令  $R_3$  和  $R_4$  間發生 1% 的不匹配，經 SPICE 分析之輸出波形顯示於圖 5-21。發現差換成份仍然被放大(630mV)，但輸出出現了交流振幅為 100mV 之共模成份。換言之，1% 的電阻不匹配現象將導致非零的共模增益，其值為  $5 \times 10^{-3} \text{V/V}$ 。

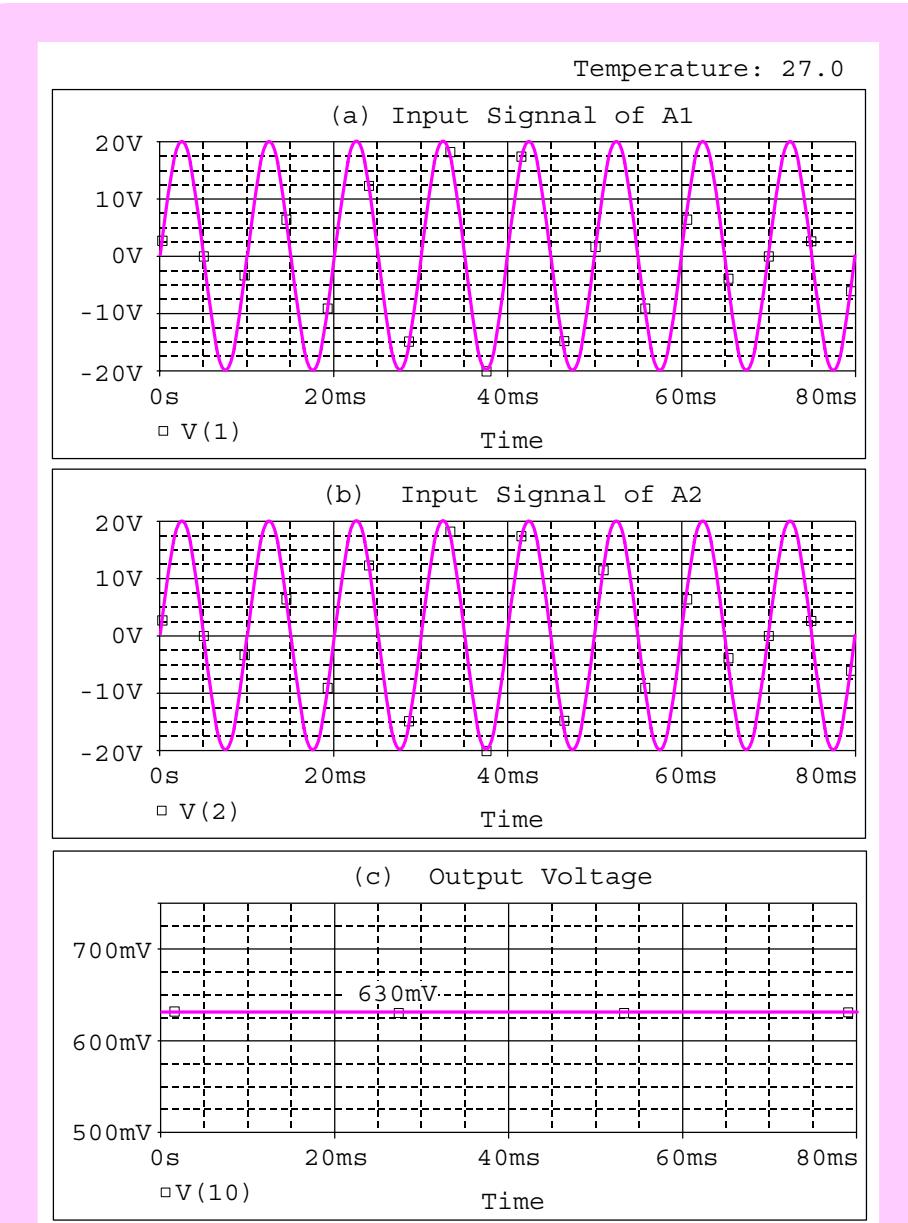


圖 5-20 儀表放大器電路 SPICE 分析結果：(a)(b)分別為放大器  $A_1$  和  $A_2$  的輸入信號，(c)儀表放大器之輸出電壓 630mV。圖中顯示了其完美的差動特性，差模成份放大，共模成份排除。

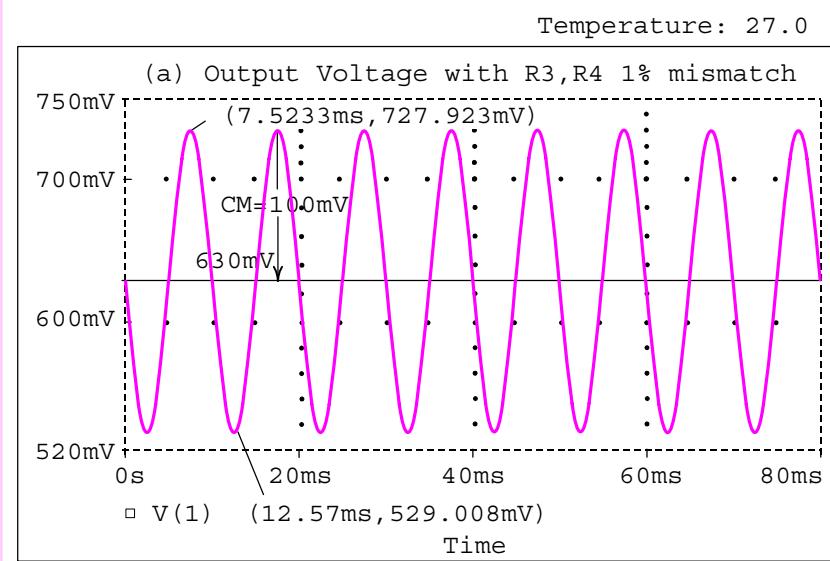
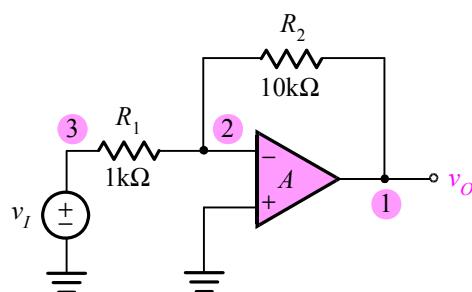


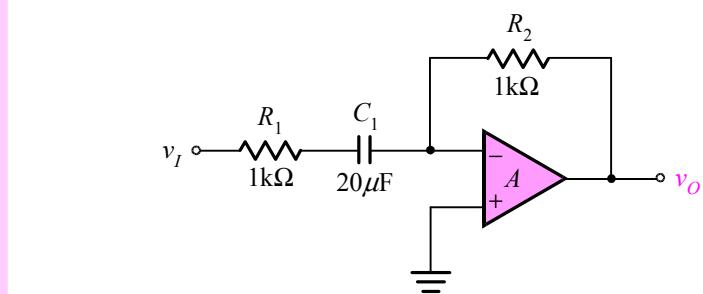
圖 5-21 圖 5-18 之儀表放大器電阻中之  $R_3$  和  $R_4$  數值出現不匹配現象時的輸出波形。

### S 練習題

- 5.1 將圖 5-2 中的 T 型回授網路以一電阻  $R_2 = 10\text{k}\Omega$  取代，所得的電路見附圖。試以 SPICE 模擬此電路，並考慮以下兩種不同的開迴路增益  $A$ ：(a)  $A = 10^6 \text{V/V}$ ，(b)  $A = 10^2 \text{V/V}$ 。
- 5.2 針對圖 5-11 中之阻尼式米勒積分器電路，輸入一  $1\text{V}$  的步階訊號，試利用 SPICE 中所提供的.PROBE 指令繪出以下三種情況中電容上的電流波形：(a)  $R_2 = \infty$ ，(b)  $R_2 = 1\text{M}\Omega$ ，(c)  $R_2 = 100\text{k}\Omega$ 。



習題 5.1 附圖



習題 5.3 附圖

5.3 若將圖 5-11 低通濾波器中的  $C_1$  拆除並與電阻  $R_1$  串聯，所得的電路顯示於附圖。以 SPICE 模擬此電路的頻率響應，並證實此電路為一高通濾波器(high-pass filter)。

5.4 附圖為一雙回授迴路之差動放大器電路，令  $R_1 = R_4$  和  $R_2 = R_5$ ，

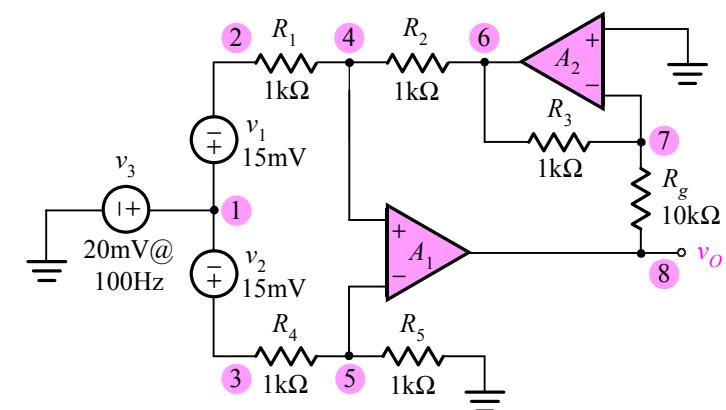
(a) 試以手算分析證明：

$$V_o = A_d(V_1 - V_2)$$

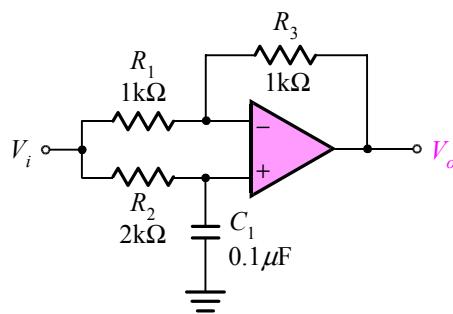
其中

$$A_d = \frac{R_2 R_g}{R_1 R_3}$$

(b) 令  $R_1 = R_2 = R_3 = 1\text{k}\Omega$  和  $R_g = 10\text{k}\Omega$  且  $V_1 = -15\text{mV} + (20\text{mV}) \sin 2\pi f t$  和  $V_2 = 15\text{mV} + (20\text{mV}) \sin 2\pi f t$



習題 5.4 附圖



習題 5.6 附圖

其中  $f = 100\text{Hz}$ 。試以 SPICE 繪出  $V_1$ ,  $V_2$  和  $V_o$  三點之訊號波形。

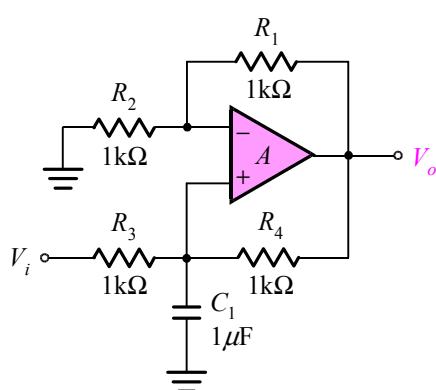
**5.5** 針對圖 5-18 的儀表放大器電路：

- 令  $R_3$  和  $R_4$  出現 2% 的不匹配，以 SPICE 模擬此電路並繪出輸出波形。
- 由輸出波形中之共模成份，利用.PROBE 指令觀測其共模增益。
- 以手算分析證明共模增益與(b)中模擬之結果一致。

**5.6** 附圖顯示一全通濾波器(all-pass filter)電路，以 SPICE 模擬此電路並繪出其大小及相角響應。

**5.7** 附圖顯示一非反相積分器電路，以 SPICE 模擬此電路並分析其

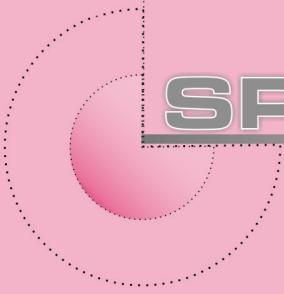
- 頻率響應。
- 步階響應(令 1V 步階訊號輸入)。



習題 5.7 附圖

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide.*”
2. M. H. Rashid, “*SPICE for Circuit and Electronic Using Psice*” 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
3. G. W. Roberts and A. S. Sedra “*SPICE*” 2nd ed. Oxford University Press, 1997.
4. A. S. Sedra and G. W. Roberts. “*Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith*” Fort Worth: Saunders College Pub, 1992.
5. K. Lee, “*Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator*” Englewood Cliffs, N. J.: Prentice Hall, 1993.
6. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits,*” 6th ed. Oxford University Press, 2009.
7. J. Millman and A. Grabel. “*Microelectronics,*” 3rd ed. New York: McGraw-Hill Book Co., 1999.
8. S. Franco, “*Design with Operational Amplifiers and Analog Integrated Circuits,*” New York: McGraw-Hill 1988.
9. R. F. Coughlin and F. F. Driscoll. “*Operational Amplifiers and Linear Integrated Circuits,*” Englewood Cliffs, NJ: Prentice Hall, Inc., 1977.
10. J. G. Graeme, G. E. Tobey, and L. P. Huelsman. “*Operational Amplifiers: Design and Applications,*” New York: McGraw-Hill Book Co., 1971.
11. H. M. Barna, “*Op-Amp Circuits and Principles. Carmel,*” IN: SAMS, A division of Macmillan Computer Publishing, 1991.
12. S. Soclof, “*Design and Applications of Analog Integrated Circuits,*” Englewood Cliffs, NJ: Prentice Hall, Inc., 1991.
13. M. H. Rashid, “*Introduction to PSpice Using OrCAD for Circuits and Electronics*”, 3rd ed., Prentice-Hall, 2004.
14. 張文清, “*微電子學上冊*”, 二版, 台北鼎茂圖書, 2013。



**SPICE**

# 6

## 積體電路放大器

本章介紹積體電路(integrated circuit, 簡稱 IC)放大器，內容包括 BJT 和 MOS IC 偏壓技術、差動放大器的差模、共模轉換特性和小訊號分析以及輸入偏移電壓的計算等。此外，我們也將模擬 CMOS 放大器與多級放大器，其中亦將學習.NODESET 指令在多級放大器上的應用。

本章中較特別之處在於讀者必須特別注意差動放大器(包括多級放大器及 10 章的 741 運算放大器)的刺激源驅動與敘述方式。此外針對差動放大器的輸入偏移電壓以及差動與多級放大器的 ICMR (input common-mode range)亦出現較深入的模擬與討論。

- 6.1 BJT 積體電路偏壓技術
- 6.2 MOS 積體電路偏壓技術
- 6.3 差動放大器的大訊號特性
- 6.4 差動放大器的小訊號分析
- 6.5 差動放大器的非理想特性
- 6.6 CMOS 放大器
- 6.7 多級放大器

## 6.1 BJT 積體電路偏壓技術

### 6.1.1 基本電流源

**圖 6-1** 為一個簡單的 BJT 定電流源(constant current source)電路，此電路在 BJT 操縱電流電路(current steering circuit)的設計中，亦扮演一重要的角色。它是利用一對匹配的電晶體  $Q_1$  和  $Q_2$  組成電流鏡(current mirror)的結構，並藉由正電源  $V_{CC}$  連接一電阻  $R_1$  來決定參考電流  $I_{REF}$ ，再利用對稱的電路組態將  $I_{REF}$  重覆至  $I_O$ 。

首先我假設 BJT 的元件參數為  $I_S = 1.8 \times 10^{-15} \text{ A}$ ， $\beta = 100$ ， $V_{AF} = 100\text{V}$ 。此外，由於  $R_1 = 14.3\text{k}\Omega$ ，故  $I_{REF} = 1\text{mA}$ 。圖 6-2 為分析電流源輸出特性之 SPICE 輸入檔，其中  $V_O$  代表觀察電流源輸出特性( $I_O$  對  $V_O$  關係)所額外加入的電壓源，其預設值為  $3\text{V}$ 。此外，請注意輸入檔中之直流掃描指令.DC：

```
.DC VO OV 6V 10mV
```

以上指令代表對  $V_O$  作直流掃描，由  $0\text{V}$  至  $6\text{V}$ ，每  $10\text{mV}$  作一次計算。圖 6-3 為 BJT 定電流源的輸出特性。圖中顯示當  $V_O < 220\text{mV}$  時， $I_O$  急

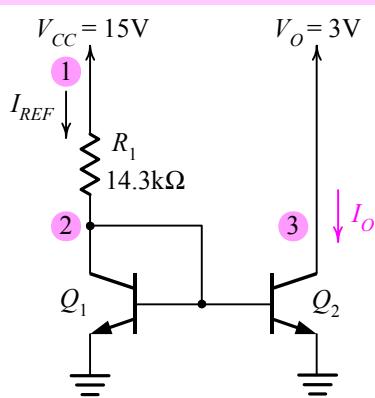


圖 6-1 BJT 定電流源(電流鏡)電路，其中  $V_O$  預設為  $3\text{V}$  直流，再經由輸入檔中.DC 指令掃描。

```

A Conventional BJT Current Mirror

* circuit description *
Vcc 1 0 DC 15V
Vo 3 0 DC 3V
R1 1 2 14.3k
* BJT model description
Q1 2 2 0 0 npn_transistor
Q2 3 2 0 0 npn_transistor
.model npn_transistor npn (Is=1.8E-15 BF=100 VAF=100)
* analysis requests
.OP
.DC Vo 0V 6V 10mV
* output requests *
.PLOT DC I(Vo)
.probe
.end

```

圖 6-2 BJT 電流鏡電路之 SPICE 輸入檔，其中  $V_o$  為觀察電流源輸出特性所加入之直流電壓源。

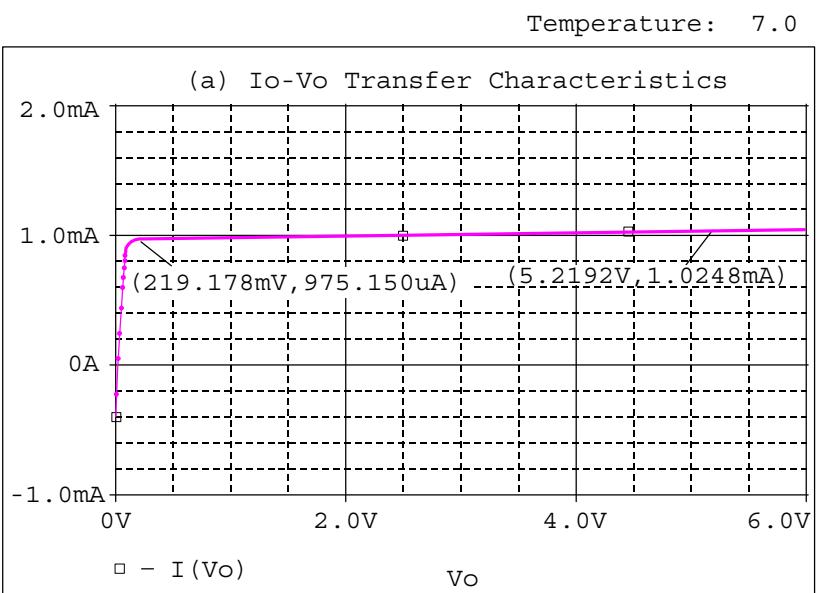


圖 6-3 BJT 定電流源之轉換特性曲線。當  $V_o$  大於 220mV 時，電晶體  $Q_2$  操作於主動區，此時轉換特性之斜率倒數即為輸出電阻  $r_o$ ，其值約為  $100\text{k}\Omega$ 。

速下降，代表進入電流源的禁區，此時  $Q_2$  對應在飽和區工作。所以如欲將本電路作為一個定電流源使用， $V_o$  必須超過 220mV，代表元件  $Q_2$  操作於主動區。當  $V_o > 220\text{mV}$  時， $I_o$  幾乎為一常數，其值為 1mA。再者，請注意在定電流區間特性曲線仍有輕微上揚的現象。這代表電流源的非理想特性——即輸出電阻並非無窮大。此外，由轉換特性的斜率倒數即可計算出輸出電阻  $r_o$ ，其值約 100kΩ。

如欲將本電路作為一個定電流源使用， $V_o$  必須超過 220mV，代表元件  $Q_2$  操作於主動區。

## 6.1.2 威爾森電流源

圖 6-4 為 BJT 威爾森(Wilson)電流源電路。與圖 6-1 基本電流源之不同在於  $Q_2$  的上方多了一 BJT  $Q_3$  串疊，如此可使輸出電阻大幅增加，其輸出電阻的近似手算分析值為  $R_{out} \approx (\beta/2)r_o$ 。

分析圖 6-4 輸出特性的 SPICE 輸入檔與圖 6-2 相當類似，在此不再列出。圖 6-5 為模擬的結果，顯示出電流源典型的特性曲線。其中當  $V_o > 990\text{mV}$ ， $I_o$  急速下降，對應定電流源之禁區。當  $V_o > 990\text{mV}$ ， $I_o$  幾乎為一常數，其值為 1mA。此外，由圖中兩游標顯示的數值可計算輸出電阻  $R_{out} = (15 - 0.9)/(0.9953 - 0.9920) = 4.272\text{M}\Omega$ 。

## 6.1.3 韋勒電流源

### SPICE 模擬

圖 6-6 為一韋勒(Widlar)電流源之 SPICE 電路圖，注意它與基本電流鏡

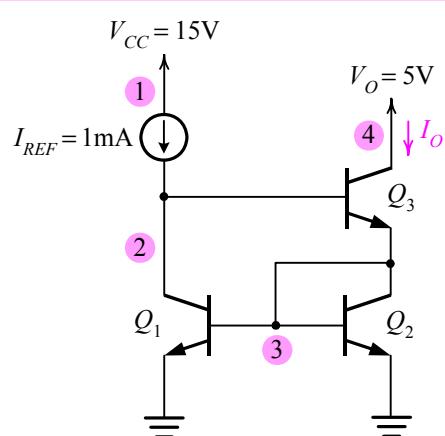


圖 6-4 BJT 威爾森電流源電路。

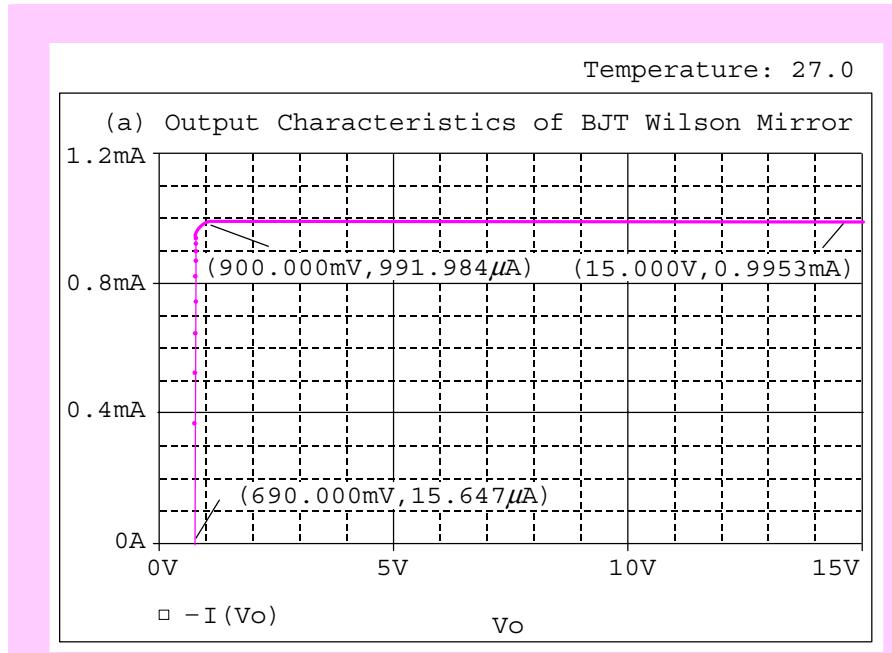


圖 6-5 圖 6-4 BJT 威爾森電流源由 SPICE 模擬的輸出特性曲線。

電路不同之處在於有一電阻  $R_E$  放入  $Q_2$  的射極接線上。本電路在 BJT 741 系列 op amp 的偏壓設計中扮演一重要角色，圖中  $I_{REF} = 0.73 \text{ mA}$  和  $R_E = 5\text{k}\Omega$  之數值係取自 741 op amp 之設計。而  $V_O = 5\text{V}$  之預設偏壓主要是希望  $Q_2$  工作於主動區。

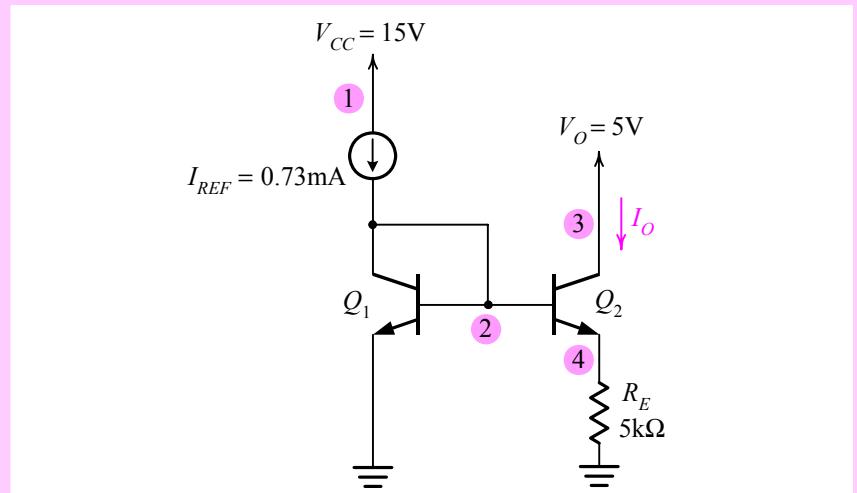


圖 6-6 韋勒電流源電路，本電路之電阻數值設計係取自 741 opamp。

```

Widlar Current Source

* circuit description *
Vcc 1 0 DC 15V
Vo 3 0 DC 5V
Iref 1 2 DC 0.73mA
Re 4 0 5k
* BJT model description
Q1 2 2 0 npn_transistor
Q2 3 2 4 npn_transistor
.model pnp_transistor pnp (Is=1.8E-15 Bf=100 Vaf=100)
* analysis requests
.OP
.DC Vo 0V 15V 10mV
.probe
.end

```

圖 6-7 分析圖 6-6 韋勒電流源輸出特性之 SPICE 輸入檔。

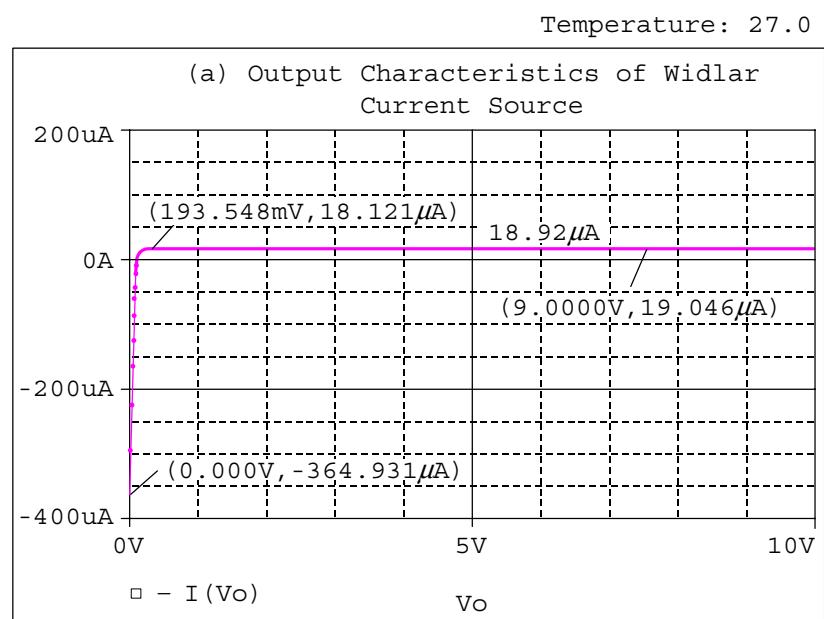
圖 6-8 圖 6-6 韋勒電流源模擬之輸出特性，圖中顯示輸出定電流為  $18.92\mu\text{A}$ 。

圖 6-7 為分析韋勒電流源輸出特性之 SPICE 輸入檔。其中電晶體的元件參數為  $I_S = 1.8 \times 10^{-15} \text{ A}$ ， $\beta_F = 100$  和  $V_{AF} = 100 \text{ V}$ 。請注意直流掃描指

令：

.DC VO 0V 15V 10mV

上述指令代表對輸出電壓  $V_O$  作直流掃描，由 0V 掃描至 15V，每 10mV 計算一次。

圖 6-8 為模擬的輸出特性，圖中顯示出電流源典型的特性曲線。其中當  $V_O < 194\text{mV}$ ， $I_O$  急速下降，對應定電流源之禁區。當  $V_O > 194\text{mV}$ ， $I_O$  幾乎為一常數，其值為  $18.92\mu\text{A}$ 。此外，由圖中兩游標顯示的數值可計算輸出電阻  $R_{out} = (9 - 0.1935)\text{V} / (19.046 - 18.121)\mu\text{A} = 9.52\text{M}\Omega$ 。本圖已顯示韋勒電流源的兩個主要特點：一為適合於低電流(數  $\mu\text{A}$  至數十  $\mu\text{A}$ )偏壓，二為具有相當高的輸出電阻。最後，補充說明一點，圖 6-8 顯示當  $V_O = 0\text{V}$ ， $I_O = -364.9\mu\text{A}$ 。讀者若對於  $I_O$  之變號有興趣，可參考習題 6.2。

### 手算分析

以下將以手算分析檢視上述輸出電流數值的模擬結果。就直流特性部份，忽略基極電流可得

$$V_{BE1} = V_T \ln\left(\frac{I_{REF}}{I_s}\right) \quad (6-1)$$

和

$$V_{BE2} = V_T \ln\left(\frac{I_o}{I_s}\right) \quad (6-2)$$

這裡我們已經假設  $Q_1$  和  $Q_2$  匹配。合併(6-1)和(6-2)二式並由圖 6-6 可得

$$V_{BE1} - V_{BE2} = V_T \ln\left(\frac{I_{REF}}{I_o}\right) = I_o R_E \quad (6-3)$$

因此

$$I_o R_E = V_T \ln\left(\frac{I_{REF}}{I_o}\right) \quad (6-4)$$

代值後以嘗試錯誤法可解得  $I_o = 18.9\mu\text{A}$ ，與模擬結果相當接近。

## 6.2 MOS 積體電路偏壓技術

### 6.2.1 串疊電流鏡

MOS 基本電流源電路與圖 6-1 非常類似，只是將圖 6-1 中之 BJT 換為

MOS 罷了，故我們省略 MOS 基本電流源電路之模擬。若將相同的兩個 MOS 基本電流源彼此堆疊即構成一 MOS 串疊電流鏡(cascode current mirror)，見圖 6-9。本電路之主要優點為輸出電阻較基本電流鏡大幅增加，為一高表現的 MOS 偏壓電路。

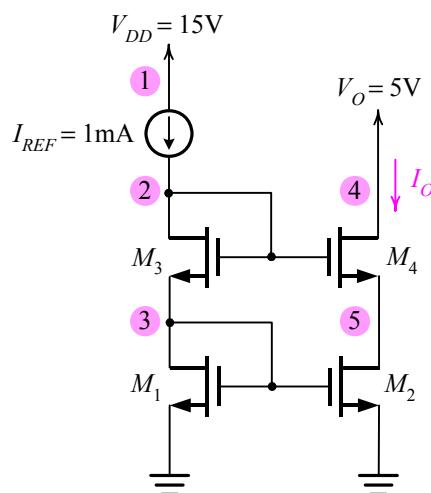


圖 6-9 MOS 串疊電流鏡電路。

#### Output Characteristics of MOS Cascode Current Mirror Circuit

```
* circuit description *
Vdd 1 0 DC 15V
Vo 4 0 DC 5V
Iref 1 2 DC 1mA
* MOSFET model description
M1 3 3 0 0 nmosfet L=10u W=100u
M2 5 3 0 0 nmosfet L=10u W=100u
M3 2 2 3 0 nmosfet L=10u W=100u
M4 4 2 5 0 nmosfet L=10u W=100u
.model nmosfet nmos (kp=20u Vto=+1V lambda=0.02)
* analysis requests
.OP
.DC Vo 0V 15V 10mV
* output requests
.probe
.end
```

圖 6-10 圖 6-9 MOS 串疊電流鏡電路之 SPICE 輸入檔。

$W/L=10$ 。經DC 直流掃描指令執行的模擬結果顯示於圖 6-11(a)。圖中顯圖 6-10 為分析串疊電流鏡輸出特性之 SPICE 輸入檔，其中四個電晶體匹配且元件參數為  $\mu_n C_{OX} = \mu A/V^2$ ， $V_{to} = 1V$ ， $\lambda = 0.02V^{-1}$  和示出電流源典型的特性曲線。其中當  $V_O < 7V$ ， $I_O$  下降，對應定電流源之禁區。當  $V_O > 7V$ ， $I_O$  幾乎為一常數，其值為 1mA。與 BJT 電流鏡比較起來，

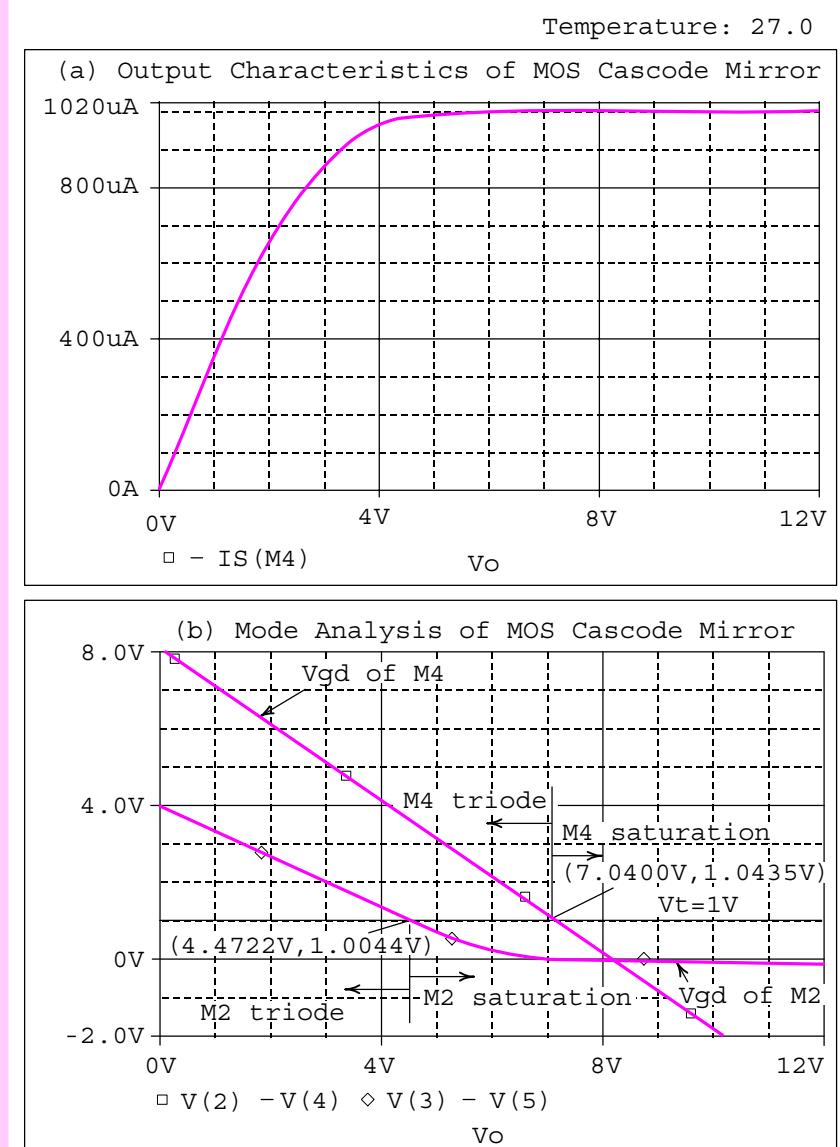


圖 6-11 (a)MOS 串疊電流鏡的輸出特性，(b)MOS 串疊電流鏡中  $M_2$  或  $M_4$  的閘汲電壓對輸出電壓作圖。

表 6-1 串疊電流鏡中電晶體  $M_2$  和  $M_4$  之操作模式與電流源輸出電壓之關係。

| 範圍                     | $M_2$ | $M_4$ | 操作模式 |
|------------------------|-------|-------|------|
| $V_O \leq 4.5V$        | 三極    | 三極    | 禁止區  |
| $4.5 \leq V_O \leq 7V$ | 飽和    | 三極    |      |
| $V_O \geq 7V$          | 飽和    | 飽和    | 定電流源 |

MOS 電流鏡之禁區較為寬廣，且禁區中特性曲線之變化較為和緩。

以下我們將利用軟體所提供的檢視功能計算  $M_2$  和  $M_4$  的閘汲電壓  $V_{GD}$ ，見圖 6-11(b)。回顧 MOS 的基本操作特性：若 MOS 工作於三極區 (triode)，則滿足

$$V_{GD} \geq V_t \quad (6-5)$$

若 MOS 工作於飽和區(saturation)，則

$$V_{GD} \leq V_t \quad (6-6)$$

現將  $M_2$  和  $M_4$  之工作區間與電流源操作的關係整理於表 6-1。表中顯示只有當  $V_O \geq 7V$ ，也就是兩元件  $M_2$  和  $M_4$  同時工作於飽和區時，方能扮演一定電流源的角色。若  $M_2$  和  $M_4$  其中有一電晶體進入三極區，則本電路將無法提供定電流。

只有當  $V_O \geq 7V$ ，也就是兩元件  $M_2$  和  $M_4$  同時工作於飽和區時，方能扮演一定電流源的角色。

## 6.2.2 威爾森電流源

上一節我們已介紹 BJT 威爾森電流源的基本特性與模擬結果。若將圖 6-4 中之 BJT 更換為 MOS，即可獲得 MOS 威爾森電流源，見圖 6-12。

首先，我們對於威爾森電流源的非理想直流特性作一簡單的介紹，想像若電流源產生輸出電流  $I_O$ ，即  $I_O > 0$ ，則  $M_4$  導通且  $V_{GS4} > V_t$ 。又由 KVL 知， $V_{DS1} = V_{GS4} + V_{DS2}$ ，所以  $V_{DS1} > V_{DS2}$ ，故  $I_{REF}$  必然超過  $I_O$ 。另一種看法，因  $V_{DS1} = V_{GS4} + V_{DS2}$ ，若  $I_O = I_{REF}$ ，則  $V_{DS1} = V_{DS2}$ ，故  $V_{GS4} = 0$ ，所以  $M_4$  必然截止。簡單地來說，由於電晶體  $M_1$  和  $M_2$  的汲源電壓  $V_{DS}$  不相同，將造成  $I_O$  不等於  $I_{REF}$ 。

為解決此一問題，我們在威爾森電流鏡中電晶體  $M_1$  之上方加入一電

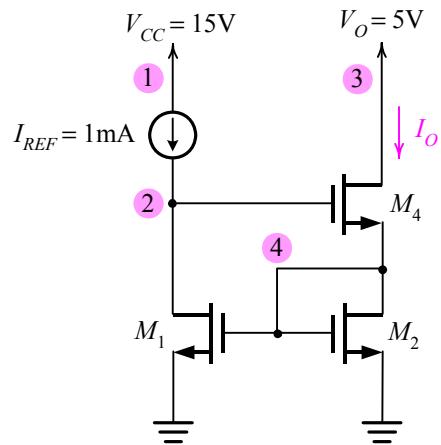


圖 6-12 MOSFET 威爾森電流源之 SPICE 電路圖，其中輸出電壓之預設值為 5V。

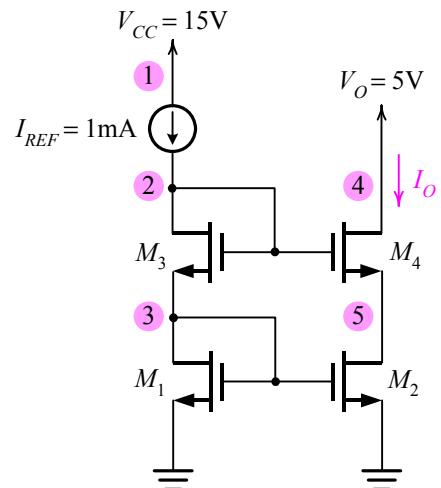


圖 6-13 MOSFET 修正的威爾森電流鏡。

晶體  $M_3$ ，見圖 6-13。圖中顯示為一個修正後的威爾森電流源電路，圖 6-14 為其 SPICE 之輸入檔。其中 MOSFET 之元件參數為  $\mu_n C_{OX} = 20\mu\text{A/V}^2$ 、 $V_{to} = +1\text{V}$ 、 $\lambda = 0.02\text{V}^{-1}$ 。 $V_O$  為觀察電流源輸出特性所額外加入的電壓源，其值可預設為 5V。圖 6-15 為利用.DC 指令掃描之  $I_O$  對  $V_O$  轉換特性，由圖中得知，威爾森電流鏡之輸出電流  $I_O$  的確小於輸入

## Output Characteristics of MOS Wilson Mirror Circuit

```

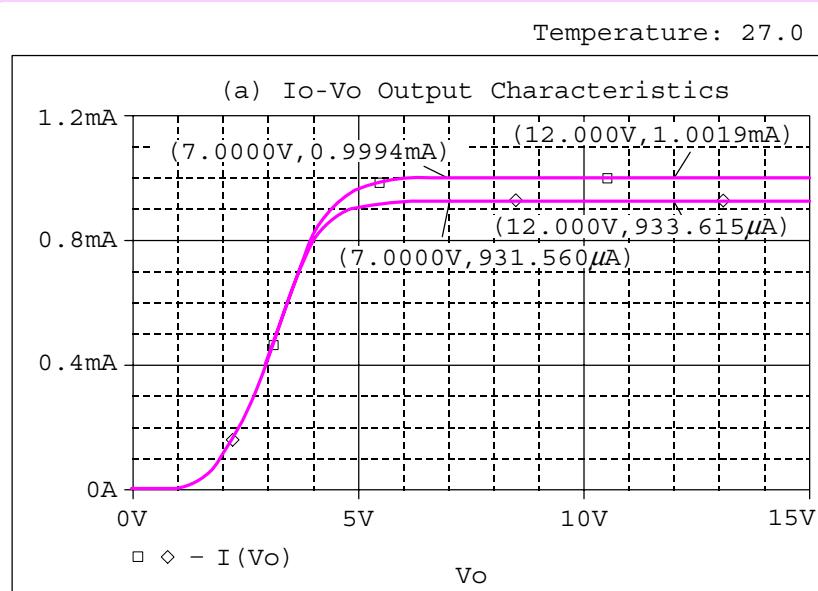
* circuit description
Vcc 1 0 DC 15V
Vo 4 0 DC 5V
Iref 1 2 DC 1mA

* MOSFET model description
M1 3 5 0 0 nmosfet L=10u W=100u
M2 5 5 0 0 nmosfet L=10u W=100u
M3 2 2 3 0 nmosfet L=10u W=100u
M4 4 2 5 0 nmosfet L=10u W=100u
.model nmosfet nmos (kp=20u Vto=+1V lambda=0.02)

* analysis requests
.OP
.DC Vo 0V 15V 10mV
.probe
.end

```

圖 6-14 圖 6-13 修正的威爾森電流源之 SPICE 輸入檔。

圖 6-15 兩種威爾森電流源之輸出特性：圖中顯示對威爾森電流源(下方曲線)而言， $I_o < I_{REF}$ ；對修正威爾森電流源(上方曲線)而言， $I_o = I_{REF}$ 。

電流  $I_{REF}$ ，這與我們上述所分析的結果相符。而根據修正後之威爾森電流鏡的模擬結果， $I_O$  確實等於  $I_{REF}$ 。

如欲計算威爾森電流源之輸出電阻  $R_{out}$ ，可由圖 6-15 中下方曲線游標顯示之數值計算轉換特性的斜率倒數(即輸出電阻)，其值為  $R_{out} = 2.35M\Omega$ 。另一方面，由圖 6-15 中上方曲線之游標顯示之數值可計算修正的威爾森電流源之輸出電阻，其值為  $R_{out} = 1.81M\Omega$ 。

## 6.3 差動放大器的大訊號特性

### 6.3.1 刺激源的驅動方式

#### 錯誤的驅動方式

如圖 6-16 所示為一個 BJT 射極耦合差動對，它由兩個匹配的電晶體  $Q_1$  和  $Q_2$  所組成，其中兩電晶體的射極直接耦合並由定電流源  $I_Q$  所偏壓。

注意，此電路偏壓的基本要求為集極電路設計必須使  $Q_1$  和  $Q_2$  維持在主動區。

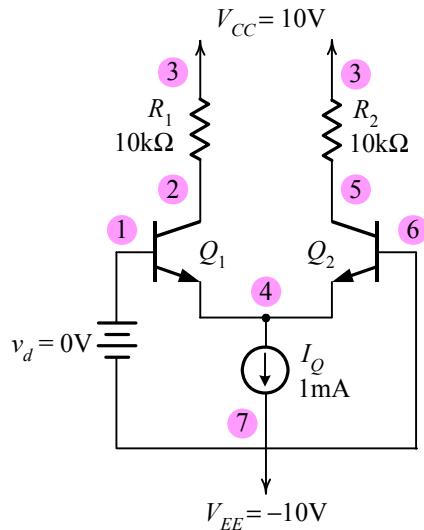


圖 6-16 BJT 射極耦合差動對之 SPICE 電路圖，其中在兩電晶體基極間加入一零輸入之差模電壓，請注意這種刺激源的驅動方式是錯誤的。

圖 6-17 為其 SPICE 輸入檔，其中電晶體的元件參數為  $I_S = 1.8 \times 10^{-15} A$ ， $\beta = 100$  和  $V_{AF} = 100 V$ ，偏壓電流  $I_Q = 1 mA$ 。在輸入檔中我們使用.OP 指令作直流操作點分析，圖 6-18 為其輸出檔。由圖 6-18 知，兩電晶體的基極與射極電壓為相當大的負值( $-22.190kV$ )，大幅超過了額定電壓，這種上萬伏特電壓在真實電路中是絕對不會出現的。所以必定在利用 SPICE 分析電路時，發生重大錯誤。錯誤在於此電路未定義輸入共模訊號(common-mode input signal)。於是，我們必須將 SPICE 輸入檔中關於輸入刺激源部分重新改寫——在差模輸入端間加入輸入共模訊號。

這種上萬伏特電壓在真實電路中是絕對不會出現的。所以必定在利用 SPICE 分析電路時，發生重大錯誤。錯誤在於此電路未定義輸入共模訊號。

#### A BJT Differential Pair

```
* circuit description
Vcc 3 0 DC 10V
Vee 7 0 DC -10V
Vd 1 6 DC 0V
Iq 4 7 DC 1mA
R1 3 2 10k
R2 3 5 10k
* BJT model description
Q1 2 1 4 npn_transistor
Q2 5 6 4 npn_transistor
.model npn_transistor npn (Is=1.8e-15 Bf=100 Vaf=100)
* analysis requests
.OP
.probe
.end
```

圖 6-17 圖 6-16 差動放大器電路之 SPICE 輸入檔。

```
* SMALL SIGNAL BIAS SOLUTION TEMPERATURE 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) -22.19E+03 (2) 5.0001 (3) 10.0000 (4) -22.19E+03
(5) 5.0001 (6) -22.19E+03 (7) -10.0000
```

圖 6-18 BJT 射極耦合差動對之 SPICE 輸出檔，由圖中知電晶體的基極與射極電壓均為極大的負值，所以，必然是利用 SPICE 分析此電路時，發生了重大錯誤。

### 基本觀念

以下我們將介紹差動放大器中關於共模訊號與差模訊號之基本觀念。差動放大器的輸入訊號  $v_1$  和  $v_2$  通常包含一共模成份  $v_{cm}$ ，

$$v_{cm} \triangleq \frac{v_1 + v_2}{2} \quad (6-7)$$

以及一差動成份  $v_d$ ，

$$v_d \triangleq v_1 - v_2 \quad (6-8)$$

因此輸出訊號將是

$$v_o = A_d(v_1 - v_2) + A_{cm} \left( \frac{v_1 + v_2}{2} \right) \quad (6-9)$$

或可寫為

$$v_o = A_d v_d + A_{cm} v_{cm} \quad (6-10)$$

由(6-7)和(6-8)二式可得

$$v_1 = v_{cm} + \frac{1}{2} v_d \quad (6-11)$$

和

$$v_2 = v_{cm} - \frac{1}{2} v_d \quad (6-12)$$

即差動放大器上的任意輸入訊號  $v_1$  和  $v_2$  均可分解為共模訊號  $v_{cm}$  與差模訊號之半  $v_d/2$  的和與差。

### 正確的驅動方式

由以上的基本觀念得知，我們必須修正 SPICE 輸入檔中關於 BJT 射極耦合差動對之刺激源的描述方式。如圖 6-19 所示，首先我們加入了一輸入共模訊號  $v_{cm}$ ，再利用兩個大小相等極性相反的電壓控制電壓源(VCVS)來模擬輸入差模訊號  $v_d$ ，其中每一個電壓源之大小為  $v_d$  的一半。至於輸入差模訊號  $v_d$  則連接至其值可任意指定的電阻上。

圖 6-20 為修正刺激源驅動方式之後差動放大器之 SPICE 輸入檔，就共模訊號部份：

Vcm 8 0 DC OV

其預設值為零。就差模訊號部份：

Vd 9 0 DC OV

Rd 9 0 1

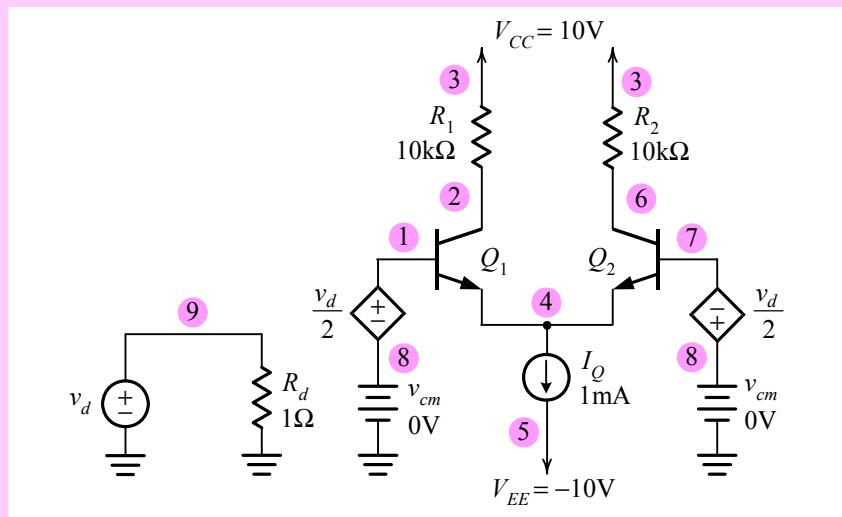


圖 6-19 根據圖之觀念修正先前圖 6-16 之錯誤所得到具有共模及差模輸入之差動放大器完整 SPICE 電路圖。

#### A BJT Differential Pair

```

* circuit description *
Vcc 3 0 DC 10V
Vee 5 0 DC -10V
Vd 9 0 DC 0V
Rd 9 0 1
Vcm 8 0 DC 0V
EV1 1 8 9 0 0.5
EV2 8 7 9 0 0.5
Iq 4 5 DC 1mA
R1 3 2 10k
R2 3 6 10k

* BJT model description
Q1 2 1 4 npn_transistor
Q2 6 7 4 npn_transistor
.model npn transistor npn (Is=1.8E-15 Bf=100 Vaf=100V)

* analysis requests
.OP
* output requests
.probe
.end

```

圖 6-20 修正刺激源後的 BJT 射極耦合差動對之 SPICE 輸入檔。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 0.0000 (2) 5.0471 (3) 10.0000 (4) -.6800
(5) -10.0000 (6) 5.0471 (7) 0.0000 (8) 0.0000
(9) 0.0000

```

圖 6-21 修正刺激源後之 BJT 射極耦合差動對正確的直流分析輸出檔。

其中差模訊號之預設值為零且連接至  $1\Omega$  的電阻  $R_d$ 。此外，請注意兩個大小相等極性相反的 VCVS：

```

EV1 1 8 9 0 0.5
EV2 8 7 9 0 0.5

```

在 SPICE 輸入檔中關於輸出要求部份，則使用.OP 直流操作點分析指令以觀察偏壓解。圖 6-21 為 BJT 射極耦合差動對修正刺激源之後的輸出檔，可看到兩電晶體的基極與射極間之電壓回歸正常應有的偏壓值，約為 0.7V。

### 6.3.2 輸出特性曲線

#### SPICE 模擬

為了觀察差動放大器中射極電流對輸入差模訊號之轉換特性，我們修改圖 6-20 的 SPICE 輸入檔，加入一.DC 直流掃描指令：

```
.DC Vd -400mV 400mV 50uV
```

以上指令為對輸入差模訊號  $v_d$  作直流掃描，由  $-400\text{mV}$  至  $400\text{mV}$ ，每  $50\mu\text{V}$  作一次分析。

圖 6-22 顯示的結果為射極電流對輸入差模訊號之轉換特性。圖中的兩條曲線分別對應  $Q_1$  和  $Q_2$  的射極電流。可看出當  $v_d = 0$ ， $i_{E1} = i_{E2} = 0.5\text{mA}$ 。當  $v_d$  往正方向增加時， $i_{E1}$  增加， $i_{E2}$  下降。當  $v_d$  為  $100\text{mV}$  (約為  $4V_T$ ) 時， $i_{E1} = 0.982\text{ mA}$ ，約佔電流源  $I_Q$  之  $98\%$ ； $i_{E2} = 0.018\text{ mA}$ ，約佔  $I_Q$  之  $2\%$ ，可參考圖 6-22 之游標顯示值。此外，圖中在  $v_d = -118.2\text{ mV}$  處的游標代表電路兩側射極電流之比為 1 比 99 時，所對應的差模電壓約為  $118\text{mV}$ 。

#### 手算分析

現在我們對 BJT 差動放大器作大訊號的手算分析：

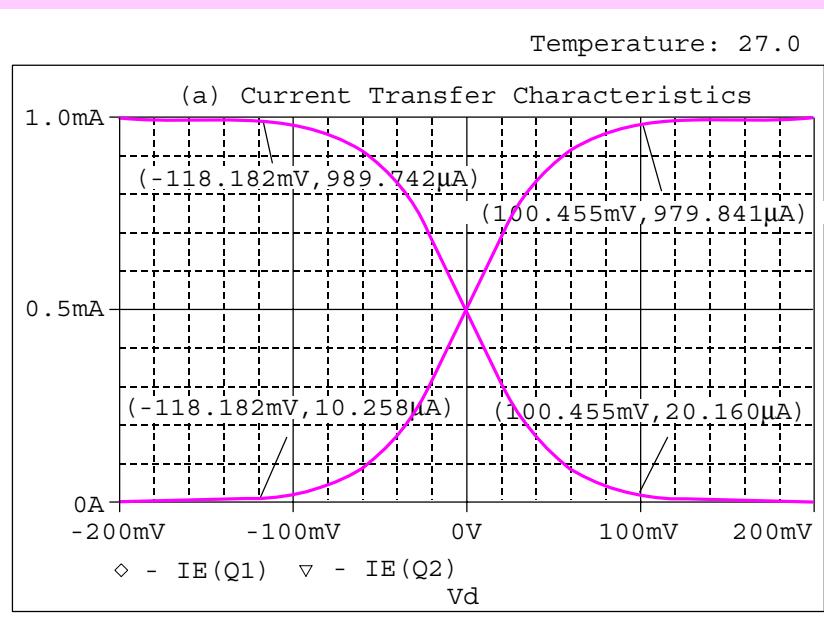


圖 6-22 BJT 差動對中  $Q_1$  和  $Q_2$  之射極電流對輸入差模電壓之特性曲線。

$$i_{E1} = \frac{I_S}{\alpha} e^{v_{BE1}/V_T} = \frac{I_S}{\alpha} e^{(v_{B1}-v_E)/V_T} \quad (6-13)$$

$$i_{E2} = \frac{I_S}{\alpha} e^{v_{BE2}/V_T} = \frac{I_S}{\alpha} e^{(v_{B2}-v_E)/V_T} \quad (6-14)$$

此二方程式可合併成

$$\frac{i_{E1}}{i_{E2}} = e^{(v_{B1}-v_{B2})/V_T} = e^{v_d/V_T} \quad (6-15)$$

另一限制方程式為

$$i_{E1} + i_{E2} = I_Q \quad (6-16)$$

由(6-15)和(6-16)二式可解得

$$i_{E1} = \frac{I_Q}{1 + e^{-v_d/V_T}} \quad (6-17)$$

和

$$i_{E2} = \frac{I_Q}{1 + e^{v_d/V_T}} \quad (6-18)$$

讀者可將以上二式與圖 6-22 之模擬結果比對，將發現兩者完全一致。

### 6.3.3 輸入共模範圍

所謂輸入共模範圍是指欲使差動對電晶體操作在主動區以及電流源電晶體正常工作所能容忍輸入共模電壓的範圍。

當  $v_{cm}$  到達 5.52V 以上時，集極電流快速下降，顯示電晶體  $Q_1$  和  $Q_2$  離開主動且進入飽和區。

所謂輸入共模範圍(input common-mode range，簡稱 ICMR)是指欲使差動對電晶體操作在主動區以及電流源電晶體正常工作所能容忍輸入共模電壓的範圍。以圖 6-19 之差動放大器為例，如欲計算其 ICMR，僅需將圖 6-20 輸入檔之分析需求中加入直流掃描指令：

.DC Vcm -10V +6V 50mV

上述指令代表對圖 6-19 差動放大器中之共模訊號  $v_{cm}$  進行掃描，由  $-10V$  至  $+6V$ ，每  $50mV$  計算一次。

圖 6-23 為掃描結果—— $Q_1$  和  $Q_2$  之集極電流對輸入共模電壓  $v_{cm}$  之關係。圖中當  $v_{cm}$  介於  $-10V$  至  $5.52V$  以上時，集極電流均為  $495\mu A$ ，但是當  $v_{cm}$  到達  $5.52V$  以上時，集極電流快速下降，顯示電晶體  $Q_1$  和  $Q_2$  離開主動且進入飽和區。於是，ICMR 之上限  $v_{cm(max)}$  即為  $5.5V$ 。

以下我們可立即以手算分析試算： $v_{cm(max)}$  當  $Q_1$  和  $Q_2$  正好離開主動區時將對應  $v_{cm(max)}$ ，令  $V_{CE1} = 0.2$  V，也就是， $5 - (v_{cm(max)} - 0.7) = 0.2$ ，解得  $v_{cm(max)} = 5.5$  V。與上述模擬數值 ( $v_{cm(max)} = 5.52$  V) 幾乎一致。最後，補

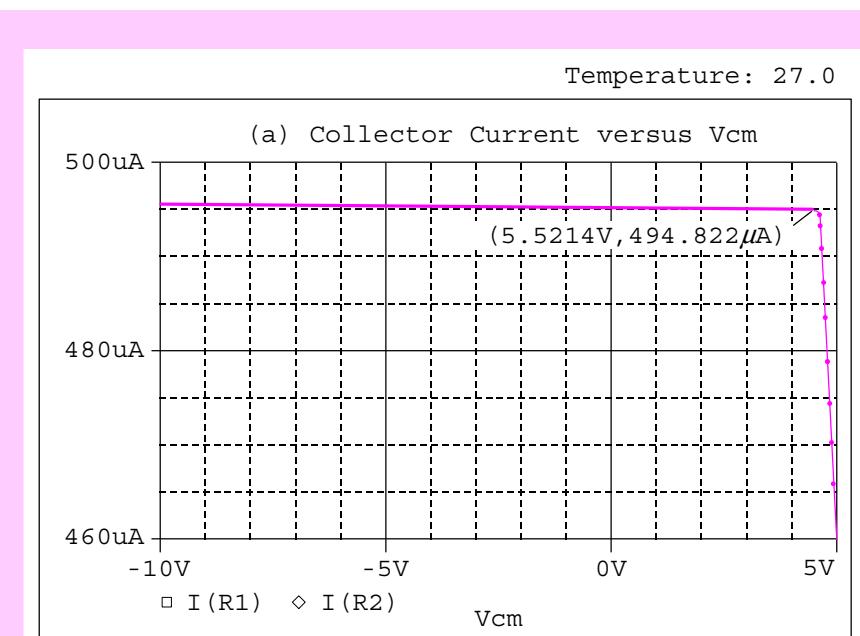


圖 6-23 圖 6-19 差動放大器中  $Q_1$  和  $Q_2$  之集極電流對輸入共模電壓  $v_{cm}$  之關係。

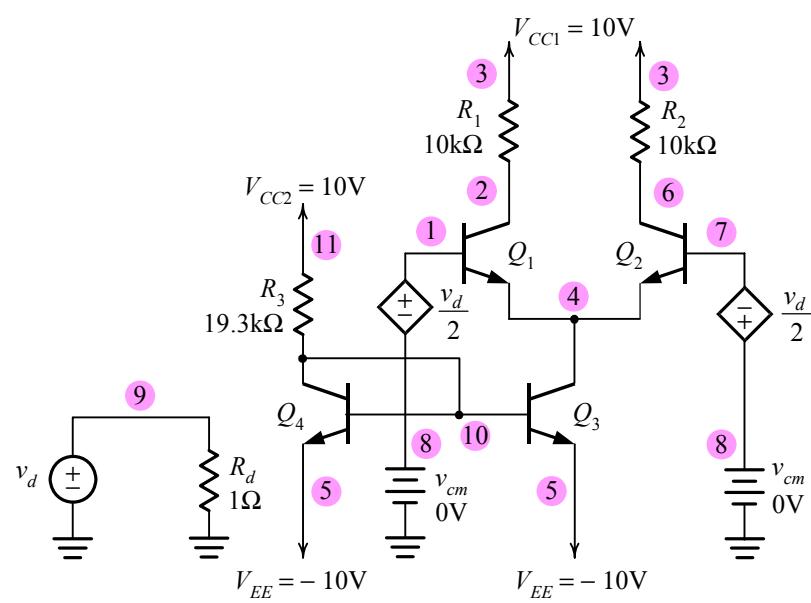


圖 6-24 修改圖 6-19 電路並加入真實偏壓電流源( $Q_3$ 和 $Q_4$ 組成)的差動放大器。

充一點，由於圖 6-19 之差動放大器為一理想電流源，故 ICMR 之下限並不存在。

#### 真實電流源偏壓

為了更進一步說明，我們將圖 6-19 之電路加入真實的偏壓電流源，見圖 6-24。

圖 6-25 為分析圖 6-24 差動放大器的 ICMR 特性之 SPICE 輸入檔。在分析需求部份，主要使用直流掃描指令：

```
.DC Vcm -10 +10V 50mV
```

掃描的結果顯示於圖 6-26。

現將圖 6-26 與圖 6-23 比較，可清楚發現兩者 ICMR 的上限完全相同。但在圖 6-26 中，當  $v_{cm}$  到達  $-9.12V$  時，集極電流再度急速下降，這代表電流源電晶體  $Q_3$  離開主動且進入飽和區，而  $-9.12V$  即為 ICMR 的下限。這個下限值亦可以手算分析計算：當電流源電晶體  $Q_3$  正好離開主動區時對應  $v_{cm(min)}$ ，令  $V_{CE3} = 0.2\text{ V}$ ，也就是  $v_{cm(min)} - 0.7 + 10 = 0.2\text{ V}$ ，解得

$v_{cm(min)} = -9.1\text{ V}$ 。於是，合併先前提過的  $5.52\text{ V}$  上限值得知  $v_{cm}$  介於  $-9.12\text{ V}$  至  $5.52\text{ V}$  間之範圍稱為輸入共模範圍，如圖 6-26 所示。

當  $v_{cm}$  到達  $-9.12\text{ V}$  時，集極電流再度急速下降，這代表電流源電晶體  $Q_3$  離開主動且進入飽和區。

```

A BJT Differential Pair (ICMR)

* circuit description *
Vcc1 3 0 DC 10V
Vcc2 11 0 DC -10V
Vee 5 0 DC -10V
Vd 9 0 DC 0V
Rd 9 0 1
Vcm 8 0 DC 0V
R1 3 2 10k
R2 3 6 10k
R3 11 10 19.3k
EV1 1 8 9 0 0.5
EV2 8 7 9 0 0.5

* BJT model description
Q1 2 1 4 npn transistor
Q2 6 7 4 npn transistor
Q3 4 10 5 npn transistor
Q4 10 10 5 npn transistor
.model npn transistor npn (Is=1.8E-15 Bf=100 Vaf=300V)
* analysis requests
.OP
.DC Vcm -10V +10V 50mV
* output requests
.probe
.end

```

圖 6-25 分析圖 6-24 差動放大器的輸入共模範圍之 SPICE 輸入檔。

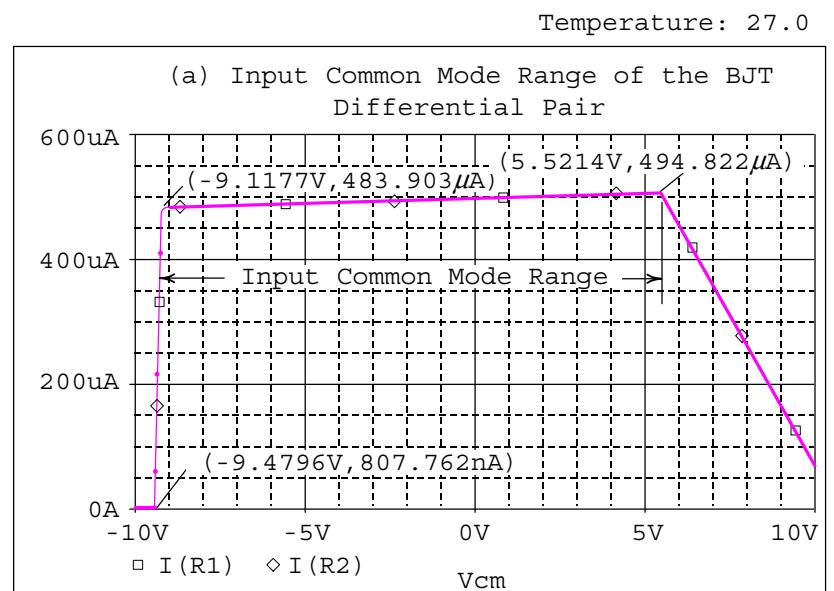


圖 6-26 圖 6-24 差動放大器中集極電流對輸入共模電壓之關係，請注意圖中顯示的輸入共模範圍。

### 6.3.4 射極簡併

#### 差模轉換特性

圖 6-27 為具有射極電阻的差動放大器，其目的為加入射極電阻後，可增加線性放大器的差模輸入電壓範圍，但同時將造成差模增益的下降。這種技術稱為射極簡併(emitter degeneration)，所加入的電阻一般稱為射極簡併電阻。

圖 6-28 為分析射極簡併式差動放大器大訊號差模轉換特性之 SPICE 輸入檔，其中射極電阻值為  $200\Omega$ 。請注意直流掃描指令：

```
.DC Vd -0.8V +0.8V 10mV
```

代表對差模電壓掃描，由  $-0.8\text{ V}$  掃描至  $+0.8\text{ V}$ ，每  $10\text{ mV}$  計算一次。

圖 6-29 為射極簡併式差動放大器模擬的大訊號差模轉換特性——大訊號差模輸出電壓 ( $V(2)-V(9)$ ) 對差模輸入電壓之關係。另外兩條曲線則分別為不同的射極電阻 ( $R_E=0$  和  $R_E=500\Omega$ ) 所得的結果。圖中顯示加入射極電阻可增加線性放大器的差模輸入電壓範圍，但同時將造成差模增益的下降。

#### 小訊號增益

利用圖 6-29 可大致估算出差動放大器在線性區內之小訊號差模增益

加入射極電阻可增加線性放大器的差模輸入電壓範圍，但同時將造成差模增益的下降。

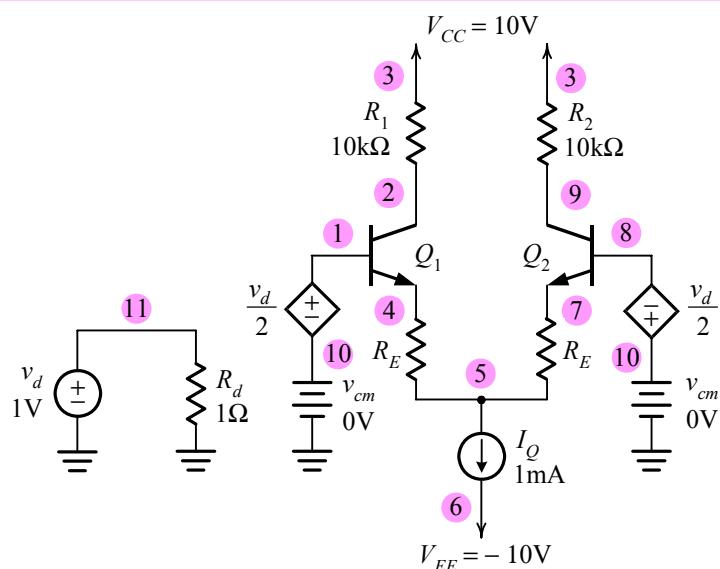


圖 6-27 連接兩個射極電阻  $R_{E1}$  和  $R_{E2}$  的差動放大器。

```

Emitter-Coupled Pair

* circuit description *
Vcc 3 0 DC 10V
Vee 6 0 DC -10V
Vd 11 0 DC 0V
Vcm 10 0 DC 0V
Iq 5 6 DC 1mA
Rd 11 0 1
R1 3 2 10k
R2 3 9 10k
Re1 4 5 200
Re2 7 5 200
EV1 1 10 11 0 0.5
EV2 10 8 11 0 0.5

* BJT model description
Q1 2 1 4 npn_transistor
Q2 9 8 7 npn_transistor
.model npn_transistor npn (Is=1.8E-15 Bf=100)
* analysis requests
.OP
.DC Vd -0.8V +0.8V 10mV
* output requests
.probe
.end

```

圖 6-28 分析圖 6-27 差動放大器差模轉移特性之 SPICE 輸入檔，本例中射極電阻為  $200\Omega$ 。

$A_d$ 。以  $R_E = 500\Omega$  為例，其小訊號差模增益  $A_d$  約為  $(-6 - 6)/(0.34 - (0.34)) = -17.6 \text{ V/V}$ 。對照手算分析的結果：

$$A_d = -\alpha \frac{R_C}{r_e + R_E} \quad (6-19)$$

其中  $r_e = V_T / I_E = 25\text{mV} / 0.5\text{mA} = 0.5\Omega$ ，代入上式可得  $A_d = -18$ ，與先前的模擬結果幾乎一致。

## 6.4 差動放大器的小訊號分析

### 6.4.1 電阻性負載

SPICE 模擬

我們將以圖 6-30 所示之電阻性負載之差動放大器為例來作小訊號分析，與圖 6-19 和圖 6-24 之不同在於本放大器並未使用定電流源偏壓，

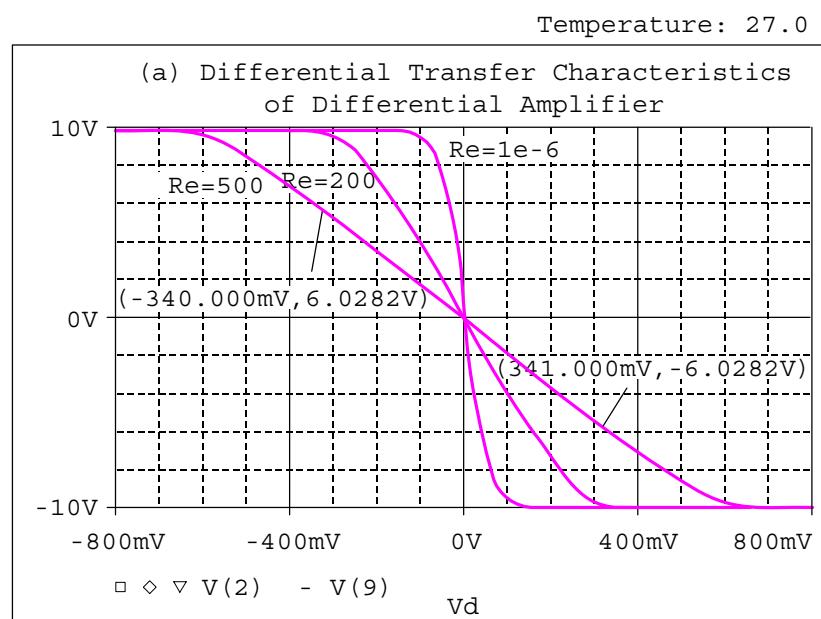


圖 6-29 圖 6-27 射極耦合差動對分別在不同射極電阻( $R_e = 0$ ,  $200\Omega$ 和 $500\Omega$ )下的差模轉換特性。

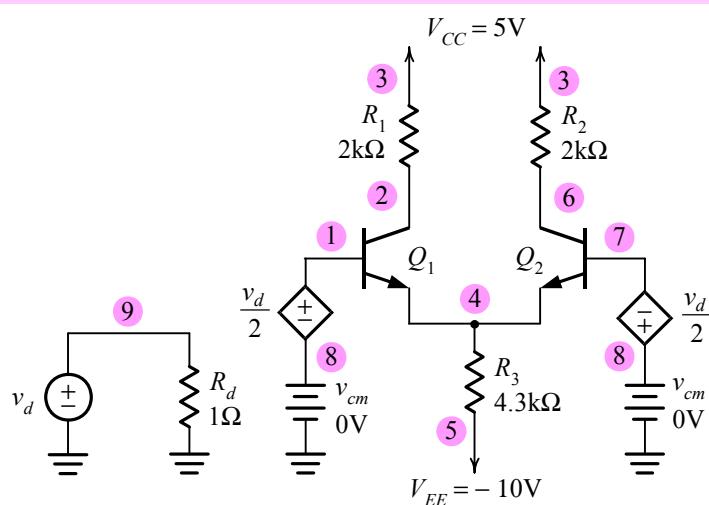


圖 6-30 具有完整共模及差模輸入訊號的差動放大器 SPICE 電路圖。

而是直接以電阻  $R_3$  取代，並連接於共射端子與負電源間。圖 6-31 為差動放大器小訊號分析之 SPICE 輸入檔，輸入檔中先令共模與差模的直流成份為零，再加入 1V 的交流差模訊號，注意以下指令：

```
Vcm 8 0 DC 0V
Vd 9 0 DC 0V AC 1V
```

以及轉移函數指令.TF：

```
.TF V(6,2) Vd
```

以上指令中  $V(6,2)$  代表  $V(6)-V(2)$  之值，即差模輸出電壓  $v_o$ ，而.TF 指令將計算  $V(6)-V(2)$  除以  $v_d$  之值，即為差模輸出時的差模增益  $|A_d|$ 。

在輸出指令方面，請注意.PRINT 的指令語法：

```
.PRINT AC Im(EV1) Im(EV2) Vm(1,7)
```

其中  $Im$  和  $Vm$  分別代表電流和節點電壓的大小。於是，我們即可利用

```
Small Signal Analysis of A BJT Differential Amplifier

* circuit description *
Vcc 3 0 DC 5V
Vee 5 0 DC -5V
Vcm 8 0 DC 0V
Vd 9 0 DC 0V AC 1V
Rd 9 0 1
R1 3 2 2k
R2 3 6 2k
R3 4 5 4.3k
EV1 1 8 9 0 0.5
EV2 8 7 9 0 0.5

* BJT model description
Q1 2 1 4 npn_transistor
Q2 6 7 4 npn_transistor
.model npn_transistor npn (Is=1.8E-15 Bf=100 Vaf=0V)
* analysis requests
.TF V(6,2) Vd
.AC LIN 1 1kHz 1kHz
* output requests
.PRINT AC Im(EV1) Im(EV2) Vm(1,7)
.probe
.end
```

圖 6-31 差動放大器小訊號分析之 SPICE 輸入檔。

上述指令計算出輸入差模電阻(input differential resistance)  $R_{id}$ ，即介於兩電晶體基極間由基極看進去的輸入電阻。

圖 6-32 為差動放大器的小訊號分析之 SPICE 輸出檔，我們可由圖中算出差模增益  $|A_d|$  為 38.45V/V 和輸出電阻  $4\text{k}\Omega$ 。此外，特別注意輸入差模電阻  $R_{id}$  之值並非  $1\Omega$ (由圖 6-30 知， $v_d$  所看到的電阻顯然是  $1\Omega$ )，而必須經由  $\text{VM}(1, 7)$ 除以  $\text{IM}(\text{EV}1)$ 而得，即  $1/9.612 \times 10^{-5} = 10.4\text{k}\Omega$ 。

### 手算分析

以下介紹手算分析部份：考慮一差動放大器的輸出電壓訊號可取差模輸出(differential output)  $v_o$ 。即輸出端介於兩集極間，

$$v_o \triangleq v_{c1} - v_{c2} \quad (6-20)$$

定義差模輸出時的差模增益  $A_d$

$$A_d \triangleq \frac{v_o}{v_d} = \frac{v_{c1} - v_{c2}}{v_d} \quad (6-21)$$

因為

$$v_{c1} = -i_c R_C = -g_m \frac{v_d}{2} R_C \quad (6-22)$$

和

$$v_{c2} = i_c R_C = g_m \frac{v_d}{2} R_C \quad (6-23)$$

故

$$A_d = \frac{v_o}{v_d} = -g_m R_C \quad (6-24)$$

由於輸入差模電阻  $R_{id}$  是指介於兩基極間由基極所看到之電阻，故必須考慮基極電流  $i_b$

```

 SMALL-SIGNAL CHARACTERISTICS

V(6,2)/Vd = 3.845E+01
INPUT RESISTANCE AT Vd = 1.000E+00
OUTPUT RESISTANCE AT V(6,2) = 4.000E+03

* AC ANALYSIS TEMPERATURE = 27.000 DEG C

FREQ IM(EV1) IM(EV2) VM(1,7)
1.000E+03 9.612E-05 9.612E-05 1.000E+00
```

圖 6-32 差動放大器小訊號分析之 SPICE 輸出檔。

$$i_b = \frac{i_e}{\beta+1} = \frac{i_c / \alpha}{\beta+1} = \frac{i_c}{\beta} = \frac{g_m v_d}{\beta / 2} \quad (6-25)$$

因此差模輸入電阻  $R_{id}$  為

$$R_{id} \triangleq \frac{v_d}{i_b} = 2 \frac{\beta}{g_m} = 2r_\pi \quad (6-26)$$

將數值分別代入(6-24)和(6-26)二式可得  $A_d = -40V/V$ ，或  $|A_d| = 40V/V$ ，以及  $R_{id} = 10.1k\Omega$ ，與 SPICE 模擬結果幾乎一致。

### 6.4.2 電流鏡負載

在 IC 中，主動元件(電晶體)所佔的矽面積遠較中型或大型尺寸的電阻為小，於是許多實際的 BJT 積體電路放大器均使用 BJT 負載來取代電阻性負載  $R_C$ 。在此電路中，BJT 負載電晶體通常連接成一定電流源，因此對放大電晶體而言，它具有一非常高電阻值的負載。故使用主動負載的放大器其電壓增益遠較使用被動負載(電阻)者為高。

#### SPICE 模擬

主動負載差動放大器之 SPICE 電路圖顯示於圖 6-33 中。 $Q_1$  和  $Q_2$  形成差動對，並且被定電流  $I_Q$  所偏壓。而負載電路則由  $Q_3$  和  $Q_4$  連接成電流鏡組態所組成。圖 6-34 為執行圖 6-33 差動放大器小訊號分析之 SPICE 輸入檔。其中關於共模訊號與差模訊號的輸入方式與圖 6-31 相同。此外，

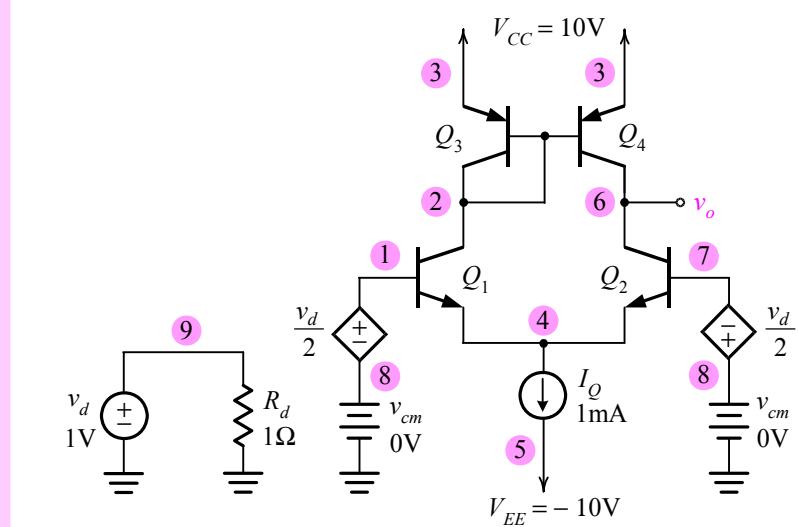


圖 6-33 一電流鏡負載的差動放大器之 SPICE 電路圖。

```

Active-Load Differential Pair

* circuit description *
Vcc 3 0 DC 10V
Vee 5 0 DC -10V
Vd 9 0 DC 0V AC 1V
Vcm 8 0 DC 0V
Iq 4 5 DC 1mA
Rd 9 0 1
R1 6 0 1e9
EV1 1 8 9 0 0.5
EV2 8 7 9 0 0.5

* BJT model description
Q1 2 1 4 npn_transistor
Q2 6 7 4 npn_transistor
Q3 2 2 3 pnp_transistor
Q4 6 2 3 pnp_transistor
.model pnp_transistor pnp (Is=1.8E-15 Bf=100 Vaf=50)
.model npn_transistor npn (Is=1.8E-15 Bf=100 Vaf=125)

* analysis requests
.OP
.TF V(6) Vd
* output requests
.probe
.end

```

圖 6-34 圖 6-33 差動放大器執行小訊號分析之 SPICE 輸入檔。

元件參數為  $I_S = 1.8 \times 10^{-15} \text{ A}$  和  $\beta_F = 100$ ，但 *npn* 的  $V_{AF}$  值為 125V，*pnp* 的  $V_{AF}$  值則為 50V。經執行操作點分析指令.OP 後可獲得本電路之小訊號偏壓解，見圖 6-35。請注意節點 2 和節點 6 的電壓分別 9.31V 和 8.59V 並不相同，因此  $Q_1$  和  $Q_2$  的集射電壓分別為  $V_{CE1} = 9.99 \text{ V}$  和  $V_{CE2} = 9.27 \text{ V}$ ，顯示電路左右兩側之偏壓並不對稱。

考慮圖 6-34 中之轉移函數分析指令：

```
.TF V(6) Vd
```

執行此一指令後所獲得之小訊號特性顯示於圖 6-36 中。其中單端輸出之差模增益  $A_d$  為 1,421V/V，節點 6 所觀察到的輸出電阻為  $74.4\text{k}\Omega$ 。

### 手算分析

以下我們以簡單的手算分析檢驗模擬的結果：當有一輸入差動訊號加入

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 0.0000 (2) 9.3192 (3) 10.0000 (4) -.6795
(5) -10.0000 (6) 8.5937 (7) 0.0000 (8) 0.0000
(9) 0.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT

Vcc -9.908E-04
Vee 1.000E-03
Vd 0.000E+00
Vcm -9.245E-06

TOTAL POWER DISSIPATION 1.99E-02 WATTS

```

圖 6-35 圖 6-33 差動放大器小訊號偏壓解。

```

***** SMALL-SIGNAL CHARACTERISTICS *****
V(6)/Vd = 1.421E+03

INPUT RESISTANCE AT Vd = 1.000E+00
OUTPUT RESISTANCE AT V(6) = 7.442E+04

```

圖 6-36 圖 6.33 差動放大器小訊號特性之輸出檔。

時， $Q_1$  和  $Q_2$  將產生電流訊號  $g_{m1}(v_d/2)$ ，而電流鏡將經由  $Q_4$  的集極再產生此訊號電流  $g_{m1}(v_d/2)$ 。因此在輸出端產生一全部電流訊號  $(g_{m1}v_d)$ ，故輸出訊號電壓  $v_o$  為

$$v_o = g_{m1}v_d R_{out} \quad (6-27)$$

其中  $R_{out}$  為介於輸出端與接地點間的全部電阻。在此  $R_{out}$  可近似視為  $Q_2$  和  $Q_4$  兩者輸出電阻之並聯，即

$$R_{out} = r_{o2} \parallel r_{o4} \quad (6-28)$$

故輸出電壓  $v_o$  為

$$v_o = g_{m1}v_d (r_{o2} \parallel r_{o4}) \quad (6-29)$$

因此，單端輸出時的差模增益  $A_d$  為

$$A_d \triangleq \frac{v_o}{v_d} = g_{m1}(r_{o2} \| r_{o4}) = \frac{I_C}{V_T} \left( \frac{V_{AN}}{I_C} \| \frac{V_{AP}}{I_C} \right) = \frac{1}{V_T} \frac{V_{AN} V_{AP}}{V_{AN} + V_{AP}} \quad (6-30)$$

代值後可得  $A_d = 1,379\text{V/V}$  和  $R_{out} = 71.4\text{k}\Omega$ ，這與先前的模擬結果相當接近。

## 6.5 差動放大器的非理想特性

### 基本定義

考慮圖 6-24 之差動放大器，若將差動放大器兩輸入端接地，假設差動對兩邊完全匹配(也就是  $Q_1$  和  $Q_2$  完全一樣且  $R_1 = R_2 = R_C$ )，則差模輸出電壓  $V_O$  為零。但是實際電路不可能完全對稱，即使將兩輸入端接地亦不可能使  $V_O$  為零，故我們稱此  $V_O$  為輸出直流偏移電壓(offset voltage)。通常將  $V_O$  除以放大器之差動增益  $A_d$ ，即可得到輸入偏移電壓(input offset voltage)  $V_{off}$ ，

$$V_{off} \triangleq \frac{V_O}{A_d} \quad (6-31)$$

將  $V_O$  除以放大器之差動增益  $A_d$ ，即可得到輸入偏移電壓  $V_{off}$ 。

顯然，若在差動放大器之兩輸入端間加上一電壓  $-V_{off}$ ，則輸出電壓將為零。

在完美對稱之差動對中，兩輸入端載有相同的直流電流。

$$I_{B1} = I_{B2} = \frac{I_Q / 2}{\beta + 1} \quad (6-32)$$

在差動放大器之兩輸入端間加上一電壓  $-V_{off}$ ，則輸出電壓將為零。

此即差動放大器之輸入偏壓電流。

但放大器電路不對稱或兩電晶體的  $\beta$  不匹配將使這兩個輸入偏壓電流  $I_{B1}$  和  $I_{B2}$  不相等，其間之差值即為輸入偏移電流(input offset current)  $I_{off}$ ，定義為

$$I_{off} \triangleq |I_{B1} - I_{B2}| \quad (6-33)$$

至於輸入偏壓電流(input bias current)  $I_B$  則被定義如下：

$$I_B \triangleq \frac{I_{B1} + I_{B2}}{2} = \frac{I_Q}{2(\beta + 1)} \quad (6-34)$$

產生偏移電壓與電流之因素有二：負載不匹配與電晶體不匹配，以下分別討論。

### 6.5.1 負載不匹配

#### SPICE 模擬

圖 6-37 為分析電阻式負載差動放大器集極電阻不匹配效應的 SPICE 輸入檔，除了集極電阻不對稱以及電流源輸出電阻為  $100\text{k}\Omega$  之外，其對應電路大致與圖 6-24 相同。注意我們令  $R_1 = R_C - \Delta R_C / 2 = 9.8\text{k}\Omega$  和  $R_2 = R_C + \Delta R_C / 2 = 10.2\text{k}\Omega$ ，其中  $R_C = 10\text{k}\Omega$  和  $\Delta R_C = 0.4\text{k}\Omega$ ，代表兩側電阻出現 4% 的不匹配。此外，注意直流掃描指令：

```
.DC Vd -5mV 5mV 100uV
```

以及轉移函數指令

```
.TF V(2,6) Vcm
```

```
Offset Voltage of the BJT Differential Pair

* circuit description *
Vcc 3 0 DC 10V
Vee 5 0 DC -10V
Vd 9 0 DC 0V
Vcm 8 0 DC 0V
Iq 4 5 DC 1mA
Ro 4 0 100k
Rd 9 0 1
R1 3 2 9.8k
R2 3 6 10.2k
EV1 1 8 9 0 0.5
EV2 8 7 9 0 0.5
* BJT model description
Q1 2 1 4 npn_transistor
Q2 6 7 4 npn_transistor
.model npn_transistor npn (Is=1.8E-15 Bf=100)
* analysis requests
.OP
.TF V(2,6) Vcm
.DC Vd -5mV 5mV 100uV
* output requests
.probe
.end
```

圖 6-37 分析差動放大器集極負載不匹配效應的 SPICE 輸入檔，其中  $\Delta R_C / R_C = 4\%$ 。

圖 6-38 為差動放大器中差模輸出電壓對差模輸入電壓之關係，兩條曲線分別對應負載不匹配以及電晶體不匹配效應。就負載不匹配之對應曲線而言，這條曲線並未如圖 6-29 般的通過原點。圖中顯示對零差模輸入時所出現的輸出偏移電壓  $V_o$  為 196.671mV；再者，當外加一差模電壓 1.0318mV 時，即可將輸出偏移降至零。於是，本電路在負載不匹配情況下的輸入偏移電壓  $V_{off1}$  為橫軸截距的負值，即 -1.0318 mV。

另一方面，由圖 6-39 輸出檔的小訊號特性顯示，在此情況下的共模電壓增益為  $1.98 \times 10^{-3} \text{ V/V}$ ，而輸出電阻為  $20\text{k}\Omega$ 。

### 手算分析

以下將分別介紹在負載不匹配時所產生的輸入偏移電壓  $V_{off1}$  及共模電壓增益  $A_{cm}$  的手算分析檢驗：首先我們可將  $Q_1$  和  $Q_2$  的集極電壓  $V_{C1}$  和  $V_{C2}$  表示為

$$V_{C1} = V_{CC} - \left( \frac{\alpha I_Q}{2} \right) \left( R_C - \frac{\Delta R_C}{2} \right) \quad (6-35)$$

$$V_{C2} = V_{CC} - \left( \frac{\alpha I_Q}{2} \right) \left( R_C + \frac{\Delta R_C}{2} \right) \quad (6-36)$$

在負載不匹配情況下的輸入偏移電壓  $V_{off1}$  為橫軸截距的負值。

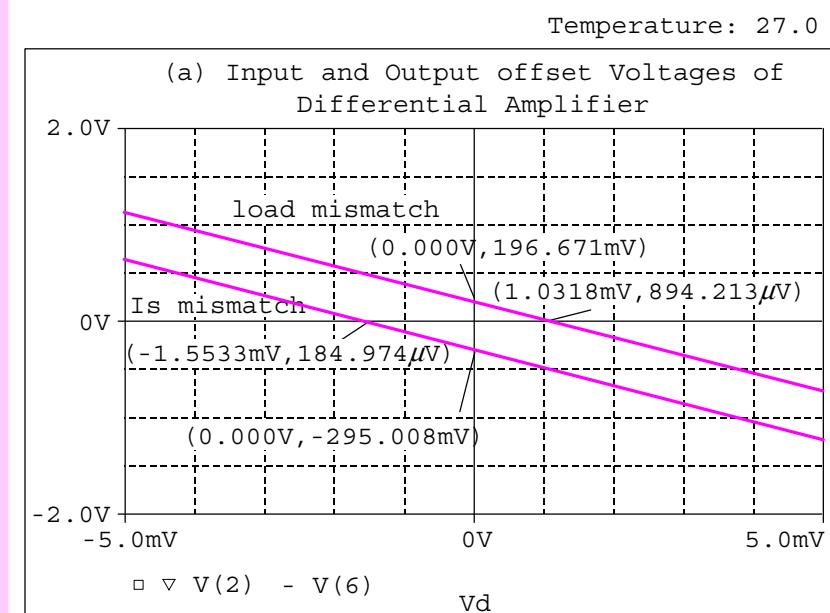


圖 6-38 差動放大器中差模輸出電壓對差模輸入電壓之關係，兩條曲線分別對應負載不匹配( $\Delta R_C/R_C$ )以及電晶體不匹配效應( $\Delta I_S/I_S$ )，其中  $\Delta R_C/R_C = 4\%$  和  $\Delta I_S/I_S = 6\%$ 。



圖 6-39 差動放大器於負載不匹配時小訊號特性之輸出檔。

因此輸出電壓為

$$V_o = V_{c1} - V_{c2} = \alpha \left( \frac{I_Q}{2} \right) (\Delta R_C) \quad (6-37)$$

且輸入偏移電壓為

$$V_{off1} = \frac{\alpha(I_Q/2)(\Delta R_C)}{A_{dd}} = \frac{\alpha(I_Q/2)(\Delta R_C)}{-(\alpha I_Q/2V_T)R_C} \quad (6-38)$$

整理得

$$V_{off1} = -V_T \left( \frac{\Delta R_C}{R_C} \right) \quad (6-39)$$

代值可得  $V_{off1} = -25.89mV \times 4\% = -1.0356mV$ ，與先前的模擬值 ( $V_{off1} = -1.0318mV$ )幾乎一致。

先前模擬的電路都是假設完美對稱，但實際的電路不可能是完美對稱，導致即使在差模輸出組態下，共模增益也不為零。為解釋這個事實，考慮完美對稱的情況但在集極電阻上有一不匹配的  $\Delta R_C$ 。也就是  $Q_1$  的集極電阻是  $R_C - \Delta R_C / 2$ ，而  $Q_2$  的則為  $(R_C + \Delta R_C / 2)$ ，由此得輸出共模訊號為

$$v_{od} = v_{c1} - v_{c2} = v_{cm} \frac{\alpha \Delta R_C}{2R_o + r_e} \quad (6-40)$$

且共模增益為

$$A_{cm} = \frac{\alpha \Delta R_C}{2R_o + r_e} \quad (6-41)$$

上式可改寫成

$$A_{cm} = \frac{R_C}{2R_o} \frac{\Delta R_C}{R_C} \quad (6-42)$$

代值可得  $A_{cm} = 2 \times 10^{-3} \text{V/V}$ ，這與先前圖 6-39 顯示的模擬數值 ( $1.98 \times 10^{-3} \text{V/V}$ )幾乎一致。

## 6.5.2 電晶體不匹配

### SPICE 模擬

圖 6-40 為分析電阻式負載差動放大器電晶體不匹配效應的 SPICE 輸入檔，除了電晶體  $Q_1$  和  $Q_2$  之飽和電流  $I_S$  不對稱，以及電流源輸出電阻為  $100\text{k}\Omega$  之外，其對應電路大致與圖 6-24 相同。注意若我們令  $Q_1$  的飽和電流  $I_{S1} = I_S + \Delta I_S / 2 = 1.854 \times 10^{-15} \text{ A}$  和  $Q_2$  的飽和電流  $I_{S2} = I_S - \Delta I_S / 2 = 1.746 \times 10^{-15} \text{ A}$ ，即兩側飽和電流不匹配量  $\Delta I_S / I_S = 0.054 / 1.8 = 6\%$ 。

再次考慮圖 6-38 中差動放大器之差模輸出電壓對差模輸入電壓之關係。就電晶體不匹配(飽和電流  $I_S$  不匹配)之對應曲線而言，這條曲線同樣地並未如圖 6-29 般的通過原點。圖中顯示對零差模輸入時所出現的輸

```
Offset Voltage of the BJT Differential Pair (Is mismatch)

* circuit description *
Vcc 3 0 DC 10V
Vee 5 0 DC -10V
Vd 9 0 DC 0V
Vcm 8 0 DC 0V
Iq 4 5 DC 1mA
Ro 4 0 100k
Rd 9 0 1
R1 3 2 10k
R2 3 6 10k
EV1 1 8 9 0 0.5
EV2 8 7 9 0 0.5

* BJT model description
Q1 2 1 4 npn_transistor1
Q2 6 7 4 npn_transistor2
.model npn_transistor1 npn (Is=1.854E-15 Bf=100)
.model npn_transistor2 npn (Is=1.746E-15 Bf=100)
* analysis requests
.OP
.TF V(2,6) Vcm
.DC Vd -5mV 5mV 10uV
* output requests
.probe
.end
```

圖 6-40 分析差動放大器中電晶體不匹配效應之 SPICE 輸入檔，其中  $\Delta I_S / I_S = 6\%$ 。

在電晶體飽和電流不匹配情況下的輸入偏移電壓  $V_{off2}$  為橫軸截距的負值。

出偏移電壓  $V_O$  為  $-295.008\text{mV}$ ；再者，當外加一差模電壓  $-1.5533\text{mV}$  時，即可將輸出偏移降至零。於是，在電晶體飽和電流不匹配情況下的輸入偏移電壓  $V_{off2}$  為橫軸截距的負值本電路，即  $1.5533\text{mV}$ 。

另一方面，由圖 6-41 輸出檔的小訊號特性顯示，在此情況下的共模電壓增益為  $-2.97 \times 10^{-3}\text{V/V}$ ，而輸出電阻仍為  $20\text{k}\Omega$ 。最後，參考圖 6-42 之差動放大器在電晶體飽和電流  $I_S$  不匹配時的操作點訊息，圖中顯示當  $Q_1$  和  $Q_2$  之  $I_S$  不對稱時， $Q_1$  和  $Q_2$  的偏壓與小訊號參數均不相等。其中  $I_{B2} = 5.06\mu\text{A}$  和  $I_{B2} = 4.77\mu\text{A}$ ，於是(6-33)式，輸入偏移電流  $I_{off}$  為  $0.29\mu\text{A}$ ；另外，輸入偏壓電流  $I_B$  可由(6-34)計算而得，其值為  $4.915\mu\text{A}$ 。

#### 手算分析

以下將就差動對兩側電晶體飽和電流  $I_S$  不匹配時所產生的輸入偏移電壓  $V_{off2}$  的手算分析作介紹，至於以手算分析檢驗圖 6-41 小訊號特性之模擬結果請參閱習題 6.4。

首先假設電晶體的射基接面面積不匹配，則此面積的不匹配將造成  $I_S$  的不匹配。注意  $\Delta R_C = 0$  且

$$I_{S1} = I_S + \left( \frac{\Delta I_S}{2} \right) \quad (6-43)$$

$$I_{S2} = I_S - \left( \frac{\Delta I_S}{2} \right) \quad (6-44)$$

注意  $V_{BE1} = V_{BE2}$ ，則

$$I_{E1} = \frac{I_Q}{2} \left( 1 + \frac{\Delta I_S}{2I_S} \right) \quad (6-45)$$

$$I_{E2} = \frac{I_Q}{2} \left( 1 - \frac{\Delta I_S}{2I_S} \right) \quad (6-46)$$

因此輸出偏移電壓  $V_O$  為

|                                                     |                              |       |
|-----------------------------------------------------|------------------------------|-------|
| *****                                               | SMALL-SIGNAL CHARACTERISTICS | ***** |
| $V(2,6)/\text{Vcm} = -2.970\text{E}-03$             |                              |       |
| INPUT RESISTANCE AT $\text{Vcm} = 1.010\text{E}+07$ |                              |       |
| OUTPUT RESISTANCE AT $V(2,6) = 2.000\text{E}+04$    |                              |       |

圖 6-41 差動放大器在電晶體飽和電流不匹配時的小訊號特性。

```

*OPERATING POINT INFORMATION TEMPERATURE= 27.000 DEG C

***** VOLTAGE-CONTROLLED VOLTAGE SOURCES

NAME EV1 EV2
V-SOURCE 0.000E+00 0.000E+00
I-SOURCE -5.064E-06 4.769E-06

***** BIPOLAR JUNCTION TRANSISTORS

NAME Q1 Q2
MODEL npn_transistor1 npn_transistor2
IB 5.06E-06 4.77E-06
IC 5.06E-04 4.77E-04
VBE 6.81E-01 6.81E-01
VBC -4.94E+00 -5.23E+00
VCE 5.62E+00 5.91E+00
BETADC 1.00E+02 1.00E+02
GM 1.96E-02 1.84E-02
RPI 5.11E+03 5.42E+03
RX 0.00E+00 0.00E+00
RO 1.00E+12 1.00E+12
CBE 0.00E+00 0.00E+00
CBC 0.00E+00 0.00E+00
CJS 0.00E+00 0.00E+00
BETAAC 1.00E+02 1.00E+02
CBX/CBX2 0.00E+00 0.00E+00
FT/FT2 3.12E+17 2.93E+17

```

圖 6-42 差動放大器在電晶體不匹配時的操作點訊息輸出檔。

$$V_o \triangleq V_{c1} - V_{c2} = -\alpha \left( \frac{I_o}{2} \right) \left( \frac{\Delta I_s}{I_s} \right) R_c \quad (6-47)$$

而所對應的輸入偏移電壓為

$$V_{off2} = V_T \left( \frac{\Delta I_s}{I_s} \right) \quad (6-48)$$

代值後可得  $V_{off2} = 25.89\text{mV} \times 6\% = 1.5534\text{mV}$ ，這與先前的模擬結果 ( $V_{off2} = 1.5533\text{mV}$ ) 幾乎相同。

## 6.6 CMOS 放大器

### SPICE 模擬

在互補式金氧半(complementary MOS，簡稱 CMOS)技術中同時具有 *n*-通道和 *p*-通道元件，因此可以做出許多不同的電路設計。更者，NMOS 電路中造成特性嚴重衰退的基體效應在 CMOS 電路中可被消除。圖 6-43 為 CMOS 共源放大器之 SPICE 電路圖，其中 NMOS  $M_1$  為驅動電晶體，PMOS  $M_2$  和  $M_3$  組成電流鏡以提供偏壓電流。令  $I_{REF} = 225\mu\text{A}$  且元件參數如下： $|V_{to}| = 1\text{V}$ ， $2\phi_F = 0.6\text{V}$ ， $\lambda = 0.01\text{V}^{-1}$ 。此外，對 NMOS 而言， $\mu_n C_{OX} = 50\mu\text{A/V}^2$ ， $W/L = 2$  和  $\gamma = 0.5\text{V}^{1/2}$ ；對 PMOS 而言， $\mu_p C_{OX} = 20\mu\text{A/V}^2$ ， $W/L = 5$  和  $\gamma = 1\text{V}^{1/2}$ 。

圖 6-44 為分析 CMOS 共源放大器大訊號轉換特性之 SPICE 輸入檔。經輸入檔中的直流掃描指令.DC 可得大訊號轉換特性，見圖 6-45。圖中顯示出一般反相器典型的電壓轉換特性。

以下將進行小訊號特性的模擬並且令圖 6-45 轉換特性曲線上的游標位置(3.0895V, 2.4654V)為直流操作點。為進行小訊號特性模擬，原有圖 6-44 輸入檔中關於  $V_i$  的敘述需更改如下：

```
Vi 4 0 DC 3.0895V AC 1V
```

並且在原輸入檔中刪除直流掃描指令.DC 並加入直流操作點分析指令：

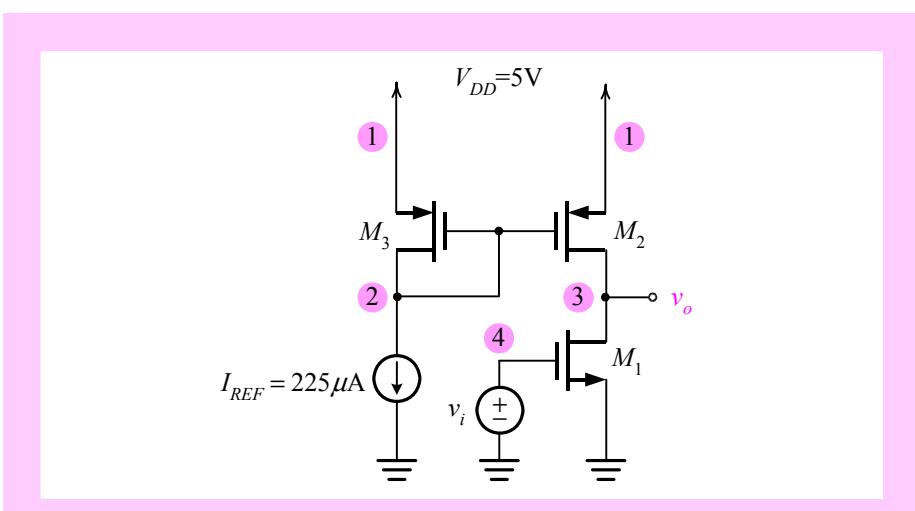


圖 6-43 CMOS 共源放大器之 SPICE 電路圖。

## The CMOS Amplifier

```

* circuit description *
Vdd 1 0 DC 5V
Vi 4 0 DC 5V
Iref 2 0 DC 225uA

* MOSFET model description *
M1 3 4 0 0 nmosfet L=1u W=2u
M2 3 2 1 1 pmosfet L=1u W=5u
M3 2 2 1 1 pmosfet L=1u W=5u
.model nmosfet nmos (Vto=1 Kp=5e-05 gamma=0.5 phi=.6 lambda=.01)
.model pmosfet pmos (Vto=-1 Kp=2e-05 gamma=1 phi=.6 lambda=.01)

* analysis requests *
.DC Vi 0 5 0.1mV
.probe
.end

```

圖 6-44 分析 CMOS 放大器轉換特性之 SPICE 輸入檔。

.OP

以及轉換函數分析指令：

.TF V(3) Vi

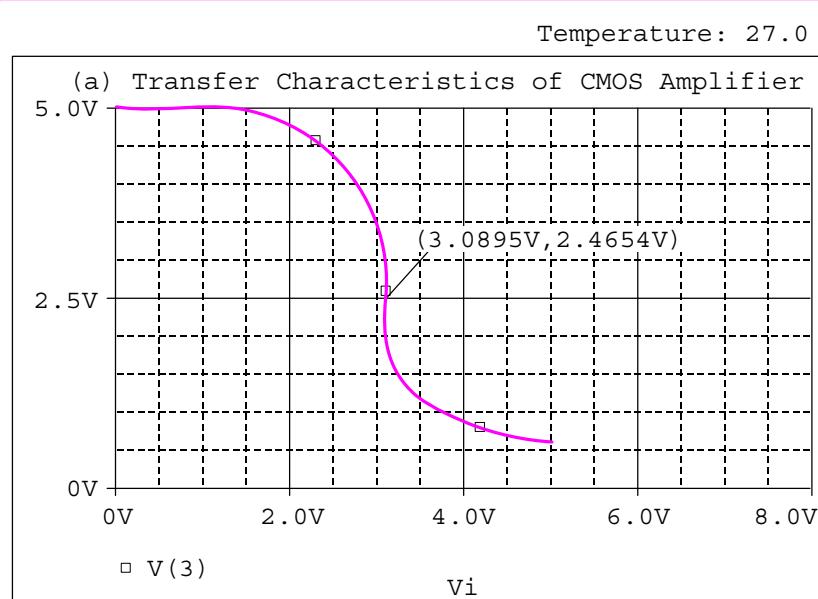


圖 6-45 CMOS 共源放大器的電壓轉換特性。

| NAME  | M1       | M2        | M3        |
|-------|----------|-----------|-----------|
| MODEL | nmosfet  | pmosfet   | pmosfet   |
| ID    | 2.24E-04 | -2.24E-04 | -2.25E-04 |
| VGS   | 3.09E+00 | -3.09E+00 | -3.09E+00 |
| VDS   | 2.49E+00 | -2.51E+00 | -3.09E+00 |
| VBS   | 0.00E+00 | 0.00E+00  | 0.00E+00  |
| VTH   | 1.00E+00 | -1.00E+00 | -1.00E+00 |
| VDSAT | 2.09E+00 | -2.09E+00 | -2.09E+00 |
| GM    | 2.14E-04 | 2.14E-04  | 2.15E-04  |
| GDS   | 2.18E-06 | 2.18E-06  | 2.18E-06  |
| GMB   | 6.91E-05 | 1.38E-04  | 1.39E-04  |

圖 6-46 圖 6-43 CMOS 共源放大器在  $V_i = 3.0895V$  時之操作點訊息。

```

 SMALL-SIGNAL CHARACTERISTICS

V(3)/Vi = -4.905E+01
INPUT RESISTANCE AT Vi = 1.000E+20
OUTPUT RESISTANCE AT V(3) = 2.291E+05
```

圖 6-47 圖 6-43 CMOS 共源放大器在  $V_i = 3.0895V$  時之小訊號特性。

模擬所得的操作點訊息與小訊號特性分別顯示於圖 6-46 和圖 6-47，其中小訊號電壓增益為  $-49.05V/V$  和輸出電阻為  $229.1k\Omega$ 。

### 手算分析

回顧 MOS 元件的基本特性：若 NMOS 操作於飽和區，則

$$V_{DSN} \geq V_{GSN} - V_m \triangleq V_{D(SAT)} \quad (6-49)$$

若 PMOS 操作於飽和區，則

$$V_{SDP} \geq V_{SGP} - |V_{tp}| \triangleq |V_{D(SAT)}| \quad (6-50)$$

圖 6-46 顯示  $M_1$  的  $V_{GSN} = 3.09V$  和  $V_{DSN} = 2.49V$ ，滿足(6-49)式，代表  $M_1$  工作於飽和區。圖中亦顯示  $M_2$  的  $V_{SGP} = 3.09V$  和  $V_{SDP} = 2.51V$ ，滿足(6-50)式，代表  $M_2$  亦工作於飽和區。

另一方面，放大器的小訊號增益  $A$  為

$$A = \frac{V_o}{V_i} = -g_{m1}R_{out} = -g_{m1}(r_{o1} \parallel r_{o2}) = -\frac{g_{m1}}{g_{ds1} + g_{ds2}} \quad (6-51)$$

由圖 6-46 可得  $g_{m1} = 0.241 \text{ mA/V}$ ， $g_{ds1} = 2.18 \times 10^{-6} \text{ A/V}$  和  $g_{ds2} = 2.18 \times 10^{-6} \text{ A/V}$ 。代值後可得  $R_{out} = 229.4 \text{ k}\Omega$  和  $A = -49.08 \text{ V/V}$ ，顯示與先前的模擬數值幾乎一致。

## 6.7 多級放大器

圖 6-48 所示為多級放大器電路，此電路之主要經由兩個電流鏡提供偏壓，其中  $Q_7$  和  $Q_8$  構成一比一的電流鏡，故  $Q_7$  與  $Q_8$  的集極電流相等，而  $Q_7$  和  $Q_8$  則為一比二的電流鏡。

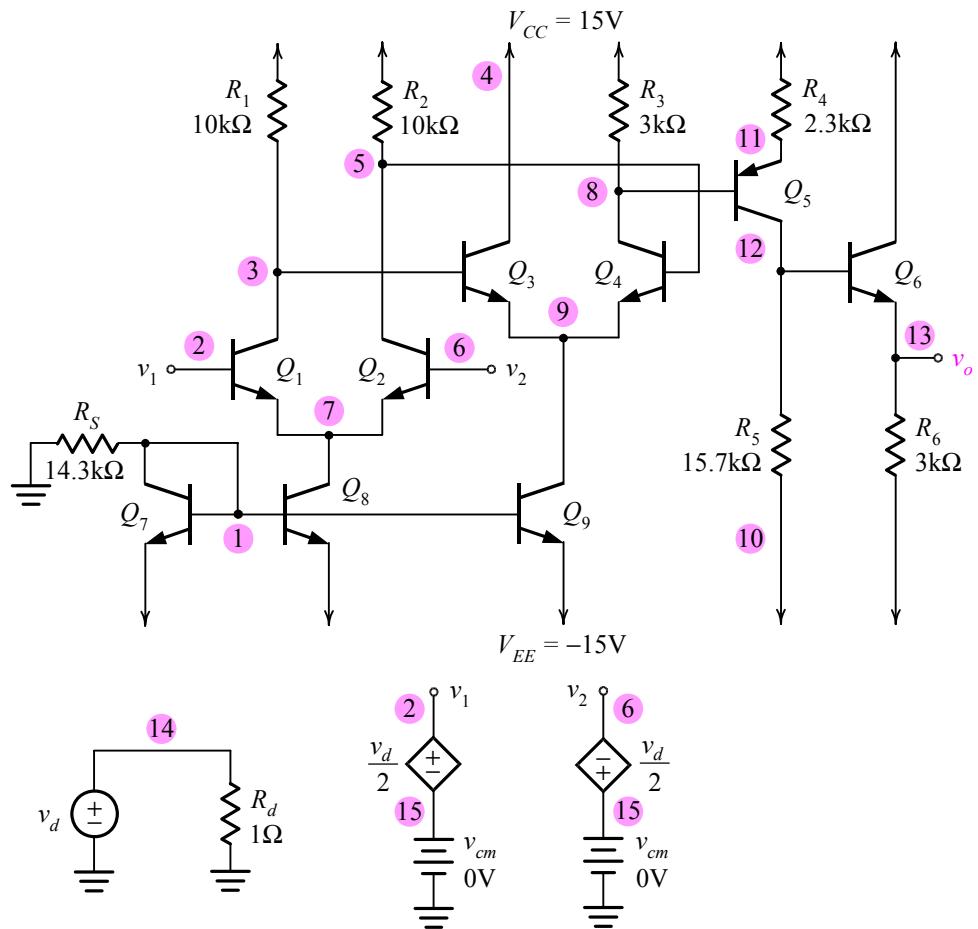


圖 6-48 具有共模及差模輸入之多級放大器之 SPICE 完整電路圖。

### 直流分析

圖 6-49 為多級放大器直流分析之 SPICE 輸入檔。其中我們可看到一個新的敘述指令.NODESET：

```
.NODESET V(1)=-14.3V V(3)=10V V(5)=10V V(7)=-0.7V V(8)=12V
+ V(9)=9.3V V(11)=12.7V V(12)=0.7V V(13)=0V
```

```
A Simple Operational Amplifier

* circuit description *
Vcc 4 0 DC 15V
Vee 10 0 DC -15V
Vd 14 0 DC 0V
Rd 14 0 1
EV1 2 15 14 0 0.5
EV2 15 6 14 0 0.5
Vcm 15 0 DC 0V
* 1st
R1 4 3 10k
R2 4 5 10k
Q1 3 2 7 npn transistor
Q2 5 6 7 npn_transistor
Q8 7 1 10 npn transistor
* 2nd
Q3 4 3 9 npn transistor
Q4 8 5 9 npn_transistor
Q9 9 1 10 npn transistor 2
R3 4 8 3k
* 3th
R4 4 11 2.3K
R5 12 10 15.7k
R6 13 10 3k
Q5 12 8 11 pnp transistor
Q6 4 12 13 npn transistor
* bias
Rs 1 0 14.3k
Q7 1 1 10 npn_transistor
* BJT model description
.model npn_transistor npn (Is=1.8e-15 BF=100 VAF=100V)
.model pnp transistor pnp (Is=1.8e-15 BF=100 VAF=100V)
* analysis requests
.OP
.DC Vd -15V +15V 1mV
.NODESET V(1)=-14.3V V(3)=10V V(7)=-0.7V V(5)=10V
+ V(9)=9.3V V(8)=12V V(11)=12.7V V(12)=0.7V
+ V(13)=0V
.PLOT DC V(13)
.probe
.end
```

圖 6-49 多級放大器直流分析及掃描差模轉換特性的 SPICE 輸入檔。

```

*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) -14.3020 (2) 0.0000 (3) 9.4734
(4) 15.0000 (5) 9.4734 (6) 0.0000
(7) - .6812 (8) 11.5740 (9) 8.7708
(10) -15.0000 (11) 12.2750 (12) 2.6506
(13) 1.9097 (14) 0.0000 (15) 0.0000

```

圖 6-50 多級放大器直流操作點分析之 SPICE 輸出檔，其中輸入級差動對兩端皆為接地，但輸出電壓值為 1.9097V，此值即代表輸出直流偏移電壓。

以上指令代表在使用 SPICE 作電路模擬時，可先給定某些節點電壓的預設值且其值可由模擬者根據手算分析或經驗判斷自行設定，如此可避免分析時發生不收斂現象(nonconvergence)亦可縮短計算時間。

圖 6-50 為圖 6-48 電路圖執行直流操作點分析所得之 SPICE 輸出檔。一般而言，在實際電路中，差動對的兩輸入端即使同時接地，也會產生輸出直流偏移電壓。經由 SPICE 分析得知，此值為 1.9097V。

### 差模轉換特性

在圖 6-49 所示的輸入檔中，我們亦使用了直流掃描指令.DC，

```
.DC Vd -15V +15V 1mV
```

顯示對差模電壓  $v_d$  進行掃描，所得的結果繪於圖 6-51(a)。

接下來，我們希望進一步觀察線性區的特性，於是將圖 6-49 輸入檔中的直流掃描指令更改為

```
.DC Vd -5mV +5mV 1uV
```

上述代表對差模電壓進行掃描，僅由  $-5\text{mV}$  掃描至  $+5\text{mV}$ ，每  $1\mu\text{V}$  計算一次，所得的結果見圖 6-51(b)。

圖 6-51(b)顯示出幾項重要的訊息，首先，差模轉換特性並未直接通過原點。請注意橫軸截距顯示之游標數值( $-123.043\mu\text{V}$ ,  $-75.451\text{mV}$ )，代表若差模輸入電壓  $v_d$  為  $-123.043\mu\text{V}$  時，輸出電壓為零。因此，此多級放大器之輸入偏移電壓為  $123.043\mu\text{V}$ ；習慣上，此值定義為差模轉換特性中橫軸截距之負值。再者，此放大器的額定輸出電壓(rated output voltage)分別為  $9.98\text{V}$  和  $-14.93\text{V}$ 。最後，可由線性區的斜率估算出全級小訊號增益，其值為  $(9.983 - (-14.932)) / (0.51 - (-1.13)) = 1.52 \times 10^4 \text{V/V}$ 。

在使用 SPICE 作電路模擬時，可先給定某些節點電壓的預設值且其值可由模擬者根據手算分析或經驗判斷自行設定，如此可避免分析時發生不收斂現象亦可縮短計算時間。

輸入偏移電壓為  $123.043\mu\text{V}$ ；習慣上，此值定義為差模轉換特性中橫軸截距之負值。

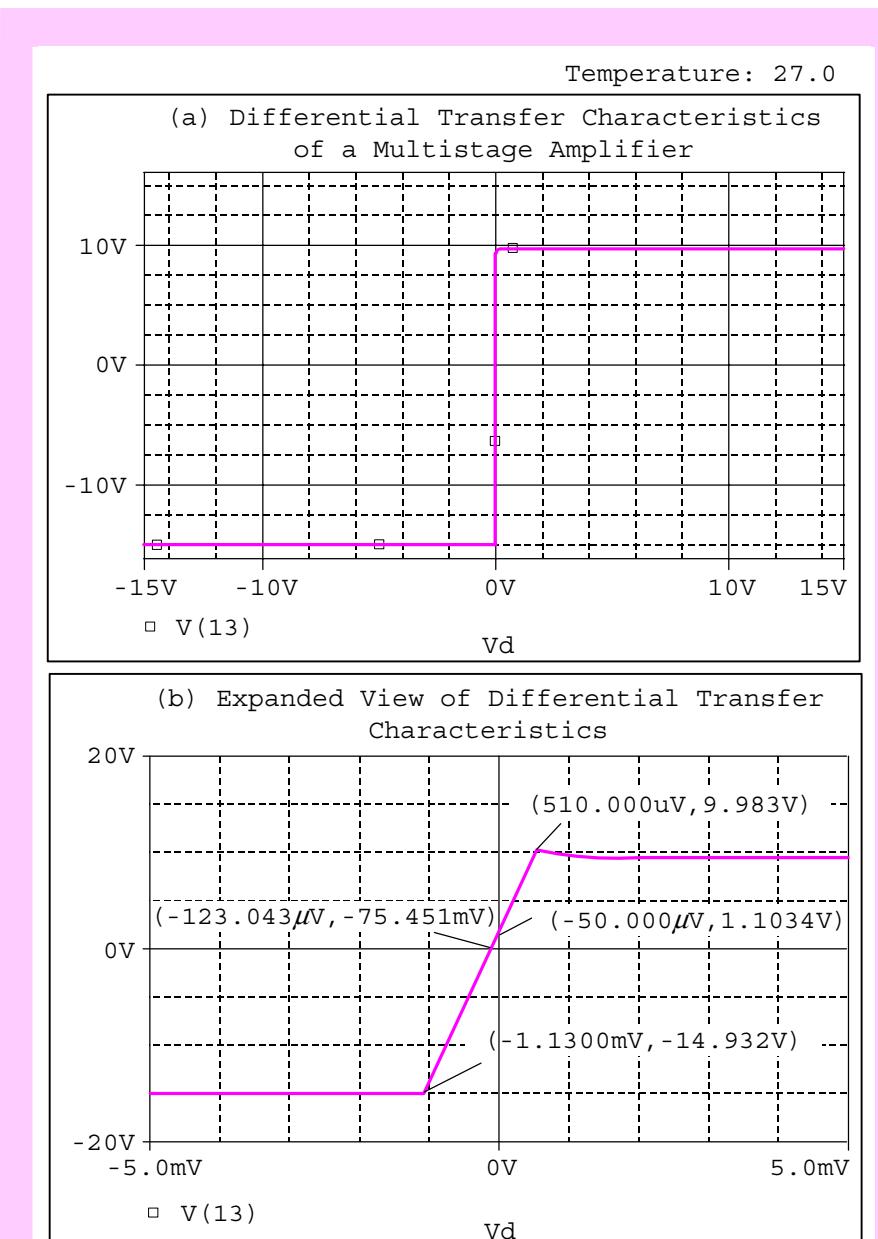


圖 6-51 (a)圖 6-48 多級放大器之大訊號差模轉換特性，(b)轉換特性於線性區的放大圖。注意線性區之曲線並未通過原點。

### 小訊號分析

如欲執行圖 6-48 多級放大器小訊號特性的模擬，首先必須將操作點置放於線性區內零輸出電壓處，於是我們必須在差模輸入端間加入一輸入偏移電壓的負值，對應指令如下：

.Vd 14 O DC -123.043uV AC 1V

經.OP 及轉移函數指令：

.TF V(13) Vd

即可獲得圖 6-52 和圖 6-53。

圖 6-52 為多級放大器於節點 14 加入一輸入偏移電壓負值 $-123.043\mu V$  後之小訊號偏壓解，圖中顯示輸出電壓(節點 15)由原先的 1.9097V 降至 $-0.0755V$ 。

```
*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) -14.3020 (2) -61.52E-06 (3) 9.4761 (4) 15.0000
(5) 9.4714 (6) 61.52E-06 (7) -.6812 (8) 11.8870
(9) 8.7713 (10) -15.0000 (11) 12.5850 (12) .6617
(13) - .0755 (14) -123.0E-06 (15) 0.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT
Vcc -9.422E-03
Vee 1.043E-02
Vd 1.230E-04
Vcm -9.890E-06

TOTAL POWER DISSIPATION 2.98E-01 WATTS
```

圖 6-52 圖 6-48 多級放大器加入輸入偏移電壓之負值( $V_d = 123.043\mu V$ )後之小訊號偏壓解。

```

SMALL-SIGNAL CHARACTERISTICS

V(13)/Vd = 1.615E+04

INPUT RESISTANCE AT Vd = 1.000E+00

OUTPUT RESISTANCE AT V(13) = 1.337E+02
```

圖 6-53 圖 6-48 多級放大器之小訊號特性。

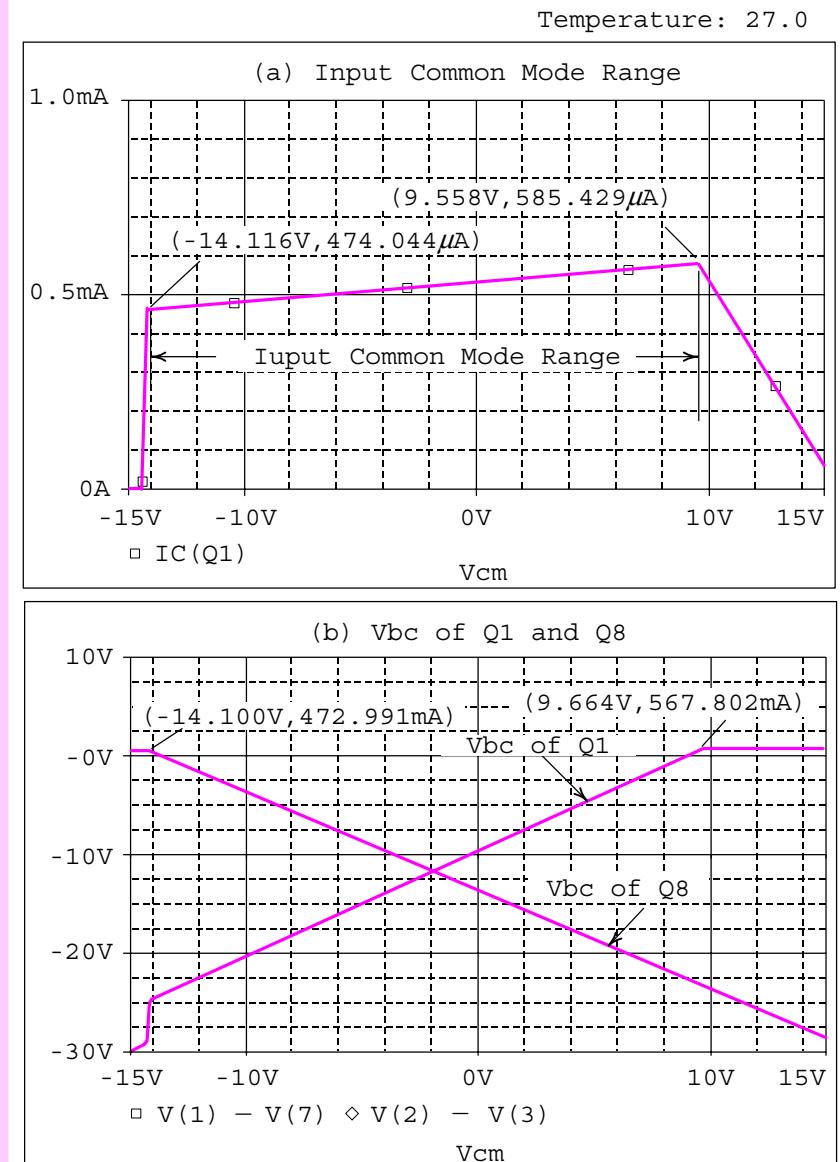


圖 6-54 (a)圖 6-48 多級放大器中第一級差動對電晶體  $Q_1$  的集極電流對輸入共模電壓  $v_{cm}$  之關係，(b) $Q_1$  和  $Q_8$  的基集電壓對輸入共模電壓  $v_{cm}$  之關係。

圖 6-53 為多級放大器在圖 6-52 的偏壓狀態下之小訊號特性，圖中顯示全級差模增益為  $1.615 \times 10^4 \text{V/V}$ ，這與先前圖 6-51(b)大訊號差模轉換特性於線性區的斜率值( $1.52 \times 10^4 \text{V/V}$ )非常接近。

### 輸入共模範圍

回顧先前所提，所謂輸入共模範圍 ICMR 是指欲使差動對電晶體  $Q_1$  和  $Q_2$  操作在主動區以及電流源電晶體  $Q_8$  正常工作所能容忍輸入共模電壓的範圍。以圖 6-48 之多級放大器為例，如欲計算其 ICMR，僅需將圖 6-49 輸入檔之分析需求中加入直流掃描指令：

```
.DC Vcm -15V +15V 100uV
```

上述指令代表對圖 6-48 差對放大器中之共模訊號  $v_{cm}$  進行掃描，由  $-15V$  至  $+15V$ ，每  $100\mu V$  計算一次。

圖 6-54(a)為掃描結果，顯示  $Q_1$  之集極電流對輸入共模電壓  $v_{cm}$  之關係。圖中當  $v_{cm}$  介於  $-14.116$  至  $9.558V$  時，集極電流約為  $500\mu A$ ，但是當  $v_{cm}$  到達  $9.558V$  以上時，集極電流快速下降，顯示電晶體  $Q_1$  和  $Q_2$  離開主動且進入飽和區。於是，ICMR 之上限  $v_{cm(max)}$  即為  $9.558V$ 。另一方面，當  $v_{cm}$  降低至  $-14.116V$  時，集極電流亦急速下降，顯示電流源電晶體  $Q_8$  離開主動且進入飽和。

為了證實上述說法，我們繪出了  $Q_1$  和  $Q_2$  的基極至集極電壓  $v_{BC}$  對  $v_{cm}$  之變化，顯示當  $v_{cm} = 9.664$  時， $Q_1$  的集基接面開始順偏 ( $v_{BC} = 567.802 mV$ )，代表  $Q_1$  進入飽和；另外，當  $v_{cm} = -14.1V$  時， $Q_8$  的集基接面亦開始順偏，代表  $Q_8$  進入飽和。

當  $v_{cm}$  到達  $9.558V$  以上時，集極電流快速下降，顯示電晶體  $Q_1$  和  $Q_2$  離開主動且進入飽和區。當  $v_{cm}$  降低至  $-14.116V$  時，集極電流亦急速下降，顯示電流源電晶體  $Q_8$  離開主動且進入飽和。

- 6.1 如圖 6-4 所示，令  $I_S = 1.8 \times 10^{-15} A$ ， $\beta_F = 20$  和  $V_A = \infty$ 。試以 SPICE 模擬威爾森電流源的輸出電流  $I_O$ ，並與以下手算分析式比對：

$$\frac{I_O}{I_{REF}} = \frac{1}{1 + \frac{2}{\beta_F^2 + 2\beta_F}}$$

- 6.2 圖 6-8 顯示當  $V_O = 0V$  時， $I_O = -364.9\mu A$ 。請將圖 6-7 之輸入檔中  $V_O$  之指令更改為

```
VO 3 0 DC 0V
```

並執行.OP 操作點分析指令，由輸出檔之詳細數據解釋負輸出電流之現象。

- 6.3 對於圖 6-33 之差動放大器電路，試回答以下兩個問題：  
(a) 注意圖 6-34 輸入檔中關於負載電阻  $R_L$  的敘述，

```
Rl 6 0 1e9
```

將此一指令去除再以 SPICE 重新執行，請問模擬結果為何？

- (b) 將圖 6-33 中之電流源數值由  $1\text{mA}$  更改為  $10\text{mA}$ ，重新模擬小訊號特性。(提示：請特別注意增益  $A_{ds}$  和輸出電阻  $R_{out}$  之變化)

- 6.4 就圖 6-24 所示的差動放大器，電流源輸出電阻  $R_o$  之值估計為  $300\text{k}\Omega$ 。

- (a) 令  $R_1 = 10.1\text{k}\Omega$  和  $R_2 = 9.9\text{k}\Omega$ ，以 SPICE 模擬輸入偏移電壓  $V_{off1}$ ，並以(6-39)式檢驗模擬結果。

- (b) 承(a)小題，以 SPICE 模擬小訊號特性並以(6-42)式檢驗模擬的共模電壓增益。

- (c) 令  $I_S = 1.818 \times 10^{-15} \text{A}$  和  $I_S = 1.782 \times 10^{-15} \text{A}$ ，以 SPICE 模擬輸入偏移電壓  $V_{off2}$ ，並以(6-48)式檢驗模擬結果。

- (d) 承(c)小題，由操作點訊息計算輸入偏移電流以及輸入偏壓電流。

- 6.5 對於圖 6-43 CMOS 共源放大器電路，試將圖 6-44 輸入檔中關於輸入電壓的敘述更改為

`Vi 4 0 DC 2V AC 1V`

並以 SPICE 模擬此情況，包括  $M_1$  和  $M_2$  的工作區間以及小訊號特性。

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide.*”
2. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits,*” 6th ed. Oxford University Press, 2009.
3. N. R. Malik, “*Electronic Circuits; Analysis, Simulation, and Design,*” Englewood Cliffs, NJ: Prentice Hall, Inc., 1995.
4. D. A. Neamen “*Electronic Circuit Analysis and Design,*” Richard D. Irwin, Inc., 1996.
5. G. W. Roberts and A. S. Sedra “*SPICE*” 2nd ed. Oxford University Press, 1997.
6. A. S. Sedra and G. W. Roberts. “*Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith*” Fort Worth: Saunders College Pub, 1992.
7. P. W. Tuinenga, “*SPICE: A Guide to Circuit Simulation Analysis Using IBM-PC 3.5*” 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
8. M. H. Rashid, “*SPICE for Circuit and Electronic Using Psice*” 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.

9. K. Lee, “*Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator*” Englewood Cliffs, N. J.: Prentice Hall, 1993.
10. R. T. Howe and C. G. Sodini, “*Microelectronics: An Integrated Approach*,” Prentice-Hall International, Inc., 1996.
11. J. Millman and A. Grabel. “*Microelectronics*,” 3rd ed. New York: McGraw-Hill Book Co., 1999.
12. Y. Taur and T. H. Ning, “*Fundamentals of Modern VLSI Devices*,” 2nd ed. Cambridge University Press, 2009.
13. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer. “*Analysis and Design of Analog Integrated Circuits*,” 5th ed., John Wiley and Sons, New York, 2009.
14. T. C. Carusone, D. A. Johns, and K. Martin, “*Analog Integrated Circuit Design*,” 2nd ed. John Wiley and Sons, New York, 2011.
15. B. Razavi, “*Design of Analog CMOS Integrated Circuits*,” 1<sup>st</sup> ed., McGraw-Hill Companies, Inc., 2001.
16. M. H. Rashid, “*Introduction to PSpice Using OrCAD for Circuits and Electronics*”, 3rd ed., Prentice-Hall, 2004.
17. P. E. Allen and D. R. Holberg, “*CMOS Analog Circuit Design*”, second ed., Oxford University Press, 2002.
18. 張文清, “*微電子學上冊*”, 二版, 台北鼎茂圖書, 2013。

# 7

## 頻率響應

在教學的經驗裡，我發現同學對頻率響應的分析是非常懼怕。主要有兩個原因，第一是因為要使用複頻率 (complex frequency)  $s$ ，即所謂  $s$  區域分析。有些同學甚至認為連實數的電路分析都有困難，更何況是複數的分析。第二是手算分析方法太多，有精確轉換函數法、短路與開路時間常數法、米勒效應、極點與零點的計算等，非常複雜。

本章將展現 SPICE 模擬電子電路頻率響應的強大功能，分析的電路有 MOS 共源放大器、BJT 共射與串疊放大器、差動放大器等電路。所需背景除了使用第 4 章學過的.AC 指令外，更須注意 BJT 與 MOS 的電容參數設定問題，這將是同學執行 SPICE 模擬頻率響應的最大障礙。

- 7.1 小訊號動態模型
- 7.2 共源放大器之頻率響應
- 7.3 共閘放大器與源極追隨器
- 7.4 共射共基串疊放大器
- 7.5 差動放大器

## 7.1 小訊號動態模型

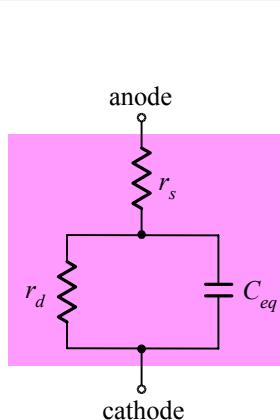
在介紹電晶體放大器之頻率響應(frequency response)前，我們必須對半導體元件的小訊號動態模型有所了解。一元件的小訊號動態模型，或稱為小訊號頻域模型(small-signal frequency domain model)，它與先前所提過的小訊號靜態模型之不同在於小訊號頻域模型中必須加入計算頻率響應的電容。圖 7-1 為二極體、雙載子接面電晶體(*n**p* 或 *p**n*)和金氧半場效電晶體(*n* 通道與 *p* 通道)之小訊號動態模型。而表 7-1 為各種半導體元件之電容與其 SPICE 寫法。

### 7.1.1 二極體

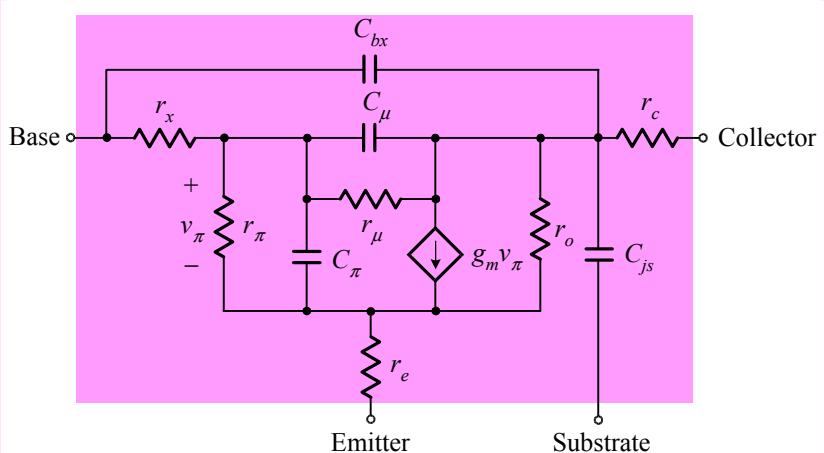
圖 7-1(a)顯示二極體的小訊號動態模型，其中  $r_s$  代表半導體上的串聯電阻效應， $r_d$  為二極體的小訊號電阻(small signal resistance)：

表 7-1 二極體、雙載子接面電晶體、金氧半場效電晶體之小訊號模型中的電容。

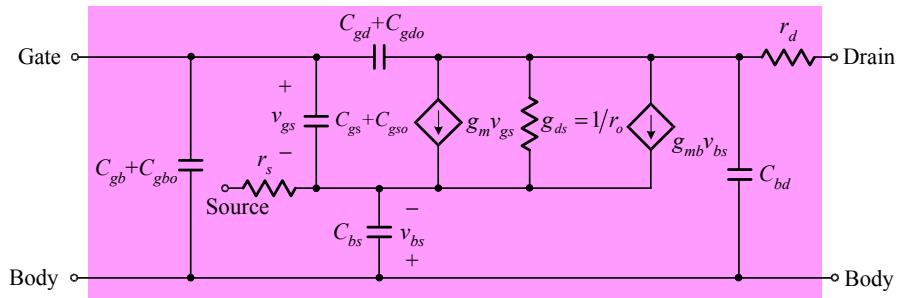
| 元 件    | SPICE 參數 | 符 號       | 參 數 名 稱     |
|--------|----------|-----------|-------------|
| 二極體    | CAP      | $C_{eq}$  | 接面電容        |
| BJT    | CBE      | $C_\pi$   | 射基接面電容      |
|        | CBC      | $C_\mu$   | 集基接面電容      |
|        | CBX      | $C_{bx}$  | 外部基極與內部集極電容 |
|        | CJS      | $C_{js}$  | 基板接面電容      |
|        | CBD      | $C_{bd}$  | 基體至汲極接面電容   |
| MOSFET | CBS      | $C_{bs}$  | 基體至源極接面電容   |
|        | CGSOV    | $C_{gso}$ | 閘源重疊電容      |
|        | CGDOV    | $C_{gdo}$ | 閘汲重疊電容      |
|        | CGBOV    | $C_{gbo}$ | 閘至基體重疊電容    |
|        | CGS      | $C_{gs}$  | 閘源內部電容      |
|        | CGD      | $C_{gd}$  | 閘汲內部電容      |
|        | CGB      | $C_{gb}$  | 閘至基體本質電容    |



(a)



(b)



(c)

圖 7-1 小訊號動態 SPICE 模型：(a)接面二極體，(b)雙載子接面電晶體 BJT，(c)金氧半場效電晶體 MOSFET。

$$r_d = \frac{nV_T}{I_D} \quad (7-1)$$

在 SPICE 輸出檔中  $r_d$  對應 REQ。而  $C_{eq}$  代表二極體的接面電容(junction capacitance)，主要同時包含了接面空乏區內的空乏電容，以及空乏區外對應少數載體儲存效應的擴散電容。

### 7.1.2 雙載子接面電晶體

#### 小訊號參數

圖 7-1(b)為 BJT 的小訊號動態模型，其中電容的 SPICE 名稱整理於表 7-1

中。回顧第 1 章中提及的轉導  $g_m$  以及小訊號電阻  $r_\pi$  和  $r_o$ ：

$$g_m = \frac{I_C}{V_T} \quad (7-2)$$

和

$$r_\pi = \frac{\beta_F}{g_m} \quad (7-3)$$

以及

$$r_o \cong \frac{V_{AF}}{I_C} \quad (7-4)$$

而  $r_x$  和  $r_e$  分別代表基極區和射極區內的串聯電阻， $r_\mu$  則代表集基接面的電阻。

就電容方面，射基接面電容  $C_\pi$  和集基接面電容  $C_\mu$  之 SPICE 名稱分別為 CBE 和 CBC，而  $C_{bx}$  代表外部基極至內部集極電容(extrinsic base-intrinsic collector capacitance)， $C_{js}$  則表示基板接面電容(substrate junction capacitance)。

### SPICE 模擬

為了觀察電路的頻率響應特性，首先必須獲得電晶體元件的小訊號參數。所以，我們在輸入檔中加入操作點分析指令.OP，可以幫助了解元件的特性及其參數。參考圖 7-2 BJT 小訊號模型參數分析之 SPICE 輸入

```
Small-Signal Model of BJT (Q2N2222A)

* circuit description *
Vce 1 0 DC +5V
Ib 0 2 20uA
* model description *
Q1 1 2 0 Q2N2222A
.model Q2N2222A npn (Is=13.34f Xti=3 Eg=1.11 Vaf=74.03
+ Bf=255.9 Ne=1.307 Ise=14.34f Ikf=.2847
+ Xtb=1.5 Br=6.092 Nc=2 Isc=0 Ikr=0 Rc=1
+ Cjc=7.306p Mjc=.3416 Vjc=.75 Fc=.5
+ Cje=22.01p Mje=.377 Vje=.75 Tr=46.91n
+ Tf=411.1p Itf=.6 Vtf=1.7 Xtf=3 Rb=10)
* analysis requests *
.OP
.probe
.end
```

圖 7-2 小訊號模型參數分析之 SPICE 輸入檔。

檔，在此使用編號 2N2222A 電晶體作參數分析，並以  $20\mu\text{A}$  之基極電流和  $5\text{V}$  之集射電壓對其偏壓，操作點分析結果為圖 7-3。

圖中顯示  $I_B = 20\mu\text{A}$ ，其值乘以直流電流增益(dc current gain) BETADC( $\beta_{dc}$ )，BETADC = 169 即為集極電流  $I_C = 3.38\text{mA}$ 。此外，注意  $V_{CE} = 5\text{V}$ 、 $C_\pi(\text{CBE}) = 90.5\text{pF}$  和  $C_\mu(\text{CBC}) = 3.8\text{pF}$ 。

#### 電流增益和頻寬

圖 7-3 顯示的直流電流增益 BETADC( $\beta_{dc}$ ) 和交流電流增益(accurrent gain)BETAAC( $\beta_{ac}$ ) 之定義如下：

$$\beta_{dc} = \left. \frac{I_C}{I_B} \right|_{\text{操作點}} \quad (7-5)$$

和

$$\beta_{ac} = \left. \frac{i_c}{i_b} \right|_{\text{操作點}} \quad (7-6)$$

|                                                         |           |
|---------------------------------------------------------|-----------|
| *OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C |           |
| *****                                                   |           |
| **** BIPOLAR JUNCTION TRANSISTORS                       |           |
| NAME                                                    | Q1        |
| MODEL                                                   | Q2N2222A  |
| IB                                                      | 2.00E-05  |
| IC                                                      | 3.38E-03  |
| VBE                                                     | 6.78E-01  |
| VBC                                                     | -4.32E+00 |
| VCE                                                     | 5.00E+00  |
| BETADC                                                  | 1.69E+02  |
| GM                                                      | 1.29E-01  |
| RPI                                                     | 1.42E+03  |
| RX                                                      | 1.00E+01  |
| RO                                                      | 2.31E+04  |
| CBE                                                     | 9.05E-11  |
| CBC                                                     | 3.80E-12  |
| CJS                                                     | 0.00E+00  |
| BETAAC                                                  | 1.83E+02  |
| CBX                                                     | 0.00E+00  |
| FT                                                      | 2.18E+08  |

圖 7-3 BJT 之小訊號參數。電晶體偏壓電流  $I_B$  為  $20\mu\text{A}$ ，集射電壓  $V_{CE}$  為  $5\text{V}$ 。

其值分別為  $\beta_{dc} = 169$  和  $\beta_{ac} = 183$ 。此二電流增益與在圖 7-2 輸入檔之模型敘述中之  $Bf(\beta_F)$  並不相同 ( $\beta_F = 255.9$ )。以上  $\beta_{dc}$  和  $\beta_F$  之電流增益的差異主要是由於電流增益與偏壓集極電流有關，亦即所謂基極寬度調變效應。而 BJT 模型敘述中的  $Bf(\beta_F)$  則為直流電流增益  $\beta_{dc}$  之極大值。

另一方面，BJT 交流電流增益在頻率響應上的重要參數單位增益頻寬 (unity-gain bandwidth)  $f_T$  在單一極點低通響應的近似下可表示為

$$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)} \quad (7-7)$$

將  $g_m = 129\text{mA/V}$ 、 $C_\pi = 90.5\text{pF}$  和  $C_\mu = 3.8\text{pF}$  代入上式可得  $f_T = 218\text{MHz}$ ，與圖 7-3 顯示的  $FT = 218\text{MHz}$  完全相同。

### 偏壓效應

值得注意的是，為了討論偏壓對電晶體小訊號參數變化的效應，我們將上述偏壓改為  $40\mu\text{A}$  之基極電流  $I_B$  和  $10\text{V}$  之集射電壓  $V_{CE}$ ，結果見圖 7-4。首先，注意圖中的  $I_B = 40\mu\text{A}$  和  $V_{CE} = 10\text{V}$ 。先前提到所謂基極寬

BJT 模型敘述中的  $Bf(\beta_F)$   
則為直流電流增益  $\beta_{dc}$  之  
極大值。

```
*OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

***** BIPOLAR JUNCTION TRANSISTORS

NAME Q1
MODEL Q2N2222A
IB 4.00E-05
IC 7.56E-03
VBE 6.98E-01
VBC -9.30E+00
VCE 1.00E+01
BETADC 1.89E+02
GM 2.86E-01
RPI 7.01E+02
RX 1.00E+01
RO 1.10E+04
CBE 1.55E-10
CBC 3.01E-12
CJS 0.00E+00
BETAAC 2.00E+02
CBX 0.00E+00
FT 2.87E+08
```

圖 7-4 BJT 之小訊號參數輸出檔。電晶體偏壓電流  $I_B$  為  $40\mu\text{A}$ ，集射電壓  $V_{CE}$  為  $10\text{V}$ 。請特別注意提高  $I_B$  和  $V_{CE}$  後，電容 CBE 和 CBC 之變化。

度調變效應將使直流電流增益 BETADC 隨偏壓電流增加而增加，於是 BETADC 確實由先前圖 7-3 中的 169 提高至 189。將  $I_B = 40\mu A$  乘以 189 等於 7.56mA，如圖 7-4 所示之  $I_C = 7.56mA$ 。

此外，注意  $C_\pi(CBE) = 155pF$  和  $C_\mu(CBC) = 3.01pF$ 。合併  $g_m = 286 \text{ mA/V}$  代入(7-7)式可得  $f_T = 288 \text{ MHz}$ ，與圖 7-4 顯示的  $FT=287\text{MHz}$  幾乎一致。

**提高偏壓將造成 CBE 上升和 CBC 下降。**

另一方面，經比較發現，提高偏壓將造成 CBE 上升和 CBC 下降。其物理意義為  $I_B$  增加將造成接面擴散電容增加，即 CBE 增加；另一方面，當  $V_{CE}$  增加(集基接面逆偏電壓增加)，造成集基接面空乏電容下降，即 CBC 下降。

### SPICE 中之 BJT 電容計算

一般來說，讀者在模擬 BJT 放大器高頻響應時所遭遇之最大困難將在於電容數值之設定與計算。由 SPICE 中模擬 BJT 電路所得到之偏壓電流與小訊號參數顯示於圖 7-4。其中 CBE 與 CBC 即分別對應圖 7-1(b)小訊號模型中之  $C_\pi$  與  $C_\mu$ ，其值分別為  $C_\pi = 155pF$  和  $C_\mu = 3.01pF$ 。

由 BJT 基本理論知， $C_\mu$  主要貢獻為集基接面空乏電容；由半導體理論對於電容及空乏層寬度之相關推導可得

$$C_\mu = \frac{C_{jco}}{\left(1 + \frac{V_{CB}}{V_{bic}}\right)^{m_c}} \quad (7-8)$$

其中  $C_{jco}$  即為模型參數中之  $C_{jc}$ ，代表集基接面在零偏壓時的空乏電容，其值為  $7.306pF$ ，另外， $m_c$  和  $V_{bic}$  分別代表集基接面之梯度係數 (grading coefficient) 與內建電位，對應參數中之  $M_{jc} = 0.3416$  和  $V_{jc} = 0.75V$ ，兩者皆為半導體製程相關之參數。

讀者可由圖 7-4 中顯示的  $V_{CB} = 9.3V$  代入(7-8)式得  $C_\mu = 3.01pF$ ，與圖 7-4 顯示之  $CBC = 3.01pF$  完全吻合。

另一方面， $C_\pi$  為射基接面空乏電容  $C_{j(EBJ)}$  與基極充電電容  $C_b$  之合成：

$$C_\pi = C_{j(EBJ)} + C_b \quad (7-9)$$

由半導體元件中對於電容及空乏層寬度之相關推導可得

$$C_{j(EBJ)} = \frac{C_{jeo}}{\left(1 - \frac{V_{BE}}{V_{bie}}\right)^{m_e}} \quad (7-10)$$

其中  $C_{jeo}$  即為模型參數  $C_{je}$ ，代表射基接面在零偏壓時的空乏電容，其值

爲  $22.01\text{pF}$ 。另外， $m_e$  和  $V_{bie}$  分別表示射基接面梯度係數(grading coefficient)與內建電位，即模型參數中之  $M_{je}=0.377$  和  $V_{je}=0.75\text{V}$ 。將  $V_{BE}=0.698\text{V}$  代入(7-10)式後可得  $C_{j(EBJ)}=60.2\text{pF}$ 。此外，基極充電電容  $C_b$  為，

$$C_b = \frac{\tau_B I_C}{V_T} = \tau_B g_m \quad (7-11)$$

其中  $\tau_B$  為基極穿越時間(base transit time)，此參數在 SPICE 輸入檔中對應理想順向穿越時間 TF (ideal forward transit time)， $TF=411.1\text{ps}$ ，代入偏壓數值  $I_C=7.56\text{ mA}$  後可得  $C_b=117.6\text{ pF}$ 。合併先前之  $C_{j(EBJ)}$  可得  $C_\pi$  約爲  $177.8\text{pF}$ ，故根據(7-9)式直接合成觀念所得之數值與 SPICE 計算之值( $C_{BE}=155\text{pF}$ )將出現誤差，約爲  $14.7\%$ 。這是因爲 SPICE 在計算 CBE 的方式並非根據(7-9)式，而是根據 Gummel-Poon 模型，在此不多作介紹。最後，補充說明一點，模型中將出現另一參數 TR，輸入檔顯示  $TR=46.91\text{ns}$ ，代表理想逆向穿越時間(ideal reverse transit time)，其值一般遠較 TF 為大。

### 7.1.3 金氧半場效電晶體

圖 7-1(c)爲 MOSFET 的小訊號動態模型，其中電容的 SPICE 名稱整理於表 7-1 中。回顧第一章曾提及的轉導  $g_m$ ，基體轉導  $g_{mb}$  和輸出電導  $g_{ds}$ ：

$$g_m = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{\text{操作點}} = k'_n \frac{W}{L} (V_{GS} - V_t) (1 + \lambda V_{DS}) \quad (7-12)$$

其中  $k'_n = \mu_n C_{OX}$  以及

$$g_{mb} = \left. \frac{\partial i_D}{\partial v_{BS}} \right|_{\text{操作點}} \quad (7-13)$$

和

$$g_{ds} = \left. \frac{\partial i_D}{\partial v_{DS}} \right|_{\text{操作點}} \quad (7-14)$$

就電容方面，根據圖 7-1(c)，MOSFET 完整的 SPICE 小訊號動態模型中出現八個電容，但爲了與手算分析作比較，在此僅考慮兩個較重要的 MOSFET 內部電容  $C_{gs}$  與  $C_{gd}$ ，其 SPICE 名稱爲 CGS 與 CGD。其餘六個電容的名稱和代表意義請直接參閱表 7-1。

以一 MOSFET 的模型敘述爲例：對於一個初學者而言，模擬一個 MOSFET 放大器頻率響應之最大困難不在於每個電容所代表意義，而在

最大困難不在於每個電容所代表意義，而在於輸入檔中電容之參數設定以及其與輸出檔顯示的電容值間之關係。

於輸入檔中電容之參數設定以及其與輸出檔顯示的電容值間之關係。

```
.model mosfet nmos (kp=100u Vto=1V lambda=0 CGSO=15.625n
+ CGDO=15.625n)
```

此指令須說明的是關於電容  $C_{gs}$  與  $C_{gd}$  的設定。在 MOSFET 的模型參數中並無 CGS 和 CGD 兩個參數，而是以每單位通道寬度的閘源內部電容值 CGSO 與每單位通道寬度的閘汲內部電容值 CGDO 在模型參數中設定。故在描述此 MOSFET 時，必須將圖 7-1(c) 中之電容  $C_{gs}$  和  $C_{gd}$  除以電晶體之通道寬度，即可分別得到 CGSO 和 CGDO 。

此外，必須特別說明表 7-1 中顯示之兩電容 CGSOV 和 CGDOV 與輸入檔模型參數之 CGSO 和 CGDO 不同，其中 CGSOV 和 CGDOV 分別代表閘源間與閘汲間之全部電容，即分別對應圖 7-1(c) 中之  $C_{gs}$  和  $C_{gd}$ ，其單位為法拉(Farad)。

## 7.2 共源放大器之頻率響應

圖 7-5 為一 MOSFET 共源放大器之電路圖。我們將對此電路作低頻與高頻分析。在低頻方面，主要考慮兩個耦合電容與旁路電容的效應，而高頻方面，則考慮 MOSFET 中內部電容  $C_{gs}$  和  $C_{gd}$  對高頻響應的影響。

### 7.2.1 低頻響應

#### SPICE 模擬

首先，我們將對圖 7-5 電路作低頻響應之模擬，圖 7-6 為低頻分析之 SPICE 輸入檔，其中耦合電容與旁路電容值皆令為  $1\mu F$ 。請注意輸入檔中對 MOSFET 的描述：

```
M1 5 3 6 0 mosfet L=1u W=64u
.model mosfet nmos (kp=100u Vto=1V lambda=0)
```

上述指令描述電晶體的參數分別為  $W = 64\mu m$ ， $L = 1\mu m$ ， $k_p = \mu_n C_{ox} = 100\mu A/V^2$ ， $V_t = 1V$  和  $\lambda = 0$ 。再者，請注意交流頻率響應分析指令.AC：

```
.AC DEC 10 1Hz 10KHz
```

上式代表執行對數座標的交流頻率響應分析，每十倍頻率計算 10 個點，由 1Hz 掃描至 10kHz。此外，輸入檔中之輸出繪圖指令如下：

```
.PLOT AC VdB(7)
```

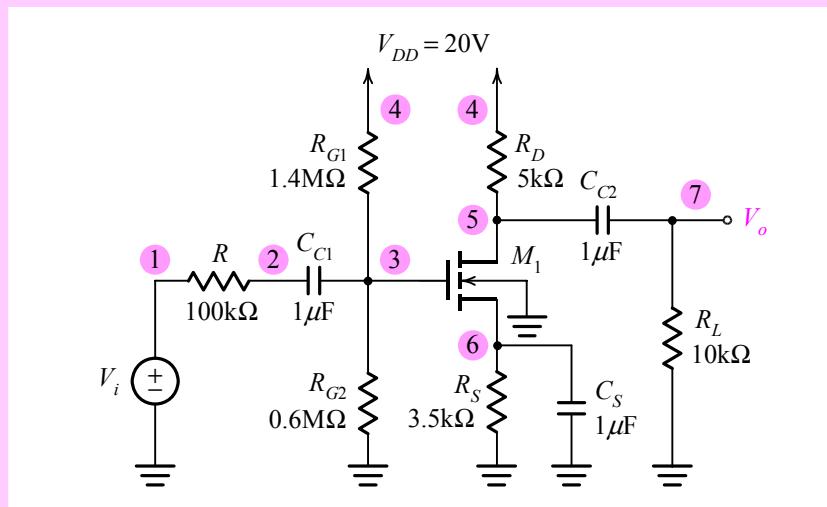


圖 7-5 共源放大器執行低頻與高頻分析之 SPICE 電路圖。

## Low-Frequency Response of Common-Source Amplifier

```

* circuit description
Vdd 4 0 +20V
Vi 1 0 AC 1V
R 1 2 100k
Rg1 4 3 1.4Meg
Rg2 3 0 0.6Meg
Rd 4 5 5k
Rs 6 0 3.5k
Cs 6 0 1u
Cc1 2 3 1u
Cc2 5 7 1u
Rl 7 0 10k
* model description
M1 5 3 6 0 mosfet L=1u W=64u
.model mosfet nmos (kp=100u Vto=1V lambda=0)
* analysis requests
.OP
.AC DEC 10 1Hz 10kHz
.PLOT AC VdB(7)
.probe
.end

```

圖 7-6 分析共源放大器低頻響應之 SPICE 輸入檔。

此指令在輸出檔中將以分貝(dB)為單位繪出電壓增益之低頻響應。

圖 7-7 為 SPICE 模擬之共源放大器之低頻大小響應圖。圖中可看出中頻帶增益  $A_M$  約為 20.6dB，低 3dB 頻率  $f_L$  約為 679.099Hz。

### 手算分析

若以基本電路理論直接解圖 7-5 可推導出精確低頻增益函數：

$$A_{VL}(s) = \frac{V_o}{V_i} = A_M \frac{s^2(s + \omega_{LZ})}{(s + \omega_{LP1})(s + \omega_{LP2})(s + \omega_{LP3})} \quad (7-15)$$

其中中頻帶增益  $A_M$  為

$$A_M = -g_m(R_D \parallel R_L) \frac{R_{in}}{R + R_{in}} \quad (7-16)$$

再者， $C_{C1}$  置入一頻率為零的零點和一頻率  $\omega_{LP1}$  的極點，

$$\omega_{LP1} = \frac{1}{C_{C1}(R_{in} + R)} \quad (7-17)$$

注意輸入電路為一高通 STC 網路，其時間常數等於  $C_{C1}$  乘以由  $C_{C1}$  所看到的全部電阻；而此時間常數的倒數即為極點頻率。而  $C_S$  則置入一實數零點和一實數極點。實數零點頻率  $\omega_{LZ}$  為，

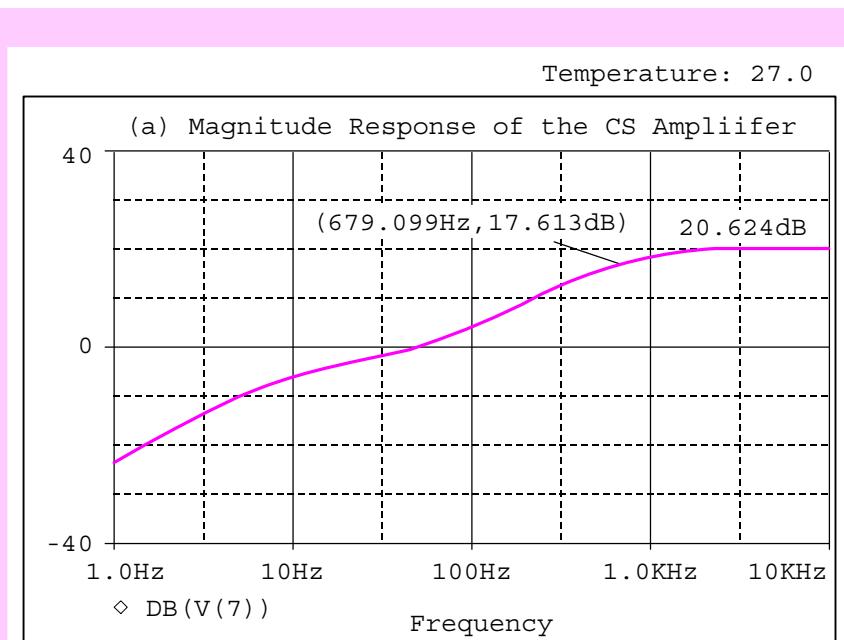


圖 7-7 共源放大器之低頻大小響應圖。其中中頻帶增益為 20.624dB，低三分貝頻率為 679.099Hz。

$$\omega_{LZ} = \frac{1}{C_s R_s} \quad (7-18)$$

而實數極點的頻率爲

$$\omega_{LP2} = \frac{1}{C_s (R_s \parallel 1/g_m)} \quad (7-19)$$

可看出  $\omega_{LZ}$  總是要比  $\omega_{LP2}$  小。

接著我們由觀念來看以上的結果。首先注意  $C_s$  置入一零點，此零點的位置是在使  $Z_S$  無窮大所對應的  $s$  值上 ( $s = -1/R_s C_s$ )；因爲無窮大的  $Z_S$  將使得  $I_S$  以及  $V_o$  為零。另一方面，將  $C_s$  乘以由  $C_s$  所看到的電阻得一時間常數，而此時間常數的倒數即爲極點頻率。至於欲計算  $C_s$  所看到的電阻，我們把訊號源接地(注意網路的極點或稱自然模式是與刺激源無關的)然後抓住  $C_s$  的兩端，則由  $C_s$  所看到的電阻即爲  $R_s$  並聯  $1/g_m$ 。

而輸出耦合電容  $C_{C2}$  所對應的零點和極點則與  $C_{C1}$  對應者類似，其零點頻率爲零和極點頻率爲  $\omega_{LP3}$ ：

$$\omega_{LP3} = \frac{1}{C_{C2} (R_D + R_L)} \quad (7-20)$$

最後，再根據 3dB 頻率的基本定義，可得三分貝低頻  $\omega_L$  約爲

$$\omega_L \equiv \sqrt{\omega_{LP1}^2 + \omega_{LP2}^2 + \omega_{LP3}^2 - 2\omega_{LZ}^2} \quad (7-21)$$

代入數值可得  $A_M = -10.8$  (20.7dB) 和  $\omega_L = 4.27$  krad/s，即  $f_L = 679.14\text{Hz}$ ，與 SPICE 計算值( $A_M = 20.6$  dB 和  $f_L = 679.099$  Hz)比較，兩者一致。這代表(7-21)式爲一相當準確的公式。

另一種手算分析方法爲短路時間常數法(short-circuit time-constant method)，首先令  $C_s$  和  $C_{C2}$  之值爲無窮大，並決定由  $C_{C1}$  所看到的有效電阻  $R_{1s}$ ，

$$R_{1s} = R + R_{in} \quad (7-22)$$

再令  $C_{C1}$  和  $C_{C2}$  為無窮大，並決定由  $C_s$  所看到的有效電阻  $R_{2s}$ ，

$$R_{2s} = R_s \parallel \frac{1}{g_m} \quad (7-23)$$

最後，令  $C_{C1}$  和  $C_s$  為無窮大，並決定由  $C_{C2}$  所看到的有效電阻  $R_{3s}$ ，

$$R_{3s} = R_D + R_L \quad (7-24)$$

於是，我們即可寫下低 3dB 頻率  $\omega_L$  之近似表示式

$$\omega_L \approx \frac{1}{C_{C1} R_{1s}} + \frac{1}{C_s R_{2s}} + \frac{1}{C_{C2} R_{3s}} \quad (7-25)$$

表 7-2 低三分貝頻率  $f_L$  之手算分析與 SPICE 模擬結果之比較。

| 手算分析              |          | SPICE   | 誤差%   |
|-------------------|----------|---------|-------|
| 短路時間常數法<br>(7-25) | 693Hz    | 679.099 | 2.05  |
| 精確轉換函數<br>(7-21)  | 679.14Hz |         | 0.006 |

短路時間常數法免去精確低頻增益函數之複雜計算，卻可得到相當不錯的近似。

代值可得  $\omega_L = 4.35 \text{ krad/s}$ ，即  $f_L = 693\text{Hz}$ 。故短路時間常數法與 SPICE 模擬結果之誤差為 2.05%，由此可知，使用精確低頻增益函數所推得之低三分貝頻率公式極為準確，而短路時間常數法計算  $\omega_L$  之誤差雖然較大（對此例而言僅 2%），但在計算上，短路時間常數法免去精確低頻增益函數之複雜計算，卻可得到相當不錯的近似。

另外，值得一提的是，主宰共源放大器低頻響應者為旁路電容  $C_s$  所對

```

High-Frequency Response of Common-Source Amplifier

* circuit description *
Vdd 4 0 +20V
Vi 1 0 AC 1V
R 1 2 100k
Rg1 4 3 1.4Meg
Rg2 3 0 0.6Meg
Rd 4 5 5k
Rs 6 0 3.5k
Cs 6 0 1u
Cc1 2 3 1u
Cc2 5 7 1u
Rl 7 0 10k
* model description *
M1 5 3 6 0 mosfet L=1u W=64u
.model mosfet nmos (kp=100u Vto=1V lambda=0 CGSO=15.625n
+ CGDO=15.625n)
* analysis requests *
.OP
.AC DEC 10 1kHz 10MegHz
* output requests
.PLOT AC VdB(7)
.probe
.end

```

圖 7-8 分析共源放大器高頻響應之 SPICE 輸入檔。

應之主極點  $\omega_{LP2}$  ( $\omega_{LP2} = 4285.78\text{rad/s}$ ，或  $f_{LP2} = 682.1\text{dB}$ )，其他兩個電容對放大器的低頻響應影響極小。

## 7.2.2 高頻響應

### SPICE 模擬

接下來將對圖 7-5 作高頻響應分析。根據圖 7-1(c)，MOSFET 完整的 SPICE 小訊號動態模型中出現八個電容，但為了與後續之手算分析作比較，在此僅考慮兩個 MOSFET 內部電容  $C_{gs}$  與  $C_{gd}$  並假設  $C_{gs} = C_{gd} = 1\text{pF}$ ，其 SPICE 名稱為 CGS 與 CGD。圖 7-8 為分析共源放大器高頻響應之 SPICE 輸入檔，請注意輸入檔中對 MOSFET 的模型描述：

```
.model mosfet nmos (kp=100u Vto=1V lambda=0 CGSO=15.625n
+ CGDO=15.625n)
```

```
*OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

**** MOSFETS
NAME M1
MODEL mosfet
ID 1.25E-03
VGS 1.63E+00
VDS 9.38E+00
VBS -4.38E+00
VTH 1.00E+00
VDSAT 6.25E-01
GM 4.00E-03
GDS 0.00E+00
GMB 0.00E+00
CBD 0.00E+00
CBS 0.00E+00
CGSOV 1.00E-12
CGDOV 1.00E-12
CGBOV 0.00E+00
CGS 0.00E+00
CGD 0.00E+00
CGB 0.00E+00
```

圖 7-9 共源放大器高頻響應之操作點分析，其中 CGSOV 和 CGDOV 即分別對應小訊號動態模擬中之  $C_{gs}$  和  $C_{gd}$ ，其餘六個電容值之預設值為 0。

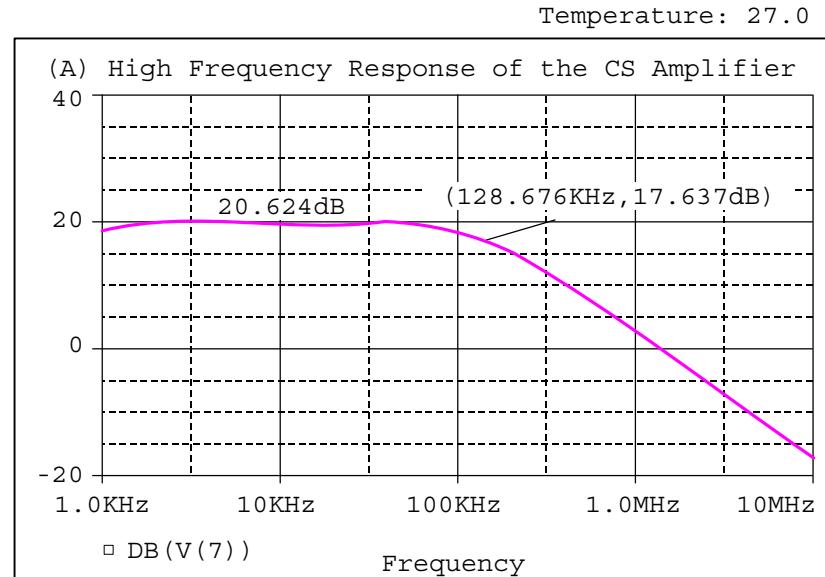


圖 7-10 共源放大器之高頻響應圖，圖中高三分貝頻率為 128.7kHz。

在此再次提醒讀者關於電容  $C_{gs}$  與  $C_{gd}$  的設定。在 MOSFET 的模型參數中並無 CGS 和 CGD 兩個參數，而是以每單位通道寬度的閘源內部電容值 CGSO 與每單位通道寬度的閘汲內部電容值 CGDO 在模型參數中設定。故在描述此 MOSFET 時，必須將上述  $C_{gs}$  和  $C_{gd}$  值除以電晶體之通道寬度  $64\mu\text{m}$ ，即可分別得到 CGSO 和 CGDO。換言之，CGSO 之值即為  $1\text{pF}/64\mu\text{m} = 15.625\text{nF/m}$ 。

描述此 MOSFET 時，必須將上述  $C_{gs}$  和  $C_{gd}$  值除以電晶體之通道寬度  $64\mu\text{m}$ ，即可分別得到 CGSO 和 CGDO。

CGSOV 和 CGDOV 代表全部電容，即分別對應  $C_{gs}$  和  $C_{gd}$

圖 7-9 為共源放大器之操作點分析。在此必須特別說明，操作點輸出檔顯示之兩電容 CGSOV 和 CGDOV 與先前輸入檔模型參數之 CGSO 和 CGDO 不同，其中 CGSOV 和 CGDOV 代表全部電容，即分別對應  $C_{gs}$  和  $C_{gd}$ ，其單位為法拉(Farad)。

圖 7-10 為共源放大器之高頻響應圖，其高 3dB 頻率出現在 128.7kHz，且高頻響應幾乎趨近一條直線，其斜率為  $-20 \text{ dB/dec}$ 。

### 手算分析

若由高頻等效電路以手算分析可解得精確高頻轉換函數  $A_{VH}(s)$

$$A_{VH}(s) = \frac{V_o}{V_i} = \frac{A_M \left[ 1 - \frac{s}{(g_m / C_{gd})} \right]}{1 + s[C_{gs} + C_{gd}(1 + g_m R'_D) + C_{gd}(R'_D / R_T)]R_T + s^2 C_{gs} C_{gd} R_T R'_D}$$

$$= A_m \frac{\left(1 - \frac{s}{\omega_{HZ}}\right)}{\left(1 + \frac{s}{\omega_{HP1}}\right)\left(1 + \frac{s}{\omega_{HP2}}\right)} \quad (7-26)$$

其中  $R'_D = R_D \parallel R_L$  和  $R_T = R \parallel R_{G1} \parallel R_{G2}$ 。

因此，放大器具有一零點其頻率為

$$\omega_{HZ} = \frac{g_m}{C_{gd}} \quad (7-27)$$

以及兩個極點其頻率由分母多項式決定。假設  $\omega_{HP1} \ll \omega_{HP2}$ ，則分母多項式可近似表示成

$$\text{分母多項式} = 1 + \frac{s}{\omega_{HP1}} + \frac{s^2}{\omega_{HP1}\omega_{HP2}} \quad (7-28)$$

比較  $s$  項的係數得到

$$\omega_{HP1} = \frac{1}{[C_{gs} + C_{gd}(1 + g_m R'_D) + C_{gd}(R'_D / R_T)]R_T} \quad (7-29)$$

和

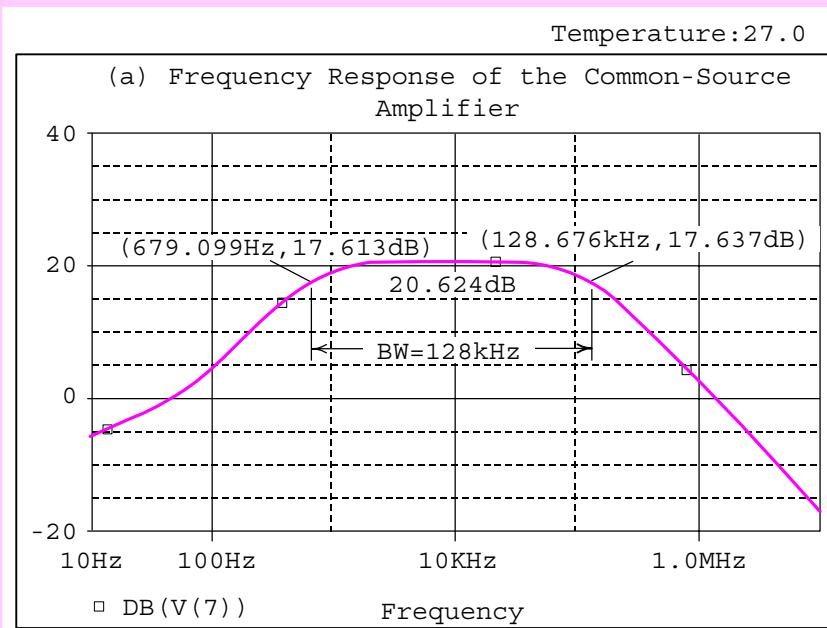


圖 7-11 MOSFET 共源放大器之全部響應圖。由圖可見低三分貝頻率為 679.099Hz，高三分貝頻率為 128.676kHz。

$$\omega_{HP2} = \frac{C_{gs} + C_{gd}(1 + g_m R'_D) + C_{gd}(R'_D / R_T)}{C_{gs} C_{gd} R'_D} \quad (7-30)$$

上述表現參數代值後可得  $f_{HZ} = 637\text{MHz}$ ， $f_{HP1} = 128.4\text{kHz}$  和  $f_{HP2} = 734.5\text{MHz}$ 。顯然，上述數值滿足  $f_{HP1} \ll f_{HP2}$ ， $f_{HZ}$ ，即  $f_{HP1}$  為一主極點頻率，於是高 3dB 頻率  $f_H$  為  $128.4\text{kHz}$ 。此值與先前 SPICE 模擬數值( $f_H = 128.7\text{kHz}$ )間之誤差極小。

由以上的低頻與高頻分析，我們可以合併高低頻響應得到此共源放大器之全部頻率響應，如圖 7-11。其中中頻帶增益為  $20.624\text{dB}$ ，低 3dB 頻率  $f_L$  發生在  $679.099\text{Hz}$ ，高 3dB 頻率  $f_H$  為  $128.7\text{Hz}$ 。根據頻寬 BW 之定義

$$BW = f_H - f_L \quad (7-31)$$

可得 BW 為  $128\text{kHz}$ 。

## 7.3 共閘放大器與源極追隨器

### 7.3.1 共閘放大器

圖 7-12 為 MOS 共閘(common gate)放大器電路，為了稍後將此電路之高頻表現與 MOS 共源放大器作一比較，我們令 MOS 之元件參數以及放大器偏壓電阻與電容之數值與圖 7-5 之 MOS 共源放大器完全相同。

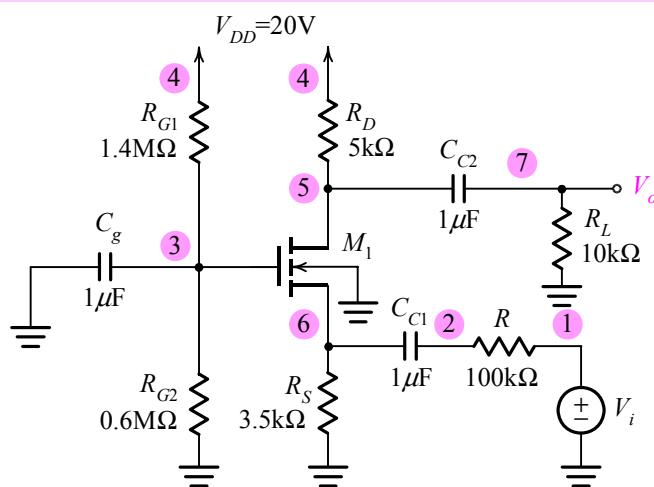


圖 7-12 MOSFET 共閘放大器之 SPICE 電路圖。

```

High-Frequency Response of Common-Gate Amplifier

* circuit description *
Vdd 4 0 +20V
Vi 1 0 AC 1V
R 1 2 100k
Rg1 4 3 1.4Meg
Rg2 3 0 0.6Meg
Rd 4 5 5k
Rs 6 0 3.5k
Cs 6 0 1u
Cc1 2 3 1u
Cc2 5 7 1u
Rl 7 0 10k
* model description *
M1 5 3 6 0 mosfet L=1u W=64u
.model mosfet nmos (kp=100u Vto=1V lambda=0 CGSO=15.625n
+ CGDO=15.625n)
* analysis requests *
.OP
.AC DEC 100 10kHz 1GHz
.PLOT AC VdB(7)
.probe
.end

```

圖 7-13 分析圖 7-12 MOSFET 共閘放大器高頻響應之 SPICE 輸入檔。

圖 7-13 為分析共閘放大器高頻響應之 SPICE 輸入檔，其中使用了交流頻率響應分析指令.AC：

```
.AC DEC 100 10kHz 1GHz
```

上述指令代表每十倍頻率掃描 100 點，由 10kHz 掃描至 1GHz。

圖 7-14 為共閘放大器模擬之高頻響應，圖中顯示中頻增益  $A_M$  為  $-33.1\text{dB}$  和高 3 分貝頻寬為  $47\text{MHz}$ 。在此僅就中頻增益  $A_M$  以手算分析檢驗：

$$A_M = g_m (R_D \parallel R_L) \frac{(R_S \parallel 1/g_m)}{R + (R_S \parallel 1/g_m)} \quad (7-32)$$

代值後得  $A_M$  為 0.031，取對數後得  $-30.17\text{dB}$ ，與模擬結果幾乎一致。至於 3dB 頻率之手算分析部份，請讀者參閱習題 7.4。

圖 7-14 亦顯示共源放大器之高頻響應，兩者比較發現由於共閘放大器缺少內部回授電容，所以不會出現米勒效應，因此其高 3 分貝頻寬將遠超過共源組態之值。

由於共閘放大器缺少內部回授電容，所以不會出現米勒效應，因此其高 3 分貝頻寬將遠超過共源組態之值。

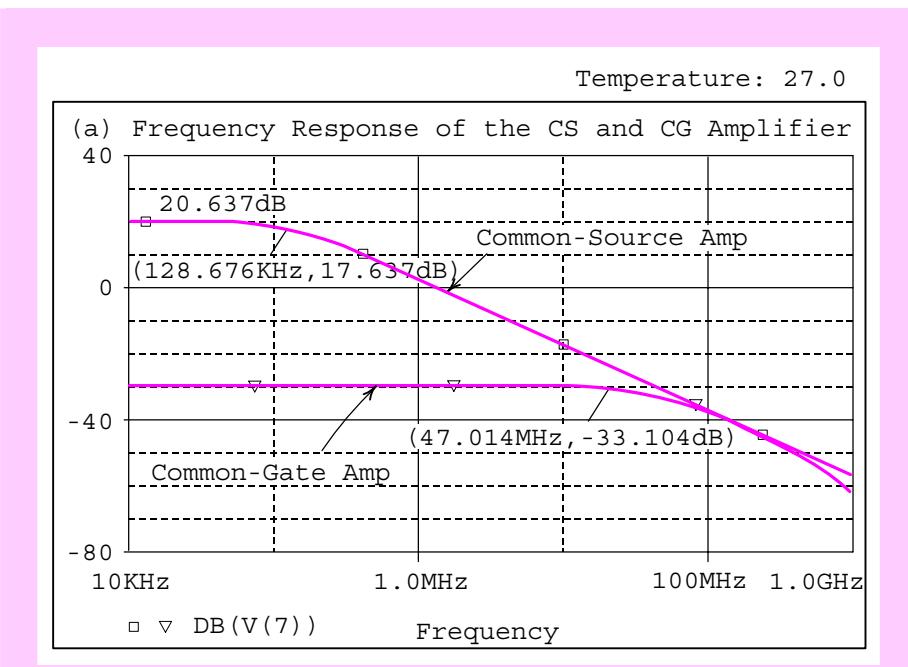


圖 7-14 圖 7-12 共閘放大器之高頻響應，並與圖 7-5 之共源放大器作一比較。

### 7.3.2 源極追隨器

圖 7-15 為 MOS 源極追隨器(source follower)電路，本電路亦可視為共汲(common drain)組態。為了稍後將此電路之高頻表現與 MOS 共源放大器作一比較，我們仍然令 MOS 之元件參數以及放大器偏壓電阻與電容之數值與圖 7-5 MOS 共源放大器完全相同。

由於其輸入檔大致與圖 7-13 相同，故在此不再列出。圖 7-16 為源極追隨器模擬之高頻響應，圖中顯示中頻增益為 $-2.68\text{dB}$  和三分貝頻寬為 $1.8\text{MHz}$ 。

以下僅就中頻增益之值以手算分析檢驗：

$$A_M = \frac{(R_S \parallel R_L)}{1/g_m + (R_S \parallel R_L)} \cdot \frac{(R_{G1} \parallel G_{G2})}{R + (R_{G1} \parallel R_{G2})} \quad (7-33)$$

代值後得 0.736，取對數後為 $-2.66\text{dB}$ ，與圖 7-16 中標示值幾乎一致。至於高三分貝頻寬之手算分析可參閱習題 7.5。

由源極追隨器高頻等效電路顯示電容  $C_{gd}$  一端接地，又電容  $C_{gs}$  雖然對應米勒效應，但由於缺乏增益，故並不存在米勒電容乘積效應。也就是

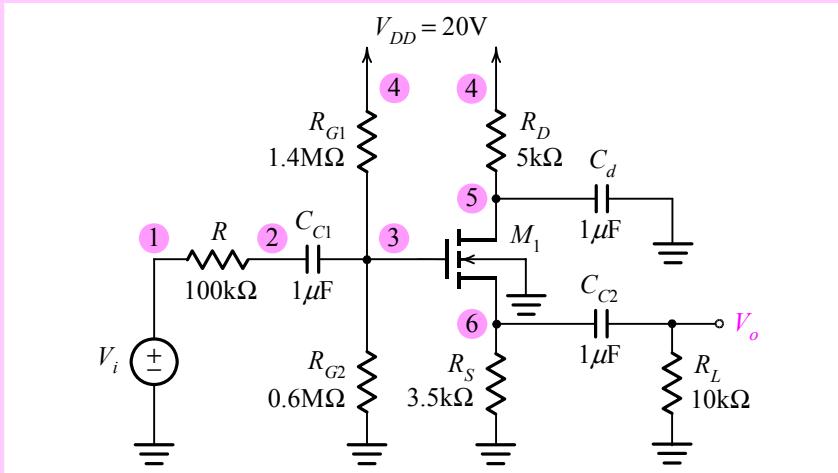


圖 7-15 MOSFET 源極追隨器之 SPICE 電路圖。

說，相對於共源放大器，源極追隨器具有非常不錯的高頻表現。關於這點敘述已由 SPICE 模擬結果中證實，參考圖 7-14。

相對於共源放大器，源極追隨器具有非常不錯的高頻表現。

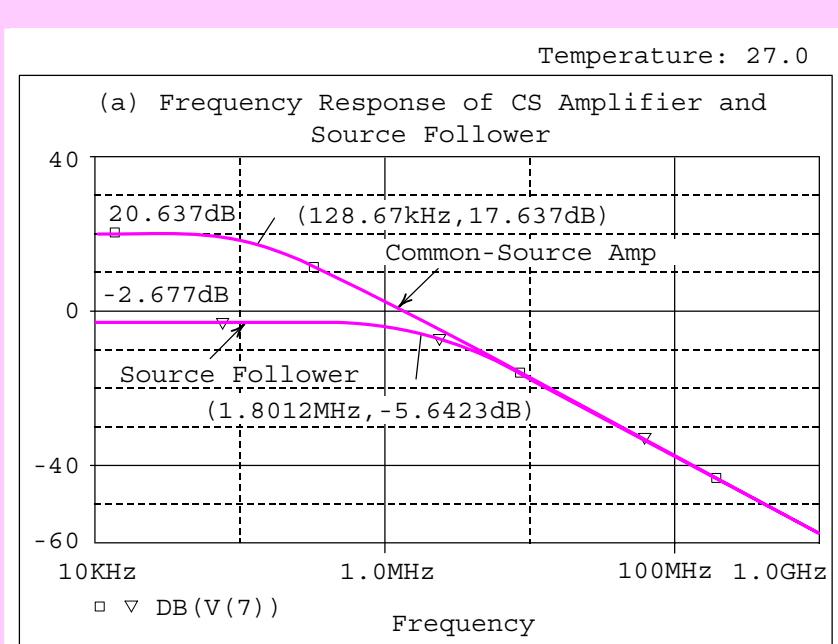


圖 7-16 圖 7-15 源極追隨器之高頻響應，並與圖 7-5 之共源放大器比較。

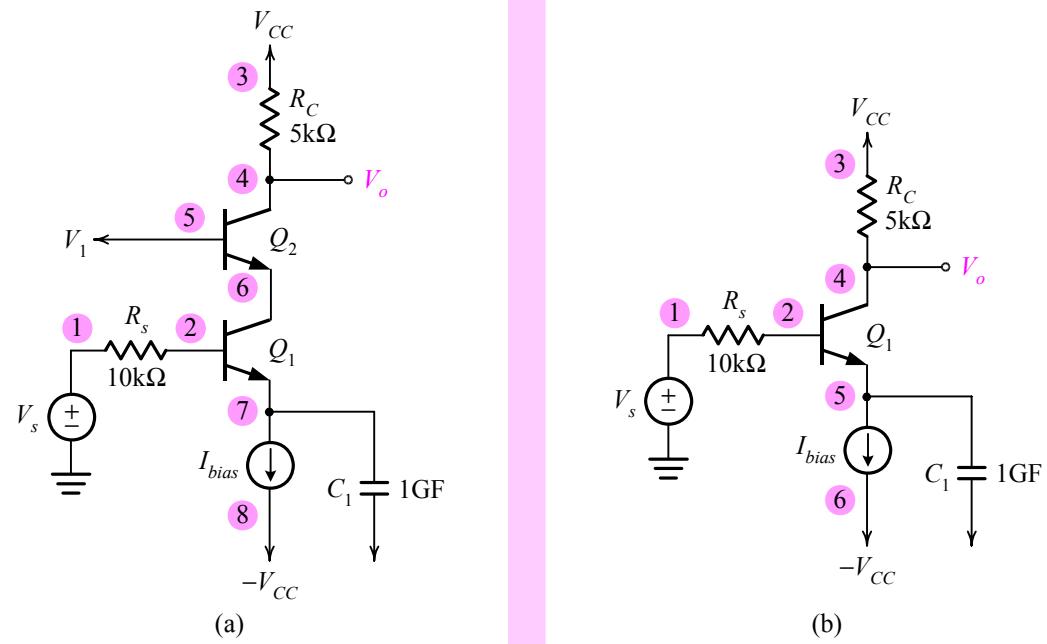


圖 7-17 (a)共射共基串疊放大器之 SPICE 電路圖，(b)共射放大器之 SPICE 電路圖。

## 7.4 共射共基串疊放大器

圖 7-17 為兩種不同的高頻放大器組態：共射共基串疊放大器與共射放大器。在此，我們將以 SPICE 模擬此兩種組態的中頻帶增益與高三分貝頻率，重點在於了解兩者在高頻表現之差異。

### 7.4.1 共射放大器

#### SPICE 模擬

圖 7-18 為模擬圖 7-17(b)共射放大器高頻響應之 SPICE 輸入檔，由輸入檔中看到偏壓電流與射極旁路電容  $C_1$  的描述：

Ibias 5 6 DC 1m

和

C1 5 0 1GF

以上指令分別表示偏壓電流為  $1mA$ ，及旁路電容  $C_1$  數值為  $1GF$ 。必須再次提醒的是，SPICE 輸入檔語法中並沒有無限大的概念，故我們必須

## High-Frequency Response of The Common-Emitter Amplifier

```

* circuit description *
Vcc+ 3 0 10V
Vcc- 6 0 -10V
Vs 0 AC 1V
Ibias 5 6 DC 1m
Rc 3 4 5k
Rs 1 2 10k
C1 5 0 1GF
* model description *
Q1 4 2 5 Q2N3904
.model Q2N3904 npn (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03
+ Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.78m
+ Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+ Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5
+ Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n
+ Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
* analysis requests *
.OP
.AC DEC 100 1Hz 100MegHz
.probe
.end

```

圖 7-18 分析共射放大器高頻響應之 SPICE 輸入檔。

給定一極大的數值來模擬無限大的情況。另外，請注意輸入檔中電晶體 Q2N3904 的模型參數：

```

.model Q2N3904 npn (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03
+ Bf=416.4 Ne=1.259 Ise=6.734f
+ Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2
+ Isc=0 Ikr=0 Rc=1 Cjc=3.638p
+ Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p
+ Mje=.2593 Vje=.75 Tr=239.5n
+ Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)

```

其中模型參數  $C_{je}$  與  $C_{jc}$  分別代表零偏壓時的射基接面空乏電容(B-E zero-bias depletion capacitance)與集基接面空乏電容(B-C zero-bias depletion capacitance)，並非小訊號模型中的  $C_\pi$  和  $C_\mu$ 。稍後，可由圖 7-19 共射放大器電晶體小訊號參數中得知電晶體的  $C_\pi$ (CBE)與  $C_\mu$ (CBC)，其值分別為 17.9pF 和 1.93pF，顯示與指令中之  $C_{je}$  與  $C_{jc}$  之數值絕對不同。關於這個部份，我們將在以下詳細說明。

|        |           |
|--------|-----------|
|        | Q1        |
| MODEL  | Q2N3904   |
| IB     | 7.06E-06  |
| IC     | 9.93E-04  |
| VBE    | 6.64E-01  |
| VBC    | -5.11E+00 |
| VCE    | 5.77E+00  |
| BETADC | 1.41E+02  |
| GM     | 3.79E-02  |
| RPI    | 4.26E+03  |
| RX     | 1.00E+01  |
| RO     | 7.97E+04  |
| CBE    | 1.79E-11  |
| CBC    | 1.93E-12  |
| CJS    | 0.00E+00  |
| BETAAC | 1.61E+02  |
| CBX    | 0.00E+00  |
| FT     | 3.04E+08  |

圖 7-19 圖 7-17(b)共射放大器中電晶體之小訊號參數。

### 電容設定與計算

在 7.1 節中我們曾提過，讀者在模擬 BJT 放大器高頻響應時所遭遇之最大困難將在於電容數值之設定與計算。由 SPICE 中模擬共射組態高頻響應過程所得到之偏壓電流與小訊號參數顯示於圖 7-19。其中 CBE 與 CBC 即分別對應圖 7-1(b)小訊號模型中之  $C_\pi$  與  $C_\mu$ ，其值分別為  $C_\pi = 17.9 \text{ pF}$  和  $C_\mu = 1.93 \text{ pF}$ 。

回顧(7-8)式， $C_\mu$  為集基接面空乏電容，其中  $C_{jco}$  即為指令中之  $\text{Cjc}$ ，代表集基接面在零偏壓時的空乏電容，其值為  $3.638 \text{ pF}$ ，另外， $m_c$  和  $V_{bic}$  分別代表集基接面之梯度係數與內建電位，對應指令中之  $M_{jc} = 0.30085$  和  $V_{jc} = 0.75 \text{ V}$ 。讀者可由圖 7-19 中顯示的  $V_{CB} = 5.11 \text{ V}$  代入(7-8)式得  $C_\mu = 1.94 \text{ pF}$ ，與圖 7-19 顯示之  $\text{CBC} = 1.93 \text{ pF}$  幾乎一致。

另一方面， $C_\pi$  為射基接面空乏電容  $C_{j(EBJ)}$  與基極充電電容  $C_b$  之合成。(7-10)式中之  $C_{jeo}$  即為模型參數  $\text{Cje}$ ，代表射基接面在零偏壓時的空乏電容，其值為  $4.493 \text{ pF}$ 。另外， $m_e$  和  $V_{bie}$  分別表示射基接面梯度係數與內建電位，即模型參數中之  $M_{je} = 0.2593$  和  $V_{je} = 0.75 \text{ V}$ 。代值後可得  $C_{j(EBJ)} = 7.79 \text{ pF}$ 。

回顧(7-11)中之其中  $\tau_B$  為基極穿越時間，此參數在 SPICE 輸入檔中對應理想順向穿越時間(ideal forward transit time，TF)， $\text{TF} = 301.2 \text{ ps}$ ，代入

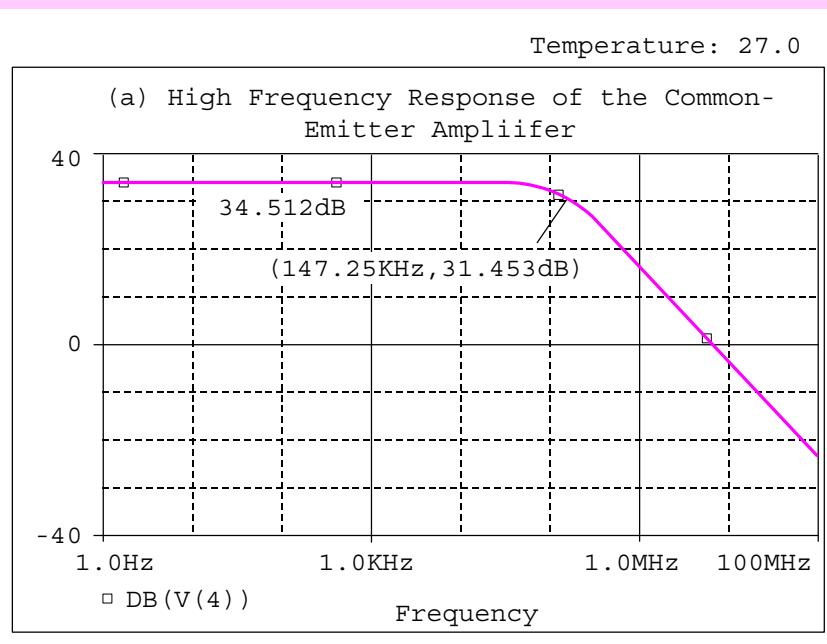


圖 7-20 圖 7-17(b)共射放大器之高頻響應，其中中頻帶增益為 34.5dB  
且高 3dB 頻率為 147.25kHz。

偏壓數值後可得  $C_b = 11.42 \text{ pF}$ 。合併先前之  $C_{j(EBJ)}$  可得  $C_\pi$  約為  $19.2\text{pF}$ ，故根據(7-9)式直接合成觀念所得之數值與 SPICE 計算之值( $C_{BE} = 17.9\text{pF}$ )將出現誤差，約為 7%。先前我們會說明，這是因為 SPICE 在計算 CBE 的方式並非根據(7-9)式，而是根據 Gummel-Poon 模型，在此不再詳述。

在了解圖 7-18 之電容設定與圖 7-19 電容計算結果之關係後，我們可直接觀察模擬結果，見圖 7-20。圖 7-20 為共射放大器之高頻響應圖，可由圖看出中頻帶增益為 34.512dB，高三分貝頻率為 147.2kHz。且高頻部份趨近一條直線，其斜率為  $-20\text{dB/dec}$ 。

### 手算分析

對於圖 7-17(b)之高頻等效電路可代入米勒定理解出高三分貝頻率  $f_H$  為

$$f_H \equiv \frac{1}{2\pi C_T R_T} \quad (7-34)$$

其中全部電容  $C_T$  為

$$C_T = C_\pi + C_\mu [1 + g_m (R_C \parallel r_o)] \quad (7-35)$$

和全部電阻  $R_T$  為

$$R_T = R_S \parallel r_\pi \quad (7-36)$$

由圖 7-19 得知,  $C_\pi = 17.9 \text{ pF}$ 、 $C_\mu = 1.93 \text{ pF}$ 、 $g_m = 37.9 \text{ mA/V}$ 、 $r_\pi = 4.26 \text{ k}\Omega$  和  $r_o = 79.7 \text{ k}\Omega$ ，以上數值代入 (7-34) 至 (7-36) 三式後可得  $f_H \approx 146.4 \text{ kHz}$ ，與圖 7-20 顯示之數值 ( $f_H = 147.25 \text{ kHz}$ ) 非常接近。

### 7.4.2 共射共基串疊放大器

接下來考慮圖 7-17(a)共射共基串疊放大器之電路。圖 7-21 與先前共射放大器之不同在於共射級電晶體  $Q_1$  之上串疊一共基級電晶體  $Q_2$ ，並於電晶體  $Q_2$  基極輸入一數值為 1V 之直流電壓，以使  $Q_1$  和  $Q_2$  正常工作於主動區。

圖 7-21 為共射共基串疊放大器之高頻響應圖，圖中顯示中頻帶增益為 34.5dB，高三分貝頻率為 2.25MHz。我們將共射放大器與共射共基串疊放大器之高頻響應圖合併可得圖 7-22。由圖中看出在  $Q_1$  之上串疊一共基電晶體  $Q_2$  可使放大器之高三分貝頻率後移至 2.25MHz，即放大器的頻寬增加。此例中放大器之高三分貝頻率由原先共射組態之 147kHz 提高至串疊組態的 2.25MHz，頻寬增加了約 15 倍。

放大器之高三分貝頻率由原先共射組態之 147kHz 提高至串疊組態的 2.25MHz，頻寬增加了約 15 倍。

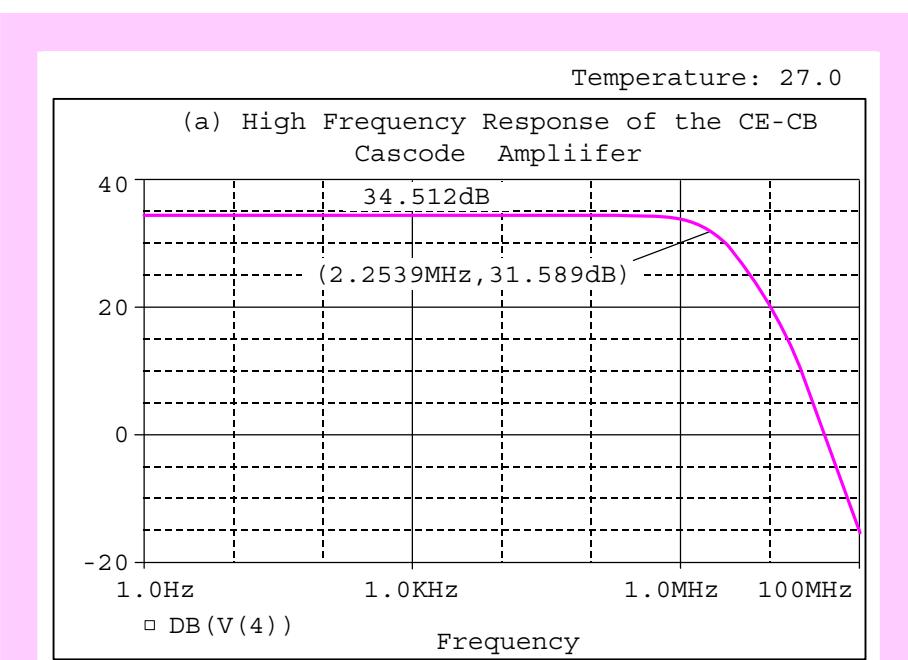


圖 7-21 共射共基串疊放大器之高頻響應，顯示高 3dB 頻率提昇至 2.25MHz。

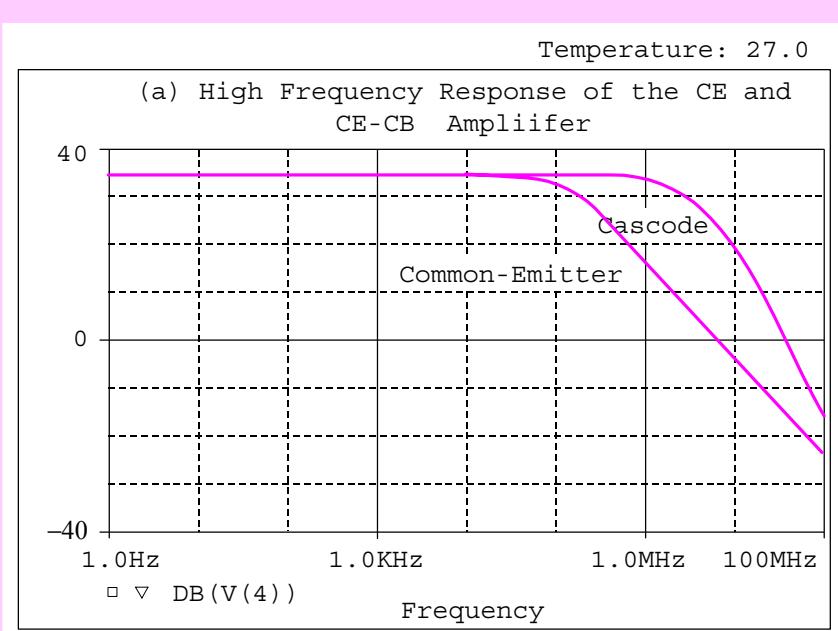


圖 7-22 共射與共射共基串疊放大器之高頻響應比較圖。由圖可知串疊一電晶體  $Q_2$  後，放大器頻寬約增加 15 倍。

## 7.5 差動放大器

### 7.5.1 等效差模半電路

圖 7-23(a)為一具有電流源偏壓之 BJT 射極耦合差動放大器。根據刺激源的互補性以及元件和差動電路的對稱性，共射端點(即節點 4)可視為虛接地(virtual ground)。於是，我們即可使用圖 7-23(b)之差模半電路(differential half-circuit)等效原始圖 7-23(a)電路之表現，請注意在圖 7-23(b)中節點 5 之交流接地現象。

#### SPICE 模擬

以下利用 SPICE 模擬此電路。在此並未列出圖 7-23(a)完整差動電路之 SPICE 輸入檔，只繪出模擬結果，見圖 7-25(a)。另外，圖 7-24 為模擬圖 7-23(b)高頻響應之 SPICE 輸入檔，其中 BJT 之元件參數係取自 2N3904。

圖 7-25(a)和(b)同時顯示差動放大器與等效差模半電路之高頻響應。讀者可明顯看出(a)和(b)兩圖之高頻響應幾乎一致，此即呼應先前所提之觀

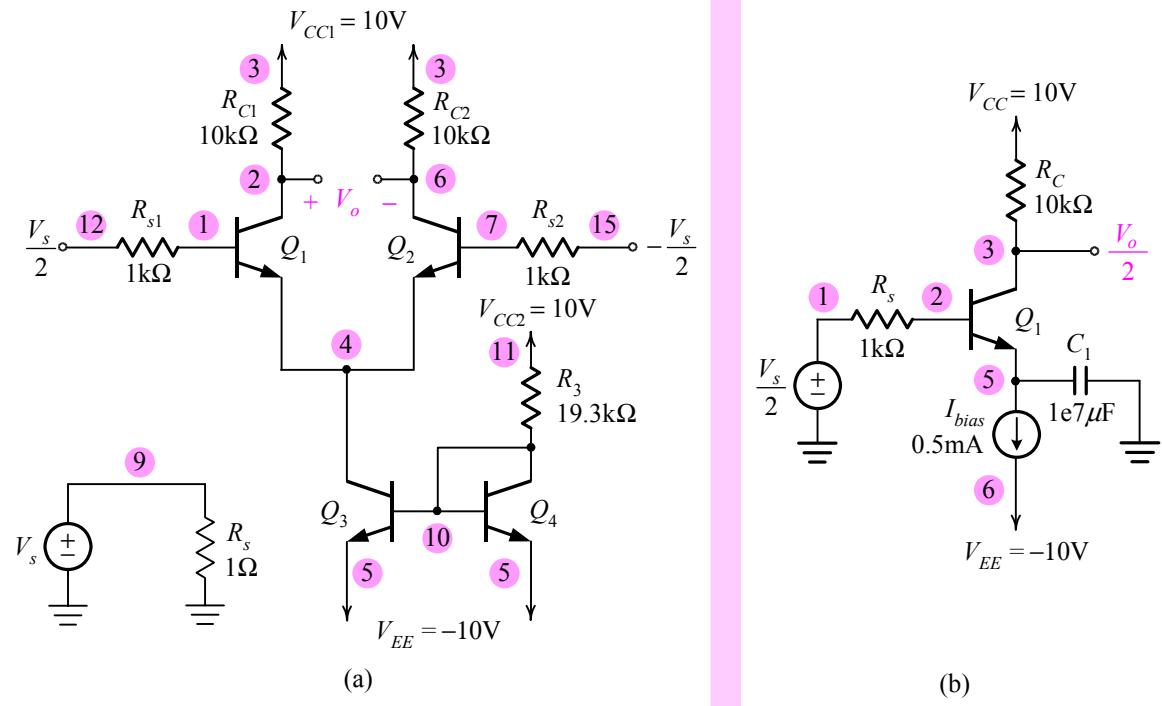


圖 7-23 (a)具有電流源偏壓之 BJT 差動放大器電路圖，(b)等效差模半電路。

讀者可明顯看出(a)和(b)兩圖之高頻響應幾乎一致，此即呼應先前所提之觀念—在刺激源及電路對稱之條件下，整體差動放大器之表現可被其一半的電路所等效，此即等效差模半電路之觀念。

圖 7-25 亦顯示兩者的中頻增益  $A_M$  為 44dB 和高三分貝頻率  $f_H$  為 470.1kHz。且高頻部份響應為一直線，其斜率為-20dB/dec。

#### 手算分析

以下介紹手算分析部份：對於圖 7-23(b)而言，中頻增益  $A_M$  為

$$A_M = \frac{V_o}{V_s} = -g_m (R_C \parallel r_o) \frac{r_\pi}{R_s + r_\pi} \quad (7-37)$$

此外，高三分貝頻率  $f_H$  為

$$f_H = \frac{1}{2\pi \{C_\pi + C_\mu [1 + g_m (R_C \parallel r_o)] (R_s \parallel r_\pi)\}} \quad (7-38)$$

在分析放大器的高頻響應時，若無法確實獲得操作點所對應的電容值，則手算分析的結果是毫無意義的。於是，我們列出 SPICE 輸出檔中操作點訊息的部份，見圖 7-26。圖中顯示的小訊號參數如下： $g_m = 19 \text{ mA/V}$ 、

$r_\pi = 7.82\text{k}\Omega$ 、 $r_o = 159\text{k}\Omega$ 、 $C_\pi = 12.1\text{pF}$  和  $C_\mu = 1.94\text{pF}$ 。

若將以上參數代入(7-37)和(7-38)二式可得  $A_M = 158.49$  (44dB)和  $f_H = 497.5\text{kHz}$ 。這與先前的模擬數值( $A_M = 44\text{ dB}$  和  $f_H = 470.1\text{kHz}$ )比較發現在中頻增益  $A_M$  是完全一致的，而在高三分貝頻率  $f_H$  部份則有 5% 的誤差。

最後，值得一提的是，讀者若仔細觀察圖 7-25(a)和(b)的模擬結果，將發現兩者之高頻響應，並非完全一致。這主要是因為圖 7-23(a)之差動放大器係使用真實電流源(由  $Q_3$  和  $Q_4$  組成)偏壓，而圖 7-23(b)之等效差模半電路則使用理想電流源，兩者並非完美對等。圖 7-23(a)之真實電流源將受到有限輸出電阻(基極寬度調變效應)的影響使其偏壓電流增加，見圖 7-27。圖中顯示  $Q_1$  的  $I_C$  為  $0.513\text{mA}$ ，較圖 7-26 中  $Q_1$  的集極電流 ( $I_C = 0.496\text{ mA}$ )為高。而偏壓電流提高，將造成  $g_m$  和  $C_\pi$  增加，見圖 7-27。

#### Concept of the Half Circuit of the Differential Amplifier

```
* circuit description *
Vcc 4 0 DC 10V
Vee 6 0 DC -10V
Vs 1 0 AC 1V
Ibias 5 6 DC 0.5mA
Rs 1 2 1k
Rc 4 3 10k
C1 5 0 1e7
* BJT model description
Q1 3 2 5 Q2N3904
.model Q2N3904 npn (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03
+ Bf=416.4 Ne=1.259 Ise=6.734f
+ Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2
+ Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085
+ Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593
+ Vje=.75 Tr=239.5n Tf=301.2p Itf=.4
+ Vtf=4 Xtf=2 Rb=10)
* analysis requests
.OP
.AC DEC 100 10kHz 1GHz
* output requests
.end
```

圖 7-24 分析圖 7-23(b)BJT 差動放大器中等效差模半電路之 SPICE 輸入檔。

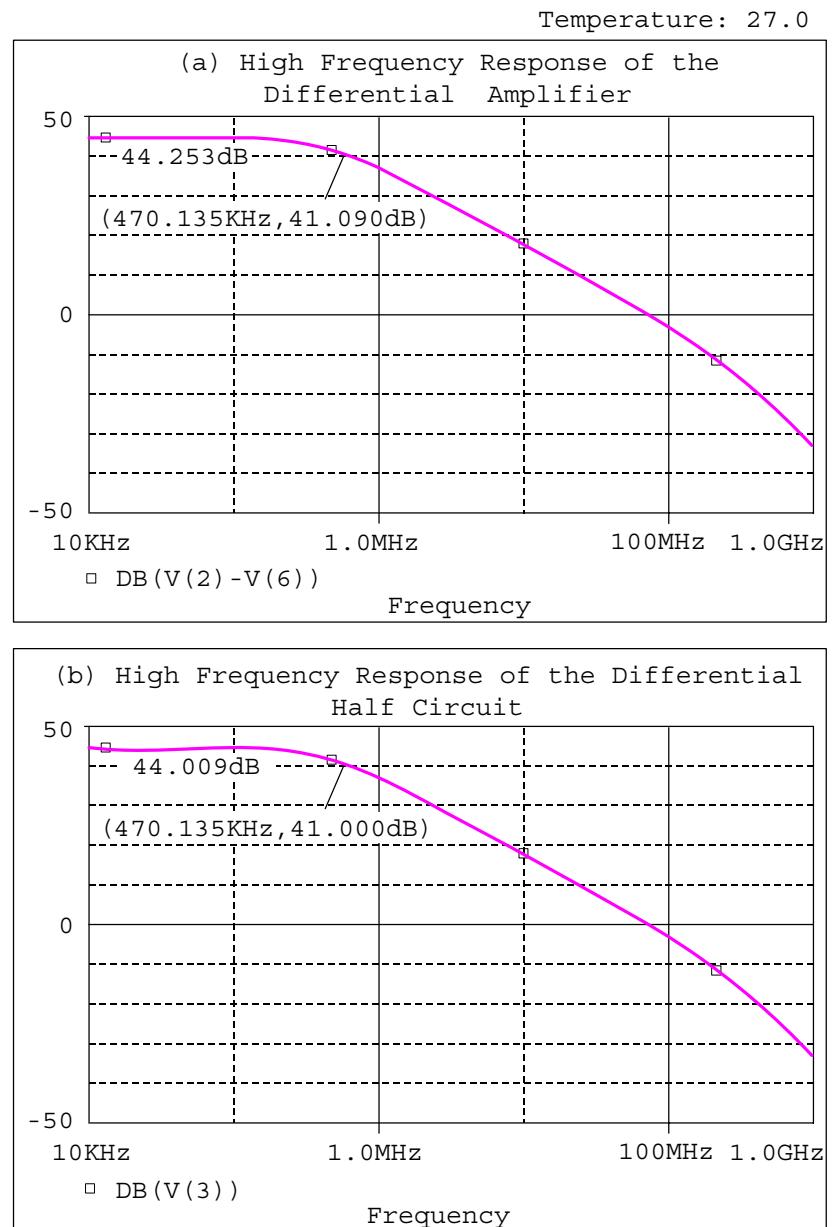


圖 7-25 (a) 圖 7-23(a)BJT 差動放大器之高頻響應, (b) 圖 7-23(b)等效差模半電路之高頻響應。

### 7.5.2 射極電阻的效應

如圖 7-28 所示，差動放大器的頻寬可藉由在射極置入兩個相等電阻  $R_E$

|        |           |
|--------|-----------|
| NAME   | Q1        |
| MODEL  | Q2N3904   |
| IB     | 3.88E-06  |
| IC     | 4.96E-04  |
| VBE    | 6.46E-01  |
| VBC    | -5.04E+00 |
| VCE    | 5.69E+00  |
| BETADC | 1.28E+02  |
| GM     | 1.90E-02  |
| RPI    | 7.82E+03  |
| RX     | 1.00E+01  |
| RO     | 1.59E+05  |
| CBE    | 1.21E-11  |
| CBC    | 1.94E-12  |
| CJS    | 0.00E+00  |
| BETAAC | 1.49E+02  |
| CBX    | 0.00E+00  |
| FT     | 2.16E+08  |

圖 7-26 圖 7-23(b)差模半電路由 SPICE 模擬而得到之操作點輸出檔。

| NAME   | EV1       | EV2       |           |          |
|--------|-----------|-----------|-----------|----------|
| NAME   | Q1        | Q2        | Q3        | Q4       |
| MODEL  | Q2N3904   | Q2N3904   | Q2N3904   | Q2N3904  |
| IB     | 4.00E-06  | 4.00E-06  | 7.44E-06  | 7.44E-06 |
| IC     | 5.13E-04  | 5.13E-04  | 1.10E-03  | 9.87E-04 |
| VBE    | 6.47E-01  | 6.47E-01  | 6.65E-01  | 6.65E-01 |
| VBC    | -4.87E+00 | -4.87E+00 | -8.68E+00 | 0.00E+00 |
| VCE    | 5.52E+00  | 5.52E+00  | 9.35E+00  | 6.65E-01 |
| BETADC | 1.28E+02  | 1.28E+02  | 1.48E+02  | 1.33E+02 |
| GM     | 1.97E-02  | 1.97E-02  | 4.20E-02  | 3.76E-02 |
| RPI    | 7.57E+03  | 7.57E+03  | 4.04E+03  | 4.04E+03 |
| RX     | 1.00E+01  | 1.00E+01  | 1.00E+01  | 1.00E+01 |
| RO     | 1.54E+05  | 1.54E+05  | 7.50E+04  | 7.50E+04 |
| CBE    | 1.23E-11  | 1.23E-11  | 1.91E-11  | 1.78E-11 |
| CBC    | 1.95E-12  | 1.95E-12  | 1.67E-12  | 3.64E-12 |
| CJS    | 0.00E+00  | 0.00E+00  | 0.00E+00  | 0.00E+00 |
| BETAAC | 1.49E+02  | 1.49E+02  | 1.70E+02  | 1.52E+02 |
| CBX    | 0.00E+00  | 0.00E+00  | 0.00E+00  | 0.00E+00 |
| FT     | 2.20E+08  | 2.20E+08  | 3.22E+08  | 2.79E+08 |

圖 7-27 圖 7-23(a)差動放大器由 SPICE 模擬而得的之操作點輸出檔，  
請注意偏壓電流，小訊號參數和電容之數值與圖 7-26 之些微  
差異。

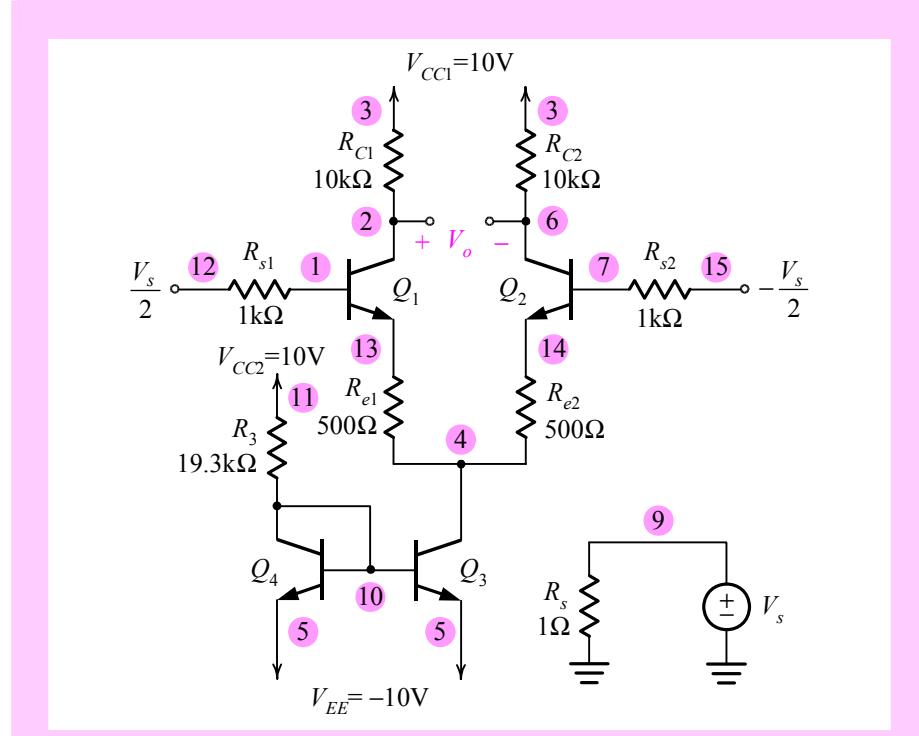


圖 7-28 連接兩個對稱的射極電阻以增加頻寬之 BJT 差動放大器。

而被加大(也就是， $f_H$ 可以增加)。但是，這也將使得低頻電壓增益下降。為了估計外加射極電阻對頻率響應的影響，我們利用 SPICE 模擬此電路。

圖 7-29 為分析圖 7-28BJT 差動放大器高頻響應之 SPICE 輸入檔。圖 7-30 為模擬結果。圖中清楚顯示，當  $R_E = 0$  時，中頻增益  $A_M$  為 44dB，高三分貝頻寬  $f_H$  為 470kHz。當置入射極電阻後( $R_E=500\Omega$ )，讀者可清楚看出中頻增益  $A_M$  降低至 25dB，但高三分貝頻寬延伸至 2.66MHz。由低頻手算分析得知，加入射極電阻  $R_E$  後，中頻電壓增益  $A_M$  可由等效差模半電路表示為

$$A_M \triangleq \frac{V_o}{V_s} = -\infty \frac{R_C}{r_e + R_E} \cdot \frac{R_{in}}{R_{s1} + R_{in}} \quad (7-39)$$

其中差模半電路的輸入電阻  $R_{in}$  為

$$R_{in} = (1 + \beta)(r_e + R_E) \quad (7-40)$$

讀者可代入數值將所得的中頻增益  $A_M$  與上述模擬值(25dB)比對。另一方面，加入射極電阻後，3dB 頻率  $f_H$  的計算則較為複雜，有興趣的讀者可詳閱參考書目 17 第 7 章的例題 4。

置入射極電阻後，讀者可清楚看出中頻增益  $A_M$  降低至 25dB，但高三分貝頻寬延伸至 2.66MHz。至於，加入射極電阻對單位增益頻寬則無太大變化

至於，加入射極電阻對單位增益頻寬(unity-gain bandwidth)則無太大變化，約在 80MHz 附近。

### 7.5.3 串疊式差動放大器

圖 7-28 連接射極電阻的差動放大器雖然可使頻寬增加，但卻造成中頻增益降低。若希望在中頻增益不變的條件下，而頻寬仍能提昇，則可使用圖 7-31 之串疊式差動放大器(cascode differential amplifier)。若利用圖

若希望在中頻增益不變的條件下，而頻寬仍能提昇，則可使用串疊式差動放大器。

```
Effect of Re on the Bandwidth of a Diff. Amplifier (Re=500)

* circuit description *
Vcc 3 0 DC 10V
Vcc2 11 0 DC 10V
Vee 5 0 DC -10V
Vs 9 0 DC 0V AC 1V
Rs 9 0 1
Vcm 8 0 DC 0V
Rc1 3 2 10k
Rc2 3 6 10k
Rs1 12 1 1k
Rs2 7 15 1k
Re1 13 4 500
Re2 14 4 500
R1 11 10 19.3k
EV1 12 8 9 0 0.5
EV2 8 15 9 0 0.5
* BJT model description
Q1 2 1 13 Q2N3904
Q2 6 7 14 Q2N3904
Q3 4 10 5 Q2N3904
Q4 10 10 5 Q2N3904
.model Q2N3904 npn (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03
+ Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.78m
+ Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+ Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5
+ Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n
+ Tf=301.2p Itf=.4 Vtf=4 Xt=2 Rb=10)
* analysis requests
.OP
.AC DEC 100 10kHz 1GHz
.end
```

圖 7-29 分析圖 7-28 BJT 差動放大器高頻響應之 SPICE 輸入檔。

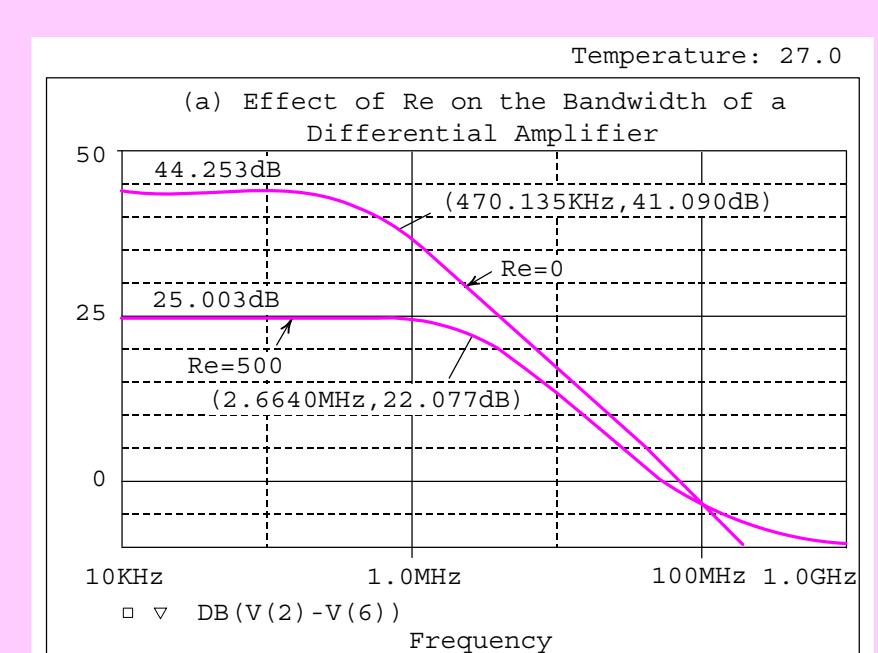


圖 7-30 額外連接兩個射極電阻  $R_E$  對 BJT 差動放大器頻寬的效應。

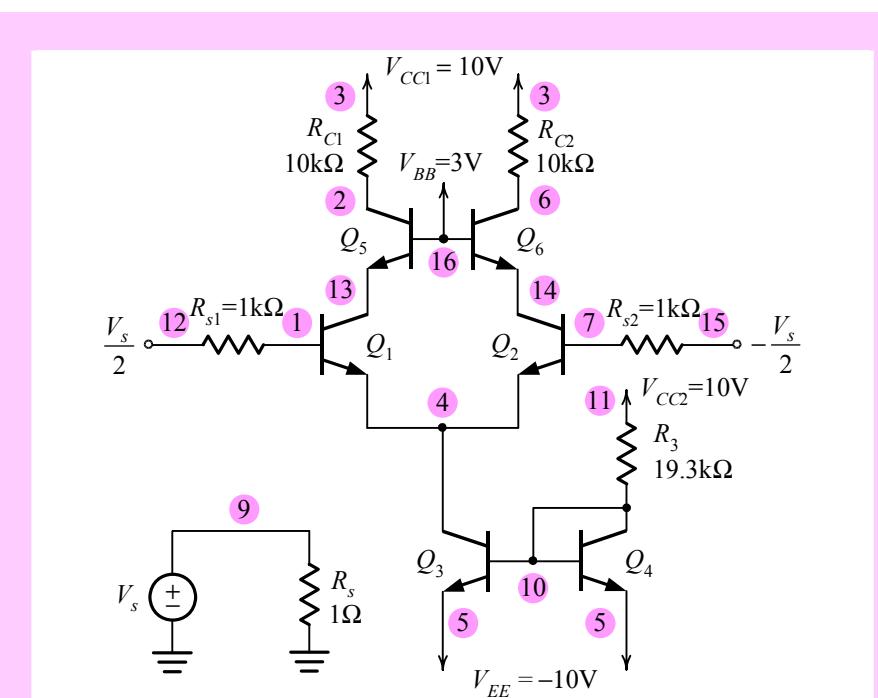


圖 7-31 串疊式差動放大器電路。

7-23(b)所提供之觀念來看，此串疊式差動放大器等效差模半電路為共射共基串疊組態，故其頻寬當然超過圖 7-23(a)之電路。

圖 7-32 為分析串疊式差動放大器高頻響應之 SPICE 輸入檔，其中元件參數仍取自 2N3904 BJT。圖 7-33 為模擬的高頻響應，圖中顯示串疊放大器的中頻增益約為 45dB 且高三分貝頻率  $f_H$  為 4.97MHz。在圖 7-33 中，我們亦將圖 7-23(a)之高頻響應繪出以方便比較。讀者可明顯看出，經由串疊組態可使差動放大器的三分貝頻寬由原先的 470.1kHz 提升至 4.97MHz。

#### Cascode Differential Amplifier

```

* circuit description *
Vcc1 3 0 DC 10V
Vcc2 11 0 DC 10V
Vee 5 0 DC -10V
Vbb 16 0 DC 3V
Vs 9 0 DC 0V AC 1V
Rs 9 0 1
Vcm 8 0 DC 0V
Rc1 3 2 10k
Rc2 3 6 10k
Rs1 12 1 1k
Rs2 7 15 1k
R1 11 10 19.3k
EV1 12 8 9 0 0.5
EV2 8 15 9 0 0.5
* BJT model description
Q1 13 1 4 Q2N3904
Q2 14 7 4 Q2N3904
Q3 4 10 5 Q2N3904
Q4 10 10 5 Q2N3904
Q5 2 16 13 Q2N3904
Q6 6 16 14 Q2N3904
.model Q2N3904 npn (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03
+ Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.78m
+ Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1
+ Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5
+ Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n
+ Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)
* analysis requests
.OP
.AC DEC 100 10kHz 1GHz
* output requests
.probe
.end

```

圖 7-32 分析串疊式差動放大器高頻響應之 SPICE 輸入檔。

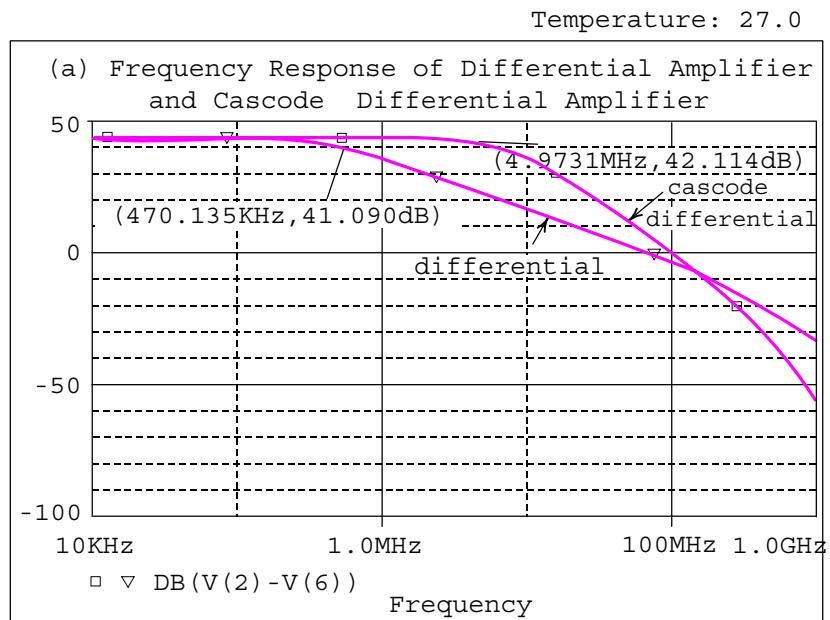


圖 7-33 串疊式差動放大器之高頻響應，並與圖 7.23(a)之電路比較。

**S 練習題**

**7.1** 對於圖 7-3 顯示電晶體 2N2222A 之小訊號參數，若基極電流  $I_B$  維持  $20\mu\text{A}$ ，但  $V_{CE}$  提升至  $10\text{V}$ 。

(a) 試以 SPICE 模擬並列出操作點訊息。

(b) 注意集極電流  $I_C$  的變化，並以下式檢驗：

$$I_C = I_S e^{V_{BE}/V_T} \left( 1 + \frac{V_{CE}}{V_{AF}} \right)$$

(c) 由於  $V_{CE}$  提升，將造成電容  $C_\mu$  產生變化，試以(7-8)式檢驗(a)中之模擬結果。

(d) 以(7-7)式計算單位增益頻寬  $f_T$ ，並與(a)中所列數值比較。

**7.2** 對於圖 7-7 顯示共源放大器之低頻響應圖，圖中並未詳細標示各極點頻率。試以 SPICE 中之檢視功能標示圖中各極點與零點頻率，並與手算分析值比較，即(7-17)至(7-20)四式。

**7.3** 請將圖 7-8 輸入檔中之交流頻率響應分析指令修改為

.AC DEC 100 1kHz 10GHz

重新繪出高頻響應，並且與手算分析值( $f_{HP1}=128.4\text{kHz}$ ， $f_{HP2}=734.5\text{MHz}$ ， $f_z=637\text{MHz}$ )比較。

- 7.4 參考圖 7-12 MOS 共閘放大器電路，根據高頻等效電路展開可解出兩高頻極點頻率  $f_{HP1}$  和  $f_{HP2}$ ：

$$f_{HP1} = \frac{1}{2\pi C_{gs}(R \parallel R_S \parallel 1/g_m)}$$

和

$$f_{HP2} = \frac{1}{2\pi C_{gd}(R_D \parallel R_L)}$$

試以手算分析計算高三分貝頻寬，並與圖 7-14 之模擬結果作一比較。

- 7.5 參考圖 7-15 MOS 源極追隨器電路，根據其高頻等效電路展開並利用近似單一時間常數法可得高三分貝頻寬  $f_H$  為

$$f_H = \left[ 2\pi \left( C_{gd} + \frac{C_{gs}}{1 + g_m(R_S \parallel R_L)} \right) \cdot R_T \right]^{-1}$$

其中

$$R_T = R \parallel R_{G1} \parallel R_{G2}$$

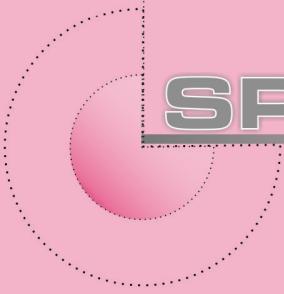
請將圖 7-15 之數值代入上式並與圖 7-16 之模擬結果比較。

- 7.6 對於圖 7-31 所示串疊式差動放大器電路，仿效圖 7-23(b)之方式繪出其等效差模半電路，重新模擬此半電路之高頻響應，並與圖 7-33 之模擬結果比較。

## 參考書目

1. Cadence, Inc. “OrCAD Pspice A/D Users Guide.”
2. G. W. Roberts and A. S. Sedra “SPICE” 2nd ed. Oxford University Press, 1997.
3. A. S. Sedra and G. W. Roberts, “Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith” Fort Worth: Saunders College Pub, 1992.
4. A. S. Sedra and K. C. Smith, “Microelectronic Circuits,” 6th ed. Oxford University Press, 2009.
5. P. W. Tuinenga, “SPICE: A Guide to Circuit

- Simulation Analysis Using Psice: IBM-PC 3.5"* 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
6. H. W. Bode, "Network Analysis and Feedback Amplifier Design," Princeton, NJ; D. Van Nostrand Co., 1945.
7. W. H. Hayt and J. E. Kemmerly, "Engineering Circuit Analysis," 4th ed. New York; McGraw-Hill Book Co., 1986.
8. R. M. Kielkowski, "Spice: Practical Device Modeling" New York: McGraw-Hill, Inc. 1995.
9. M. H. Rashid, "SPICE for Circuit and Electronic Using Psice" 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
10. K. Lee, "Semiconductor Device Modeling for VLSI: with the ATM-spice Circuit Simulator" Englewood Cliffs, N. J.: Prentice Hall, 1993.
11. J. Millman and A. Grabel, "Microelectronics," 3rd ed. New York: McGraw-Hill Book Co., 1999.
12. N. R. Malik, "Electronic Circuits; Analysis, Simulation, and Design," Englewood Cliffs, NJ: Prentice Hall, Inc., 1995.
13. D. A. Neamen, "Electronic Circuit Analysis and Design," Richard D. Irwin, Inc., 1996.
14. T. C. Carusone, D. A. Johns, and K. Martin, "Analog Integrated Circuit Design," 2nd ed. John Wiley and Sons, New York, 2011.
15. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer. "Analysis and Design of Analog Integrated Circuits," 5th ed., John Wiley and Sons, New York, 2009.
16. B. Razavi, "Design of Analog CMOS Integrated Circuits," 1<sup>st</sup> ed., McGraw-Hill Companies, Inc., 2001.
17. R. J. Baker, "CMOS Circuit Design, Layout, and Simulation," second ed. IEEE Press & John-Wiley & Sons, Inc., 2007.
18. P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," second ed., Oxford University Press, 2002.
19. 張文清, "微電子學上冊", 二版, 台北鼎茂圖書, 2013。



**SPICE**

# 8

## 回授與穩定度

本文之主題為回授與穩定度，探討重點包括回授對放大器頻寬的效應、穩定度問題以及頻率補償的技術等。我們將以一簡單的BJT 放大器為例，模擬在不同回授電阻下放大器的頻率響應。在穩定度問題方面，分為兩部份討論——交流頻率響應分析與暫態分析。在交流頻率響應部份，模擬迴路增益及尼癸斯圖以判斷回授的穩定度並計算相角邊限。在暫態分析部份，將以非反相放大器為例，分別模擬在穩定回授與不穩定回授條件下之步階響應，並模擬在穩定回授時不同的回授因子之步階響應。最後，我們介紹兩種補償技術——極點移動補償和米勒補償，並且將兩種技術之補償結果與未補償放大器作比較。

- 8.1 回授對放大器頻寬的效應
- 8.2 穩定度問題
- 8.3 頻率補償

## 8.1 回授對放大器頻寬的效應

**圖** 8-1 為一簡單的 BJT 放大器，其中  $R_f$  為一回授電阻。當  $R_f = \infty$  時，本電路為一電流源偏壓之共射放大器，其中頻增益  $A_M$  為

$$A_M \triangleq \left. \frac{V_o}{V_s} \right|_{R_f=\infty} = -g_m (R_C \parallel r_o) \frac{r_\pi}{R_S + r_\pi} \quad (8-1)$$

且 3dB 頻寬  $f_H$  為

$$f_H = \frac{1}{2\pi[C_\pi + C_\mu(1 + g_m(R_C \parallel r_o))](R_S \parallel r_\pi)} \quad (8-2)$$

當 BJT 的基極與集極間連接回授電阻  $R_f$  之後，根據手算分析，將發現電壓增益下降且頻寬延伸。

現以 SPICE 模擬此電路在不同回授電阻下之頻率響應，其輸入檔見圖 8-2，本輸入檔使用的回授電阻值為  $R_f = 1M\Omega$ 。另外，我們變化了兩個不同的回授電阻，分別是  $R_f = 10^{33}\Omega$  和  $R_f = 1k\Omega$ 。圖 8-3 為模擬結果，

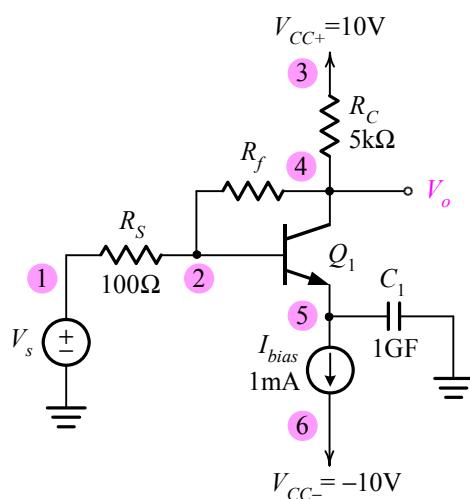


圖 8-1 一簡單 BJT 放大器之 SPICE 電路圖，其中  $R_f$  代表回授電阻。

本電路主要用以說明回授對放大器頻寬的效應。

```

Effect of Feedback on the Amplifier Bandwidth

* circuit description (Rf=1Meg) *
Vcc+ 3 0 10V
Vcc- 6 0 -10V
Vs 1 0 AC 1V
Ibias 5 6 DC 1m
Rc 3 4 5k
Rf 2 4 1Meg
Rs 1 2 10k
C1 5 0 1GF

* model description
Q1 4 2 5 Q2N3904
.model Q2N3904 npn (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03
+
Bf=416.4 Ne=1.259 Ise=6.734f
+
Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2
+
Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085
+
Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593
+
Vje=.75 Tr=239.5n Tf=301.2p Itf=.4
+
Vtf=4 Xtf=2 Rb=10)

* analysis requests
.OP
.AC DEC 100 1Hz 1GHz

*output requests
.probe
.end

```

圖 8-2 分析圖 8-1 放大器交流頻率響應之 SPICE 輸入檔。

即圖 8-1 放大器在三種不同回授電阻下之頻率響應。圖中清楚顯示，當  $R_f$  降低，即回授效應增加時，增益下降且頻寬延伸。

## 8.2 穩定度問題

### 8.2.1 交流頻率響應分析

#### 迴路增益的計算

圖 8-4(a)為一非反相放大器電路，為計算此電路的迴路增益  $A(s)\beta$ ，首先令獨立電源  $V_s$  為零，並在輸出端處打斷迴路以加入一測試訊號  $V_t$ ，之

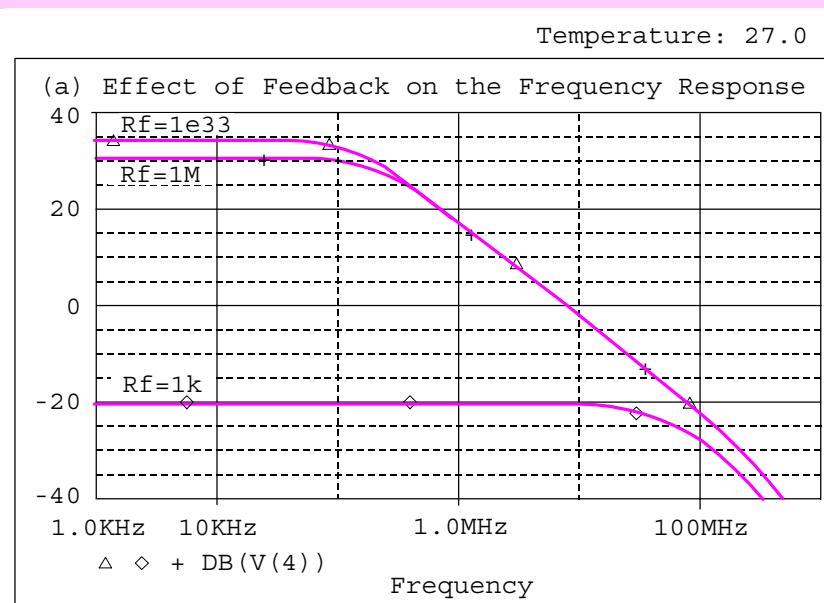


圖 8-3 圖 8-1 放大器在不同回授電阻( $R_f=10^{33}\Omega$ 、 $1M\Omega$ 和 $1k\Omega$ )下之頻率響應。

後於回歸訊號  $V_r$  處置入一電阻  $R_2 + R_1$ ，以使迴路打斷後之電路與打斷前的封閉迴路是等效的。根據回授電路的基本結構得知，回歸訊號與測試訊號比之負值即為迴路增益  $L(s)$ ，

$$L(s) = -\frac{V_r}{V_t} \quad (8-3)$$

回歸訊號與測試訊號比之負值即為迴路增益。

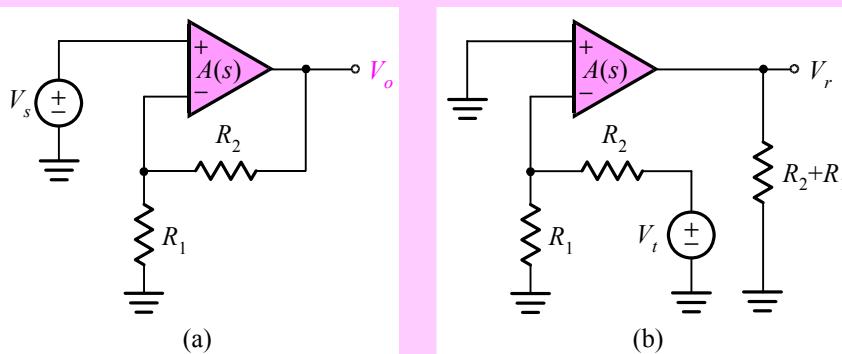


圖 8-4 (a)非反相放大器電路，(b)計算迴路增益時，先將輸出端打斷後，加入一測試訊號  $V_t$ 並在回歸訊號  $V_r$ 處加入電阻  $R_2 + R_1$ 以考慮其負載效應。

現在我們假設運算放大器除了開迴路增益  $A(jf)$  之外，其它的特性(包括無窮大輸入電阻和零輸出電阻等特性)仍保持理想。於是圖 8-4(b)，迴路增益  $L$  可表示為

$$L = A(jf) \frac{R_1}{R_1 + R_2} = A(jf)\beta \quad (8-4)$$

其中  $\beta$  代表回授因子，而開迴路增益  $A(jf)$  假設為如下式所示三極點函數：

$$A(jf) = \frac{10^5}{\left(1+j\frac{f}{10^5}\right)\left(1+j\frac{f}{10^6}\right)\left(1+j\frac{f}{10^7}\right)} \quad (8-5)$$

故迴路增益  $L(jf)$  為

$$L(jf) = \frac{10^5 \beta}{\left(1+j\frac{f}{10^5}\right)\left(1+j\frac{f}{10^6}\right)\left(1+j\frac{f}{10^7}\right)} \quad (8-6)$$

### 迴路增益波德圖與尼癸斯圖

以下我們將直接利用迴路增益(loop gain)作穩定度分析，分別繪出  $\beta=10^{-4}$  和  $\beta=10^{-2}$  條件下之頻率響應波德圖與尼癸斯圖。對  $\beta=10^{-4}$  而言，迴路增益  $L(jf)$

$$L(jf) = \frac{10}{\left(1+j\frac{f}{10^5}\right)\left(1+j\frac{f}{10^6}\right)\left(1+j\frac{f}{10^7}\right)} \quad (8-7)$$

圖 8-5(a)和(b)分別顯示  $L(jf)$  之大小和相角波德圖，圖中顯示  $|L(jf)|=1$  時所對應之增益交越頻率(gain crossover frequency) $f_{TL}$  為 782.954kHz，在此頻率處，相角為  $-125.3^\circ$ ，即相角邊限(phase margin)PM 約為  $54.7^\circ$ ，代表一穩定回授。圖 8-5(c)則顯示  $L(jf)$  之極座標圖形，圖中顯示尼癸斯軌跡未包住點  $(-1,0)$ ，代表為穩定回授。

對  $\beta=10^{-2}$  而言，迴路增益  $L(jf)$

$$L(jf) = \frac{10^3}{\left(1+j\frac{f}{10^5}\right)\left(1+j\frac{f}{10^6}\right)\left(1+j\frac{f}{10^7}\right)} \quad (8-8)$$

圖 8-6(a)和(b)分別顯示迴路增益  $L(jf)$  的大小與相角波德圖。圖中由  $|L(jf)|=1$  處顯示增益交越頻率  $f_{TL}$  為 8.68MHz，所對應之相角為  $-213.7^\circ$ 。即相角邊限 PM 為  $-33.7^\circ$ ，代表一不穩定回授。圖 8-6(c)則顯示迴路增益  $L(jf)$  極座標圖形，注意尼癸斯軌跡包住點  $(-1,0)$ ，代表一不穩定回授。

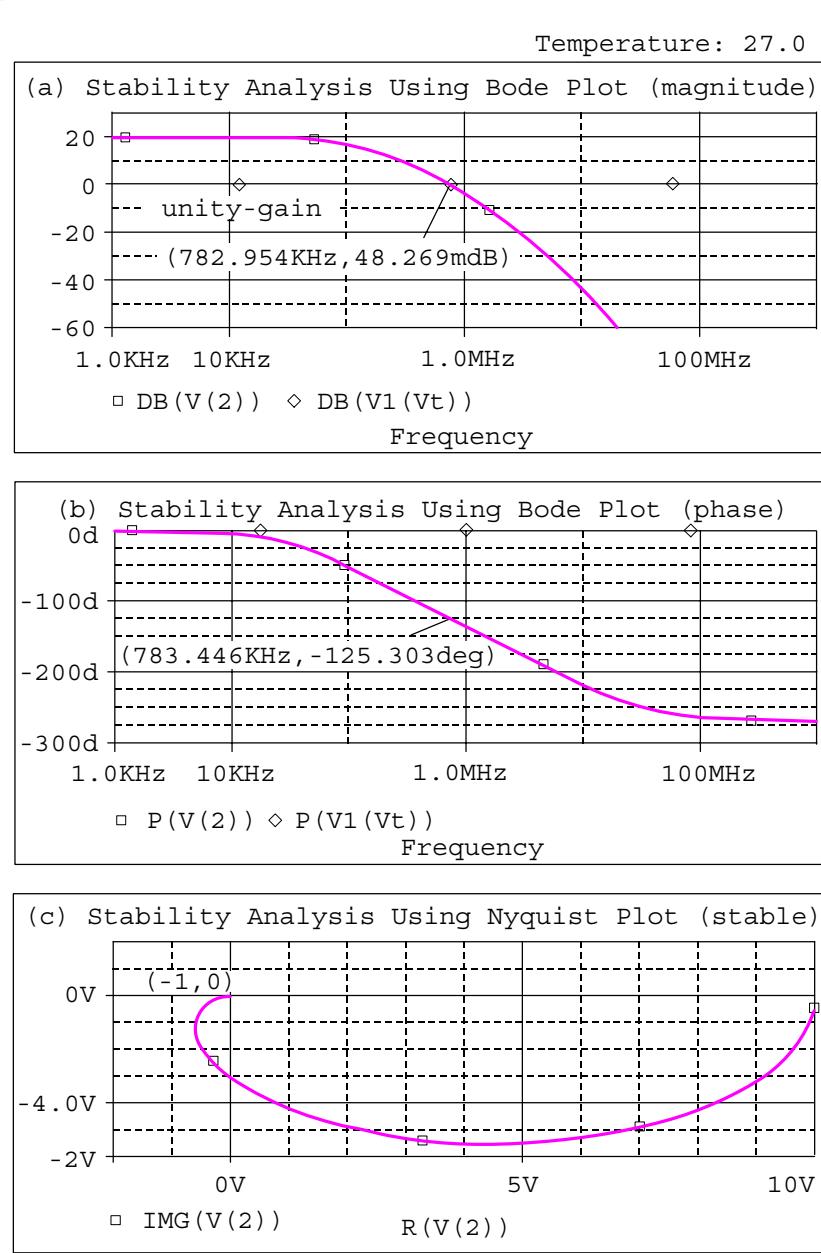


圖 8-5 圖 8-4 電路當  $\beta=10^{-4}$  時之穩定度分析：(a)迴路增益的大小波德圖，(b)迴路增益的相角波德圖，由(a)(b)得知當  $|A\beta|=1$  時，相角為  $-125.3^\circ$ ，並未超過  $-180^\circ$ 。(c)尼癸斯圖，注意尼癸斯軌跡並未包住點  $(-1,0)$ ，代表為穩定回授。

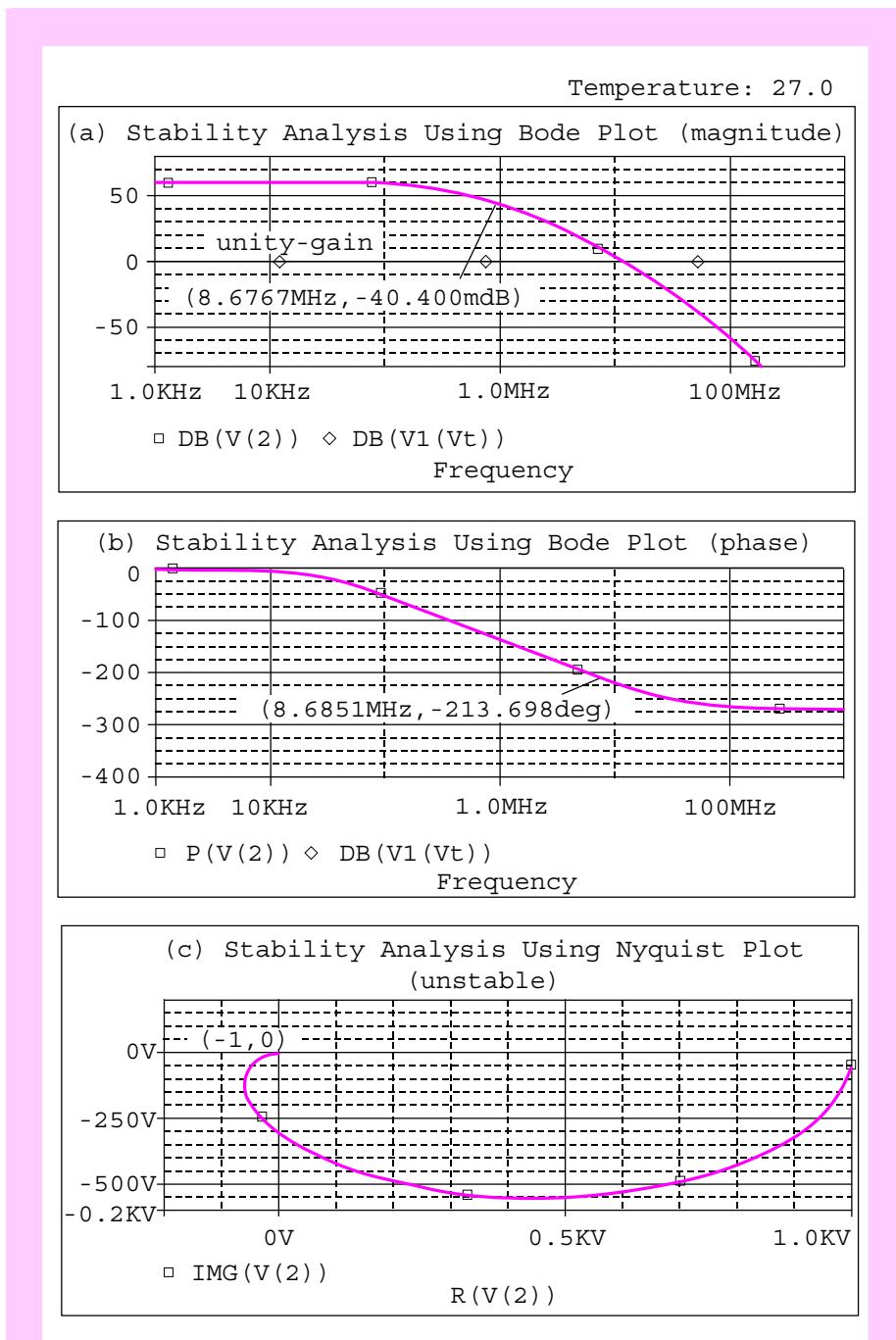


圖 8-6 圖 8-4 電路當  $\beta=10^{-2}$  時之穩定度分析：(a)迴路增益的大小波德圖，(b)迴路增益的相角波德圖，由(a)(b)得知當  $|A\beta|=1$  時，相角為  $-213^\circ$ ，超過  $-180^\circ$ 。(c)尼癸斯圖，注意尼癸斯軌跡包住點  $(-1,0)$ ，代表為不穩定回授。

## 8.2.2 暫態分析

以下我們將以非反相放大器為例，分別模擬在穩定回授與不穩定回授條件下之步階響應，並模擬在穩定回授時不同的回授因子之步階響應。

### 未補償放大器

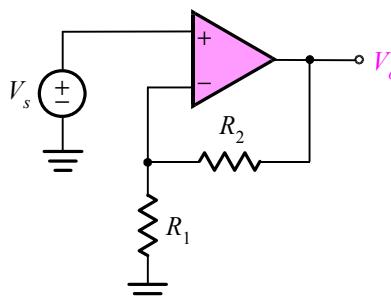
考慮圖 8-7(a)之非反相放大器，假設圖中運算放大器之內部等效電路為圖 8-7(b)。經由簡單的電路分析可得此未補償 op amp 之轉換函數  $A(if)$  為

$$A(if) = \frac{A_o}{\left(1 + j \frac{f}{f_{HP1}}\right) \left(1 + j \frac{f}{f_{HP2}}\right) \left(1 + j \frac{f}{f_{HP3}}\right)} \quad (8-9)$$

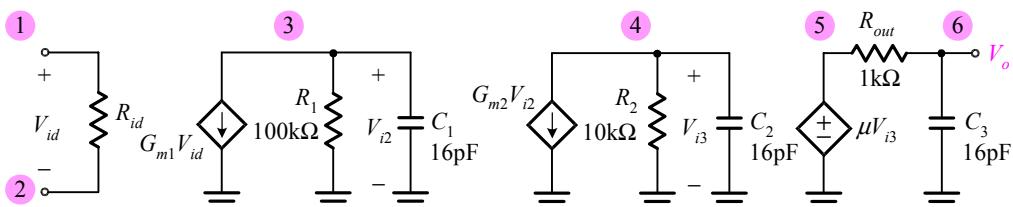
其中低頻增益  $A_o$  為

$$A_o = G_{m1} R_1 G_{m2} R_2 \quad (8-10)$$

其中  $G_{m1} = 0.02 \text{ A/V}$  和  $G_{m2} = 0.005 \text{ A/V}$ ，其餘數值如圖 8-7 顯示。此外，各節點對應之極點頻率分別為



(a)



$$G_{m1} = 0.02 \text{ A/V}, G_{m2} = 0.005 \text{ A/V}, \mu = 1$$

(b)

圖 8-7 (a)一非反相放大器電路，(b)(a)中未補償運算放大器之內部等效電路。

$$f_{HP1} = \frac{1}{2\pi R_1 C_1} \quad (8-11)$$

和

$$f_{HP2} = \frac{1}{2\pi R_2 C_2} \quad (8-12)$$

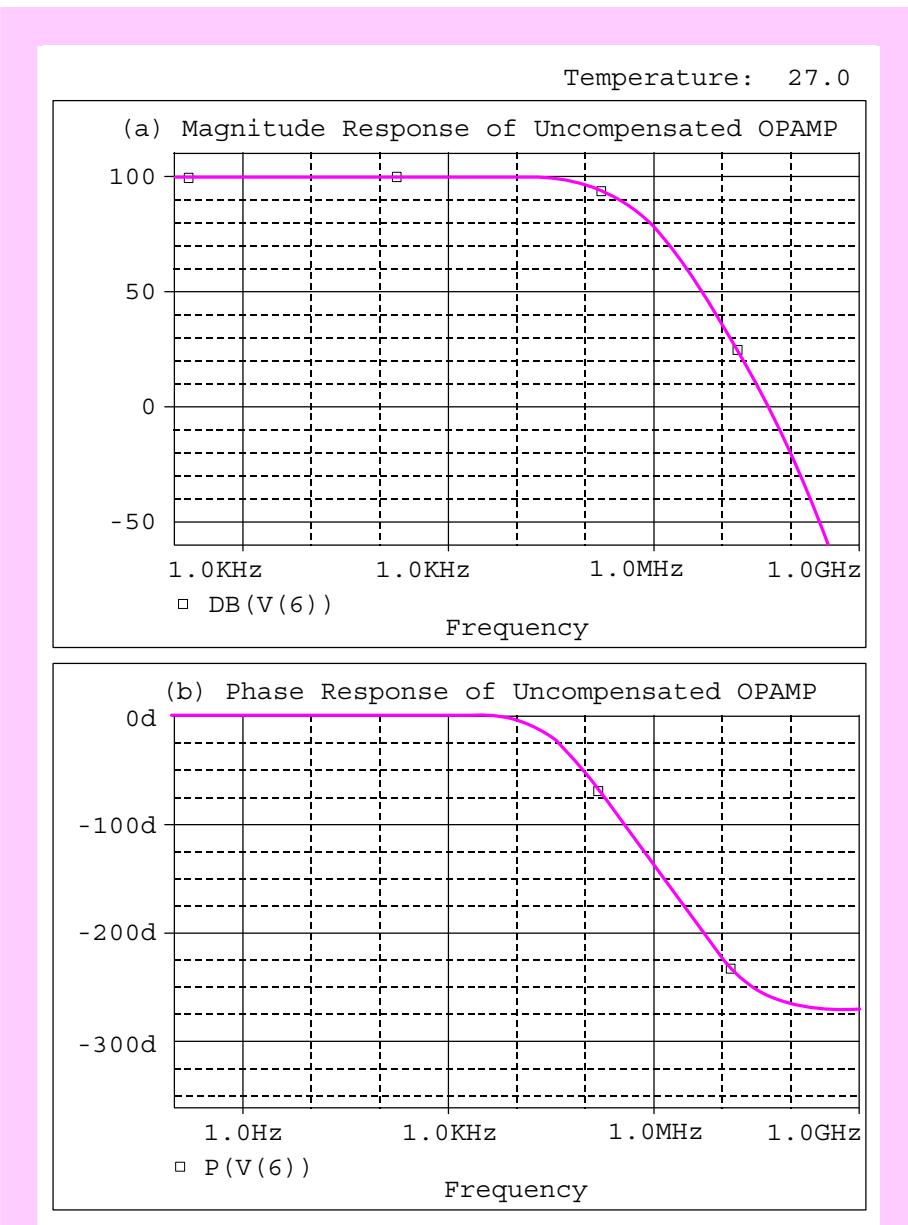


圖 8-8 圖 8-7(a)非反相放大器中之未補償運算放大器之頻率響應：(a)大小響應，(b)相角響應。

和

$$f_{HP3} = \frac{1}{2\pi R_{out} C_3} \quad (8-13)$$

以上代值後分別為  $A_o = 10^5$ ， $f_{HP1} = 10^5$  Hz， $f_{HP2} = 10^6$  Hz，和  $f_{HP3} = 10^7$  Hz。將以上數值代入(8-9)式所得的開迴路轉換函數將與(8-5)式完全相同，其大小響應與相角響應分別繪於圖 8-8。

### 步階響應

以下將模擬圖 8-7 非反相放大器在穩定回授下之步階響應，首先令  $R_1 = 1k\Omega$  和  $R_2 = 4M\Omega$ ，對應的  $\beta$  值為  $\beta = R_1 / (R_1 + R_2) \approx 2.5 \times 10^{-4}$ 。圖 8-9 為分析步階響應之 SPICE 輸入檔，其中我們輸入一高度為 1mV 的步階訊號，對應指令：

```
VS 1 0 PWL (0 0V 2ns 0V 2.1ns 1mV 1ms 1mV)
```

其步階函數波形可對照圖 8-10(a)。此外，未補償 op amp 之副電路敘述係取自圖 8-7(b)之等效電路，對應指令：

```
1mV-Step Response of a Noninverting Amplifier (unstable)

* stable R2=4M
.subckt uncomp_opamp 1 2 6
Rid 1 2 1e12
Gm1 3 0 1 2 20m
R1 3 0 100k
C1 3 0 16pF
Gm2 4 0 3 0 5m
R2 4 0 10k
C2 4 0 16pF
E3 5 0 4 0 1
Rout 5 6 1k
C3 6 0 16pF
.ends uncomp_opamp

* circuit description
Vs 1 0 PWL (0 0V 2ns 0V 2.1ns 1mV 1ms 1mV)
R1 2 0 1k
R2 2 3 4Meg
Xopamp 1 2 3 uncomp_opamp
.TRAN 1ns 12us 0s 1ns
.probe
.end
```

圖 8-9 分析圖 8-7 非反相放大器步階響應之 SPICE 輸入檔，其中令  $R_2 = 4M\Omega$  和  $R_1 = 1k\Omega$ ，對應的  $\beta$  值為  $2.5 \times 10^{-4}$ 。

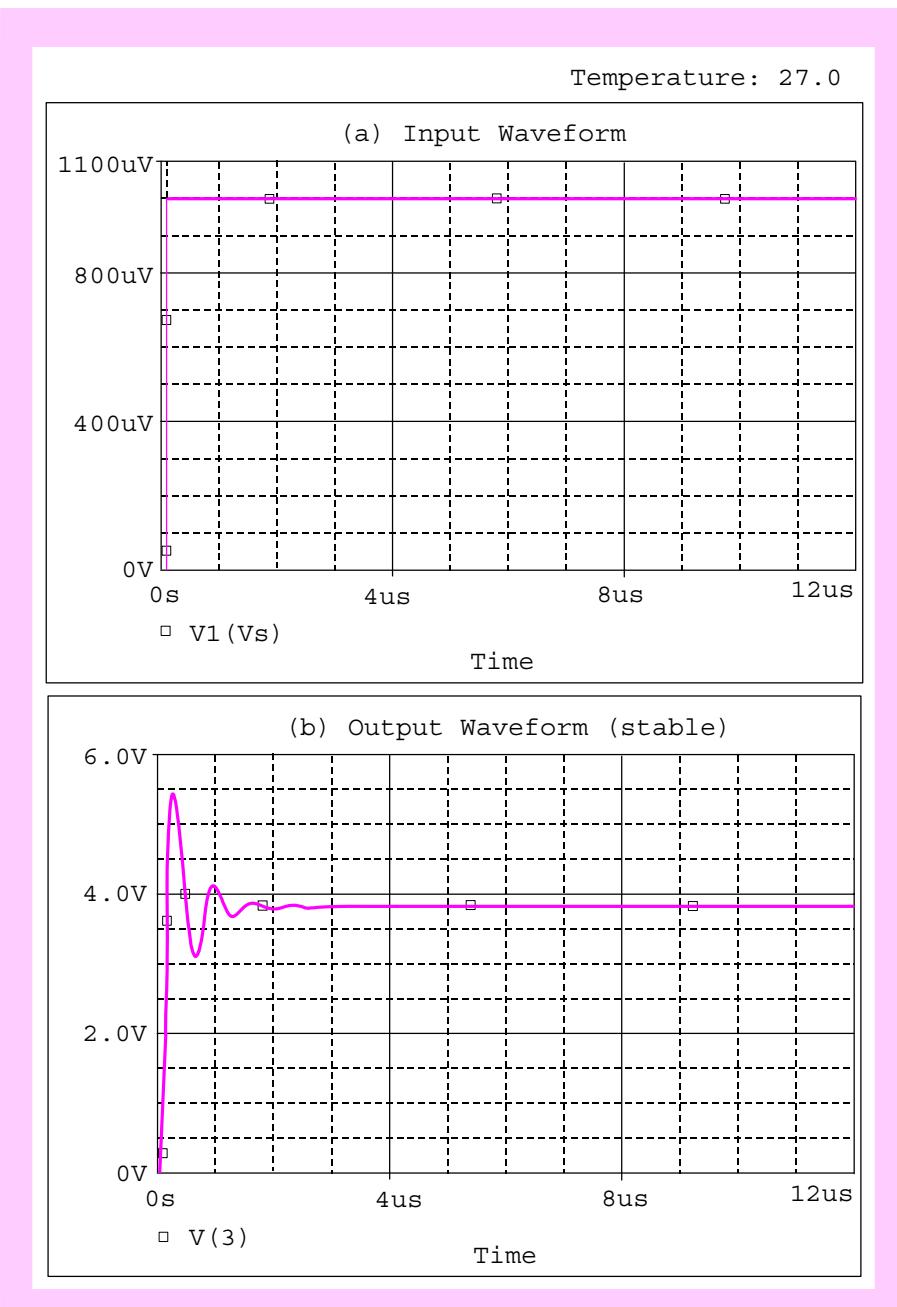


圖 8-10 圖 8-7 非反相放大器在穩定時之步階響應，其中回授網路組件值為  $R_1 = 1\text{k}\Omega$  和  $R_2 = 4\text{M}\Omega$ ，對應的  $\beta$  值為  $2.5 \times 10^{-4}$ 。

```
.subckt uncomp_opamp 1 2 6
Rid 1 2 1e12
Gm1 3 0 1 2 20m
R1 3 0 100k
```

```

C1 3 0 16pF
Gm2 4 0 3 0 5m
R2 4 0 10k
C2 4 0 16pF
E3 5 0 4 0 1
Rout 5 6 1k
C3 6 0 16pF
.ends uncomp_opamp

```

再經由暫態分析所得輸出波形繪於圖 8-10(b)。圖中顯示在 1mV 步階訊號輸入下，其輸出訊號在歷經約  $2\mu s$  的暫態響應後，即趨於穩定且達到之輸出準位約 4V。圖 8-10(b)之波形顯示兩件訊息，一為圖 8-7 之非反相放大器在  $\beta = 2.5 \times 10^{-4}$  確為穩定；二為輸出準位與輸入步階高度之比代表非反相放大器之閉迴路增益  $A_f$ ，此值之手算分析值約為

$$A_f \triangleq \frac{V_o}{V_s} \equiv 1 + \frac{R_2}{R_1} = \frac{1}{\beta} \quad (8-14)$$

即  $A_f \approx 4,001 \text{ V/V}$ ，與圖 8-10 之模擬結果幾乎吻合。

圖 8-11 為圖 8-7 非反相放大器在穩定回授條件下針對不同的  $\beta$  值 ( $\beta = 10^{-3}$ ,  $4 \times 10^{-4}$  和  $2.5 \times 10^{-4}$ ) 所獲得的步階響應。圖中顯示當  $\beta$  值愈

當  $\beta$  值愈小，即相角邊限愈大時，輸出訊號的振盪或稱回響的暫態時間將愈短

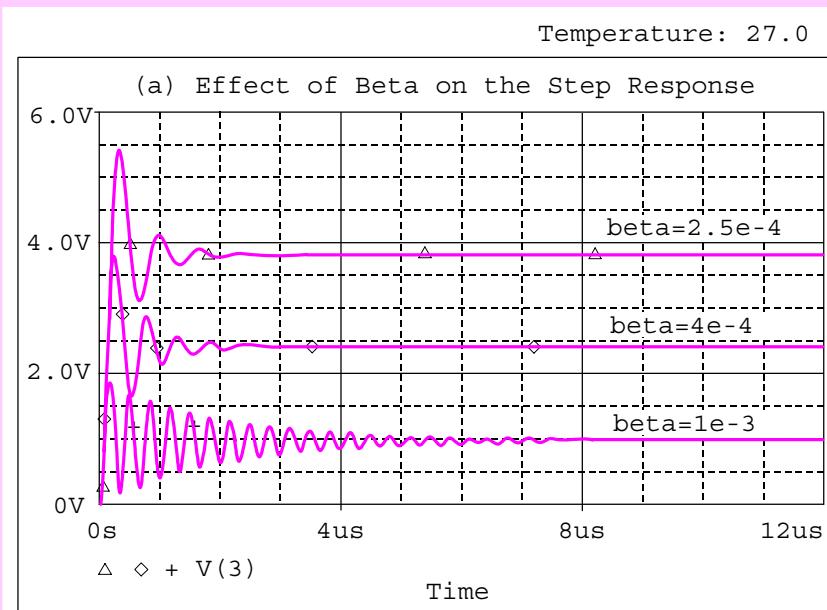


圖 8-11 圖 8-7 非反相放大器在穩定回授條件下針對不同的  $\beta$  值 ( $\beta = 10^{-3}$ ,  $4 \times 10^{-4}$  和  $2.5 \times 10^{-4}$ ) 所獲得的步階響應。

小，即相角邊限愈大時，輸出訊號的振盪或稱回響(ringing)的暫態時間將愈短；但由於 $\beta$ 降低使得閉迴路增益 $A_f$ 增加，故穩態輸出準位將提高。接下來，我們將 $R_1$ 值維持 $1\text{k}\Omega$ ， $R_2$ 值降低至 $9\text{k}\Omega$ ，即 $\beta=10^{-1}$ ，也就

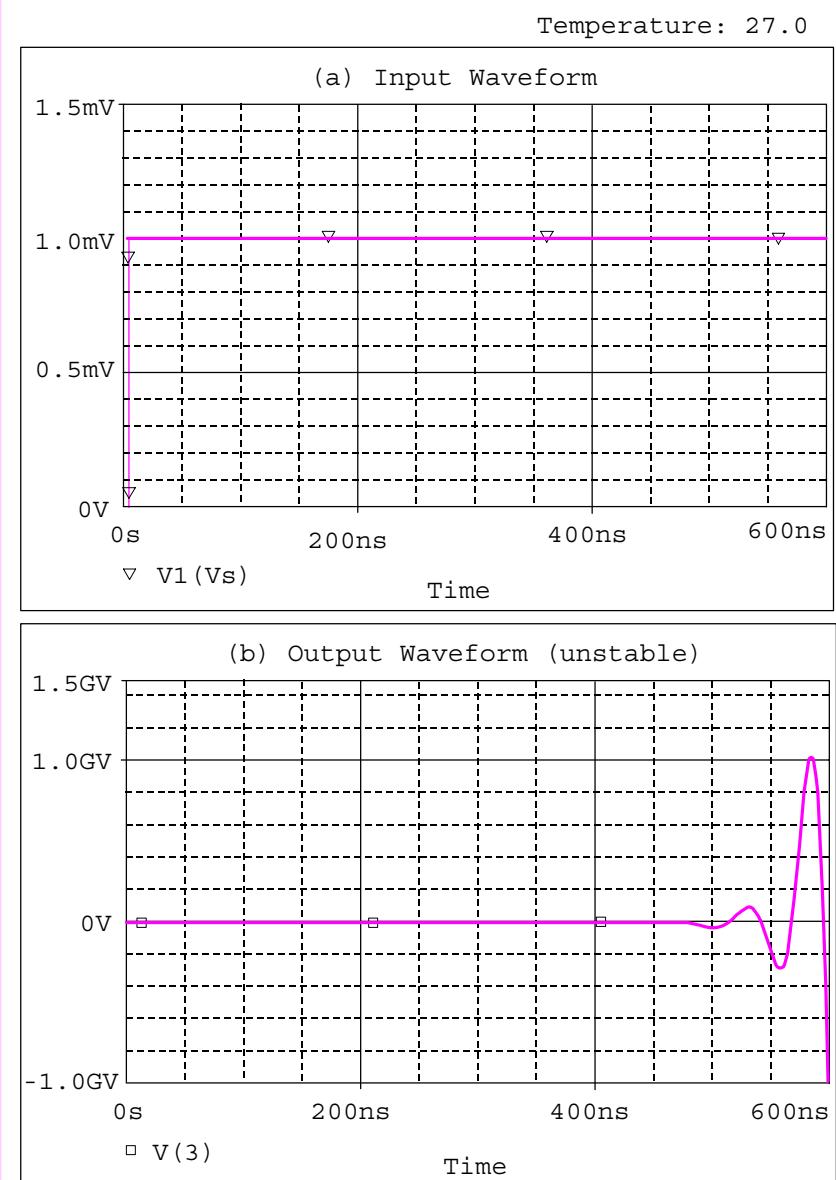


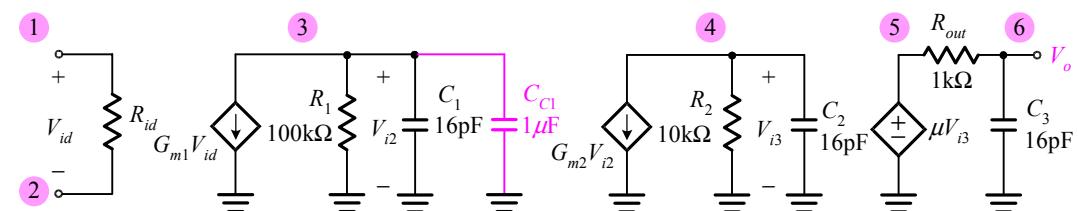
圖 8-12 圖 8-7 非反相放大器在不穩定時之步階響應，其中回授網路組件值為  $R_1 = 1\text{k}\Omega$  和  $R_2 = 9\text{k}\Omega$ ，對應的  $\beta$  值為  $10^{-1}$ 。注意縱座標的電壓單位為 GV( $1\text{GV} = 10^9\text{V}$ )。

是閉迴路增益  $A_f$  降低至  $10V/V$ 。其步階響應之模擬結果繪於圖 8-12。很明顯的，輸出訊號呈現成長式的振盪，其波形與輸入步階訊號並不相似。

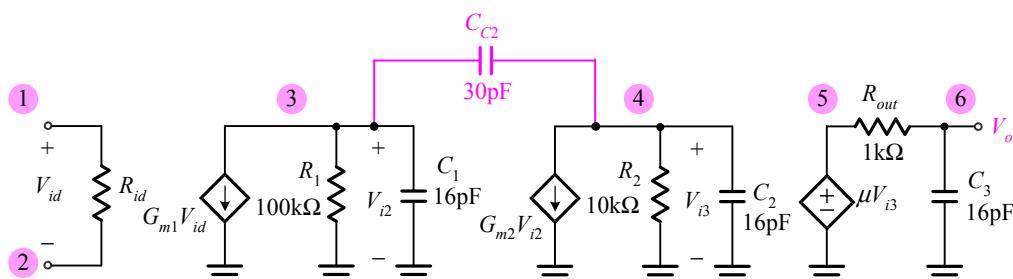
請注意，圖 8-12(b)的縱座標刻度為  $-1GV(GV=10^9V)$  至  $1.5GV$ 。出現如此大的電壓是因為使用圖 8-7(b)之線性模型的緣故；在真實電路中這種數值是絕對不可能出現的，將是在運算放大器的額定輸出電壓(例如  $\pm 13V$ )範圍內振盪。

## 8.3 頻率補償

本節中我們將討論修飾三極點放大器之開迴路轉換函數的方法，以使得回授放大器在任何想要的閉迴路增益下均是穩定的。這種技術稱為頻率補償(frequency compensation)。主要介紹兩種技術——移動極點補償(pole-shifting compensation)以及米勒補償(Miller compensation)。



(a)



(b)

圖 8-13 (a)極點移動補償技術，圖中補償電容  $C_{c1}$  直接連接在第一級與第二級介面。(b)米勒補償技術，圖中補償電容  $C_{c2}$  連接在一、二級回授路徑上。 $(G_{m1} = 0.02A/V, G_{m2} = 0.005A/V$  和  $\mu = 1$ )。

首先回顧圖 8-7(b)之未補償運算放大器，其大小響應與相角響應分別繪於圖 8-15 中標示未補償(uncompensated)之曲線。於是，我們考慮圖 8-7(a)非反相放大器電路並且令  $\beta = 10^{-2}$ ，根據  $40\text{dB}(20\log(1/\beta)) = 40\text{dB}$  水平線與未補償增益大小曲線之交點( $8.648\text{MHz}$ ,  $40.028\text{dB}$ )可獲得對應的相角，其值為  $-213.6^\circ$ ，代表  $\text{PM} = -33.6^\circ$  且為一不穩定回授。注意以上結果其實與圖 8-6 之結果完全相同。

### 移動極點補償技術

現將補償電容  $C_{C1}$  直接與圖 8-7(b)運算放大器之第一級輸出電容  $C_1$  並聯，見圖 8-13(a)，其中令  $C_{C1} = 1\mu\text{F}$ 。這將強迫原來的第一個極點  $f_{HP1}$  移至較低的頻率  $f_{DP}$ ：

$$f_{DP} = \frac{1}{2\pi(C_{C1} + C_1)R_i} \quad (8-15)$$

代入數值得  $f_{DP} = 1.59\text{Hz}$ 。於是補償後的轉移函數  $A_{C1}(if)$  為

$$A_{C1}(if) = \frac{A_o}{\left(1 + j\frac{f}{f_{DP}}\right)\left(1 + j\frac{f}{f_{HP2}}\right)\left(1 + j\frac{f}{f_{HP3}}\right)} \quad (8-16)$$

現以 SPICE 模擬此電路，其輸入檔見圖 8-14 之極點移動補償部份。模擬的結果顯示於圖 8-15 中標示極點移動(pole shifting)之曲線。可看出當  $\beta = 10^{-2}$  時( $40\text{dB}$  水平線)對應的相角為  $-90^\circ$ 。顯示圖 8-7(a)之電路在  $\beta = 10^{-2}$  已成為一穩定電路，且具有  $90^\circ$  之相角邊限。

此外，讀者可注意圖 8-15 中極點移動曲線上高三分貝頻率的位置，其值為  $1.5931\text{Hz}$ ，此值與先前由(8-15)式所得的結果( $f_{DP} = 1.59\text{Hz}$ )幾乎完全相同。

### 米勒補償

若將補償電容  $C_{C2}$  連接至節點 3 和 4 之間，此即米勒補償技術，見圖 8-13(B)，其中令  $C_{C2} = 30\text{pF}$ 。根據手算分析，這將造成所謂極點分裂現象，也就是  $f_{HP1}$  移至較低頻率  $f'_{HP1}$ ：

$$f'_{HP1} \cong \frac{1}{2\pi R_i C_{C2} (1 + G_{m2} R_2)} \quad (8-17)$$

代入數值後  $f'_{HP1} \cong 1.06\text{kHz}$ 。至於另一極點  $f'_{HP2}$  可由手算分析解得

$$f'_{HP2} \cong \frac{G_{m2} C_{C2}}{2\pi [C_1 C_2 + C_{C2} (C_1 + C_2)]} \quad (8-18)$$

代入數值後得  $f'_{HP2}$  為  $19.63\text{MHz}$ 。由於第三個極點  $f_{HP3}$  並無改變，故轉換函數  $A_{C2}(if)$  可表示為

$$A_{C_2}(jf) = \frac{A_o}{\left(1 + j\frac{f}{f'_{HP1}}\right)\left(1 + j\frac{f}{f'_{HP2}}\right)\left(1 + j\frac{f}{f_{HP3}}\right)} \quad (8-19)$$

## Frequency Compensation

\*Pole-shifting Compensation

```
Rid 1 2 1e12
Gm1 3 0 1 2 20m
R1 3 0 100k
C1 3 0 16pF
Gm2 4 0 3 0 5m
R2 4 0 10k
C2 4 0 16pF
E3 5 0 4 0 1
Rout 5 6 1k
C1 6 0 16pF
Cc1 3 0 1uF
```

```
Vi+ 1 0 AC 1V
Vi- 2 0 AC 0V
.AC DEC 100 0.1Hz 1GHz
.probe
.end
```

\*Miller Compensation

```
Rid 1 2 1e12
Gm1 3 0 1 2 20m
R1 3 0 100k
C1 3 0 16pF
Gm2 4 0 3 0 5m
R2 4 0 10k
C2 4 0 16pF
E3 5 0 4 0 1
Rout 5 6 1k
C1 6 0 16pF
Cc2 3 4 30pF
```

```
Vi+ 1 0 AC 1V
Vi- 2 0 AC 0V
.AC DEC 100 0.1Hz 1GHz
.probe
.end
```

圖 8-14 模擬運算放大器開迴路增益頻率響應之 SPICE 輸入檔，其中運算放大器依序為移動極點補償式 op amp(圖 8-13(a))，以及米勒補償式 op amp(圖 8-13(b))。

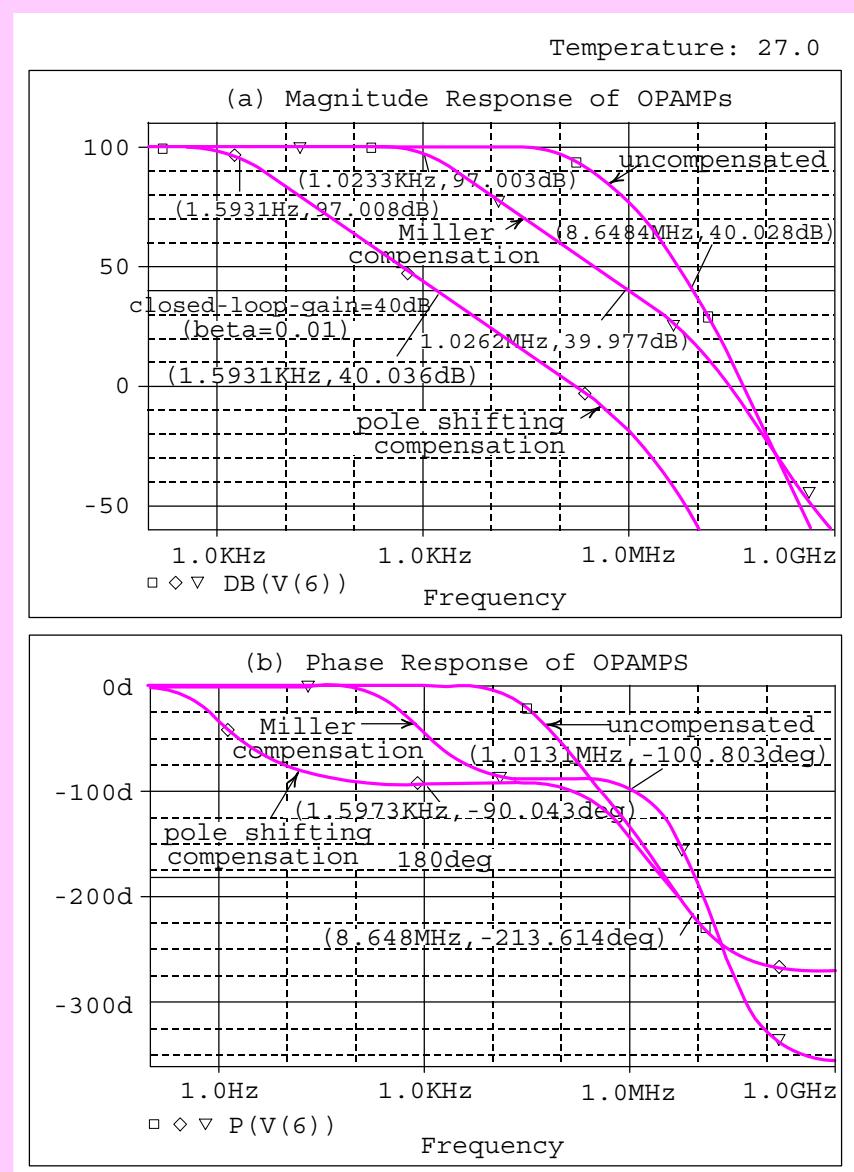


圖 8-15 圖 8-7(a)非反相放大器中之運算放大器之頻率響應，圖中曲線分別對應未補償，移動極點補償，以及米勒補償。

現以 SPICE 模擬此電路，其輸入檔見圖 8-14 之米勒補償部份。模擬的結果顯示於圖 8-15 中標示米勒(Miller)之曲線。可看出當  $\beta = 10^{-2}$  時(40dB 水平線)對應的相角為  $-100.8^\circ$ 。顯示圖 8-7(a)之非反相電路在  $\beta = 10^{-2}$  已成為一穩定電路且具有相角邊限  $PM = 79.2^\circ$ 。

最後，讀者可注意圖 8-15(a)中米勒曲線上高三分貝頻率的位置，其值

爲  $1.02\text{kHz}$ ，此值與先前由(8-17)式所得的結果( $f'_{HP1}=1.06\text{kHz}$ )幾乎完全相同。

對於兩種補償技術——極點移動和米勒補償，其補償成果(即穩定度)相近，相角邊限 PM 值分別爲  $90^\circ$  和  $80^\circ$ ，但是  $3\text{dB}$  頻寬的差距卻相當可觀，分別爲  $1.06\text{kHz}$ (米勒補償)和  $1.59\text{Hz}$ (移動極點)。此外，米勒補償所使用的補償電容數值( $C_{C2}=30\text{pF}$ )亦遠小於移動極點之補償電容數值( $C_{C1}=1\mu\text{F}$ )。

對於兩種補償技術——極點移動和米勒補償，其補償成果(即穩定度)相近，PM 值分別爲  $90^\circ$  和  $80^\circ$ ，但是  $3\text{dB}$  頻寬的差距卻相當可觀。

- 8.1 請標示圖 8-3 中  $R_f=1\text{M}\Omega$  之頻率響應曲線上之中頻增益與三分貝頻寬之位置，並與手算分析值比較。

- 8.2 利用下列關係式

$$20\log|A\beta|=20\log|A|-20\log\frac{1}{\beta}$$

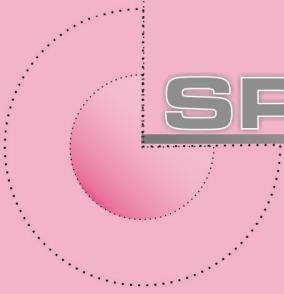
將  $\beta=10^{-4}$  與  $\beta=10^{-2}$  分別轉換爲  $80\text{dB}$  和  $40\text{dB}$  的水平線繪於圖 8-8(a)上，利用 SPICE 讀取交點所對應之相角並計算其相角邊限，最後將結果分別與圖 8-5 和圖 8-6 比較。

- 8.3 (a) 利用圖 8-7 非反相放大器之數據，模擬在  $R_1=R_2=1\text{k}\Omega$ (即閉迴路增益爲 $+2\text{V/V}$ )條件下之步階響應。  
 (b) 承(a)小題，代入(8-6)式繪出迴路增益的大小和相角波德圖，並計算其相角邊限。  
 (c) 承(a)小題，繪出迴路增益的極座標圖(尼癸斯圖)。
- 8.4 針對圖 8-7 之非反相放大器，試分別繪出在穩定回授條件下不同相角邊限 PM( $PM=20^\circ, 40^\circ, 60^\circ, 80^\circ$  和  $100^\circ$ )之步階響應，假設輸入步階高度爲  $1\text{mV}$ 。
- 8.5 利用 SPICE 軟體所提供的檢視功能將圖 8-12(b)之橫座標定爲下列數值，並仔細觀察不穩定回授時步階響應波形之演變  
 (a) 0 至  $200\text{ns}$ ；(b) 0 至  $50\text{ns}$
- 8.6 將圖 8-13(a)和(b)兩種補償技術分別代入圖 8-7(a)之運算放大器中，並於圖 8-7(a)之非反相放大器加入高度  $1\text{mV}$  的步階訊號，試以 SPICE 模擬以下三種情況的步階響應：  
 (a) $R_1=R_2=1\text{k}\Omega$ ；(b) $R_1=1\text{k}\Omega$ 和  $R_2=9\text{k}\Omega$ ；(c) $R_1=1\text{k}\Omega$ 和  $R_2=99\text{k}\Omega$

## 8 練習題

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide*.”
2. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits*,” 6th ed. Oxford University Press, 2009.
3. H. W. Bode, “*Network Analysis and Feedback Amplifier Design*,” Princeton, NJ; D. Van Nostrand Co., 1945.
4. P. W. Tuinenga, “*SPICE: A Guide to Circuit Simulation Analysis Using Psice: IBM-PC 3.5”* 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
5. R. M. Kielkowski, “*Spice: Practical Device Modeling*” New York: McGraw-Hill, Inc. 1995.
6. G. Massobrio and P. Antognetti, “*Semiconductor Device Modeling with SPICE*” 2nd ed. New York: McGraw-Hill, Inc. 1993.
7. K. Lee, “*Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator*” Englewood Cliffs, N. J.: Prentice Hall, 1993.
8. A. B. Grebene, “*Bipolar and MOS Analog Integrated Circuit Design*,” New York: Wiley, 1984.
9. T. C. Carusone, D. A. Johns and K. Martin, “*Analog Integrated Circuit Design*,” 2nd ed. John Wiley and Sons, New York, 2011.
10. J. Millman and A. Grabel, “*Microelectronics*,” 3rd ed. New York: McGraw-Hill Book Co., 1999.
11. N. R. Malik, “*Electronic Circuits; Analysis, Simulation, and Design*,” Englewood Cliffs, NJ: Prentice Hall, Inc., 1995.
12. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, “*Analysis and Design of Analog Integrated Circuits*,” 5th ed., John Wiley and Sons, New York, 2009.
13. B. Razavi, “*Design of Analog CMOS Integrated Circuits*,” 1<sup>st</sup> ed., McGraw-Hill Companies, Inc., 2001.
14. R. J. Baker, “*CMOS Circuit Design, Layout, and Simulation*,” second ed. IEEE Press & John-Wiley & Sons, Inc., 2007.
15. 張文清, “*微電子學上冊*”, 二版, 台北鼎茂圖書, 2013。



**SPICE**

# 9

## 輸出級

本章將介紹放大器中之輸出級部份，而輸出級的主要作用為提供低輸出電阻並供應足夠的負載電流。考慮當一輸入訊號加入一電晶體時，可依照其集極電流的波形變化將輸出級分為三類。對於 A 類輸出級而言，電晶體在整個輸入訊號的週期內都是導通的；也就是說，其導通角度(conduction angle)為  $360^\circ$ 。我們將介紹 A 類輸出級的轉換特性及模擬訊號波形。

對於 B 類輸出級來說，電晶體只有在輸入正弦波的半個週期內導通，即其導通角度為  $180^\circ$ 。再者此正弦波的負半週又由另一個電晶體來導通，此電晶體也是操作在 B 類模式。我們將以 SPICE 模擬此電路的轉換特性，訊號波形及功率散逸等問題。

操作模式介於 A 類和 B 類之間者我們稱之為 AB 類輸出級。在這種輸出級中，電晶體的偏壓電流不為零且遠比正弦波的峰值電流為小，其結果將造成電晶體在略超過半個週期的時間內是導通的。也就是說，其導通角度大於  $180^\circ$ 但遠小於  $360^\circ$ 。對 AB 類輸出級而言，同樣也存在另一個電晶體，此電晶體在略超過負半週的時間內是導通的。因此在接近輸入正弦波與零交叉(zero crossings)之附近時間內，兩個電晶體都是導通的。本章最後一節將以 SPICE 模擬此電路的基本特性；此外，也會介紹一些較深入且不易以手算分析計算的一些輸出級電路之特性。

- 9.1 A 類輸出級
- 9.2 B 類輸出級
- 9.3 AB 類輸出級

## 9.1 A 類輸出級

### 9.1.1 理想電流源偏壓

圖 9-1 為一具有理想偏壓電流源的 A 類輸出級之 SPICE 電路圖，其基本結構為一射極追隨器，即輸出訊號跟隨輸入的訊號波形，為一低失真的輸出級電路。圖中電晶體  $Q_1$  被一理想的定電流源所偏壓且  $I_Q = 1\text{mA}$ ，輸出訊號傳送至一  $1\text{k}\Omega$  的負載電阻  $R_L$ 。

圖 9-2 為分析 A 類輸出級轉換特性的 SPICE 輸入檔，其中  $Q_1$  指定為國家半導體(National Semiconductor)公司型號 NA51 之 BJT，主要參數為  $I_S = 10^{-14}\text{A}$ 、 $\beta_F = 100$  和  $V_{AF} = 100\text{V}$ 。利用直流掃描指令：

```
.DC Vi -16V +16V 50mV
```

可得到其電壓轉換特性，見圖 9-3。

圖 9-3 展現 A 類輸出級優越的線性度(linearity)，這將大幅降低訊號傳送的失真。請注意特性曲線並未直接通過原點，出現了約  $0.7\text{V}$  的偏移電壓。此外，輸出正飽和電壓為  $14.86\text{V}$ ，而輸出負飽和電壓則為  $-10\text{V}$ 。

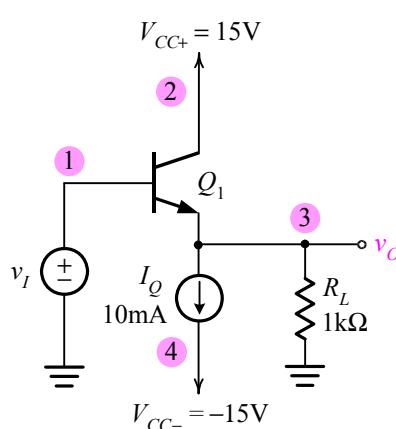


圖 9-1 具有理想偏壓電流源的 A 類輸出級之 SPICE 電路圖。

Transfer Characteristics of the Class A Output Stage ( $I_q=10\text{mA}$ )

```

* circuit description Rl=1k
Vcc+ 2 0 DC +15V
Vcc- 4 0 DC -15V
Vi 1 0 1V
Iq 3 4 10mA
Rl 3 0 1k
* model description
Q1 2 1 3 NA51
.model NA51 NPN (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0
+ Ne=1.5 Ikf=0 Nk=.5 Xtb=1.5 Br=1 Nc=2 Isc=0
+ Ikr=0 Rc=0 Cjc=76.97p Mjc=.2072 Vjc=.75
+ Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n
+ Tf=1n Itf=1 Xtf=0 Vtf=10)
* analysis requests
.DC Vi -16V +16V 50mV
.PLOT DC V(3)
.probe
.end

```

圖 9-2 分析圖 9-1 A 類輸出級轉換特性之 SPICE 輸入檔。

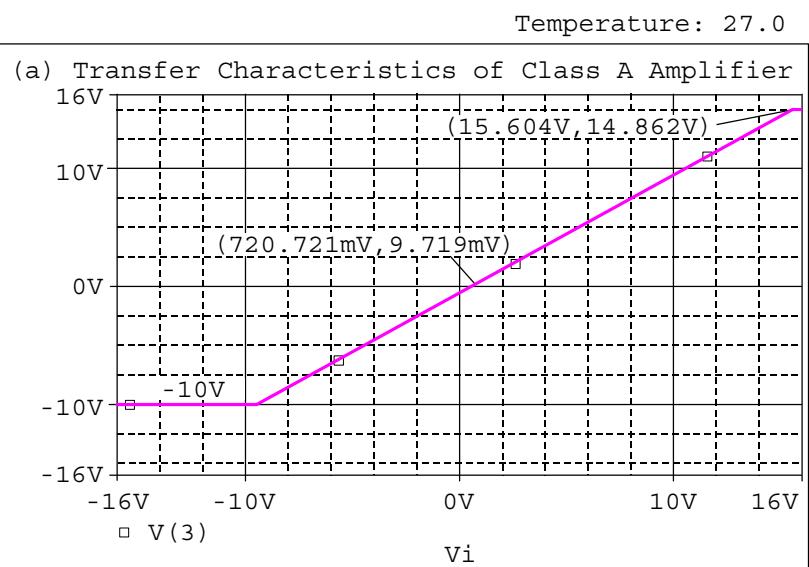


圖 9-3 圖 9-1 使用理想偏壓電流源的 A 類輸出級電路的轉換特性。

## 9.1.2 實際電流源偏壓

### SPICE 模擬

圖 9-4 為一使用實際電流源偏壓的 A 類輸出級電路，其中  $Q_2$  和  $Q_3$  構成一基本電流鏡以提供射極追隨器工作之偏壓電流  $I_Q$ 。在  $Q_2$  和  $Q_3$  匹配且不考慮其他二階效應的條件下， $I_Q = 10 \text{ mA}$ 。

參考圖 9-2 分析 A 類輸出級轉換特性的 SPICE 輸入檔，並假設  $Q_1$ 、 $Q_2$  和  $Q_3$  均為國家半導體(National Semiconductor)公司型號 NA51 之 BJT，主要參數為  $I_s = 10^{-14} \text{ A}$ 、 $\beta_F = 100$  和  $V_{AF} = 100 \text{ V}$ 。

於是元件模型敘述部份的指令如下：

```

Q1 2 1 3 NA51
Q2 3 5 4 NA51
Q3 5 5 4 NA51
.model NA51 NPN (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100
+ Ise=0 Ne=1.5 Ikf=.5 Xtb=1.5 Br=1
+ Nc=2 Isc=0 Ikr=0 Rc=0 Cjc=76.97p
+ Mjc=.2072 Vjc=.75 Fc=.5 Cje=5p Mje=.3333
+ Vje=.75 Tr=10n Tf=1n Itf=1 Xtf=0 Vtf=0)

```

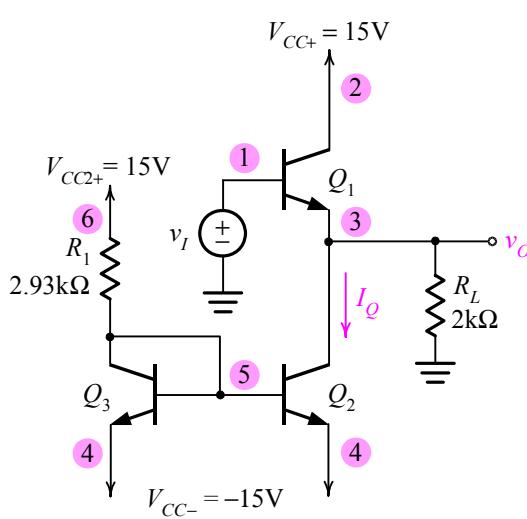


圖 9-4 具有實際偏壓電流源的 A 類輸出級之 SPICE 電路圖，其中負載電阻  $R_L$  值選擇  $2\text{k}\Omega$ 。注意，當  $R_L = 1\text{k}\Omega$  時，轉換特性為圖 9-6。

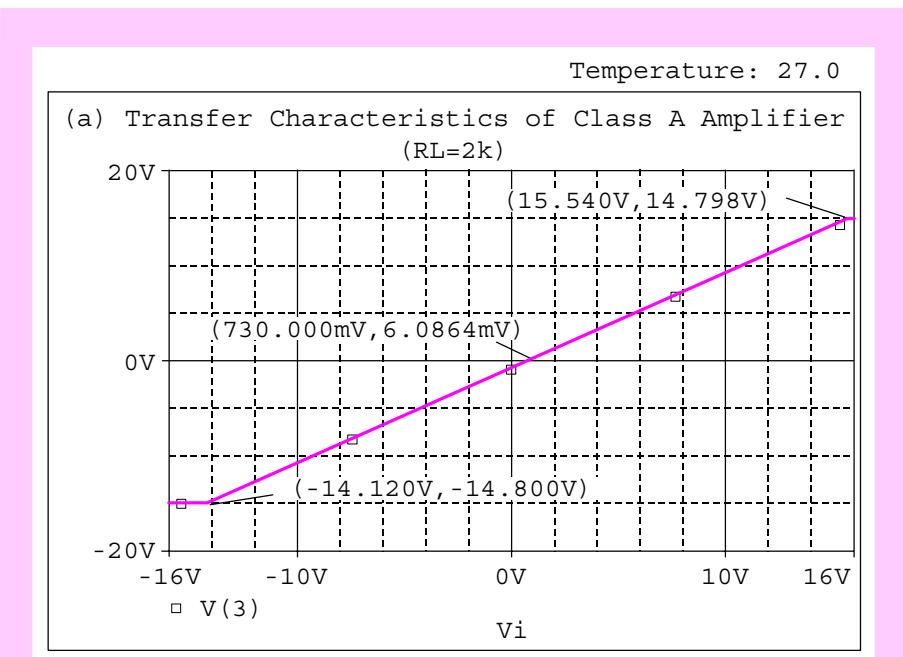


圖 9-5 圖 9-4 A 類輸出級之轉換特性，其中  $R_L=2\text{k}\Omega$  時，負飽和電壓將由  $Q_2$  的飽和決定，其值約為  $-14.8\text{V}$ 。

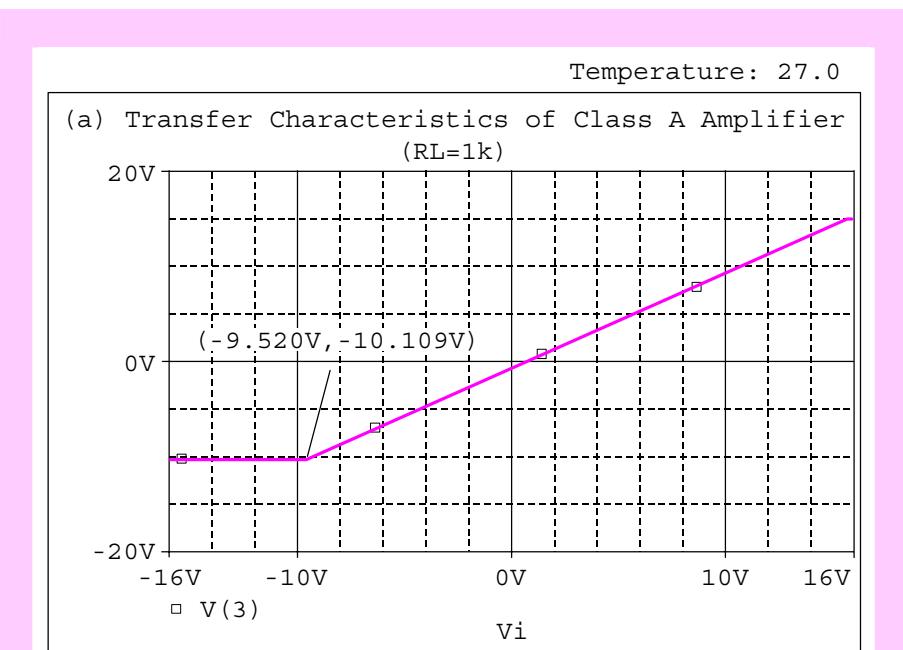


圖 9-6 圖 9-4 A 類輸出級之轉換特性，其中  $R_L=1\text{k}\Omega$  時，負飽和電壓將由  $Q_1$  的截止決定，其值約為  $-10\text{V}$ 。

```

Signal Waveform of the Class A Output Stage

* circuit description
Vcc+ 2 0 DC +15V
Vcc- 4 0 DC -15V
Vcc2+ 6 0 +15V
Vi 1 0 sin (0V 10V 1kHz)
Rl 3 0 2k
R1 5 6 2.93k
* model description
Q1 2 1 3 NA51
Q2 3 5 4 NA51
Q3 5 5 4 NA51
.model NA51 NPN (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0
+ Ne=1.5 Ikf=0 Nk=.5 Xtb=1.5 Br=1 Nc=2 Isc=0
+ Ikr=0 Rc=0 Cjc=76.97p Mjc=.2072 Vjc=.75
+ Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n
+ Tf=1n Itf=1 Xtf=0 Vtf=10)
* analysis requests
.TRAN 0.001ms 2ms 0ms 0.001ms
.PLOT DC V(3)
.probe
.end

```

圖 9-7 圖 9-4 A 類輸出級電路分析訊號波形之 SPICE 輸入檔，其中  $R_L=2\text{k}\Omega$ 。

經直流掃描指令所得到的轉換特性繪於圖 9-5 和圖 9-6。注意兩圖使用的負載電阻並不相同，分別是  $R_L=2\text{k}\Omega$  和  $R_L=1\text{k}\Omega$ 。其結果將造成不同的負飽和電壓，分別對應  $-14.8\text{V}$  ( $R_L=2\text{k}\Omega$ ) 和  $-10.1\text{V}$  ( $R_L=1\text{k}\Omega$ )。至於負載電阻的變化顯然對正飽和電壓 ( $+14.8\text{V}$ )，偏移電壓以及線性度均不構成影響。

另一方面，圖 9-7 顯示分析圖 9-4(a) 類輸出級訊號波形之 SPICE 輸入檔。注意輸入訊號之敘述：

Vi 1 0 sin (0V 10V 1kHz)

代表  $V_i$  為一零直流成份且振幅為  $10\text{V}$  和頻率為  $1\text{kHz}$  之正弦波，可參考圖 9-8(a)。此訊號送入 A 類輸出級，經由暫態分析指令：

.TRAN 0.001ms 2ms 0ms 0.001ms

上述代表執行暫態分析，由  $0\text{ms}$  運算至  $2\text{ms}$ ，每  $0.001\text{ms}$  計算一次。模擬的訊號波形顯示於圖 9-8(b) 和 (c)，其中圖 9-8(b) 為輸出訊號，顯示與輸入正弦訊號幾乎雷同，唯一差別在於輸出訊號的直流準位並非  $0\text{V}$ ，而是  $-0.7\text{V}$ ，顯然這是因為轉換特性中出現  $-0.7\text{V}$  偏移電壓的緣故。圖

注意兩圖使用的負載電阻並不相同，分別是  $R_L=2\text{k}\Omega$  和  $R_L=1\text{k}\Omega$ 。其結果將造成不同的負飽和電壓

集極電流的直流準位幾乎等於偏壓電流  $I_Q$ 。

9-8(c)為集極電流波形，其頻率亦為 1kHz，而集極電流的直流準位幾乎等於偏壓電流  $I_Q$  (10mA)。

### 手算分析

以下我們將以手算分析說明圖 9-5 和圖 9-6 的轉換特性曲線。首先，就圖 9-4 中射極追隨器的轉換特性可寫成

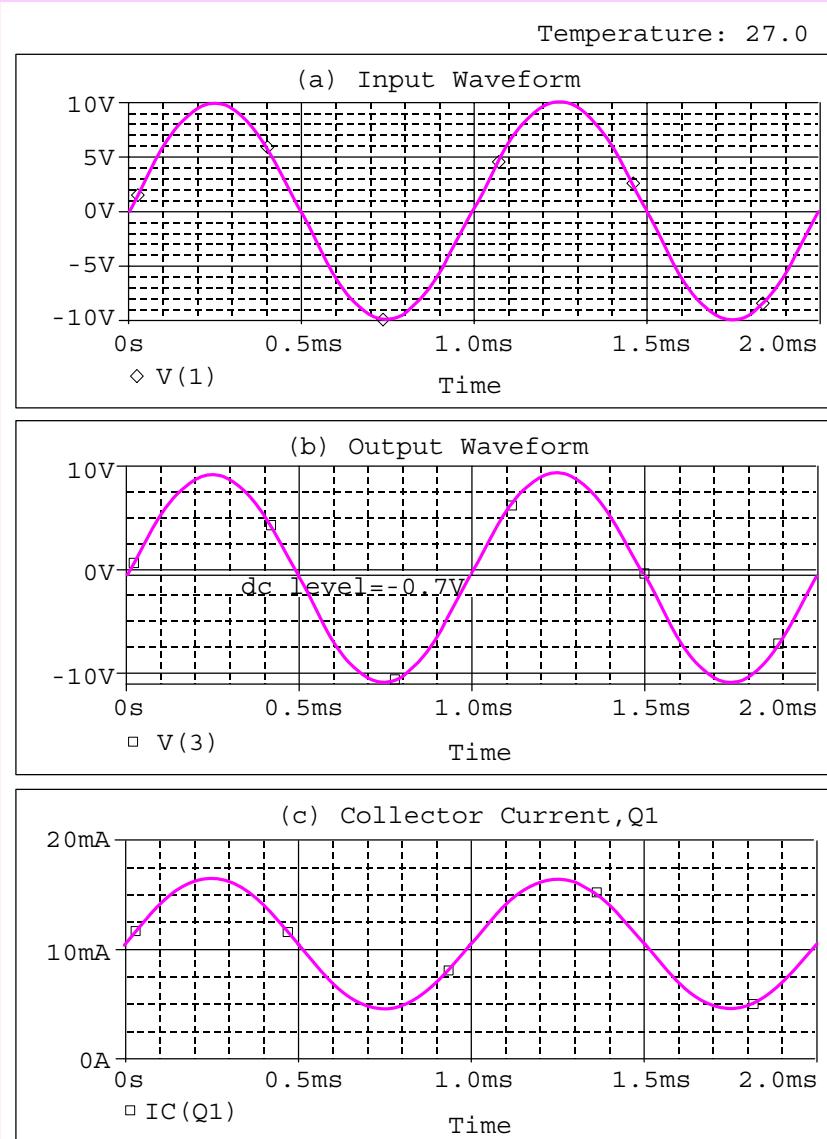


圖 9-8 圖 9-4 A 類輸出級電路之訊號波形：(a)輸入正弦波，(b)輸出波形，(c)Q<sub>1</sub>上的集極電流波形。

$$v_O = v_I - v_{BE1} \approx v_I - 0.7 \quad (9-1)$$

其中  $v_{BE1}$  之值應與射極電流  $i_{E1}$  和負載電流  $i_L$  有關。若我們忽略在  $v_{BE1}$  上的極小變化，則可得到圖 9-5 和圖 9-6 所示的線性轉換特性。如圖所示，此線性區之正極限值  $V_M$  是由  $Q_1$  的飽和決定；因此

$$V_M = V_{CC} - V_{CE1(sat)} \quad (9-2)$$

令  $V_{CE1(sat)} = 0.2\text{V}$ ，於是  $V_M$  為  $+14.8\text{V}$ ，與圖 9-6 中之標示值( $+14.798\text{V}$ )一致。

至於最大的負極限值為何者要視  $I_Q$  和  $R_L$  以及  $V_{CC}$  的值決定。譬如說圖 9-5 之情況( $R_L = 2\text{k}\Omega$ )顯然滿足

$$I_Q \geq \frac{|-V_{CC} + V_{CE2(sat)}|}{R_L} \quad (9-3)$$

則最低輸出電壓  $V_{m1}$  就由  $Q_2$  的飽和所決定，其中

$$V_{m1} = -V_{CC} + V_{CE2(sat)} \quad (9-4)$$

代值後可得  $V_{m1} = -14.8\text{V}$ 。倘若像圖 9-6 之情況( $R_L = 1\text{k}\Omega$ )，滿足

$$I_Q \leq \frac{|-V_{CC} + V_{CE2(sat)}|}{R_L} \quad (9-5)$$

則另一負極限值  $V_{m2}$  即由  $Q_1$  的截止決定，其中

$$V_{m2} = -I_Q R_L \quad (9-6)$$

代值後可得  $V_{m2} = -10\text{V}$ ，與圖 9-6 顯示的數值( $-10.1\text{V}$ )幾乎一致。

## 9.2 B 類輸出級

圖 9-9 為 B 類輸出級之 SPICE 電路圖，此電路被一電壓源  $v_I$  所驅動並將輸出連接至一  $10\Omega$  之負載。它是由一對互補電晶體所組成(也就是一個  $npn$  和一個  $pnp$ )，而其電晶體的連接方式將造成兩者無法同時導通。一般來說，B 類輸出級具有相當高的功率轉換效率但卻出現交越失真之現象。以下我們將分別介紹 B 類輸出級的轉換特性與訊號波形。

B 類輸出級具有相當高的功率轉換效率但卻出現交越失真之現象。

### 9.2.1 轉換特性

#### SPICE 模擬

接下來我們將模擬 B 類輸出級之轉換特性曲線。在此我們並未列出掃描轉換特性曲線之 SPICE 輸入檔，主要仍使用直流分析指令.DC 掃描，其

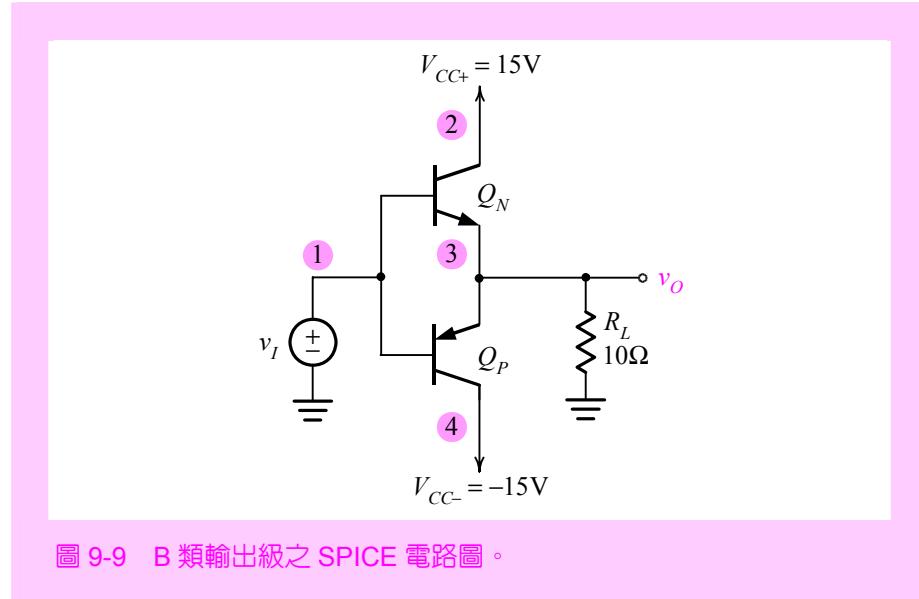


圖 9-9 B 類輸出級之 SPICE 電路圖。

指令如下：

```
.DC Vi -16V +16V 50mV
```

以上指令將對  $v_I$  作直流掃描，每 50mV 分析一次，由 -16V 執行至 16V。

圖 9-10 顯示 B 類輸出級之轉換特性，當輸出電壓大於 0.7V 時，電晶體  $Q_N$  進入主動區且  $Q_P$  截止；輸入電壓小於 -0.7V 時， $Q_N$  則進入截止區而  $Q_P$  主動。另外，請注意在原點附近存在約  $\pm 0.7V$  之截止帶(dead band)及接近供應電源值  $\pm 15V$  附近之輸出飽和現象。

### 手算分析

以下我們將介紹轉換特性的手算分析部份：首先考慮當  $v_I = 0$  時， $Q_N$  和  $Q_P$  均截止，此時  $v_O = 0$ 。當  $v_I$  往正方向增加且其值超過 0.7V 時， $Q_N$  導通。它的作用像一射極追隨器， $v_O$  跟隨  $v_I$ ，也就是

$$v_O = v_I - v_{BEN} \quad (9-7)$$

此時由  $Q_N$  供應負載所需的電流。而  $Q_P$  則處於截止狀態。當  $v_I$  往負方向增加且其值低於 -0.7V 時， $Q_P$  導通。它的作用像一射極追隨器， $v_O$  跟隨  $v_I$ ，也就是

$$v_O = v_I + v_{EBP} \quad (9-8)$$

此時由  $Q_P$  汲取負載電流，而  $Q_N$  則處於截止狀態。

以上的這種操作模式稱為 B 類，而這個電路又可稱為推挽式電路(push-pull circuit)。因為在正半週時， $Q_N$  將電流推入(push)負載；而在負

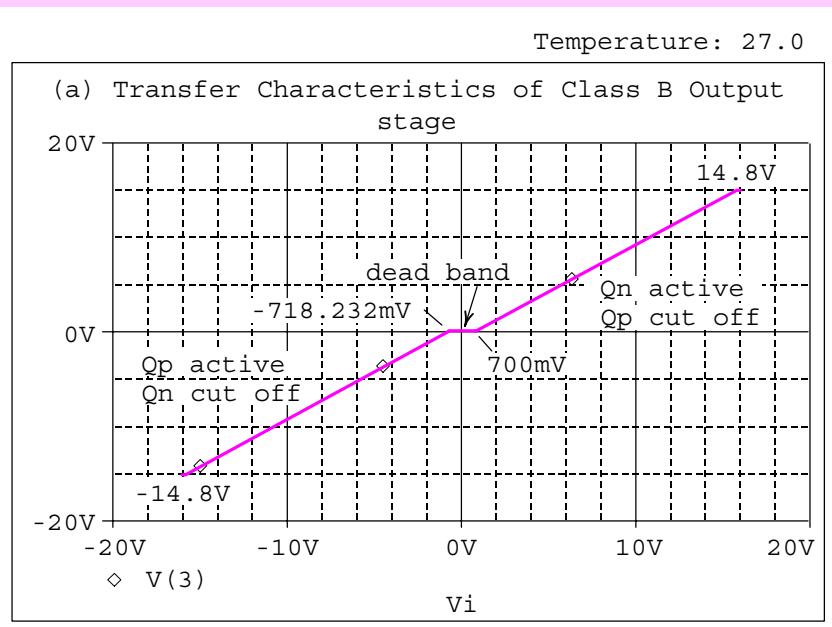


圖 9-10 B 類輸出級之轉換特性。請注意原點附近存在約 $\pm 0.7V$  之截止帶以及接近供應電源值 $\pm 15V$  附近之輸出飽和現象。

半週時， $Q_P$ 由負載處將電流拉回(pull)。回憶在上一節所提的 A 類電路中， $Q_I$ 被一個大電流所偏壓。而在 B 類電路中， $Q_N$ 和 $Q_P$ 上的偏壓電流均為零，祇有在輸入訊號出現時，電晶體才進入導通狀態。

參考 B 類輸出級電路中的轉換特性，顯示於圖 9-10。注意在零點附近之  $v_i$  存在一範圍，在此範圍內兩個電晶體均為截止，且輸出保持在零。這個範圍稱為截止帶(dead band)，導致所謂交越失真(crossover distortion)。顯然當輸入訊號之振幅很小時，這個交越失真現象將很嚴重。此外，圖 9-10 中之輸出飽和電壓分別由  $Q_N$  和  $Q_P$  之飽和決定，即正飽和電壓  $V_M$

$$V_M = V_{CC} - V_{CEN(sat)} \quad (9-9)$$

和負飽和電壓  $V_m$

$$V_m = -V_{CC} + V_{ECP(sat)} \quad (9-10)$$

### 訊號波形

圖 9-11 顯示一計算圖 9-9 B 類輸出級電路暫態響應之 SPICE 輸入檔。其中輸入源  $v_i$  為一振幅 10V 且頻率為 1kHz 之正弦波，指令如下：

注意在零點附近之  $v_i$  存在一範圍，在此範圍內兩個電晶體均為截止，且輸出保持在零。這個範圍稱為截止帶，導致所謂交越失真。

```

Class B Output Stage
* circuit description *
Vcc+ 2 0 DC +15V
Vcc- 4 0 DC -15V
Vi 1 0 sin (0V 10V 1kHz)
Rl 3 0 10
* transistor model description for National Semiconductor's
*complementary transistors NA51 and NA52
* model description
Qn 2 1 3 NA51
Qp 4 1 3 NA52
.model NA51 NPN (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0
+ Ne=1.5 Ikf=0 Nk=.5 Xtb=1.5 Br=1 Nc=2 Isc=0
+ Ikr=0 Rc=0 Cjc=76.97p Mjc=.2072 Vjc=.75
+ Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n
+ Tf=1n Itf=1 Xtf=0 Vtf=10)
.model NA52 PNP (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0
+ Ne=1.5 Ikf=0 Nk=.5 Xtb=1.5 Br=1 Nc=2 Isc=0
+ Ikr=0 Rc=0 Cjc=112.6p Mjc=.1875 Vjc=.75
+ Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n
+ Tf=1n Itf=1 Xtf=0 Vtf=10)
* analysis requests
.TRAN 10us 3ms 0ms 10us
* output requests
.PLOT TRAN V(2) i(Vcc+)
.PLOT TRAN V(4) i(Vcc-)
.PLOT TRAN V(3) i(Rl)
.PLOT TRAN V(2,3) i(Vcc+)
.PLOT TRAN V(4,3) i(Vcc-)
.probe
.end

```

圖 9-11 計算圖 9-9 B 類輸出級電路暫態響應之 SPICE 輸入檔。

Vi 3 0 sin (0V 10V 1kHz)

而暫態分析由 0ms 分析至 3ms。至於電晶體  $Q_N$  和  $Q_P$  則使用國家半導體互補電晶體 NA51 和 NA52 的元件參數。在輸出部份，則要求繪出輸出電壓及分支電流。

圖 9-12 顯示操作波形。圖 9-12(a)為橫跨於負載上之輸出電壓，圖(b)為傳送至負載之電流，其中輸出峰值電壓振幅為 9.169V 和負載峰值電流振幅為 916.96mA。注意在輸出電壓與負載流波形上均顯示了些微的交越失真。圖 9-12(c)為負載上的瞬時功率散逸，可由輸出電壓波形與負載電流波形直接相乘而得，其中瞬時功率散逸(instantaneous power dissipation)之極大值為 8.4W。

圖 9-13 為電晶體  $Q_N$  之操作波形。圖 9-13(a)顯示  $Q_N$  的  $v_{CE}$  之波形；圖 9-13(b)顯示電晶體  $Q_N$  在輸入正弦的正半週導通，其集極電流最大值為 908.345mA。

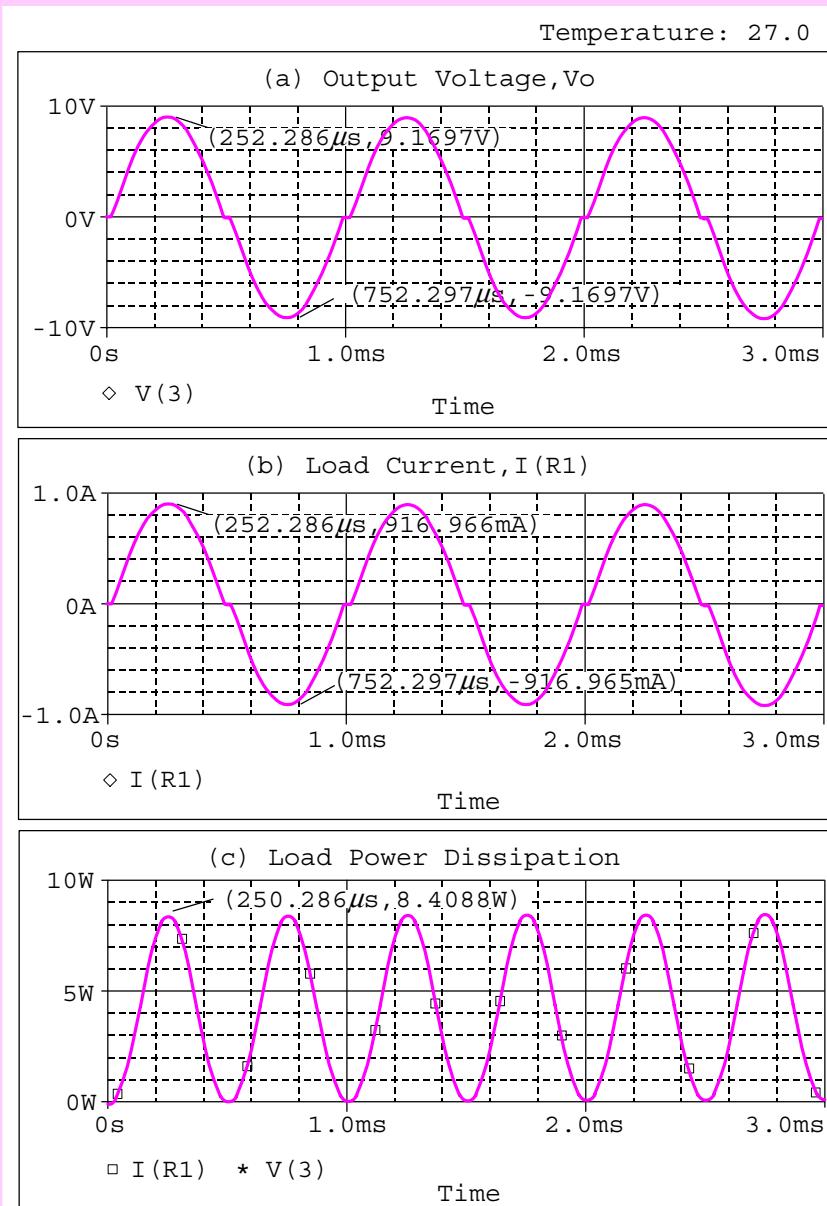


圖 9-12 圖 9-9 電路中加入振幅 10V 和頻率 1kHz 之正弦波後由 SPICE 分析而得的波形：(a)輸出電壓，(b)傳送至負載之電流，(c)負載之瞬時功率散逸。

圖 9-13(c)計算電晶體  $Q_N$  之瞬時功率散逸，基於 B 類輸出級電路的對稱性，故其瞬時功率散逸波形將與電晶體  $Q_P$  類似，只是相位差了  $180^\circ$ 。

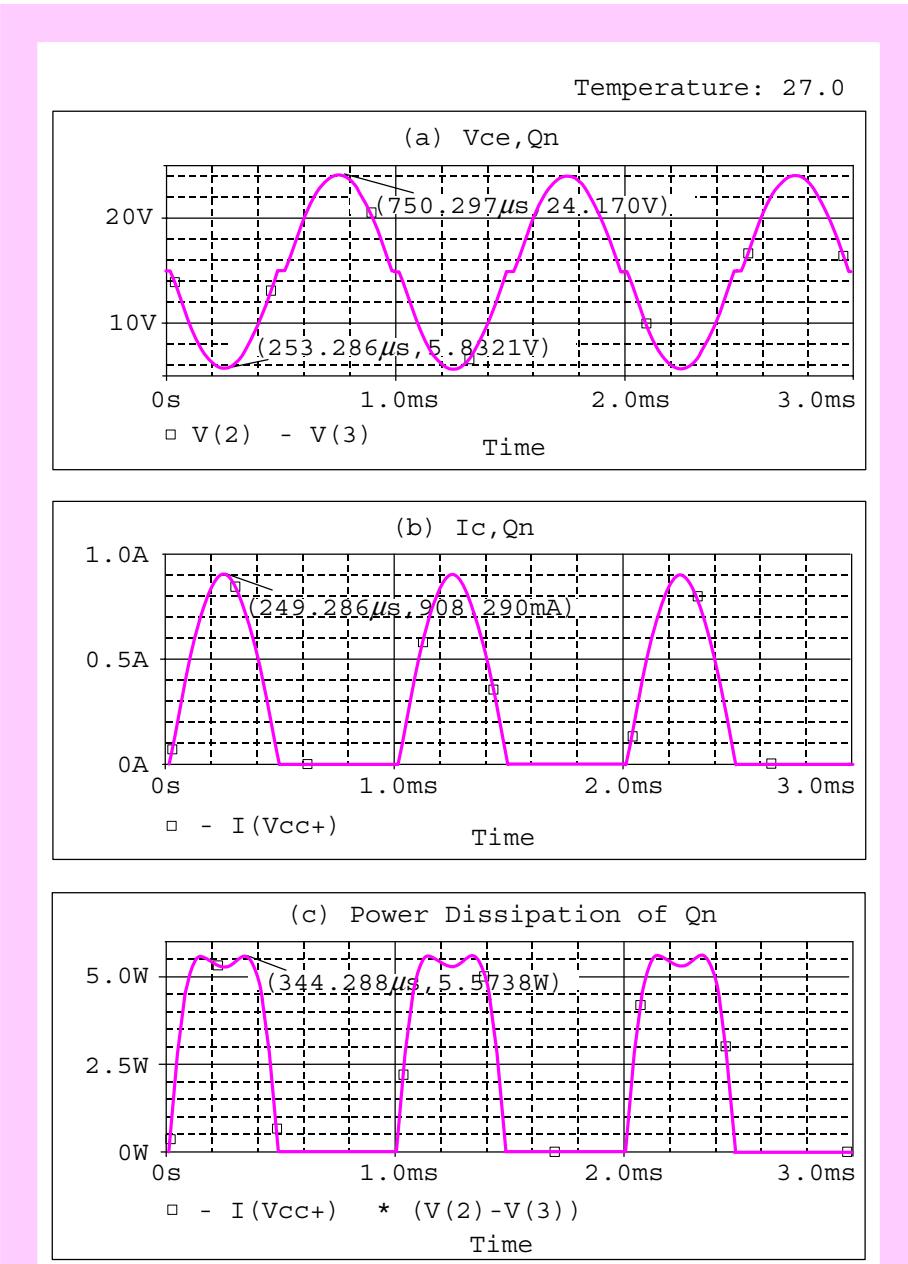


圖 9-13 電晶體  $Q_N$  操作波形：(a)集射接面電壓  $V_{CE}$ ，(b)集極電流波形，可看出  $Q_N$  在正半週導通，且其峰值電流為 908.29mA，(c) $Q_N$  之瞬時功率散逸波形，其最大瞬時功率散逸為 5.573W。

圖 9-14 顯示電晶體  $Q_P$  之操作波形。圖(a)為  $Q_P$  之集射接面電壓  $v_{CE}$  之波形，波形中仍有些微的失真；圖(b)顯示  $Q_P$  的集極電流，由圖可知電晶體的導通角度約為  $180^\circ$  且在  $v_I$  進入負半週時  $Q_P$  導通，電流峰值為

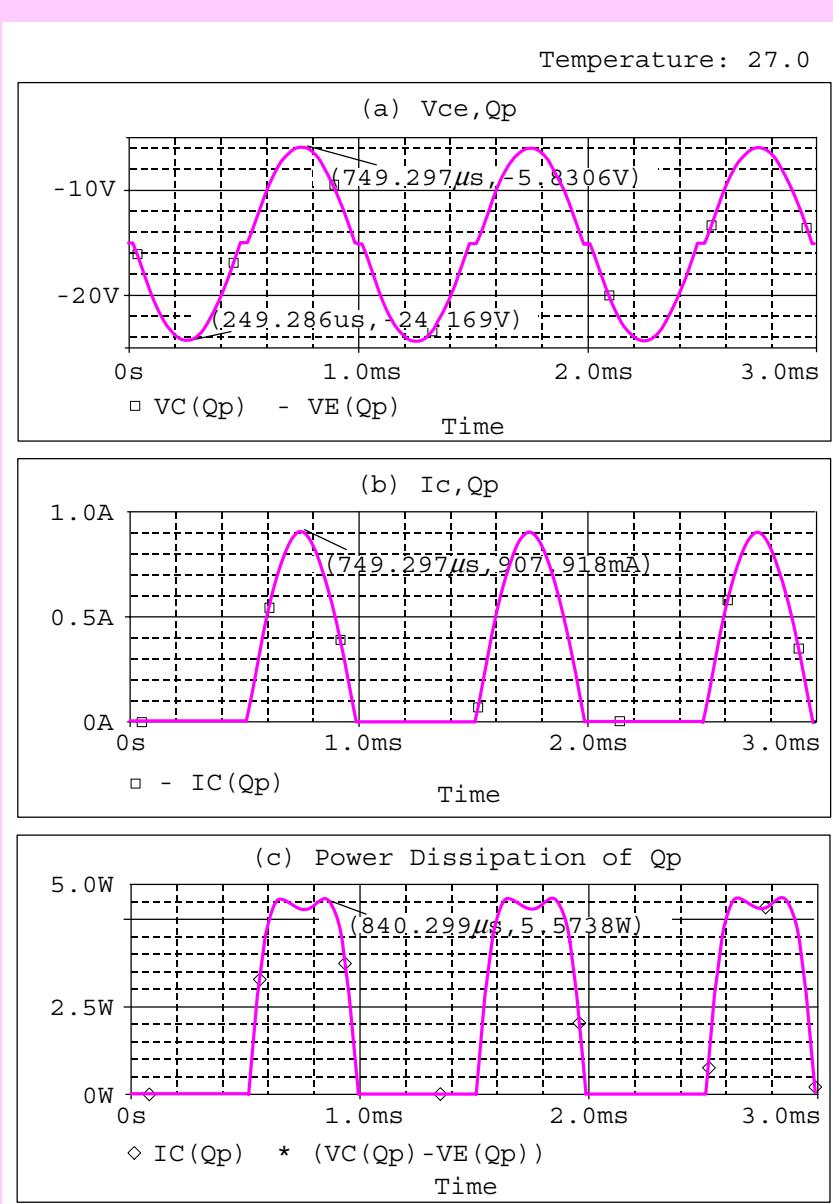


圖 9-14 電晶體  $Q_P$  之操作波形：(a) $Q_P$  之集射接面電壓  $v_{CE}$  之波形，(b) $Q_P$  之集極電流，可看出  $Q_P$  在負半週導通，其電流峰值為 907.92mA，(c) $Q_P$  之瞬時功率散逸。

908.3mA。圖(c)則為電晶體  $Q_P$  之瞬時功率散逸，可知其最大瞬時功率散逸為 5.574W。

## 9.3 AB 類輸出級

### 9.3.1 轉換特性

若將上節電路中的互補電晶體偏壓在一個小且非零的電流，則交越失真現象可以幾乎被消除。如此所獲得的電路稱為 AB 類輸出級，如圖 9-15 所示。圖中  $V_{BB}$  被加在  $Q_N$  和  $Q_P$  的兩基極之間，而  $V_{BB}$  則是由電流源  $I_{REF}$  機供應 10mA 電流至電晶體  $Q_1$  和  $Q_2$  的串聯組合所提供的。

AB 類輸出級之基本觀念如下：對於正的輸出電壓而言，負載電流主要由  $Q_N$  供應，它扮演一個射極追隨器。其間，當  $v_O$  增加時， $Q_P$  上的電流減少；若  $v_O$  足夠大時， $Q_P$  上的電流即可忽略。同理，對於負的輸出電壓而言，負載電流主要由  $Q_P$  供應。若  $v_O$  掉至足夠負時， $Q_N$  上的電流即可忽略。

圖 9-16 為分析 AB 類輸出級電壓轉換特性的 SPICE 輸入檔，其中四個 BJT 仍分別使用 NA51 和 NA52 之模型參數。經直流掃描指令所得的

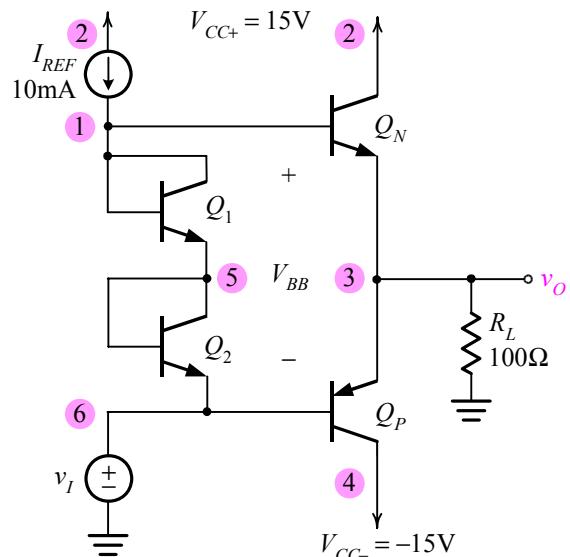


圖 9-15 — AB 類輸出級之 SPICE 電路圖，其中  $Q_1$  和  $Q_2$  為偏壓電晶體。

```

Transfer Characteristics of Class AB Output Stage

*circuit description
Vcc+ 2 0 DC +15V
Vcc- 4 0 DC -15V
Vi 6 0 0V
Iref 2 1 10m
Rl 3 0 100
* model description
Qn 2 1 3 NA51
Qp 4 6 3 NA52
Q1 1 1 5 NA51
Q2 5 5 6 NA51
.model NA51 NPN (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0
+ Ne=1.5 Ikf=0 Nk=.5 Xtb=1.5 Br=1 Nc=2 Isc=0
+ Ikr=0 Rc=0 Cjc=76.97p Mjc=.2072 Vjc=.75
+ Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n
+ Tf=1n Itf=1 Xtf=0 Vtf=10)
.model NA52 PNP (Is=10f Xti=3 Eg=1.11 Vaf=100 Bf=100 Ise=0
+ Ne=1.5 Ikf=0 Nk=.5 Xtb=1.5 Br=1 Nc=2 Isc=0
+ Ikr=0 Rc=0 Cjc=112.6p Mjc=.1875 Vjc=.75
+ Fc=.5 Cje=5p Mje=.3333 Vje=.75 Tr=10n
+ Tf=1n Itf=1 Xtf=0 Vtf=10)
*analysis requests
.DC Vi -16V 16V 10mV
.probe
.end

```

圖 9-16 分析圖 9-15 AB 類輸出級轉換特性之 SPICE 輸入檔。

轉換特性見圖 9-17。

圖中顯示的正負飽和電壓與 B 類輸出級幾乎一致，也就是 $+14.8V$  和  $-14.8V$ 。但是與 B 類輸出級最大差別在於原有原點附近截止帶已經消失，且保持 A 類輸出級中良好線性度的優點。

因此我們結論是，AB 類輸出級與 B 類之操作類似，只是一點例外——對小  $v_i$  而言，兩電晶體導通。且當  $v_i$  增加或減少時，兩電晶體中之一者將主宰整個電路的操作。因為此狀態變遷過程是平滑的，故交越失真現象將幾乎被消除。注意 AB 類電路與 B 類之主要差別在 AB 類電路中當  $v_i = 0$  時，兩個元件均導通，故轉換特性中之截止帶消失。

與 B 類輸出級最大差別在於原有原點附近截止帶已經消失，且保持 A 類輸出級中良好線性度的優點。

### 9.3.2 訊號波形

參考原有圖 9-16 之輸入檔，首先我們修改輸入訊號之敘述如下：

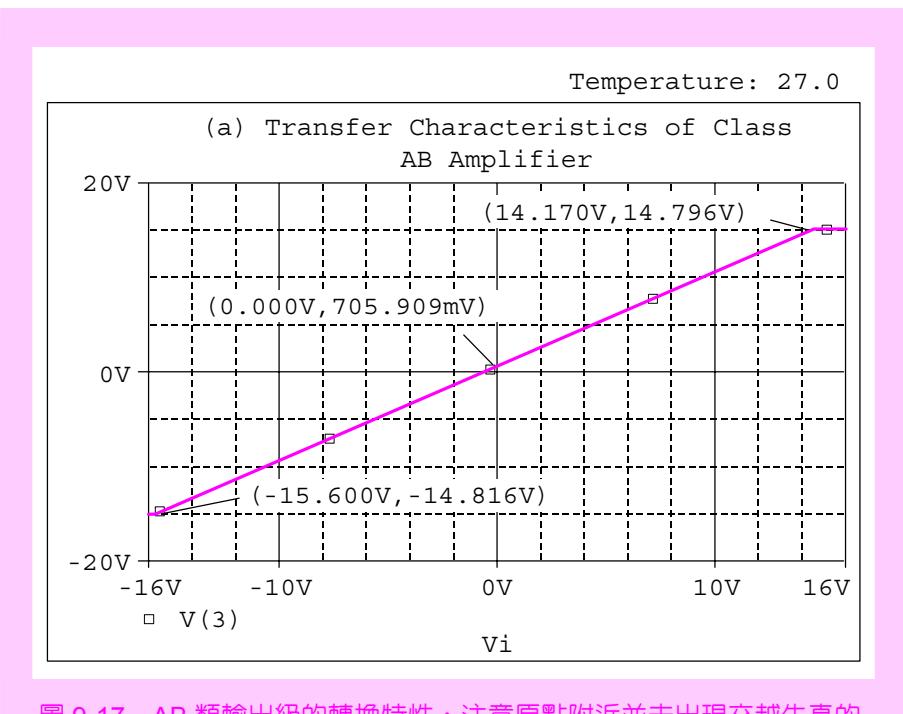


圖 9-17 AB 類輸出級的轉換特性，注意原點附近並未出現交越失真的現象。

$$Vi \ 6 \ 0 \ \sin (0 \ 10V \ 1kHz)$$

其波形圖請參考圖 9-18(a)。並在分析需求部份加入暫態分析指令：

```
.TRAN 0.001ms 2ms 0ms 0.001ms
```

其分析結果顯示於圖 9-18 至圖 9-20。

圖 9-18(b)為輸出正弦波形，我們發現就訊號振幅和頻率而言，輸出與輸入波形幾乎完全相同，唯一差別在於其直流成份並非零，而是出現了  $-0.7V$  之輸出直流偏移電壓。關於這點，可以很容易由圖 9-17 中標示值  $(0.000V, 705.909mV)$  了解。

圖 9-19(a)和(b)分別為電晶體  $Q_N$  和  $Q_P$  的射極電流，由此模擬的波形呼應了先前的基本觀念——對於正的輸入和輸出電壓而言，負載電流主要由  $Q_N$  供應。其間，當  $v_O$  增加時， $Q_P$  上的電流減少；若  $v_O$  足夠大時， $Q_P$  上的電流即可忽略。注意圖中  $Q_N$  的峰值電流為  $107.45mA$ ，對應  $Q_P$  的電流僅為  $0.967mA$ ，兩者差距 100 倍以上。同理，對於負的輸出電壓而言，負載電流主要由  $Q_P$  供應。若  $v_O$  掉至足夠負時， $Q_N$  上的電流即可忽略。注意圖中  $Q_P$  的峰值電流為  $93.66mA$  時，對應的  $Q_P$  電流為  $1.38mA$ ，兩者差距約 68 倍。

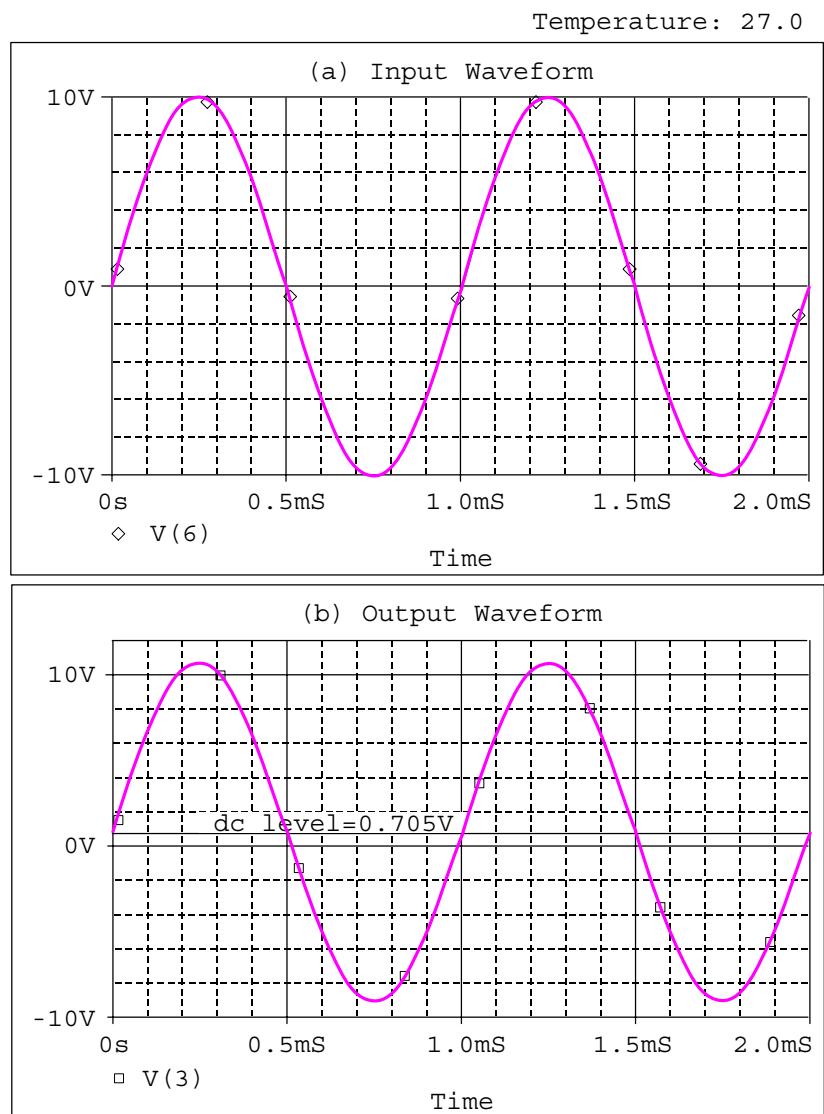


圖 9-18 圖 9-15 AB 類輸出級之訊號波形：(a) 輸入正弦波形，(b) 輸出訊號波形。

此外，負載電流為兩射極電流之差，見圖 9-19(c)。圖中顯示負載電流呈現出幾乎無失真的正弦波形，此結果與圖 9-18(b)之輸出正弦波形吻合，兩者間之差別則由負載電阻決定。

圖 9-20(a)和(b)分別為  $Q_N$  和  $Q_P$  的基射電壓  $v_{BEN}$  和  $v_{EBP}$ ，顯示在 0.7V 附近上下約 70mV 範圍變動。因為

圖中顯示負載電流呈現出幾乎無失真的正弦波形。

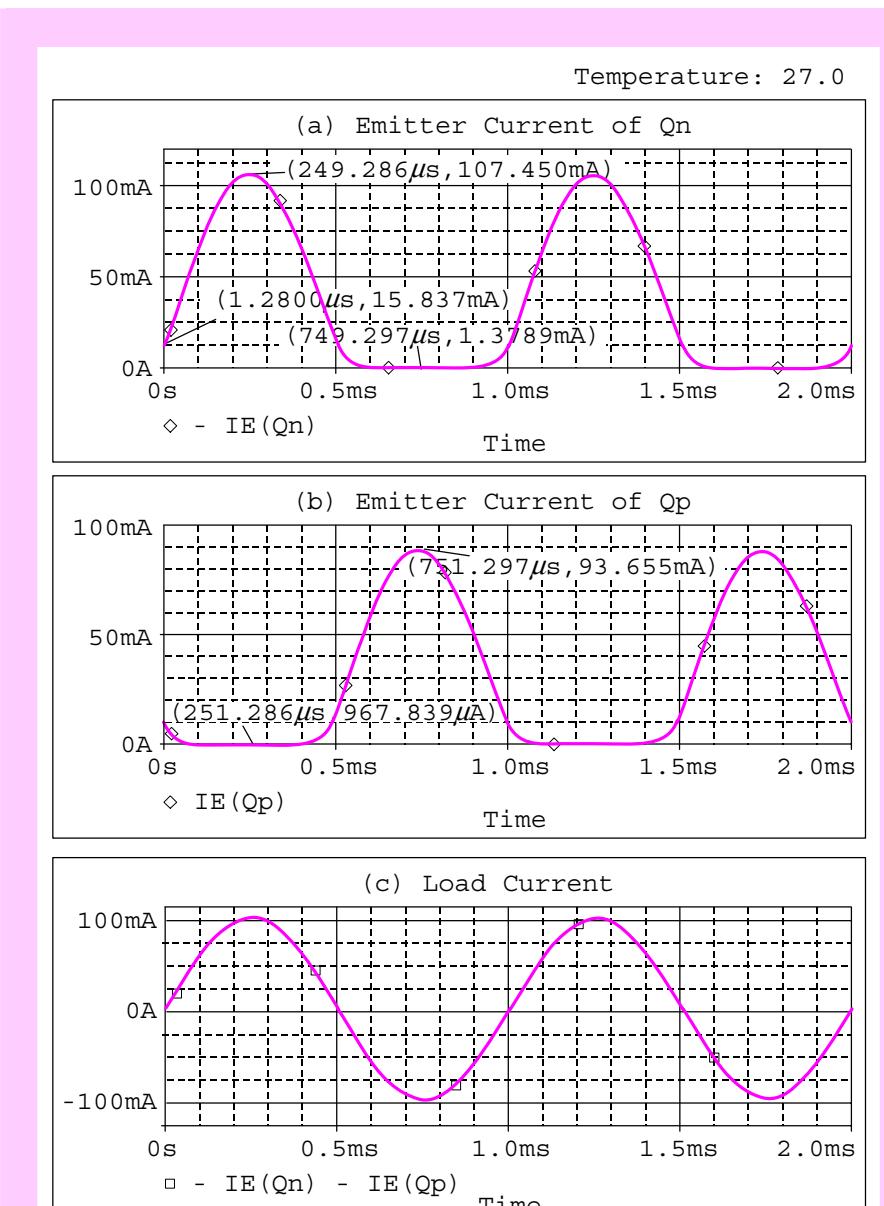


圖 9-19 圖 9-15 AB 類輸出級的訊號波形：(a) $Q_N$ 的射極電流波形，(b) $Q_P$ 的射極電流波形，(c)負載電流波形。

$$V_{BB} = v_{BEN} + v_{EBP} \quad (9-11)$$

於是可得偏壓  $V_{BB}$  的波形，見圖 9-20(c)。在此，我們注意到在無訊號輸入時， $V_{BB}$  的靜態值為 1.4281V；在正弦訊號加入後， $V_{BB}$  則呈現出較複雜的時變行為且介於 1.423V 與 1.429V 間變化，變化幅度不大，約 0.006V。

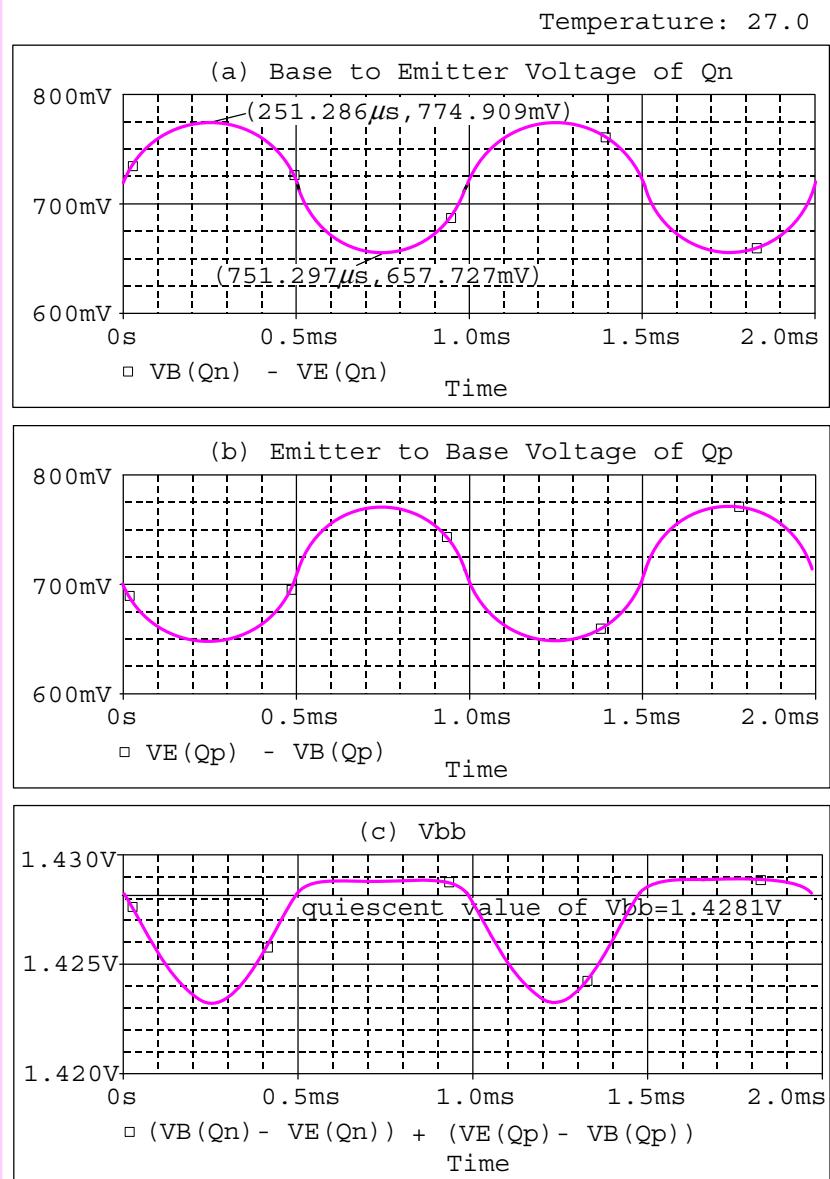


圖 9-20 圖 9-15 AB 類輸出級的訊號波形：(a) $Q_N$ 的基射電壓波形，(b) $Q_P$ 的射基電壓波形，(c)偏壓  $V_{BB}$  的波形，請注意  $V_{BB}$  的靜態值及其時變行為。

9.1 參考圖 9-4，電晶體的元件參數仍取自國家半導體公司的 NA51 BJT，現令負載電阻  $R_L=1.5k\Omega$ ，試問以 SPICE 模擬的轉換特性應

### § 練習題

為圖 9-5 或是圖 9-6？

9.2 參考圖 9-4 以及圖 9-7 之 SPICE 輸入檔，請更改以下二指令：

$\text{Vi} \ 1 \ 0 \ \text{sin} \ (0\text{V} \ 12\text{V} \ 1\text{kHz})$

和

$\text{Rl} \ 3 \ 0 \ 0.5\text{k}$

(a) 試以 SPICE 執行暫態分析並繪出輸出訊號與集極電流波形。

(b) 以手算分析檢驗上述模擬結果。

9.3 參考圖 9-9 和圖 9-10，試以 SPICE 重新模擬 B 類輸出級之轉換特性，並且考慮以下兩種直流掃描指令：

(a).DC  $\text{Vi} -17\text{V} +17\text{V} 10\text{mV}$

(b).DC  $\text{Vi} -25\text{V} +25\text{V} 10\text{mV}$

9.4 參考圖 9-9 之 B 類輸出級和圖 9-11 執行暫態分析之輸入檔，請將輸入訊號指令變更如下：

$\text{Vi} \ 1 \ 0 \ \text{sin} \ (0\text{V} \ 2\text{V} \ 1\text{kHz})$

試以 SPICE 繪出輸出電壓波形，亦請注意截止帶所造成的交越失真現象，並與圖 9-12(a)之波形比較。

9.5 參考圖 9-15 之 AB 類輸出級，輸入一正弦訊號：

$\text{Vi} \ 6 \ 0 \ \text{sin} \ (0 \ 2\text{V} \ 1\text{kHz})$

(a) 繪出輸出波形。

(b) 仿效圖 9-20(c)，繪出偏壓  $V_{BB}$  之波形，並標示  $V_{BB}$  波形中之極大值與極小值。

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide.*”
2. G. W. Roberts and A. S. Sedra, “*SPICE*” 2nd ed. Oxford University Press, 1997.
3. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits*,” 6th ed. Oxford University Press, 2009.
4. B. Razavi, “*Design of Analog CMOS Integrated Circuits*,” 1st ed., McGraw-Hill Companies, Inc., 2001.
5. A. Barna and D. I. Porat, “*Operational Amplifiers*,” 2nd ed. New York, NY: John Wiley and Sons, Inc., 1989.
6. H. M. Barna, “*Op-Amp Circuits and Principles*.

- Carmel*,” IN: SAMS, A division of Macmillan Computer Publishing, 1991.
7. E. Renschler, “*The MC1539 Operational Amplifier and Its Applications*,” Application Note AN-439, Phoenix, Ariz.: Motorola Semiconductor Products.
8. A. B. Grebene, “*Bipolar and MOS Analog Integrated Circuit Design*,” New York: Wiley, 1984.
9. R. J. Baker, “*CMOS Circuit Design, Layout, and Simulation*,” second ed. IEEE Press & John-Wiley & Sons, Inc., 2007.
10. 張文清,“*微電子學下冊*”,二版,台北鼎茂圖書,2013。

# 10

## 類比積體電路

本章中我們將利用 SPICE 模擬一個 BJT 741 運算放大器，分析主題包括大訊號差模與共模轉換特性，直流分析、交流分析，以及 741 的全級增益的大小與相角頻率響應。值得一提的是，在 PSPICE 的學生版(student version)中，電晶體(不論雙載子或金氧半)的數目不得超過 15 個。對於 741 op amp 而言，電晶體數目為 24 個，顯然超過了學生版的限制。故模擬 741 op amp 電路，我們必須使用沒有電晶體數目限制的 PSPICE 專業版(professional version)。

首先，我們仍會就 741 運算放大器電路各部份作一簡介，包括偏壓電路、輸入級、增益級和輸出級。其實讀者在模擬 741 op amp 所遭遇的困難除了其電路較為複雜外，就是電晶體電容參數的設定問題，這部份將在第 10.1 節介紹。接下來即以 SPICE 分別模擬 741 op amp 的大訊號差模與共模轉換特性，由此除了可估算其小訊號差模與共模增益外，亦可計算其額定輸出電壓以及由電路系統偏移所造成的輸入偏移電壓。再者，我們將模擬 741 op amp 的全級小訊號分析及其頻率響應，由此更證實了手算分析中主極點近似的適用性。最後，本章將以一電壓追隨器為例，輸入一脈衝訊號。以觀察其脈衝響應，並由輸出波形計算 741 op amp 的延遲率。

- 10.1 741 運算放大器的轉換特性
- 10.2 直流與小訊號分析
- 10.3 741 運算放大器的頻率響應
- 10.4 延遲率限制

## 10.1 741 運算放大器的轉換特性

### 10.1.1 電路說明

**圖** 10-1 為一 BJT 741 運算放大器的 SPICE 電路圖。根據 IC 設計的想法得知，此電路使用了許多電晶體，卻使用了很少的電阻且僅使用了一個電容。此 741 電路需要兩個電源供應器， $+V_{CC}$  和  $-V_{CC}$ 。一般情況下， $V_{CC} = 15V$ ，不過即使將電源供應值降到非常的值時(例如 $\pm 5V$ )，此電路仍能正常操作。請注意，741 電路中沒有任何一個電路節點是接地的(所謂接地是指兩電源供應器之共同端點)。

741 電路中沒有任何一個電路節點是接地的(所謂接地是指兩電源供應器之共同端點)。

#### 偏壓電路

由  $Q_{11}$ 、 $Q_{12}$  和電阻  $R_5$  建立了參考偏壓電流  $I_{REF}$ 。再由  $Q_{11}$ 、 $Q_{10}$  和  $R_4$  構成的韋勒電流源將其輸出電流送到  $Q_{10}$  的集極。另一個由  $Q_8$  和  $Q_9$  組成的電流鏡則參與第一級的偏壓。

參考偏壓電流  $I_{REF}$  在  $Q_{13}$  的集極提供了兩個正比電流。這是由於  $Q_{12}$  和  $Q_{13}$  形成了一個雙輸出電流鏡：其中一輸出在  $Q_{13B}$  的集極，提供了  $Q_{17}$  的偏壓電流，另一輸出在  $Q_{13A}$  的集極，提供了 op amp 輸出級的偏壓電流。

$Q_{18}$  和  $Q_{19}$  的目的是要在  $Q_{14}$  和  $Q_{20}$  的基極間建立兩個  $V_{BE}$  壓降，以使 741 輸出級操作在 AB 類。

#### 輸入級

741 電路是由三級組成的：輸入差動級，中間單端高增益級，和輸出緩衝級。輸入級是  $Q_1$  至  $Q_7$  七個電晶體所組成的，其偏壓是由  $Q_8$ 、 $Q_9$  和  $Q_{10}$  所提供的。

電晶體  $Q_1$  至  $Q_2$  作為射極追隨器以至於輸入電阻非常高，並將輸入差動訊號送到由  $Q_3$  至  $Q_4$  組成的差動共基放大器。

電晶體  $Q_5$ 、 $Q_6$ ，和  $Q_7$  以及電阻  $R_1$ 、 $R_2$ ，和  $R_3$  則作為輸入級的負載電路。此負載電路不僅提供了高電阻，同時也在不損失增益和共模排斥的條件下將差動訊號轉變成單端訊號。此輸入級的輸出在  $Q_6$  的集極以單端形式取出。

此外，741 輸入級亦提供兩個消除偏移(offset null)端子，以消除 741

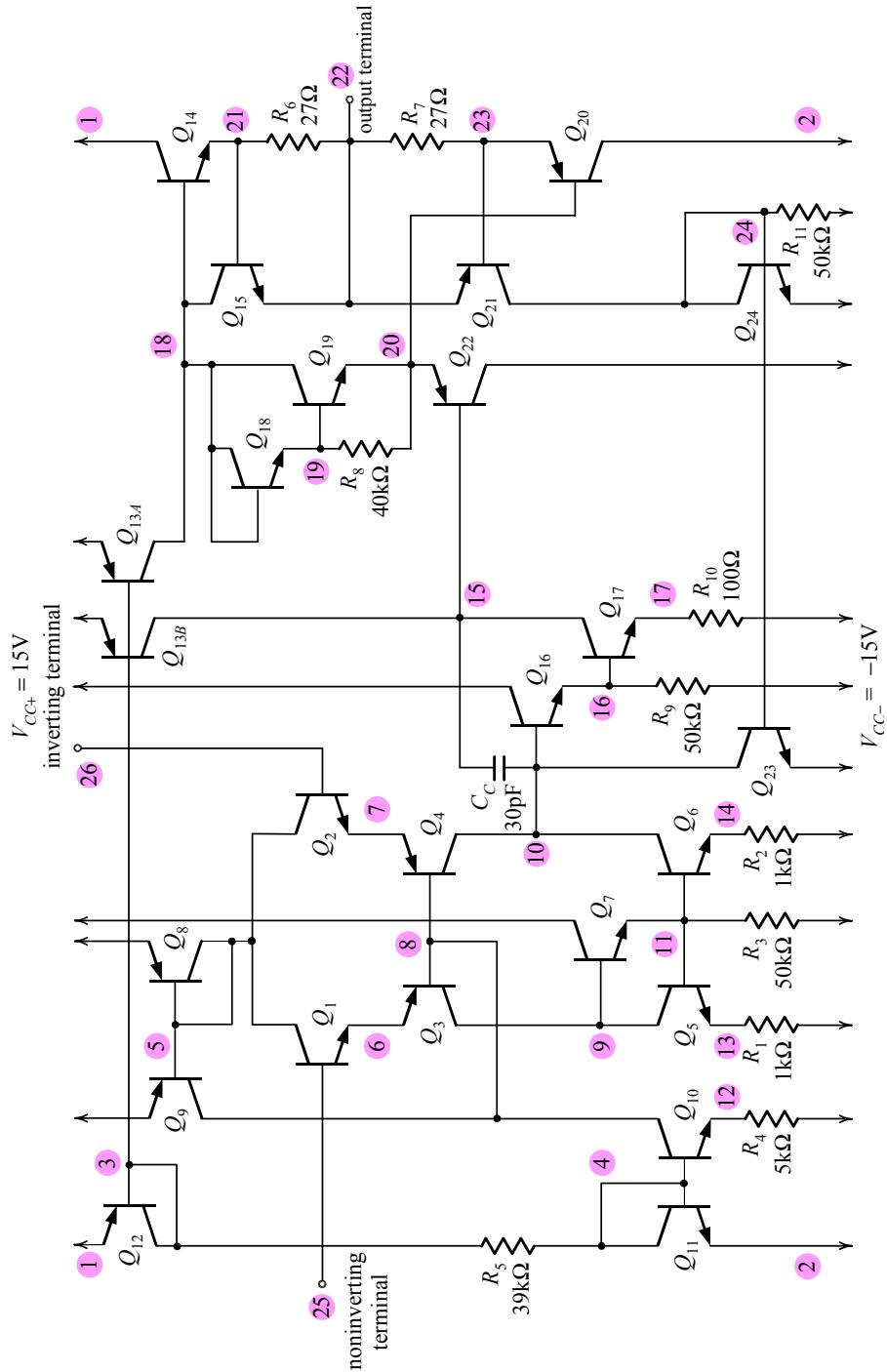


圖 10-1 741 運算放大器的 SPICE 電路圖。

輸入差動級兩側由於電晶體或負載不匹配所造成的補偏電壓。

### 增益級

第二級是由  $Q_{16}$ ,  $Q_{17}$ ,  $Q_{13B}$ , 以及兩個電阻  $R_9$  和  $R_{10}$  所組成的。其中  $Q_{16}$  作為射極追隨器以使第二級具有高輸入電阻，這樣可以降低輸入級的負載效應和避免增益的損失。 $Q_{17}$  作為共射放大器，其負載是由  $pnp$  電流源  $Q_{13B}$  的高輸出電阻與輸出級的輸入電阻(由  $Q_{22}$  的基極看進去)並聯所組成的。

第二級的輸出是在  $Q_{17}$  的集極取出。在第二級的回授路徑上連接電容  $C_C$  主要是提供頻率補償(米勒補償)。

### 輸出級

輸出級的目的是為放大器提供一低輸出電阻。此外，輸出級必須要能供應大量的負載電流，卻不致在 IC 上造成大量的功率散逸。741 使用了一個很有效率的 AB 類輸出級，主要是由  $Q_{14}$  和  $Q_{20}$  所組成。而  $Q_{18}$  和  $Q_{19}$  則由電流源  $Q_{13A}$  供應電流並且提供  $Q_{14}$  和  $Q_{20}$  所需的偏壓。電晶體  $Q_{22}$  作為一射極追極器，以降低輸出級對第二級的負載效應。

741 電路內含有許多正常截止的電晶體，這些電晶體只有在 op amp 輸出端汲取大量電流時才會導通。此短路保護網路是由  $R_6$ ,  $R_7$ ,  $Q_{15}$ ,  $Q_{21}$ ,  $Q_{23}$ ，和  $Q_{24}$  所組成的。

## 10.1.2 元件參數

圖 10-2 為分析 741 運算放大器差模轉換特性的 SPICE 輸入檔，注意指令：

```
.model npn_transistor NPN (Bf=200 Br=2.0 Is=10fA VAf=125V
+
+ Tf=0.35ns Rb=200 Rc=200 Re=2
+
+ Cje=1.0pF Vje=0.07V Mje=0.33
+
+ Cjc=0.3pF Vjc=0.05V Mjc=0.5
+
+ Cjs=3.0pF Vjs=0.52V Mjs=0.5)
.model pnp_transistor PNP (Bf=50 Br=4.0 Is=10fA Vaf=50V
+
+ Tf=30ns Rb=300 Rc=100 Re=10
+
+ Cje=0.3pF Vje=0.55V Mje=0.5
+
+ Cjc=1.0pF Vjc=0.55V Mjc=0.55V
+
+ Mjc=0.5 Cjs=3.0pF Vjs=0.52V
+
+ Mjs=0.5)
```

其中關於  $npn$  和  $pnp$  電晶體參數設定值與 SPICE 參數寫法皆取自於表 10-1。其中關於電路參數部份在先前出現頻率較高者只限於飽和電流

## Large-Signal Transfer Characteristics of the 741 OPAMP

```
* circuit description *
Vcc+ 1 0 DC +15V
Vcc- 2 0 DC -15V
Vd 27 0 DC 0V
Rd 27 0 1
EV+ 25 28 27 0 +0.5
EV- 26 28 27 0 -0.5
Vcm 28 0 DC 0V

* biasing circuit
Q10 8 4 12 npn_transistor
Q11 4 4 2 npn_transistor
Q12 3 3 1 pnp_transistor
R4 12 2 5k
R5 3 4 39k

* input differential stage
Q1 5 25 6 npn_transistor
Q2 5 26 7 npn_transistor
Q3 9 8 6 pnp_transistor
Q4 10 8 7 pnp_transistor
Q5 9 11 13 npn_transistor
Q6 10 11 14 npn_transistor
Q7 1 9 11 npn_transistor
Q8 5 5 1 pnp_transistor
Q9 8 5 1 pnp_transistor
R1 13 2 1k
R2 14 2 1k
R3 11 2 50k

* gain stage
Q13B 15 3 1 pnp_transistor 0.75
Q16 1 10 16 npn_transistor
Q17 15 16 17 npn_transistor
R10 17 2 100
R9 16 2 50k
Cc 10 15 30p

* output stage
Q13A 18 3 1 pnp_transistor 0.25
Q14 1 18 21 npn_transistor 3
Q19 18 19 20 npn_transistor
Q18 18 18 19 npn_transistor
Q20 2 20 23 pnp_transistor 3
Q22 2 15 20 pnp_transistor
R6 21 22 27
R7 22 23 27
R8 19 20 40k56
```

```

* short-circuit protection circuitry
Q15 18 21 22 npn_transistor
Q21 24 23 22 pnp_transistor
Q23 10 24 2 npn_transistor
Q24 24 24 2 npn_transistor
R11 24 2 50k
* BJT model description
.model npn_transistor NPN (Bf=200 Br=2.0 Is=10fA VAf=125V
+ Tf=0.35ns Rb=200 Rc=200 Re=2 Cje=1.0pF
+ Vje=0.70V Mje=0.33 Cjc=0.3pF Vjc=0.55V
+ Mjc=0.5 Cjs=3.0pF Vjs=0.52V Mjs=0.5)
.model pnp_transistor PNP (Bf=50 Br=4.0 Is=10fA VAf=50V
+ Tf=30ns Rb=300 Rc=100 Re=10 Cje=0.3pF
+ Vje=0.55V Mje=0.5 Cjc=1.0pF Vjc=0.55V
+ Mjc=0.5 Cjs=3.0pF Vjs=0.52V Mjs=0.5)
* analysis requests *
.OP
.DC Vd -400uV +400uV 10uV
* output requests
.PLOT DC V(22)
.probe
.end

```

圖 10-2 分析 741 運算放大器差模轉換特性的 SPICE 輸入檔。由於 741 電路中電晶體數目超過學生版 15 個電晶體的限制，故本電路的模擬必須使用 PSPICE 專業版。

$I_s$ ，電流增益 $\beta_F$ ，和歐萊電壓  $V_{AF}$ 。為使模擬結果與實際情況更為接近，我們代入更完整的電晶體參數。這部份的參數選擇是取自對於類比積體電路領域有極大貢獻的兩位知名學者—Gray 和 Meyer。

表 10-1 中之其他參數說明如下： $r_b$ ， $r_c$ ，和  $r_e$  分別代表基極，集極和射極的寄生電阻，數值介於數歐姆至數百歐姆間。 $\beta_r$  為最大理想逆向電流增益(reverse current gain)，代表電晶體在逆向主動區(reverse active region)操作時射極電流與基極電流之比。 $\tau_F$  為理想順向穿越時間(forward transit time)，代表  $npn$  電晶體中電子由射極出發後橫越基極所經歷的時間。

表 10-1 中最後九個參數分別用以描述射基接面，集基接面以及集極基板接面等三種空乏電容。若以  $npn$  電晶體之射基接面空乏電容  $C_{j(EBJ)}$  為例，其關係為

$$C_{j(EBJ)} = \frac{C_{je}}{\left(1 - \frac{V_{BE}}{V_{je}}\right)^{m_{je}}} \quad (10-1)$$

表 10-1 741 運算放大器中關於 *npn* 和 *pnp* 電晶體參數的設定。

| 符號        | SPICE 寫法 | 參 數         | <i>npn</i><br>電晶體 | <i>pnp</i><br>電晶體 | SPICE<br>預設值        |
|-----------|----------|-------------|-------------------|-------------------|---------------------|
| $I_s$     | Is       | 飽和電流        | 10fA              | 10fA              | $1 \times 10^{-16}$ |
| $V_{AF}$  | VAf      | 歐萊電壓        | 125V              | 50V               | $\infty$            |
| $r_b$     | Rb       | 基極電阻        | 200Ω              | 300Ω              | 0                   |
| $r_c$     | Rc       | 集極電阻        | 200Ω              | 100Ω              | 0                   |
| $r_e$     | Re       | 射極電阻        | 2Ω                | 10Ω               | 0                   |
| $\beta_F$ | Bf       | 最大理想順向電流增益  | 200               | 50                | 100                 |
| $\beta_R$ | Br       | 最大理想逆向電流增益  | 2                 | 4                 | 1                   |
| $\tau_F$  | Tf       | 理想順向穿越時間    | 0.35ns            | 30ns              | 0                   |
| $C_{je}$  | Cje      | 零偏壓基射空乏電容   | 1.0pF             | 0.3pF             | 0                   |
| $V_{je}$  | Vje      | 基射內建電位      | 0.7V              | 0.55V             | 0.75V               |
| $m_{je}$  | Mje      | 基射接面梯度係數    | 0.33              | 0.5               | 0.33                |
| $C_{jc}$  | Cjc      | 零偏壓基集空乏電容   | 0.3pF             | 1.0pF             | 0                   |
| $V_{jc}$  | Vjc      | 基集內建電位      | 0.55V             | 0.55V             | 0.75V               |
| $m_{jc}$  | Mjc      | 基集接面梯度係數    | 0.5               | 0.5               | 0.33                |
| $C_{js}$  | Cjs      | 零偏壓集極基板空乏電容 | 3.0pF             | 3.0pF             | 0                   |
| $V_{js}$  | Vjs      | 基板接面內建電位    | 0.52V             | 0.52V             | 0.75V               |
| $m_{js}$  | Mjs      | 基板接面梯度係數    | 0.5               | 0.5               | 0                   |

其中  $C_{je}$  代表零偏壓時射基接面之空乏電容， $V_{je}$  為射基接面之內建電位，而  $m_{je}$  則為射基接面之梯度係數。

### 10.1.3 差模轉換特性

參考第 6 章關於差動放大器的輸入訊號驅動方式，可得到一 741 運算放大器驅動輸入訊號的電路圖，見圖 10-3。圖中包括了差模輸入  $v_d$  與共模輸入  $v_{cm}$ ，利用這種多輸入電壓源的安排方式，可執行一差動放大器差模轉換特性與共模轉換特性的分析。

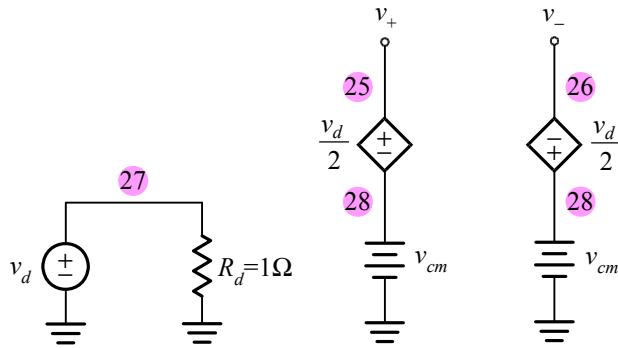


圖 10-3 741 運算放大器關於輸入差模與共模訊號的敘述方式，這部份請參考第 6 章差動放大器偏壓分析與刺激源敘述部分。

圖 10-2 為分析 741 運算放大器差模轉換特性之 SPICE 輸入檔。請注意兩個指令

`Vd 27 0 DC 0V`

和

`Vcm 28 0 DC 0V`

上述指令代表差模輸入與共模輸入之預設值為零。再者，關於兩電壓控制電壓源 EV+ 和 EV- 之敘述可直接對照圖 10-3：

`EV+ 25 28 27 0 +0.5`

`EV- 26 28 27 0 -0.5`

在分析需求部份，係利用.DC 指令掃描差模轉換特性：

`.DC Vd -400u +400u 10uV`

掃描結果顯示於圖 10-4。

圖 10-4 轉換特性中顯示兩個重要訊息。圖 10-4(a)顯示非對稱的轉換特性，其中線性區並未通過原點，而是出現在輸入差模電壓為  $-360.1\mu\text{V}$  與  $-265.9\mu\text{V}$  之間。利用檢視(probe)指令觀察特性曲線穿過零值輸出處，對應之輸入差模電壓為  $-314.102\mu\text{V}$ 。根據輸入偏移電壓(input offset voltage) $V_{off}$  的定義，上述  $-314.102\mu\text{V}$  之負值即為輸入偏移電壓，即  $V_{off} = +314.102\mu\text{V}$ 。

圖 10-4(b)中顯示 741 op amp 的額定輸出電壓分別為  $+14.23\text{V}$  和  $-13.26\text{V}$ 。此外，由本圖在線性區的斜率亦可估計出 741 op amp 的小訊號增益約為  $2.92 \times 10^5 \text{V/V}$ 。

顯示非對稱的轉換特性，其中線性區並未通過原點。

根據輸入偏移電壓  $V_{off}$  的定義，上述  $-314.102\mu\text{V}$  之負值即為輸入偏移電壓。

輸入偏移電壓  $V_{off}$  的出現並非由於差動級中電晶體或是負載的不匹配所造成，而是純粹由於 741 op amp 本身的電路系統偏移所引起的。

這裡必須特別指出，上述關於輸入偏移電壓  $V_{off}$  的出現並非由於差動級中電晶體或是負載的不匹配所造成，而是純粹由於 741 op amp 本身的電路系統偏移所引起的。

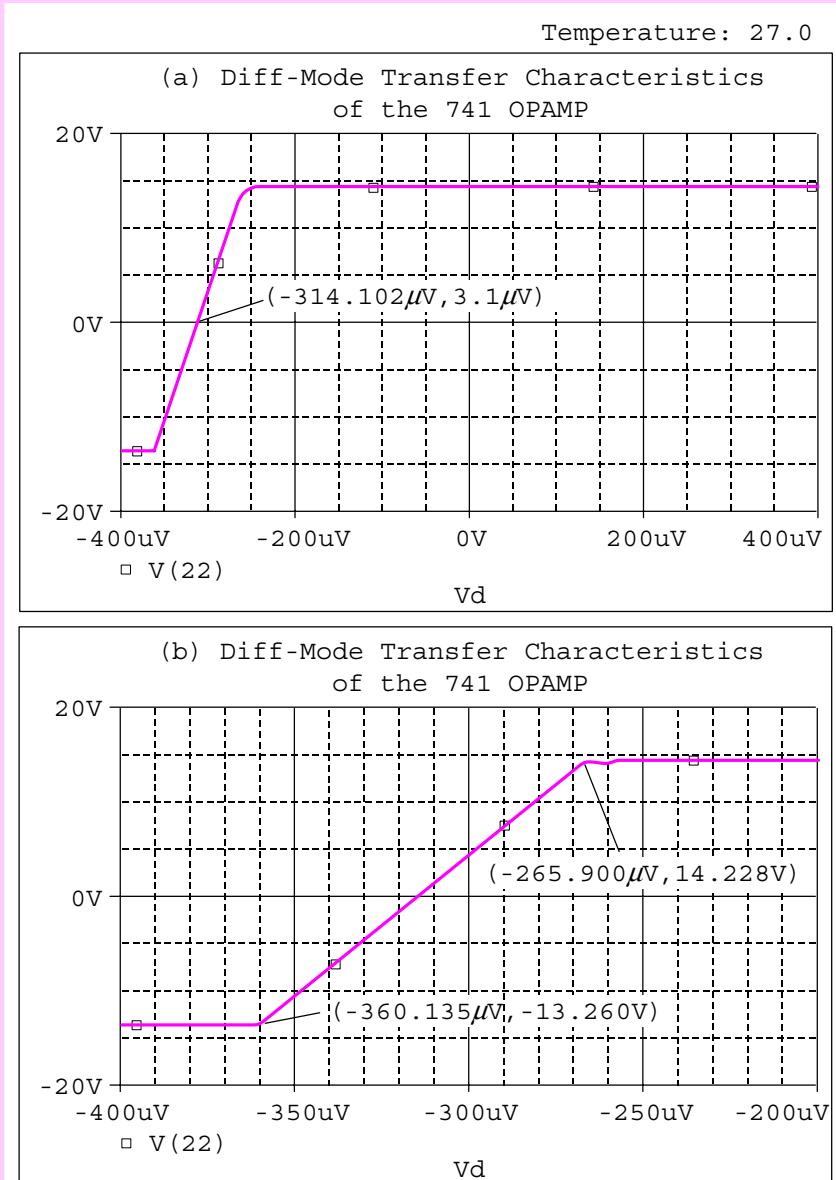


圖 10-4 — 741 運算放大器的大訊號差模轉換特性：(a) 輸入電壓介於  $-400\mu V$  之間，(b) 線性區的放大圖，輸入電壓介於  $-400\mu V$  和  $-250\mu V$  之間。請注意，以.DC 指令掃描此特性曲線時，圖 10-3 中之輸入共模電壓必須設為零。

電路系統偏移(systematic offset)所引起的。至於在實際電路中， $V_{off}$ 的出現仍需考慮製造過程中電晶體或負載不可避免的隨機不匹配現象。

### 10.1.4 共模轉換特性

#### SPICE 模擬

在圖 10-2 之輸入檔中更改部份指令，並改寫為下述格式：

`Vd 27 0 DC -314.102uV`

和

`.DC Vcm -15V 15V 100mV`

則可獲得共模轉換特性。其中上述第一個指令非常重要，即將輸入差模偏移電壓維持在 $-314.102\mu\text{A}$ 以確保 op amp 工作於線性區。

利用上述`.DC` 指令掃描出的大訊號共模轉換特性顯示於圖 10-5 中。圖中可看出  $v_{cm}$  在 $-10.03\text{V}$  至  $8.08\text{V}$  間可維持線性操作，此電壓區間即 741 運算放大器之輸入共模範圍(input common-mode range)。在此範圍內所對應的輸出電壓則介於 $-13.29\text{V}$  與  $14.27\text{V}$  之間，此即 741 運算放大器的額定輸出電壓。另一方面，我們亦可由此線性區的斜率估算出 741 op amp 的共模電壓增益，其值為 $[(-13.29)-14.27]/[8.08-(-10.03)] = -1.522\text{V/V}$ 。

其中上述第一個指令非常重要，即將輸入差模偏移電壓維持在 $-314.102\mu\text{A}$ 以確保 op amp 工作於線性區。

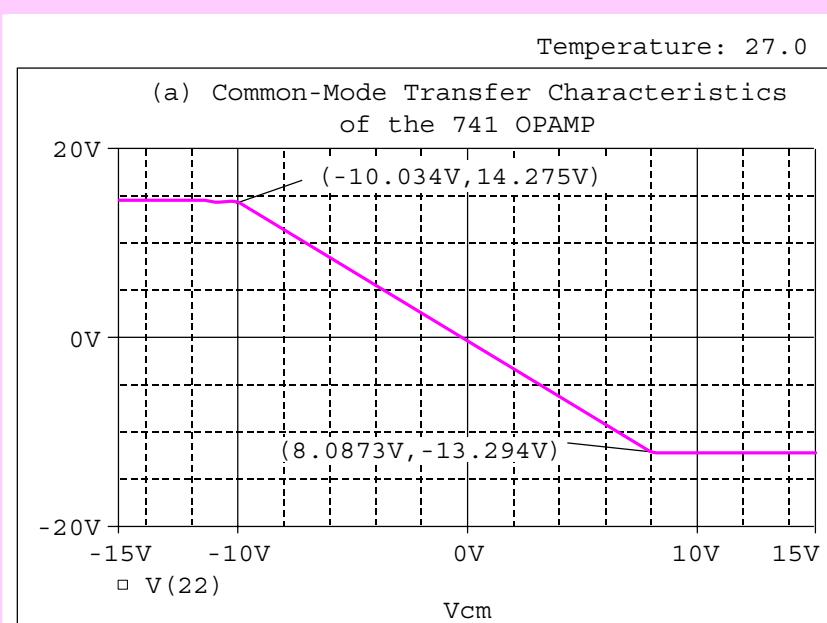


圖 10-5 741 運算放大器的大訊號共模轉換特性。

### 手算分析

最大的正輸出電壓  $V_M$  是被電流源電晶體  $Q_{13A}$  的飽和所限制。

最低的輸出電壓  $V_m$ (也就是，最大的負振幅)則是被  $Q_{17}$  的飽和所限制。

以下僅就額定輸出電壓的手算分析作介紹。首先考慮最大的正輸出電壓  $V_M$  是被電流源電晶體  $Q_{13A}$  的飽和所限制。因此

$$V_M = V_{CC} - V_{EC13A(sat)} - V_{BE14} \quad (10-2)$$

其值約為 +14.1V。而最低的輸出電壓  $V_m$ (也就是，最大的負振幅)則是被  $Q_{17}$  的飽和所限制。若忽略  $R_{10}$  上的電壓降，則

$$V_m = -V_{CC} + V_{CE17(sat)} + V_{EB22} + V_{EB20} \quad (10-3)$$

其值約為 -13.3V。與先前的模擬結果(+14.27V 和 -13.29V)比較，發現兩者非常接近。

## 10.2 直流與小訊號分析

### 10.2.1 直流分析

以下我們將進行 741 op amp 的直流分析。在 741 op amp 的手算直流分析時，一般均假設 op amp 被連接在某一負回授電路上，且此迴路將輸出直流電壓穩定至零。因此，在進行 SPICE 模擬時，為了與上述假設條

表 10-2 741 運算放大器之手算直流分析與 SPICE 模擬比較表。

| 電晶體       | 手算分析 | SPICE 模擬( $\mu A$ ) | 電晶體      | 手算分析 | SPICE 模擬( $\mu A$ )    |
|-----------|------|---------------------|----------|------|------------------------|
| $Q_1$     | 9.4  | 7.68                | $Q_{13}$ | 553  | 658                    |
| $Q_2$     | 9.4  | 7.71                | $Q_{14}$ | 154  | 170                    |
| $Q_3$     | 9.4  | 7.59                | $Q_{15}$ | 0    | $8.9 \times 10^{-7}$   |
| $Q_4$     | 9.4  | 7.63                | $Q_{16}$ | 16.3 | 17.1                   |
| $Q_5$     | 9.4  | 7.55                | $Q_{17}$ | 553  | 661                    |
| $Q_6$     | 9.4  | 7.56                | $Q_{18}$ | 15.6 | 16.2                   |
| $Q_7$     | 10.6 | 10.8                | $Q_{19}$ | 169  | 198                    |
| $Q_8$     | 18.8 | 14.8                | $Q_{20}$ | 154  | 168                    |
| $Q_9$     | 18   | 19.4                | $Q_{21}$ | 0    | $2.33 \times 10^{-5}$  |
| $Q_{10}$  | 18.4 | 19.6                | $Q_{22}$ | 184  | 213                    |
| $Q_{11}$  | 737  | 732                 | $Q_{23}$ | 0    | $1.9 \times 10^{-6}$   |
| $Q_{12}$  | 737  | 708                 | $Q_{24}$ | 0    | $1.66 \times 10^{-12}$ |
| $Q_{13A}$ | 184  | 215                 |          |      |                        |

件一致，於是我們在差模輸入端間加入一輸入偏移電壓  $V_{off}$  的負值，即  $-314.102\mu V$ ，以使得輸出電壓為零。於是將圖 10.3 輸入檔中關於差模輸入電壓指令修正如下：

```
Vd 27 0 DC -314.102uV
```

直流分析之 SPICE 輸出檔以及模擬結果與手算分析之比較表分別見圖 10-6 和表 10-2。其中節點 27 點節點 22 分別對應差模輸入與單端輸出電壓。可看出在輸入一輸入偏移電壓的負值時( $-314.102\mu V$ )，則輸出電壓確實為零。

另外，圖 10-6 亦顯示 741 運算放大器的全部靜態功率散逸為  $55.2mW$ 。在輸出檔的最後部份列出通過兩個電壓控制電壓源 EV+和 EV-

```
*SMALL SIGNAL BIAS SOLUTION TEMPERATURE = 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 15.0000 (2) -15.0000 (3) 14.3420 (4) -14.3510
(5) 14.4540 (6) -.5265 (7) -.5263 (8) -1.0496
(9) -13.9310 (10) -13.7450 (11) -14.4640 (12) -14.9020
(13) -14.9920 (14) -14.9920 (15) -1.1914 (16) -14.2900
(17) -14.9340 (18) .5828 (19) .0342 (20) -.5794
(21) .0046 (22) 3.088E-06 (23) -.0046 (24) -15.0000
(25)-157.1E-06 (26) 157.1E-06 (27) -314.1E-06 (28) 0.0000

VOLTAGE SOURCE CURRENTS
NAME CURRENT

Vcc+ -1.841E-03
Vcc- 1.841E-03
Vd 3.141E-04
Vcm -6.897E-08

TOTAL POWER DISSIPATION 5.52E-02 WATTS

* VOLTAGE-CONTROLLED VOLTAGE SOURCES

NAME EV+ EV-
V-SOURCE -1.571E-04 1.571E-04
I-SOURCE -3.440E-08 -3.456E-08
```

圖 10-6 741 運算放大器直流分析之 SPICE 輸出檔。由節點 22 與節點 27 顯示，當輸入差模(節點 27)為 $-314.102\mu V$  時，其對應輸出電壓(節點 22)確實為  $0V(3.088E-06)$ 。

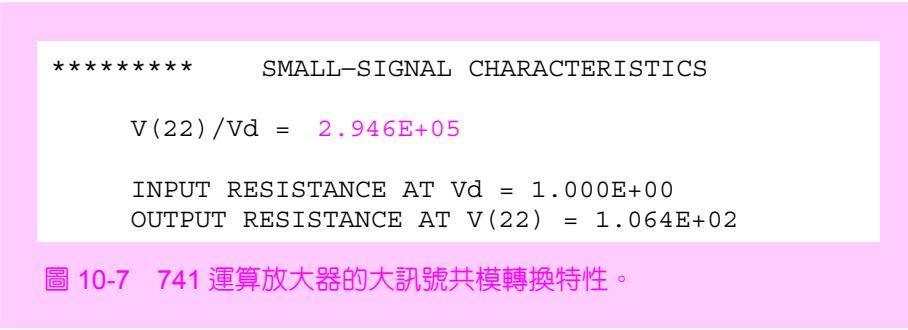


圖 10-7 741 運算放大器的大訊號共模轉換特性。

之電流，由此數據可分別計算輸入偏壓電流  $I_B$  以及輸入偏移電流  $I_{off}$ ：

$$I_B = \frac{I_{B1} + I_{B2}}{2} \quad (10-4)$$

可得  $I_B = (34.4 + 34.56)/2 \text{ nA} = 34.48 \text{nA}$ 。另外，

$$I_{off} = |I_{B1} - I_{B2}| \quad (10-5)$$

### 10.2.2 小訊號分析

接下來將進行 741 op amp 的全級小訊號分析。關於這個部份的模擬，我們僅需要在直流操作點分析的 SPICE 輸入檔中加入轉移函數分析指令：

```
.TF V(22) Vd
```

即可獲得全級小訊號增益以及輸入和輸出電阻。除了上述指令外，其餘部份皆與直流分析之輸入檔相同，在此不再列出小訊號分析之 SPICE 輸入檔。

圖 10-7 顯示小訊號特性的 SPICE 輸出檔。圖中敘述全級小訊號增益為  $2.95 \times 10^5 \text{V/V}$ ，此數值與先前圖 10-4 大訊號差模轉換特性中線性區的斜率值( $2.92 \times 10^5 \text{V/V}$ )非常接近。再者，此電路的輸入電阻為  $1\Omega$ ，這個結果其實可由圖 10-2 輸入刺激源敘述直觀而得。請讀者特別注意，此  $1\Omega$  的輸入電阻當然不是 741 op amp 差動級的輸入差模電阻。此外，模擬結果顯示小訊號輸出電阻為  $106.4\Omega$ 。

## 10.3 741 運算放大器的頻率響應

### SPICE 模擬

如欲分析 741 op amp 開迴路增益的頻率響應，僅需在直流操作點分析的 SPICE 輸入檔中加入下述指令：

Vd 27 0 DC -314.102uV AC 1V

以及分析指令

.AC DEC 100 0.1Hz 1GHz

和輸出繪圖指令.PLOT：

.PLOT AC VdB(22) Vp(22)

所完成的輸入檔見圖 10-8。

圖 10-9 顯示開迴路增益的大小和相角響應，由圖 10-9(a)得知 741 op amp 的直流增益為 109.25dB，三分貝頻率為 2.6Hz，單位增益頻寬為 644.15kHz。另一方面，圖 10-9(b)的相角響應顯示利用這個內部補償的 op amp 所組成的負回授迴路在任何  $\beta$  值之下均為穩定，且當  $\beta=1$  時所對應的相角為  $-116.94^\circ$ ，即相角邊限為  $63.1^\circ$ 。

#### Frequency Response of the 741 OPAMP

```
* circuit description *
Vcc 1 0 DC +15V
Vee 2 0 DC -15V

* differential-mode signal
Vd 27 0 DC -314.102uV AC 1V
Rd 27 0 1
EV+ 25 28 27 0 +0.5
EV- 26 28 27 0 -0.5
Vcm 28 0 DC 0V

* biasing circuit
Q10 8 4 12 npn_transistor
Q11 4 4 2 npn_transistor
Q12 3 3 1 pnp_transistor
R4 12 2 5k
R5 3 4 39k

* input differential stage
Q1 5 25 6 npn_transistor
Q2 5 26 7 npn_transistor
Q3 9 8 6 pnp_transistor
Q4 10 8 7 pnp_transistor
Q5 9 11 13 npn_transistor
Q6 10 11 14 npn_transistor
Q7 1 9 11 npn_transistor
Q8 5 5 1 pnp_transistor
Q9 8 5 1 pnp_transistor
R1 13 2 1k
```

```

R2 14 2 1k
R3 11 2 50k

* gain stage
Q13B 15 3 1 pnp_transistor 0.75
Q16 1 10 16 npn_transistor
Q17 15 16 17 npn_transistor
R10 17 2 100
R9 16 2 50k
Cc 10 15 30p

* output stage
Q13A 18 3 1 pnp_transistor 0.25
Q14 1 18 21 npn_transistor 3
Q19 18 19 20 npn_transistor
Q18 18 18 19 npn_transistor
Q20 2 20 23 pnp_transistor 3
Q22 2 15 20 pnp_transistor
R6 21 22 27
R7 22 23 27
R8 19 20 40k

* short-circuit protection circuitry
Q15 18 21 22 npn_transistor
Q21 24 23 22 pnp_transistor
Q23 10 24 2 npn_transistor
Q24 24 24 2 npn_transistor
R11 24 2 50k

* BJT model description
.model npn_transistor NPN (Bf=200 Br=2.0 Is=10fA VAf=125V
+ Tf=0.35ns Rb=200 Rc=200 Re=2
+ Cje=1.0pF Vje=0.70V Mje=0.33
+ Cjc=0.3pF Vjc=0.55V Mjc=0.5
+ Cjs=3.0pF Vjs=0.52V Mjs=0.5)

.model pnp_transistor PNP (Bf=50 Br=4.0 Is=10fA VAf=50V
+ Tf=30ns Rb=300 Rc=100 Re=10
+ Cje=0.3pF Vje=0.55V Mje=0.5
+ Cjc=1.0pF Vjc=0.55V Mjc=0.5
+ Cjs=3.0pF Vjs=0.52V Mjs=0.5)

* analysis requests *
.OP
.AC DEC 100 0.1Hz 1GHz
* output requests
.PLOT AC Vdb(22) Vp(22)
.probe
.end

```

圖 10-8 分析 741 運算放大器頻率響應之 SPICE 輸入檔。

### 手算分析

741 為一內部補償的 op amp，它利用了米勒補償技術置入了一主宰的低頻極點。在此 op amp 中，注意第二級的負回授路徑上連接了一  $30\text{pF}$  電容  $C_C$ 。接下來我們就要估計這個主極點的頻率。

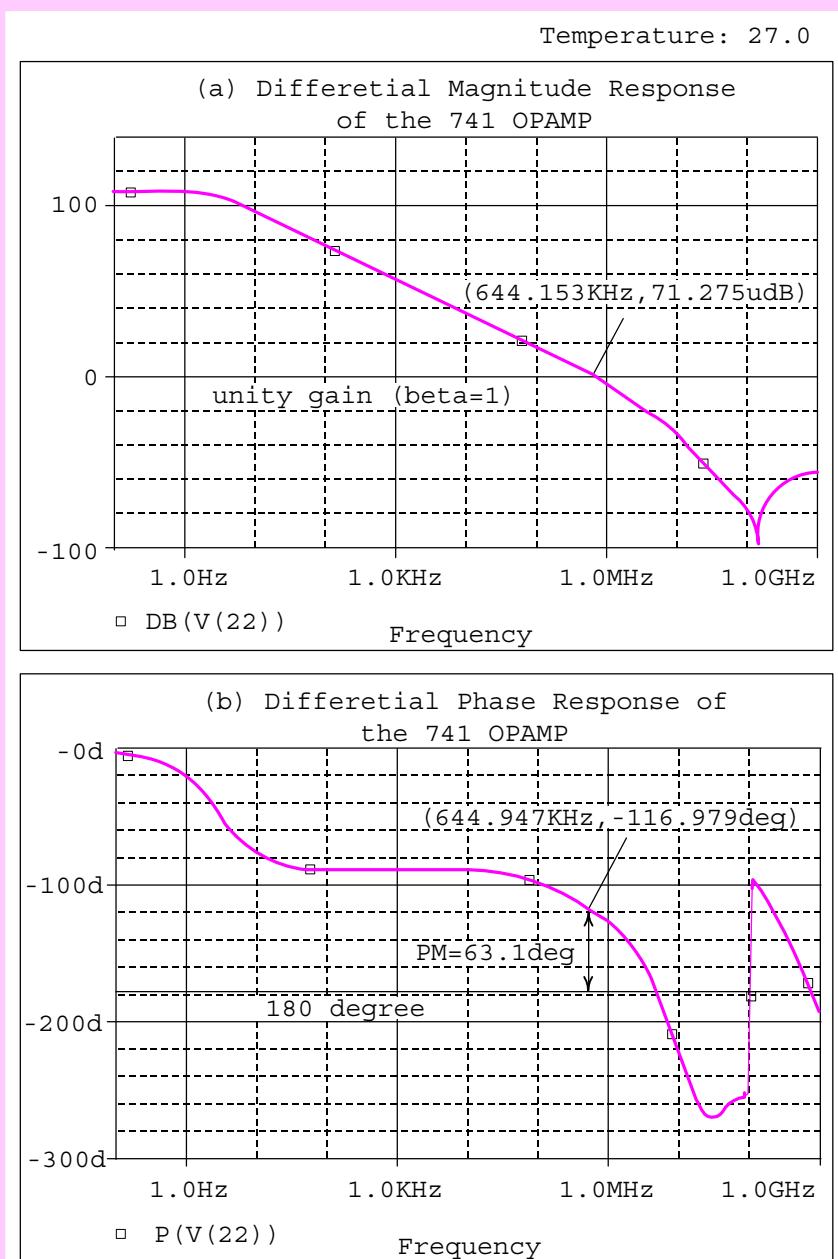


圖 10-9 741 運算放大器的頻率響應：(a)大小響應，(b)相角響應。

利用米勒定理可得知介於  $Q_{16}$  基極和接地點間由  $C_C$  所產生的有效電容  $C_T$  為

$$C_T = C_C(1 + |A_2|) \quad (10-6)$$

其中  $A_2$  為第二級增益。一般而言， $A_2 = -500$ ，代入可得  $C_T = 15,030\text{pF}$ 。因為此電容相當大，所以我們可以將介於  $Q_{16}$  基極和訊號接地點間的所有其他電容忽略掉。而介於此節點和接地點間的全部電阻  $R_T$  為

$$R_T = (R_{o1} \parallel R_{i2}) = (6.73\text{M}\Omega \parallel 4\text{M}\Omega) = 2.51\text{M}\Omega \quad (10-7)$$

因此，主極點頻率  $f_{HP}$  為

$$f_{HP} = \frac{1}{2\pi C_T R_T} = 4.1\text{Hz} \quad (10-8)$$

假設所有的非主極點(nondominant poles)均出現在非常高的頻率，則 741 op amp 的單位增益頻寬(unity-gain bandwidth) $f_T$  可由下式算出

$$f_T = A_0 f_{HP} \quad (10-9)$$

因此， $f_T = 226,282 \times 4.1 \approx 0.93\text{MHz} \approx 1\text{MHz}$ 。雖然此波德圖告訴我們在  $f_T$  處的相移為  $-90^\circ$ ，於是可獲得  $90^\circ$  相角邊限，但事實上由 SPICE 模擬的相角邊限約  $63^\circ$ 。顯然這額外的相移(約  $27^\circ$ 左右)主要是由於非主極點所產生的。

最後，我們將 741 op amp 關於全級增益和頻率響應部份之手算分析結果(詳參考書目 18)與 SPICE 模擬之比較整理於表 10-3 中。

表 10-3 741 運算放大器關於全級小訊號增益和頻率響應部份之手算分析結果與 SPICE 模擬之比較。

|                   | 手 算 分 析                      | SPICE 模 擬                    |
|-------------------|------------------------------|------------------------------|
| 全級增益(V/V)         | $2.26 \times 10^5\text{V/V}$ | $2.95 \times 10^5\text{V/V}$ |
| 全級增益(dB)          | 107.1dB                      | 109.4dB                      |
| 三分貝頻率             | 4.1Hz                        | 2.6Hz                        |
| 單位增益頻寬            | 0.93MHz                      | 0.64MHz                      |
| 相角邊限( $\beta=1$ ) | $90^\circ$                   | $63.1^\circ$                 |

## 10.4 延遲率限制

### 基本概念

考慮在圖 10-10 中單位增益追隨器的輸入端加入一 5V 的步階波形。因為放大器的動態特性，其輸出不能瞬間改變。而在輸入訊號加入的瞬間，幾乎全部的步階值將以差動訊號的形式出現在兩輸入端。如此大的輸入電壓迫使輸入級過度驅動，且其小訊號模型不再適用。此時輸入級有一半截止，而另一半則載有全部電流。由圖 10-1 可看出一大的差模輸入電壓將使  $Q_1$  和  $Q_3$  導通且載有全部可用的偏壓電流  $2I_Q$ ( $2I_Q$  為圖 10-1 中  $Q_1$  和  $Q_2$  集極電流之和)同時  $Q_2$  和  $Q_4$  為截止狀態。接著由  $Q_5$ ， $Q_6$  和  $Q_7$  所組成的電流鏡將使得  $Q_6$  產生一  $2I_Q$  的集極電流。

利用以上討論的結果以及將第二級以一理想積分器模型( $2I_Q$  電流流經補償電容  $C_C$ )取代即可獲得輸出電壓為一線性斜波，其斜率為  $2I_Q/C_C$ 。因此，延遲率(slew rate)SR 為

$$SR = \frac{2I_Q}{C_C} \quad (10-10)$$

對於 741 而言， $I_Q$  的模擬值為  $7.68\mu A$  和  $C_C = 30pF$ ，可得  $SR = 0.512V/\mu s$ 。

### SPICE 模擬

圖 10-11 為模擬圖 10-10 電壓追隨器脈衝響應之 SPICE 輸入檔。其中由輸入訊號之指令敘述可看出  $v_i$  為一寬度為  $20\mu s$  且介於  $0V$  和  $5V$  間變化的脈衝訊號：

```
Vi 25 0 PWL (0,0V 10us,0V 10001ns,5V 30us,5V 30001ns,0V
+ 50us,0V)
```

此外，為滿足圖 10-11 的電路敘述，我們加入了一零電壓源  $V_{short}$ ：

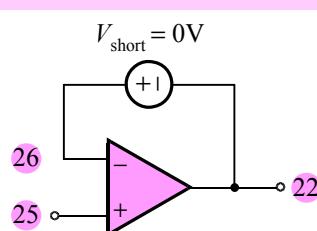


圖 10-10 一單位增益電壓追隨器電路。

```

Slew-Rate Limitation of the 741 OPAMP

* circuit description *
Vcc+ 1 0 DC +15V
Vcc- 2 0 DC -15V
Vi 25 0 PWL (0,0V 10us,0V 10001ns,5V 30us,5V 30001ns,0V
+ 50us,0V)
Vshort 26 22 0

Q1 5 25 6 npn_transistor
Q2 5 26 7 npn_transistor
Q3 9 8 6 pnp_transistor
Q4 10 8 7 pnp_transistor
Q5 9 11 13 npn_transistor
Q6 10 11 14 npn_transistor
Q7 1 9 11 npn_transistor
Q8 5 5 1 pnp_transistor
Q9 8 5 1 pnp_transistor
R1 13 2 1k
R2 14 2 1k
R3 11 2 50k

Q13B 15 3 1 pnp_transistor 0.75
Q16 1 10 16 npn_transistor
Q17 15 16 17 npn_transistor
R10 17 2 100
R9 16 2 50k
Cc 10 15 30p

Q13A 18 3 1 pnp_transistor 0.25
Q14 1 18 21 npn_transistor 3
Q19 18 19 20 npn_transistor
Q18 18 18 19 npn_transistor
Q20 2 20 23 pnp_transistor 3
Q22 2 15 20 pnp_transistor
R6 21 22 27
R7 22 23 27
R8 19 20 40k

Q15 18 21 22 npn_transistor
Q21 24 23 22 pnp_transistor
Q23 10 24 2 npn_transistor
Q24 24 24 2 npn_transistor
R11 24 2 50k

Q10 8 4 12 npn_transistor
Q11 4 4 2 npn_transistor
Q12 3 3 1 pnp_transistor
R4 12 2 5k
R5 3 4 39k
* BJT model description

```

```

.model npn_transistor NPN (Bf=200 Br=2.0 Is=10fA VAF=125V
+ Tf=0.35ns Rb=200 Rc=200 Re=2
+ Cje=1.0pF Vje=0.70V Mje=0.33
+ Cjc=0.3pF Vjc=0.55V Mjc=0.5
+ Cjs=3.0pF Vjs=0.52V Mjs=0.5)
.model pnp_transistor PNP(Bf=50 Br=4.0 Is=10fA VAF=50V
+ Tf=30ns Rb=300 Rc=100 Re=10
+ Cje=0.3pF Vje=0.55V Mje=0.5
+ Cjc=1.0pF Vjc=0.55V Mjc=0.5
+ Cjs=3.0pF Vjs=0.52V Mjs=0.5)

* analysis requests
.TRAN 0.5ns 50us 0ns 0.5ns
.probe
.end

```

圖 10-11 模擬圖 10-10 電壓追隨器脈衝響應之 SPICE 輸入檔。

Vshort 26 22 0

在分析需求部份，加入暫態分析指令：

.TRAN 0.5ns 50us 0ns 0.5ns

模擬結果參閱圖 10-12。圖 10-12(a)為輸入與輸出波形，圖中顯示輸出在往正方向以及往負方向的波形有很大的差異。對於輸出往正方向而言，在  $t=10\mu s$  附近即出現一  $2.5V$  的電壓跳躍，之後維持常數持續至  $t=11.865\mu s$ ，接下來在寬度為  $4.295\mu s(16.160-11.865)$  時間區間內上升至  $5V$ 。於是，可計算出正方向的延遲率(positive-going slew rate)為  $(5.0027-2.6926)V/4.295\mu s=0.54V/\mu s$ ，此值與先前(10-10)式手算分析預測者( $0.512V/\mu s$ )相當接近。同理，可得負方向的延遲率(negative-going slew rate)為  $(0.0112-5.0027)V/(42.715-30)\mu s=-0.393V/\mu s$ 。

### 積分器模型

圖 10-12(b)為 SPICE 模擬出流經補償電容  $C_C$  之電流波形，其中在  $t=10\mu s$  附近出現了  $500\mu A$  的電流尖峰，即導致  $v_o$  在  $t=10\mu s$  的  $2.5V$  瞬間跳躍。當  $v_o$  由  $2.69V$  上升至  $5V$  的過程中， $C_C$  上的電流保持常數，其值約  $16.505\mu A$ 。若將此值代入積分器模型中可得正方向的延遲率為  $16.505\mu A/30pF=0.55V/\mu s$ ，此值與波形顯示的正延遲率( $0.54V/\mu s$ )極為接近。

另一方面，圖 10-12(b)亦顯示當  $v_o$  由  $5V$  回到  $0V$  時， $C_C$  上的電流亦保持常數，其值為  $-11.932\mu A$ 。同樣代入積分器模型中可得負方向的延遲率為  $-11.932\mu A/30pF=-0.398V/\mu s$ ，此值與波形顯示的負延遲率( $-0.393V/\mu s$ )亦幾乎一致。

可計算出正方向的延遲率為  $(5.0027-2.6926)V/4.295\mu s=0.54V/\mu s$ 。

當  $v_o$  由  $2.69V$  上升至  $5V$  的過程中， $C_C$  上的電流保持常數，其值約  $16.505\mu A$ 。若將此值代入積分器模型中可得正方向的延遲率為  $16.505\mu A/30pF=0.55V/\mu s$ 。

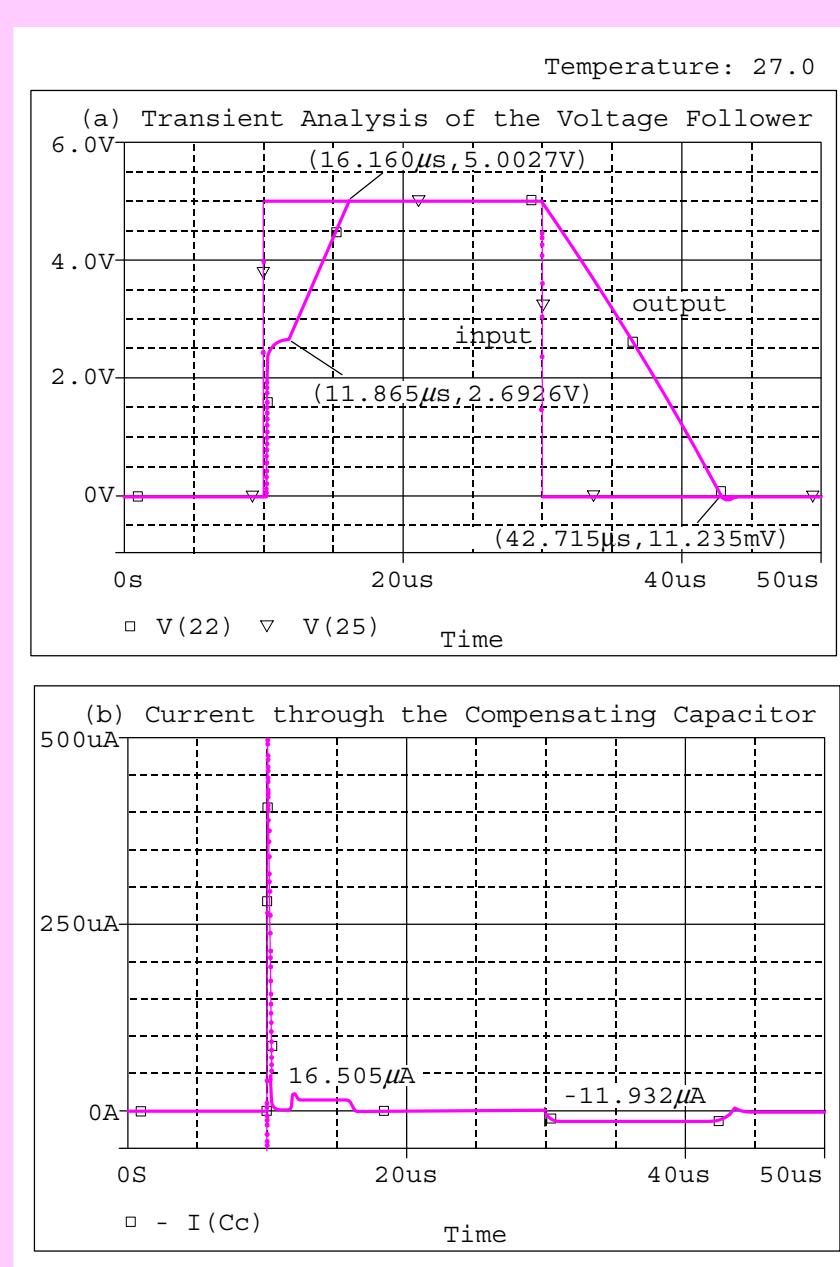


圖 10-12 圖 10-10 電壓追隨器的脈衝響應：(a)輸入與輸出波形，(b)流經補償電容  $C_C$  之電流波形。

**S 練習題 10.1** 在課文中並未列出 741 運算放大器直流操作點分析的 SPICE 輸入檔，嘗試寫下此輸入檔並列出電晶體  $Q_1$  和  $Q_{17}$  的所有直流數值以

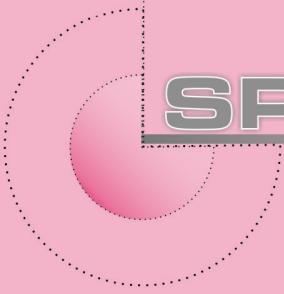
及小訊號參數。

- 10.2 利用 SPICE 重新執行 741 運算放大器的小訊號分析並計算由  $Q_1$  和  $Q_2$  兩基極間所看到的輸入差模電阻並與一般電子學教科書的手算分析值( $R_{in}=2.1\text{M}\Omega$ )比較。
- 10.3 圖 10-1 電路中原補償電容  $C_C$  連接於節點 10 和節點 15 之間，現擬修改補償網路為兩節點(節點 10 和 15)間出現  $C_C = 30\text{pF}$  和  $R_C = 1\text{k}\Omega$  之串聯。試利用 SPICE：
  - (a) 模擬 741 運算放大器的大小和相角響應。
  - (b) 將此 741 運算放大器代入圖 10-10 中觀察其步階響應。
- 10.4 利用 SPICE 重新執行 741 運算放大器增益級的小訊號分析，並計算增益級的電壓增益  $A_2$ ，並與手算分析值( $A_2 = -500$ )作一比較。
- 10.5 將圖 10-1 741 op amp 中的補償電容  $C_C$  改為  $50\text{pF}$ 。
  - (a) 利用 SPICE 重新模擬圖 10-10 電壓追隨器的脈衝響應，仿效圖 10-12 的方法繪出輸出波形與流經  $C_C$  的電流波形。
  - (b) 由輸出波形的斜率計算延遲率，並與流經  $C_C$  上的電流代入積分器模型之結果比較。

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide.*”
2. G. W. Roberts and A. S. Sedra, “*SPICE*” 2nd ed. Oxford University Press, 1997.
3. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits*,” 6th ed. Oxford University Press, 2009.
4. R. M. Kielkowski, “*Spice: Practical Device Modeling*” New York: McGraw-Hill, Inc. 1995.
5. M. H. Rashid, “*SPICE for Circuit and Electronic Using Psice*” 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
6. G. Massobrio and P. Antognetti, “*Semiconductor Device Modeling with SPICE*” 2nd ed. New York: McGraw-Hill, Inc. 1993.
7. A. S. Sedra and G. W. Roberts, “*Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith*” Fort Worth: Saunders College Pub, 1992.
8. P. W. Tuinenga, “*SPICE: A Guide to Circuit Simulation Analysis Using Psice: IBM-PC 3.5*” 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
9. K. Lee, “*Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator*” Englewood Cliffs, N. J.: Prentice Hall, 1993.

10. T. C. Carusone, D. A. Johns and K. Martin, “*Analog Integrated Circuit Design*,” 2nd ed. John Wiley and Sons, New York, 2011.
11. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, “*Analysis and Design of Analog Integrated Circuits*,” 5th ed., John Wiley and Sons, New York, 2009.
12. B. Razavi, “*Design of Analog CMOS Integrated Circuits*,” 1st ed., McGraw-Hill Companies, Inc., 2001.
13. R. J. Widlar, “*Design Techniques for Monolithic Operational Amplifiers*,” IEEE Journal of Solid-State Circuits SC-4 (August 1969), pp. 184–191.
14. R. G. Meyer, “*Integrated-Circuit Operational Amplifiers*,” New York: IEEE Press, 1978.
15. A. B. Grebene, “*Bipolar and MOS Analog Integrated Circuit Design*,” New York: Wiley, 1984.
16. S. Soclof, “*Design and Applications of Analog Integrated Circuits*,” Englewood Cliffs, NJ: Prentice Hall, Inc., 1991.
17. J. E. Solomon, “*The Monolithic Op-Amp: A Tutorial Study*,” IEEE Journal of Solid-State Circuits SC-9, No. 6 (December 1974), pp. 314–332.
18. R. J. Baker, “*CMOS Circuit Design, Layout, and Simulation*,” 2nd ed. IEEE Press & John-Wiley & Sons, Inc., 2007.
19. R. J. Baker, “*CMOS Mixed-Signal Circuit Design*,” second ed., IEEE Press & John-Wiley & Sons, Inc., 2007.
20. M. H. Rashid, “*Introduction to PSpice Using OrCAD for Circuits and Electronics*”, 3rd Ed., Prentice-Hall, 2004.
21. P. E. Allen and D. R. Holberg, “*CMOS Analog Circuit Design*,” second ed., Oxford University Press, 2002.
18. 張文清, “*微電子學下冊*”，二版，台北鼎茂圖書，2013。



**SPICE**

# 11

## 濾波器

本章為濾波器的模擬，分析電路包括 GIC 式高通、帶通、全通濾波器，以及 GIC 式正規帶拒和高通帶拒濾波器。另外亦涉及 TIL 式多功能二階濾波電路，以及單一放大器二階濾波器。一般電子學教科書在濾波器的手算分析時，均假設使用的 op amp 是理想的。而在本章中以 SPICE 模擬濾波器頻率響應時，除了考慮理想 op amp 之外，亦模擬代入 741 op amp 模型後所得的特性。在理想 op amp 模型部份，主要強調 SPICE 模擬與手算分析間之一致性。而在 741 op amp 模型部份，我們將說明 741 op amp 的模型建立及參數設定方式，如何建立輸入檔中關於 741 op amp 的副電路，以及觀察 741 op amp 對濾波器頻率響應的影響。

- 11.1 GIC 式二階濾波器
- 11.2 GIC 式帶拒濾波器
- 11.3 雙積分器迴路式濾波器
- 11.4 單一放大器二階濾波器

## 11.1 GIC 式二階濾波器

### 11.1.1 高通濾波器

#### 基本概念

**參** 考圖 11-1，此電路實現一二階高通濾波器(high-pass filter)，使用的技術為一般性阻抗轉換器(generalized impedance converter，簡稱 GIC)。所謂 GIC 是指由 op amp  $A_2$ 、op amp  $A_3$ ， $R_1$ 、 $C_2$ 、 $R_3$ 、 $R_4$  和  $R_5$  所組成的電路，也就是排除圖 11-1 中之  $R_6$  和  $C_6$  以及由 op amp  $A_1$  組成的非反相放大器後所剩餘的部份。此外，GIC 在節點 2 與接地點間之輸入阻抗  $Z_{in(GIC)}$  經手算分析後可得

$$Z_{in(GIC)} = \frac{sC_2R_1R_3R_5}{R_4} \triangleq sL_{eq} \quad (11-1)$$

因此，GIC 在節點 2 與接地點間(不包括  $R_6$ )實現一等效電感  $L_{eq}$ ，其值為

$$L_{eq} = \frac{C_2R_1R_3R_5}{R_4} \quad (11-2)$$

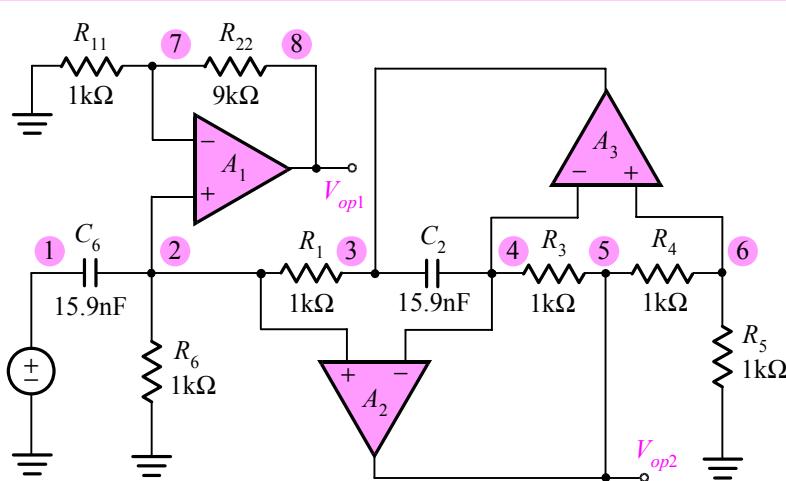


圖 11-1 GIC 式二階高通濾波器之 SPICE 電路圖。

利用 GIC 技術，即可完成許多主動 RC 無電感式(inductorless)濾波器設計。

### 手算分析

對於圖 11-1 而言，實現高通濾波函數的方法有兩種，第一種為取輸出端  $V_{OP1}$ ，對應轉換函數  $H_1(s)$ 。在理想 op amp 的條件下，經推導可得

$$H_1(s) \triangleq \frac{V_{op1}}{V_i} = K_{H1} \frac{s^2}{s^2 + s \frac{1}{R_6 C_6} + \frac{R_4}{C_2 C_6 R_1 R_3 R_5}} \triangleq K_{H1} \frac{s^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \quad (11-3)$$

其中  $K_{H1}$  代表高頻增益，其值為

$$K_{H1} = 1 + \frac{R_{22}}{R_{11}} \quad (11-4)$$

代值後得  $K_{H1} = 10$  (20dB)。另外，極點頻率  $f_0$  ( $f_0 = \omega_0 / 2\pi$ ) 為

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{R_4}{C_6 C_2 R_1 R_3 R_5}} \quad (11-5)$$

其值為  $f_0 = 10$  kHz。最後一個參數是極點  $Q$  因子(pole Q factor)：

$$Q = \omega_0 C_6 R_6 = R_6 \sqrt{\frac{C_6 R_4}{C_2 R_1 R_3 R_5}} \quad (11-6)$$

代值得  $Q = 1$ 。根據推導得知，若  $Q$  大於 0.707 時，響應中將呈現些微的尖峰現象。

第二種實現高通濾波的方法為取輸出端  $V_{OP2}$ ，對應函數為  $H_2(s)$ ，

$$H_2(s) \triangleq \frac{V_{op2}}{V_i} = K_{H2} \frac{s^2}{s^2 + s \frac{1}{R_6 C_6} + \frac{R_4}{C_2 C_6 R_1 R_3 R_5}} \quad (11-7)$$

其中  $K_{H2}$  為對應之高頻增益

$$K_{H2} = 1 + \frac{R_4}{R_5} \quad (11-8)$$

代值後得  $K_{H2} = 2$  (6dB)。

### 741 運算放大器的模型建立

以上的手算分析部份均假設 op amp 具有理想特性。接下來我們將利用 SPICE 分析當 op amp 為非理想時對濾波器頻率響應之影響。考慮一 741 運算放大器之簡化等效電路，見圖 11-2(a)。其中假設 741 放大器之輸出級為理想，僅考慮第一級和第二級的效應。其實影響 741 運算放大頻率響應最重要的兩個參數為第一級轉導  $G_{m1}$  和第二級補償電容  $C_C$ 。

**影響 741 運算放大頻率響應最重要的兩個參數為第一級轉導  $G_{m1}$  和第二級補償電容  $C_C$ 。**

根據米勒定理，補償電容  $C_C$  將被第二級增益  $A_2$  所放大，其放大後之等效電容  $C_T$  為  $C_C(1+|A_2|)$ 。故 741 放大器在忽略其他次要參數後之近似等效電路顯示於圖 11-2(b)。根據此圖所得到 741 放大器之近似轉換函數  $A(s)$  為

$$A(s) \triangleq \frac{V_o(s)}{V_{id}(s)} = \frac{|A_2| G_{m1} R_T}{1 + s R_T C_T} = \frac{A_o}{1 + \frac{s}{\omega_p}} \quad (11-9)$$

代表以一單一極點低通函數即可近似一積體電路式運算放大器之頻率響應。其中低頻增益  $A_o$  為

$$A_o = |A_2| G_{m1} R_T \quad (11-10)$$

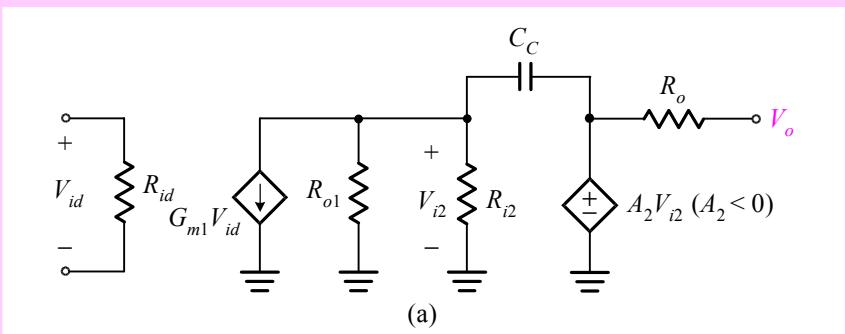
和三分貝頻率  $f_p$  ( $f_p = \omega_p / 2\pi$ ) 為

$$f_p = \frac{1}{2\pi R_T C_T} \quad (11-11)$$

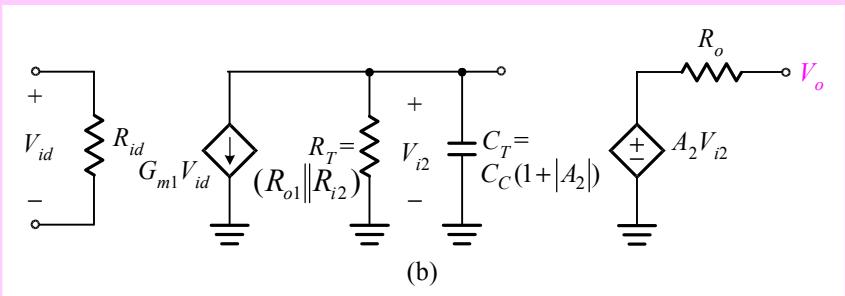
其中  $R_T$  可根據圖 11-2(b) 而得，

$$R_T = R_{o1} \parallel R_{i2} \quad (11-12)$$

以一單一極點低通函數即可近似一積體電路式運算放大器之頻率響應。



(a)



(b)

圖 11-2 (a)741 運算放大器之簡化等效電路，(b)741 運算放大器經由米勒定理後所得之近似等效電路。

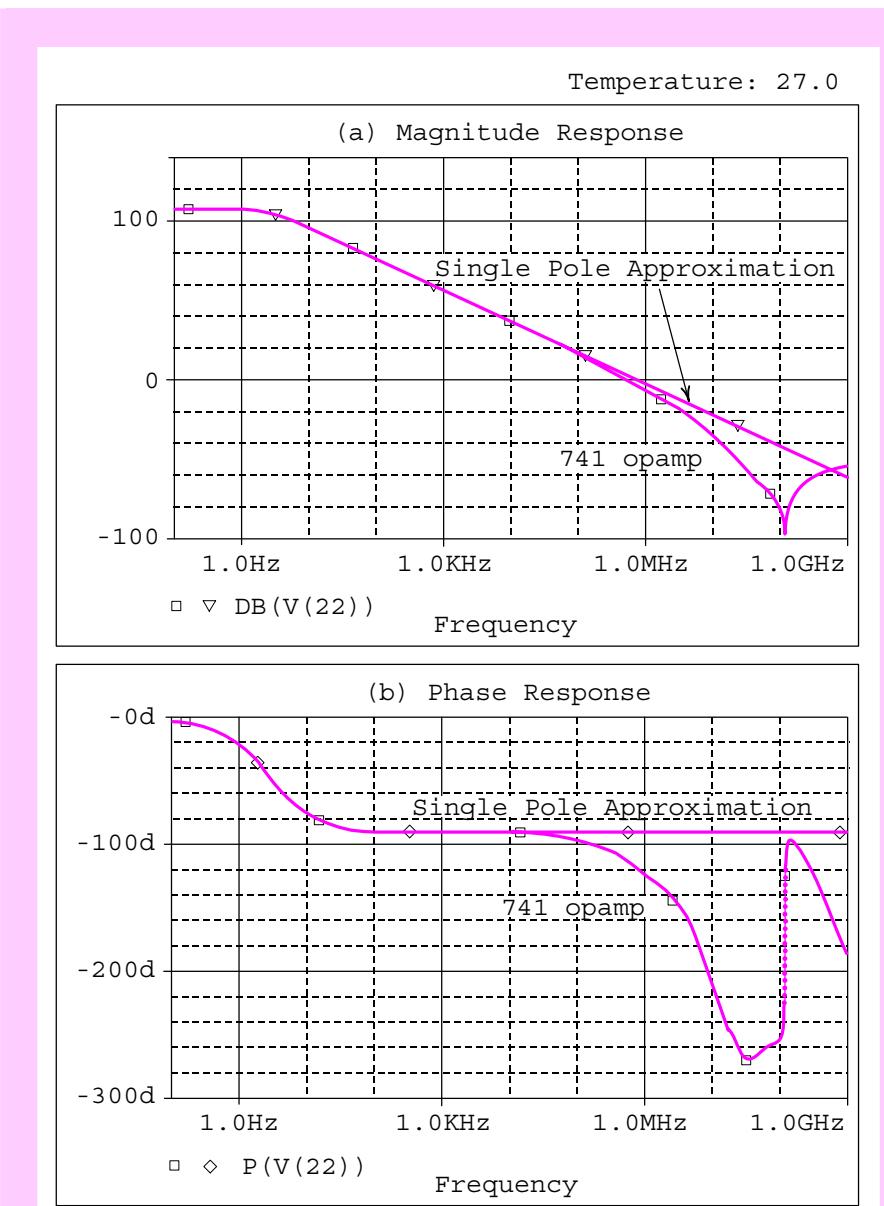


圖 11-3 以手算分析經驗值代入圖 11-2 模型所得的頻率響應與 741 op amp 實真電路模擬結果之比較：(a)大小頻率響應，(b)相角頻率響應。

根據上一章表 10-3 模擬 741 op amp 的結果， $A_o = 2.95 \times 10^5 \text{ V/V}$  和  $f_p = 2.6 \text{ Hz}$ 。一般而言，741 op amp 增益級的手算分析值約為  $A_2 = -500$ ，故將  $f_p = 2.6 \text{ Hz}$  的模擬值代入(11-11)式可得  $R_T = 3.84 \text{ M}\Omega$ 。

最後將  $A_o$ 、 $R_T$  和  $A_2$  代入(11-10)式可拼湊出  $G_{m1} = 0.1536 \text{ mA/V}$ 。

值得一提的是，由手算分析所得到第一級的轉導  $G_{m1}$  約為  $1/2r_e$ ，再由表 10-2 所提供的偏壓電流(741 op amp 中電晶體  $Q_1$  之偏壓為  $7.68\mu\text{A}$ )可計算出  $r_e = 25\text{mV} / 7.68\mu\text{A} = 3.26\text{k}\Omega$ ，於是  $G_{m1}$  約為  $0.1536\text{mA/V}$ ，與先前的拼湊值吻合。結論是，我們根據 741 op amp 的模擬結果及部分手算分析的經驗建立了 741 op amp 的簡化模型參數與對應之副電路：

```
*741 opamp subcircuit *
.subckt 741_opamp 1 2 3
Rid 2 3 2.14Meg
Gm1 4 0 2 3 0.1536m
Rt 4 0 3.84Meg
Ct 4 0 15030pF
Eoutput 5 0 4 0 -500
Ro 5 1 75
.ends 741_opamp
```

我們根據 741 op amp 的模擬結果及部分手算分析的經驗建立了 741 op amp 的簡化模型參數與對應之副電路。

由此模型繪出 741 op amp 開迴路增益大小及相角的頻率響應顯示於圖 11-3。由圖 11-3(a)顯示在 0dB 之上由圖 11-2 所提供的單極點近似模型與圖 10-1 741 op amp 模擬而得的真實響應幾乎完全重合。至於相角響應部份，兩者在低頻至 100kHz 處幾乎完全一致。但是在高頻處，由於 741 op amp 中非主極點效應的介入，使得單極點近似模型與真實響應間出現相當大的落差。

### SPICE 模擬

圖 11-4 為模擬圖 11-1 GIC 式高通濾波器之 SPICE 輸入檔，其中關於 op amp 部份分別使用了理想 op amp 以及 741 op amp 兩種不同的模型。注意圖 11-4 中關於第一次呼叫理想 op amp 副電路之指令：

```
Xop_1 8 2 7 ideal_opamp
```

以及對應副電路敘述：

```
.subckt ideal_opamp 1 2 3
```

另外，第二次呼叫 741 op amp 副電路之指令為：

```
Xop_1 8 2 7 741_opamp
```

和對應副電路敘述：

```
.subckt 741_opamp 1 2 3
```

圖 11-5 為高通濾波器於理想 op amp 模型下在兩個不同輸出端  $V_{op1}$  和  $V_{op2}$

```

Generalize-Impedance-Converter type Highpass Filter

.subckt ideal opamp 1 2 3
Eopamp 1 0 2 3 1e7
Iopen1 2 0 0
Iopen2 3 0 0
.ends ideal opamp
* circuit description
Vi 1 0 AC 1V
R1 2 3 1k
C2 3 4 15.9nF
R3 4 5 1k
R4 5 6 1k
R5 6 0 1k
R6 2 0 1k
C6 2 1 15.9nF
R11 7 0 1k
R22 7 8 9k
Xop 1 8 2 7 ideal opamp
Xop 2 5 2 4 ideal opamp
Xop 3 3 6 4 ideal opamp
* analysis requests
.AC DEC 1000 100Hz 100kHz
.probe
.end

*741 opamp subcircuit *
.subckt 741 opamp 1 2 3
Rid 2 3 2.14Meg
Gm1 4 0 2 3 0.1536m
Rt 4 0 3.84Meg
Ct 4 0 15030pF
Eoutput 5 0 4 0 -500
Ro 5 1 75
.ends 741 opamp
* circuit description
Vi 1 0 AC 1V
R1 2 3 1k
C2 3 4 15.9nF
R3 4 5 1k
R4 5 6 1k
R5 6 0 1k
R6 2 0 1k
C6 2 1 15.9nF
R11 7 0 1k
R22 7 8 9k
Xop 1 8 2 7 741 opamp
Xop 2 5 2 4 741 opamp
Xop 3 3 6 4 741 opamp
* analysis requests
.AC DEC 1000 100Hz 100kHz
.probe
.end

```

圖 11-4 圖 11-1 中 GIC 式高通濾波器之 SPICE 輸入檔，其中關於 opamp 部份，分別使用了理想 op amp 以及 741 op amp 兩個不同的副電路。

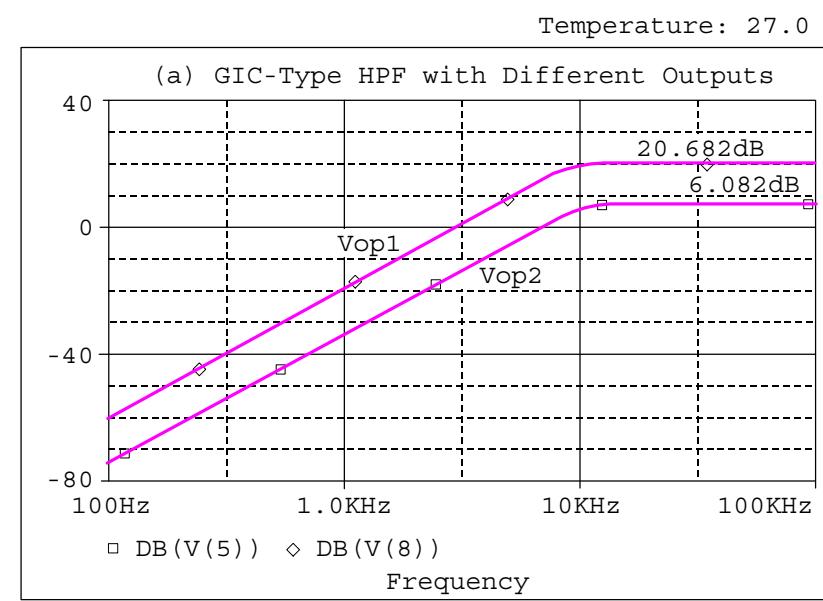


圖 11-5 GIC 式高通濾波器於理想 op amp 模型下在兩個不同輸出  $V_{op1}$  和  $V_{op2}$  模擬之頻率響應。

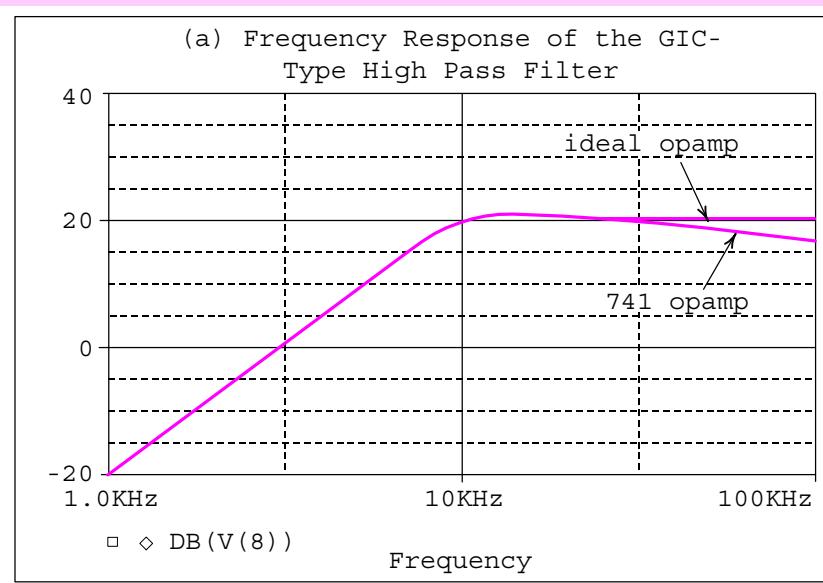


圖 11-6 GIC 式高通濾波器( $V_{op1}$  作為輸出端)分別使用理想 op amp 和 741 op amp 模型所模擬的頻率響應。

模擬出來的頻率響應。圖中顯示的高頻增益(20dB 和 6dB)，極點頻率、輕微尖峰現象均與先前手算分析完全吻合。

圖 11-6 為針對圖 11-1 中之輸出檔  $V_{op1}$  分別使用了理想 op amp 以及 741 op amp 模型所模擬的頻率響應。模擬結果顯示，兩者在低頻與中頻(10kHz 附近)處完全重合，在 30kHz 以上兩者開始分叉，且頻率愈高，兩者之差距也愈大。這是因為 741 op amp 使用了內部補償(米勒補償)技術，產生了如(11-9)式所示的單一極點低通響應。於是，在低頻處，741 op amp 之增益表現本來就與理想 op amp 相似。因此，兩者在低頻重合是必然的結果。但在高頻處，741 op amp 的增益表現類似一積分器，於是將造成圖 11-1 電路之高頻增益於高頻之衰減現象。

在高頻處，741 op amp 的增益表現類似一積分器，於是將造成圖 11-1 電路之高頻增益於高頻之衰減現象。

### 11.1.2 帶通濾波器

#### 手算分析

圖 11-7 為一二階帶通濾波器(bandpass filter)之 SPICE 電路圖。本電路與圖 11-1 之高通濾波器幾乎完全一致。祇不過將組件  $R_6$  和  $C_6$  互換。對於圖 11-7 而言，實現帶通濾波函數的方法有兩種，第一種為取輸出端  $V_{op1}$ ，對應轉換函數  $H_1(s)$ 。在理想 op amp 的條件下，經推導可得

$$H_1(s) \triangleq \frac{V_{op1}}{V_i} = K_{C1} \frac{\frac{1}{s(R_6 C_6)}}{s^2 + s \frac{1}{R_6 C_6} + \frac{R_4}{C_2 C_6 R_1 R_3 R_5}} \triangleq K_{C1} \frac{s(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2} \quad (11-13)$$

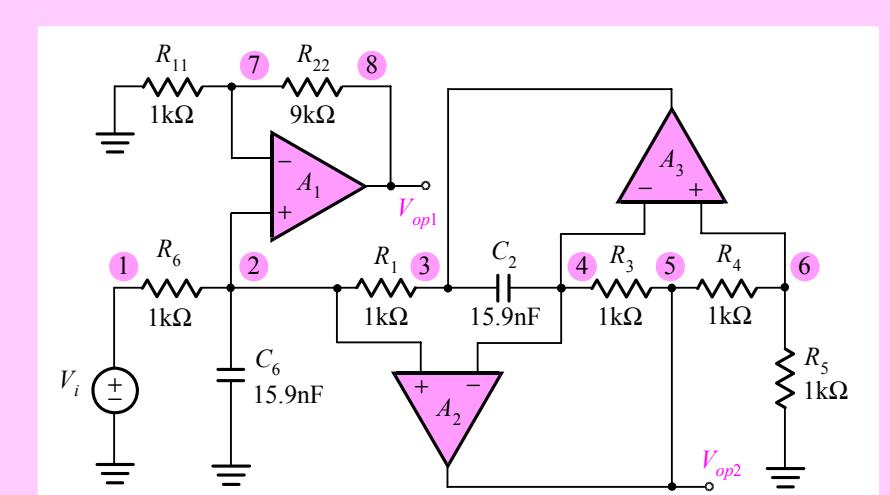


圖 11-7 — GIC 式二階帶通濾波器之 SPICE 電路圖。

其中中心頻率(center frequency)  $f_0$  ( $f_0 = \omega_0 / 2\pi$ ) 為

$$f_0 = \frac{1}{2\pi\sqrt{C_2 C_6 R_1 R_3 R_5 / R_4}} \quad (11-14)$$

代值後得  $f_0 = 10 \text{ kHz}$ 。而中心頻率增益(center frequency gain)  $K_{C1}$  為

$$K_{C1} = 1 + \frac{R_{22}}{R_{11}} \quad (11-15)$$

代值後得  $K_{C1} = 10$  (20dB)。另外，極點  $Q$  因子與(11-6)式完全相同且其值為 1。最後，帶通濾波器之三分貝頻寬 BW 經推導可得

$$BW = \frac{f_0}{Q} \quad (11-16)$$

代值後得  $BW = 10 \text{ kHz}$ 。

第二種實現帶通濾波的方法為取輸出端  $V_{op2}$ ，對應轉換函數  $H_2(s)$ ，經推導可得

$$H_2(s) = K_{C2} \frac{\frac{1}{s R_6 C_6}}{s^2 + s \frac{1}{R_6 C_6} + \frac{R_4}{C_6 C_2 R_1 R_3 R_5}} \quad (11-17)$$

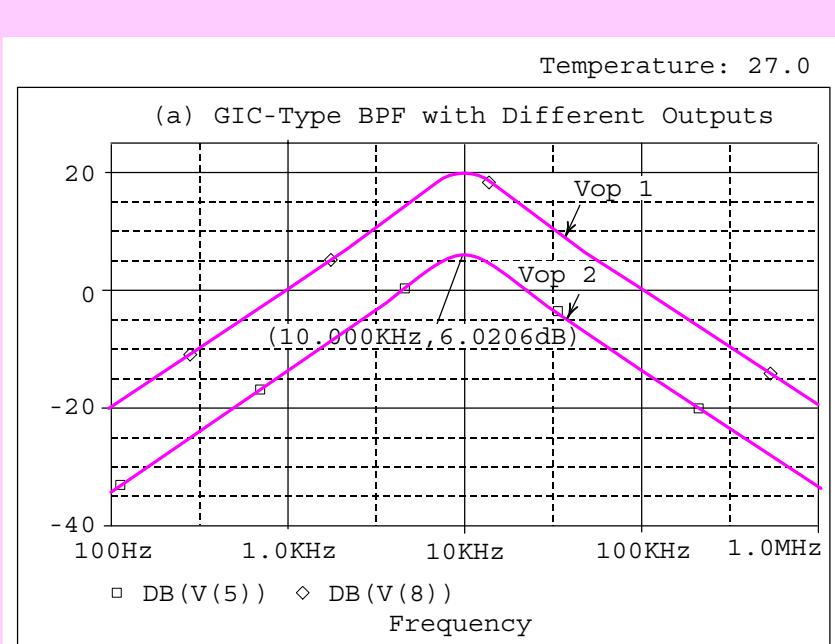


圖 11-8 GIC 式帶通濾波器於理想 op amp 模型下在不同輸出端  $V_{op1}$  和  $V_{op2}$  模擬之頻率響應。

其中中心頻率增益  $K_{C2}$  為

$$K_{C2} = 1 + \frac{R_4}{R_5} \quad (11-18)$$

至於  $f_0$ 、 $Q$  和 BW 則與先前完全相同。

#### SPICE 模擬

由於本電路與圖 11-1 之高通濾波電路十分類似，故在此不列出本電路之 SPICE 輸入檔。圖 11-8 為帶通濾波器於理想 op amp 模型下在兩個不同輸出端  $V_{op1}$  和  $V_{op2}$  模擬出來的頻率響應。圖中顯示的中心頻率增益( $V_{op1}$  對應 20dB 和  $V_{op2}$  對應 6dB)以及中心頻率(10kHz)均與先前手算分析完全吻合。此外，請注意低頻衰減與高頻衰減之斜率分別為 +20dB/dec 和 -20dB/dec。

### 11.1.3 全通濾波器

#### 手算分析

圖 11-9 為一 GIC 式二階全通濾波器(all-pass filter)之 SPICE 電路圖。經手算分析可證明此電路之轉換函數  $H(s)$  為

$$H(s) \triangleq \frac{V_o}{V_i} = \frac{s^2 - s \frac{1}{R_6 C_6} + \frac{R_4}{C_2 C_6 R_1 R_3 R_5}}{s^2 + s \frac{1}{R_6 C_6} + \frac{R_4}{C_2 C_6 R_1 R_3 R_5}} \triangleq \frac{s^2 - s(\omega_0/Q) + \omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \quad (11-19)$$

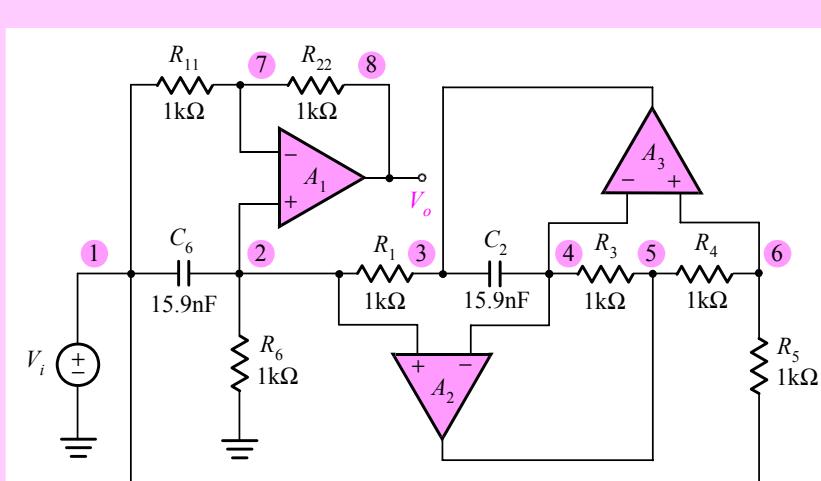


圖 11-9 一 GIC 式二階全通濾波器之 SPICE 電路圖。

可看出其平直增益(flat gain)等於 1，即頻寬為無窮大。上式經由多項式除法可改寫為

$$H(s) = 1 - \frac{2s(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2} \quad (11-20)$$

於是

$$\text{全通函數} = 1 - (\text{中心頻率增益為 2 的帶通函數}) \quad (11-21)$$

### SPICE 模擬

由於本電路與圖 11-1 之高通濾波或圖 11-6 之帶通濾波電路均十分類似，故在此不列出本電路之 SPICE 輸入檔。圖 11-10 為針對圖 11-9 中之輸出端  $V_o$  分別使用了理想 op amp 以及 741 op amp 模型所模擬的頻率響應。模擬結果顯示兩者在低頻處完全重合，在頻率高至 3kHz 以上兩曲線開始分叉，且讀者可預期頻率愈高，兩者間之差距也愈大。其理由與先前高通濾波器解釋者完全相同，在此不再重覆。

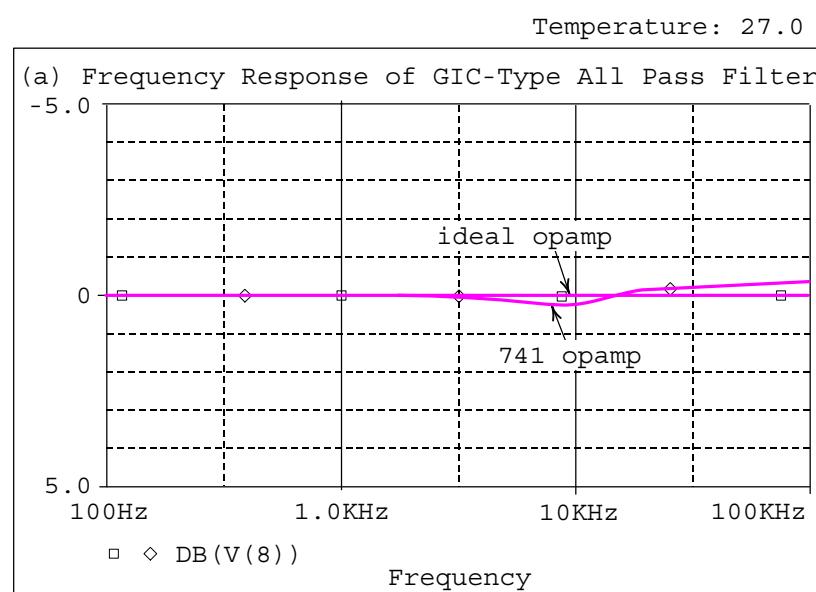


圖 11-10 GIC 式全通濾波器分別於兩種不同 op amp 模型下所模擬出的頻率響應。

## 11.2 GIC 式帶拒濾波器

二階帶拒(notch 或 band-reject)濾波器函數之標準式為

$$H(s) = b_2 \frac{s^2 + \omega_n^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \quad (11-22)$$

可看出當  $\omega = \omega_n$  時，

$$H(j\omega_n) = 0 \quad (11-23)$$

於是  $\omega_n$  稱為帶拒頻率(notch frequency)。由  $\omega_0$  和  $\omega_n$  間之大小關係可區分為三類型式：正規帶拒( $\omega_0 = \omega_n$ )，低通帶拒( $\omega_0 < \omega_n$ )，以及高通帶拒( $\omega_0 > \omega_n$ )。

### 11.2.1 正規帶拒濾波器

#### 手算分析

圖 11-11 為一 GIC 式二階正規帶拒(regular notch)濾波器，經手算分析可得此電路之轉換函數為  $H(s)$

$$H(s) \triangleq \frac{V_o}{V_i} = K_H \frac{\frac{R_4}{s^2 + \frac{1}{R_6 C_6} + \frac{R_4}{C_2 C_6 R_1 R_3 R_5}}}{s^2 + \frac{R_4}{C_2 C_6 R_1 R_3 R_5}} \triangleq K_H b_2 \frac{s^2 + \omega_n^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \quad (11-24)$$

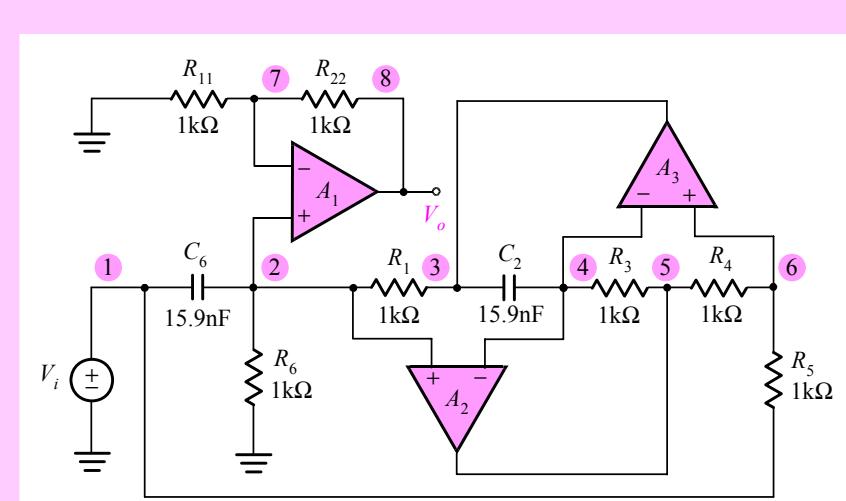


圖 11-11 — GIC 式正規帶拒濾波器。

```

GIC-Type Regular Notch Filter

.subckt ideal opamp 1 2 3
Eopamp 1 0 2 3 1e7
Iopen1 2 0 0
Iopen2 3 0 0
.ends ideal opamp

* circuit description
Vi 1 0 AC 1V
R1 2 3 1k
C2 3 4 15.9nF
R3 4 5 1k
R4 5 6 1k
R5 6 1 1k
R6 2 0 1k
C6 2 1 15.9nF
R11 7 0 1k
R22 7 8 1k
Xop 1 8 2 7 ideal opamp
Xop 2 5 2 4 ideal opamp
Xop 3 3 6 4 ideal opamp

* analysis requests
.AC DEC 10000 100Hz 100kHz
.probe
.end

*741 opamp subcircuit *
.subckt 741 opamp 1 2 3
Rid 2 3 2.14Meg
Gm1 4 0 2 3 0.1536m
Rt 4 0 3.84Meg
Ct 4 0 15030pF
Eoutput 5 0 4 0 -500
Ro 5 1 75
.ends 741 opamp

* circuit description
Vi 1 0 AC 1V
R1 2 3 1k
C2 3 4 15.9nF
R3 4 5 1k
R4 5 6 1k
R5 6 1 1k
R6 2 0 1k
C6 2 1 15.9nF
R11 7 0 1k
R22 7 8 9k
Xop 1 8 2 7 741 opamp
Xop 2 5 2 4 741 opamp
Xop 3 3 6 4 741 opamp

* analysis requests
.AC DEC 10000 100Hz 100kHz
.probe
.end

```

圖 11-12 分析圖 11-11 正規帶拒濾波器頻率響應之 SPICE 輸入檔。

其中  $b_2 = 1$  且

$$K_H = 1 + \frac{R_{22}}{R_{11}} = \text{高頻增益} = \text{低頻增益} \quad (11-25)$$

代值後得  $K_H = 2$  (6dB)。此外

$$\omega_n = \omega_0 = \frac{1}{\sqrt{C_6 C_2 R_1 R_3 R_5 / R_4}} \quad (11-26)$$

或可表為

$$f_n = f_0 = \frac{1}{2\pi\sqrt{C_6 R_2 R_1 R_3 R_5 / R_4}} \quad (11-27)$$

代值後得  $f_n = f_0 = 10\text{kHz}$ 。

### SPICE 模擬

圖 11-12 為分析圖 11-11 正規帶拒濾波器頻率響應之 SPICE 輸入檔。注意輸入檔中的交流頻率響應分析指令：

```
.AC DEC 10000 1kHz 100kHz
```

上述指令代表由 1kHz 掃描至 100kHz，每十倍頻率計算 10000 點。對於帶拒濾波器而言，由於在帶拒頻率  $f_n$  處，傳輸為零，故理論上在對數座標之傳輸值為負無窮大 ( $-\infty\text{dB}$ )。為增加模擬的準確性，在計算時間允許的範圍內，可儘量加大每十倍頻率的計算點數。

圖 11-13(a)為針對圖 11-11 中之輸出端  $V_o$  分別使用了理想 op amp 以及 741 op amp 模型所模擬的頻率響應。模擬結果顯示低頻增益為 5.98dB 和高頻增益為 5.86dB，且帶拒頻率為 10kHz，這與先前(11-25)和(11-27)二式之結果幾乎一致。值得注意的是，對 741 op amp 而言，在 10kHz 時的傳輸值為  $-32.5\text{dB}$ ；對理想 op amp 而言，在 10kHz 的傳輸值約為  $-50\text{dB}(3.1 \times 10^{-3})$ ，這與(11-23)式的結果並不一致，這完全是數值分析所產生的誤差。讀者可嘗試將原輸入檔中.AC 指令中每十倍頻率的計算點數(原 10000 點)加大，例如 50,000 點或 100,000 點，將會發現在帶拒頻率處，濾波器的傳輸值將隨計算點數的增加而下降。也就是，計算點數愈多時，則帶拒頻率  $f_n$  處對應的分貝傳輸值將愈負。

另一方面，圖 11-13(a)中顯示自 1kHz 至 100kHz 兩曲線幾乎重合，這與上節的結論(使用 741 op amp 將造成濾波器之高頻增益衰減)不符。於是我們進一步更改輸入檔的.AC 指令：

```
.AC DEC 10000 1kHz 100MegHz
```

**在帶拒頻率處，濾波器的傳輸值將隨計算點數的增加而下降。**

其模擬結果繪於圖 11-13(b)。圖中顯示 741 op amp 確實在高頻(100kHz 以上)處產生傳輸衰退的現象。

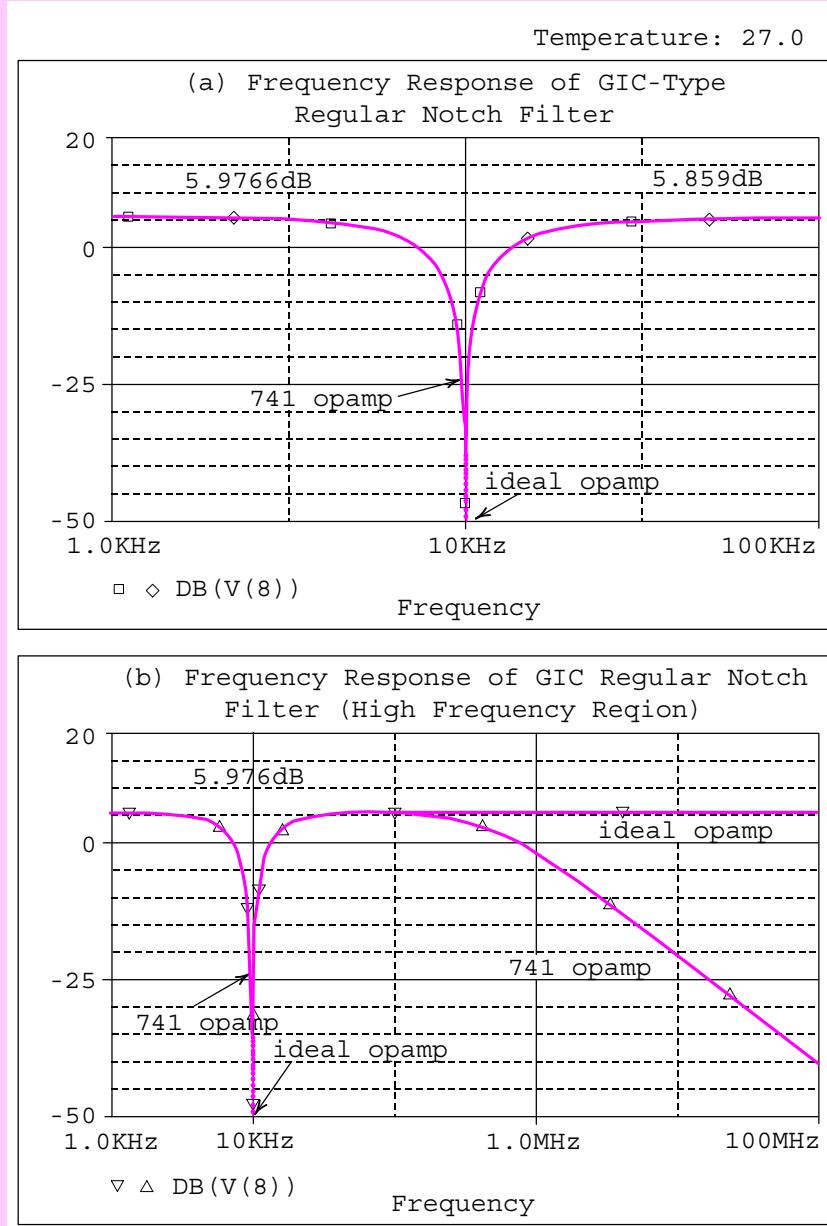


圖 11-13 (a)GIC 式正規帶拒濾波器分別於不同 op amp 模型下所模擬而得的頻率響應，(b)分析至 100MHz 之頻率響應曲線，以看出 741 op amp 造成高頻增益衰減的效應。

## 11.2.2 高通帶拒濾波器

### 手算分析

圖 11-14 為一 GIC 式高通帶拒(high-pass notch)濾波器之 SPICE 電路圖，其轉換函數  $H(s)$  經推導可得

$$\begin{aligned} H(s) \triangleq \frac{V_o}{V_i} &= K_H \frac{s^2 + \frac{R_4}{C_6 C_2 R_1 R_3 R_{51}}}{s^2 + s \frac{1}{R_6 C_6} + \frac{R_4 (R_{51} + R_{52})}{C_6 C_2 R_1 R_3 R_{51} R_{52}}} \\ &\triangleq K_H b_2 \frac{s^2 + \omega_n^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \end{aligned} \quad (11-28)$$

其中  $b_2 = 1$  且高頻增益  $K_H$  為  $1 + R_{22}/R_{11}$ 。再者，令  $s = 0$  可得直流增益：

$$\text{直流增益} = K_H \frac{R_{52}}{R_{51} + R_{52}} \quad (11-29)$$

此外，帶拒頻率為

$$\omega_n = \frac{1}{\sqrt{C_6 C_2 R_1 R_3 R_{51} / R_4}} \quad (11-30)$$

和極點頻率為

$$\omega_0 = \sqrt{\frac{R_4 (R_{51} + R_{52})}{C_6 C_2 R_1 R_3 R_{51} R_{52}}} \quad (11-31)$$

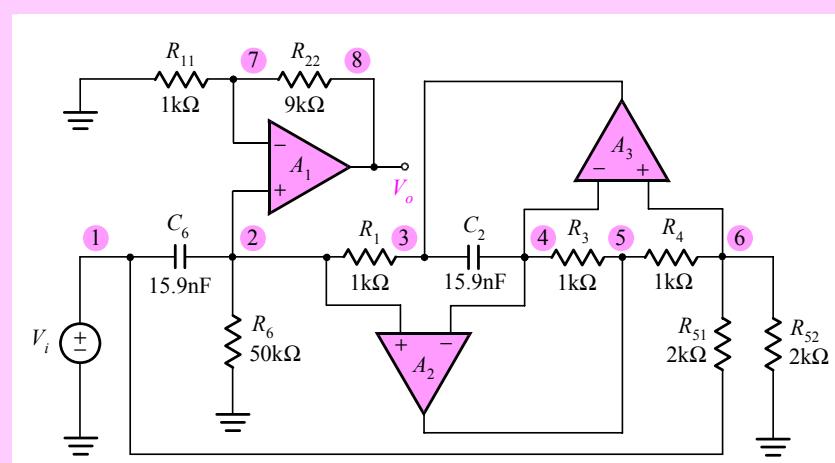


圖 11-14 GIC 式高通帶拒濾波器之 SPICE 電路圖，注意本電路之  $R_6$  為  $50\text{k}\Omega$ ，於是極點  $Q$  因子為 50。

觀察(11-28)式，令分母  $s$  一次項係數相等，即  $\omega_o/Q = 1/R_6 C_6$  可解得極點  $Q$  因子為

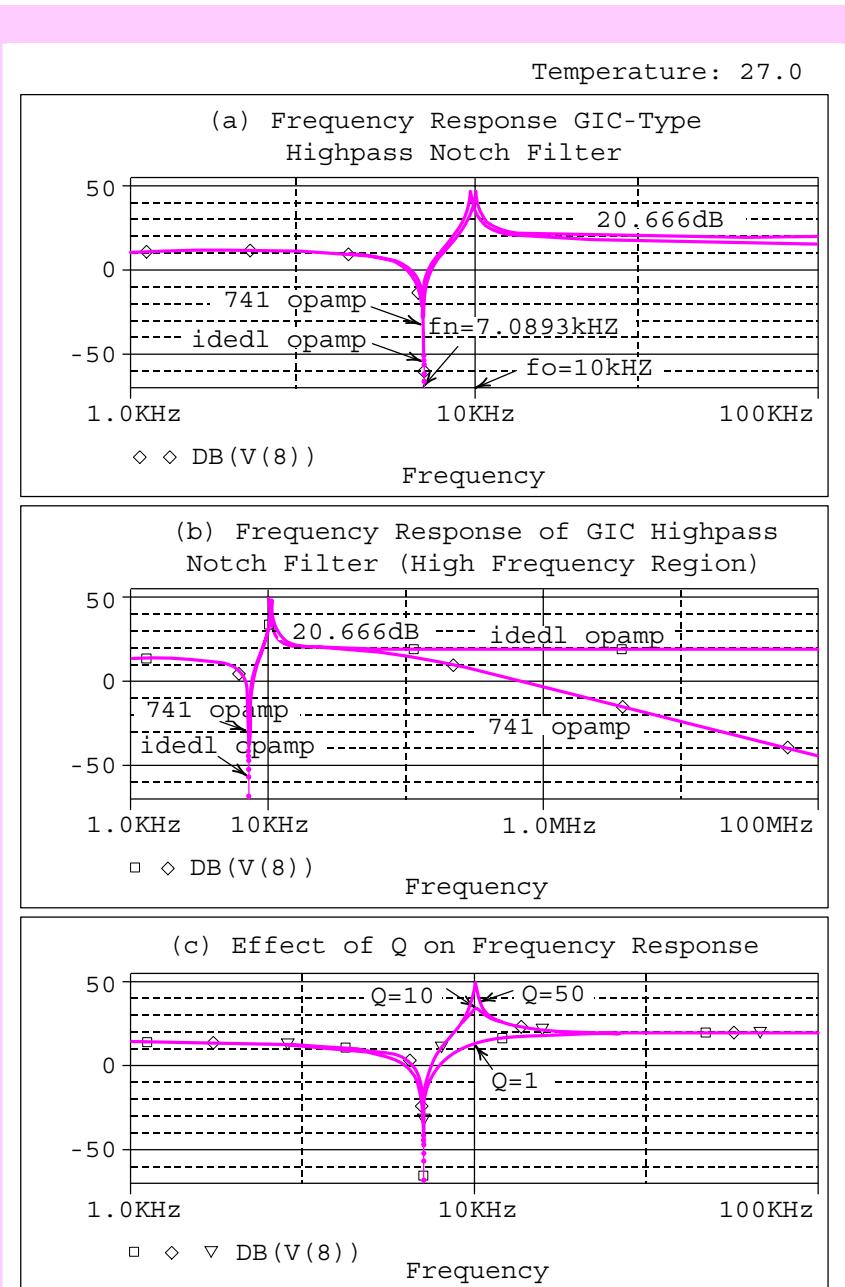


圖 11-15 (a)GIC 式高通帶拒濾波器分別在不同 op amp 模型下的頻率響應，(b)分析至 100MHz 的頻率響應(c)極點 Q 因子對頻率響應的效應。

$$Q = \omega_0 R_6 C_6 \quad (11-32)$$

代值後得直流增益為  $5(14\text{dB})$  和  $K_H = 10(20\text{dB})$ 、 $f_n = 7.078 \text{ kHz}$ ，以及  $10\text{kHz}$  和  $Q = 50$ 。

#### SPICE 模擬

圖 11-15(a)為 GIC 式高通濾波器分別代入不同 op amp 模型所模擬而得的頻率響應。圖中顯示就理想 op amp 而言， $f_0 = 10 \text{ kHz}$ ，帶拒頻率  $f_n = 7.0893 \text{ kHz}$ ，高頻增益  $20.7\text{dB}$ (當頻率趨近於無窮大時，此值將趨近於  $20\text{dB}$ )和直流增益約  $14\text{dB}$ ，以上結果均與手算分析幾乎一致。

圖 11-15(a)和(b)亦顯示當頻率由  $1\text{kHz}$  至  $100\text{kHz}$ ，理想 op amp 與 741 op amp 所得的結果幾乎重合。但是在高頻時，兩者誤差開始加大且 741 op amp 將造成高頻增益的衰減。最後，圖 11-15(c)為變化不同的  $Q$  值模擬的結果，圖中顯示  $Q$  值愈大，在  $f_0(10\text{kHz})$  附近的尖峰現象愈顯著。

## 11.3 雙積分器迴路式濾波器

#### 基本概念

本節中我們將利用 SPICE 模擬一雙積分器迴路式(two-integrator-loop，簡稱 TIL)濾波器，見圖 11-16。本電路兼具帶通(節點 3 為輸出端)與低通(節點 5 或 7 為輸出端)濾波之功能。現令第二級 op amp 之輸出電壓為濾波器輸出  $V_o$ ，故濾波器之轉移函數  $H(s)$  在理想運算放大器之假設下經推導可得

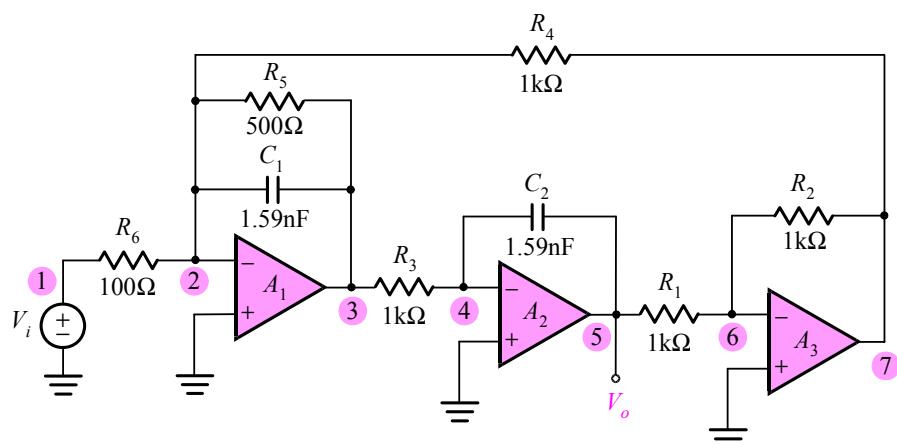


圖 11-16 雙積分器迴路式低通濾波器之 SPICE 電路圖，其中對應  $Q$  值為 0.5。

$$H(s) \triangleq \frac{V_o}{V_i} = \frac{\frac{1}{R_3 R_6 C_1 C_2}}{s^2 + s \frac{1}{R_5 C_1} + \frac{1}{C_1 C_2 R_3 R_4}} = \frac{K_0 \omega_o^2}{s^2 + s(\omega_0/Q) + \omega_o^2} \quad (11-33)$$

其中低通濾波器之直流增益  $K_0$

$$K_0 = \frac{R_4}{R_6} \quad (11-34)$$

極點頻率  $\omega_o$  為

$$\omega_o = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}} \quad (11-35)$$

極點  $Q$  因子為

Two-Integrator-Loop Low-Pass Filter with Ideal Opamps

```
.subckt ideal_opamp 1 2 3
Eopamp 1 0 2 3 1e7
Iopen1 2 0 0
Iopen2 3 0 0
.ends ideal_opamp

* circuit description (Q=0.5)
Vi 1 0 DC 0V AC 1V
R6 1 2 100
R4 2 7 1k
R3 3 4 1k
R1 5 6 1k
R2 6 7 1k
R5 2 3 500
C1 2 3 1.59nF
C2 4 5 1.59nF

* call subcircuit *
X1_3 0 2 ideal_opamp
X2_5 0 4 ideal_opamp
X3_7 0 6 ideal_opamp

* analysis requests *
.AC DEC 100 1kHz 1MegHz
.PLOT AC VdB(5)
.probe
.end
```

圖 11-17 使用理想運算放大器的雙積分器迴路式低通濾波器之 SPICE 輸入檔。

$$Q = R_5 \sqrt{\frac{C_1}{C_2 R_3 R_4}} \quad (11-36)$$

代入數值後得  $K_0 = 10$  (20dB),  $\omega_0 = 628\text{krad/s}$  ( $f_0 = 100\text{kHz}$ ), 和  $Q = 0.5$ 。

當  $Q < 0.707$  時，頻率響應中將不會有尖峰現象。當  $Q > 0.707$  時，頻率響應中將會出現尖峰現象。

此外，我們將變化電阻  $R_5$ ，這代表變化濾波器之  $Q$  值。當  $Q < 0.707$  時，頻率響應中將不會有尖峰現象。當  $Q > 0.707$  時，頻率響應中將會出現尖峰現象，且尖峰頻率  $f_{\max}$  為

$$f_{\max} = f_0 \sqrt{1 - \frac{1}{2Q^2}} \quad (11-37)$$

其中  $f_0 = \omega_0 / 2\pi$ 。當  $Q = 2$ ， $f_{\max} = 93.54\text{ kHz}$ 。當  $Q = 10$ ， $f_{\max} \approx f_0$ ，即  $f_{\max}$  約為  $100\text{kHz}$ 。

#### SPICE 模擬結果

圖 11-17 為圖 11-16 濾波器電路之 SPICE 輸入檔，其中我們先令運算放大器為理想，見圖 11-17 之副電路部份。圖 11-18 為低通濾波器之頻率響應，圖中分別對應  $Q = 0.5$ ,  $Q = 2$  和  $Q = 10$ 。其結果與先前手算分析幾乎一致。此外，在高頻部份，其響應趨近一條直線，其斜率為  $-40\text{dB/dec}$ 。

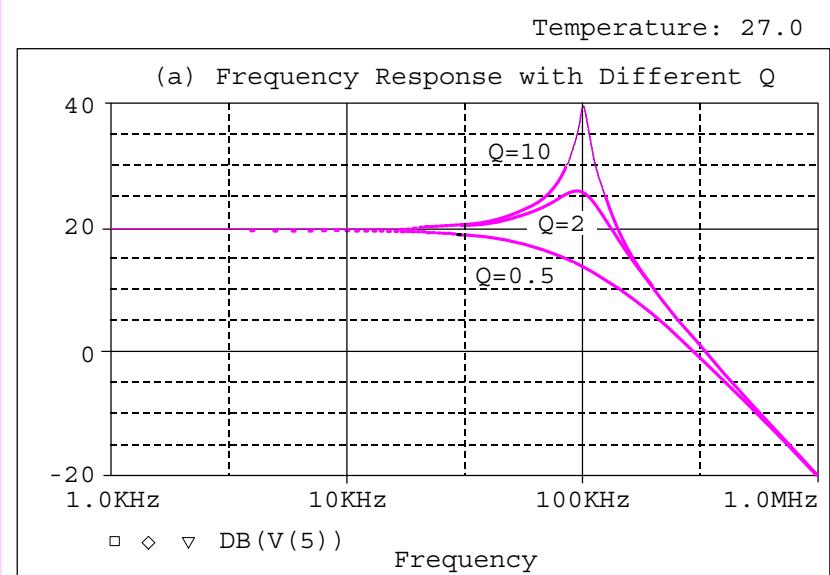


圖 11-18 使用理想運算放大器之低通濾波器頻率響應，圖中分別顯示  $Q = 0.5$ ,  $Q = 2$  和  $Q = 10$ 。

圖 11-19 為將 741 運算放大器代入一雙積分器迴路式低通濾波器後所得之頻率響應。圖中顯示與理想放大器在低頻處是重合的。在中頻處有些微的尖峰效應，而在高頻處由於 741 op amp 的有限增益與頻寬將造成濾波器之高頻增益較理想值低，但高頻衰減率與理想值並無太大差別。

在高頻處由於 741 op amp 的有限增益與頻寬將造成濾波器之高頻增益較理想值低。

## 11.4 單一放大器二階濾波器

### 11.4.1 帶通濾波器

#### 手算分析

圖 11-20 為一單一放大器二階濾波器(single amplifier biquadratic filter)之 SPICE 電路圖。在節點 3 處寫下一節點電流方程式即可解出此電路之轉換函數  $H(s)$ ：

$$H(s) \triangleq \frac{V_o}{V_i} = \frac{s(-1/C_1 R_4)}{s^2 + s\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3} + \frac{1}{C_1 C_2 R_3 R_4}} = K_C \frac{s(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2} \quad (11-38)$$

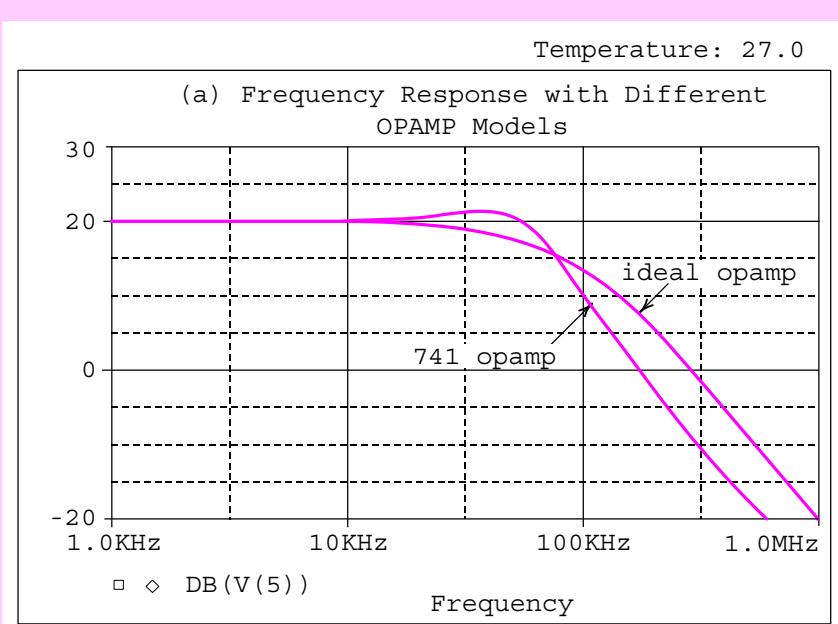


圖 11-19 使用理想放大器與 741 放大器的低通濾波器頻率響應，在此取  $Q=0.5$ 。

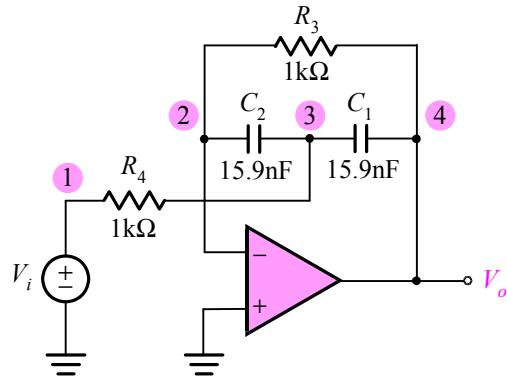


圖 11-20 一單一放大器二階帶通濾波器之 SPICE 電路圖。

其中中心頻率  $\omega_0$  為

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}} \quad (11-39)$$

和極點  $Q$  因子為

$$Q = \left[ \frac{\sqrt{C_1 C_2 R_3 R_4}}{R_3} \left( \frac{1}{C_1} + \frac{1}{C_2} \right) \right]^{-1} \quad (11-40)$$

此外，中心頻率增益  $K_C$  為

$$K_C = -\frac{R_3}{R_4} \left( \frac{C_2}{C_1 + C_2} \right) \quad (11-41)$$

代值後得  $f_0 = 10 \text{ kHz}$ 、 $Q = 0.5$ 、 $K_C = 0.5$  ( $-6 \text{ dB}$ )。至於帶通濾波器的三分貝頻寬 BW 為

$$BW = \frac{f_0}{Q} \quad (11-42)$$

其值為  $20 \text{ kHz}$ 。

### SPICE 模擬

圖 11-21 為單一放大器二階帶通濾波器於理想運算放大器模型下模擬而得的頻率響應，圖中顯示中心頻率為  $10 \text{ kHz}$ ，中心頻率增益為  $-6 \text{ dB}$ ，兩游標分別顯示低三分貝頻率  $f_L$  和高三分貝頻率  $f_H$ ，於是三分貝頻寬為  $BW = f_H - f_L = 24.266 - 4.1305 = 20.14 \text{ kHz}$ 。以上的模擬結果與先前的手算分析幾乎一致。

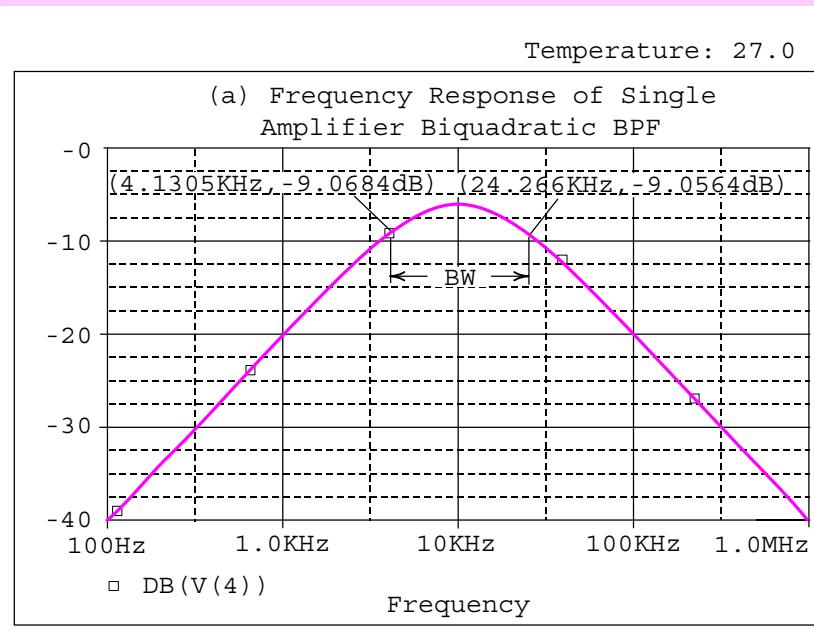


圖 11-21 單一放大器二階帶通濾波器於理想 op amp 模型下，模擬而得的頻率響應，圖中顯示中心頻率增益為 $-6\text{dB}$ ，兩游標分別顯示低高三分貝頻率，於是頻寬為  $\text{BW} = 24.266 - 4.1305 = 20.14\text{kHz}$ 。

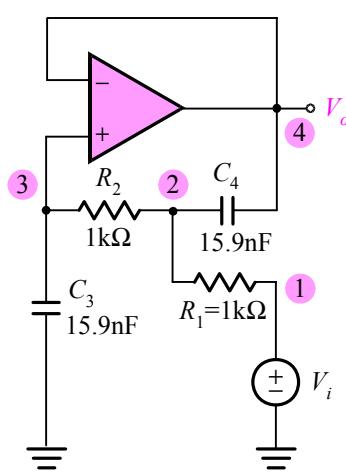


圖 11-22 一單一放大器二階低通濾波器之 SPICE 電路圖。

### 11.4.2 低通濾波器

#### 手算分析

圖 11-22 為一單一放大器二階低通濾波器之 SPICE 電路圖。與圖 11-20 類似，首先計算節點②電壓  $V_2$ ，

$$V_2 = sC_3V_o \left( R_2 + \frac{1}{sC_3} \right) \quad (11-43)$$

只要在節點②處寫下一節點方程式如下：

$$sC_3V_o + sC_4 \left[ sC_3V_o \left( R_2 + \frac{1}{sC_3} \right) - V_o \right] + \frac{1}{R_1} \left[ sC_3V_o \left( R_2 + \frac{1}{sC_3} \right) - V_i \right] = 0 \quad (11-44)$$

即可解出此電路的轉換函數  $H(s)$ ：

$$\begin{aligned} H(s) \triangleq \frac{V_o}{V_i} &= \frac{\frac{1}{R_1 R_2 C_3 C_4}}{s^2 + s \left( \frac{1}{R_1} + \frac{1}{R_2} \right) \frac{1}{C_4} + \frac{1}{R_1 R_2 C_3 C_4}} \\ &= K_0 \frac{\omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \end{aligned} \quad (11-45)$$

其中直流增益  $K_0 = 1$  (0dB) 和極點頻率  $\omega_0$  為

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_3 C_4}} \quad (11-46)$$

以及極點  $Q$  因子為

$$Q = \left[ \frac{\sqrt{R_1 R_2 C_3 C_4}}{C_4} \left( \frac{1}{R_1} + \frac{1}{R_2} \right) \right]^{-1} \quad (11-47)$$

代值後得  $f_0 = 10\text{kHz}$  和  $Q = 0.5$ 。

在分析單一放大器二階低通濾波器時，若 op amp 具有 741 內部補償式的單一極點低通響應，則手算分析將 op amp 視為理想將與真實模擬之結果幾乎一致。

#### SPICE 模擬

圖 11-23 為分析圖 11-22 低通濾波器頻率響應之 SPICE 輸入檔，其中呼叫了兩個副程式，分別是理想 op amp 及 741 op amp。圖 11-24 為模擬結果，可看出由低頻至高頻兩曲線幾乎完全重合。這代表在分析單一放大器二階低通濾波器時，若 op amp 具有 741 內部補償式的單一極點低通響應，則手算分析將 op amp 視為理想將與真實模擬之結果幾乎一致。

```

Single Amplifier Biquadratic Low-Pass Filter

* LPF using ideal opamp

*ideal opamp subcircuit *
.subckt ideal opamp 1 2 3
* node1: output terminal
* node2: noninverting input terminal
* node3: inverting terminal

Eopamp 1 0 2 3 1e7
Iopen1 2 0 0A
Iopen2 3 0 0A
.ends ideal opamp

* circuit description
Vi 1 0 AC 1V
R1 2 1 1k
R2 2 3 1k
C3 3 0 15.9nF
C4 2 4 15.9nF
Xopamp_A1 4 3 4 ideal_opamp

* analysis requests
.AC DEC 1000 100Hz 10GHz
.probe
.end

* LPF using 741 opamp

*741 opamp subcircuit *
.subckt 741 opamp 1 2 3
Rid 2 3 2.14Meg
Gm1 4 0 2 3 0.1536m
Rt 4 0 3.84Meg
Ct 4 0 15030pF
Eoutput 5 0 4 0 -500
Ro 5 1 75
.ends 741 opamp

* circuit description
Vi 1 0 AC 1V
R1 2 1 1k
R2 2 3 1k
C3 3 0 15.9nF
C4 2 4 15.9nF
Xopamp_A2 4 3 4 741 opamp

* analysis requests
.AC DEC 1000 100Hz 10GHz
.probe
.end

```

圖 11-23 分析圖 11-22 低通濾波器在兩種不同 op amp 模型下頻率響應之 SPICE 輸入檔。

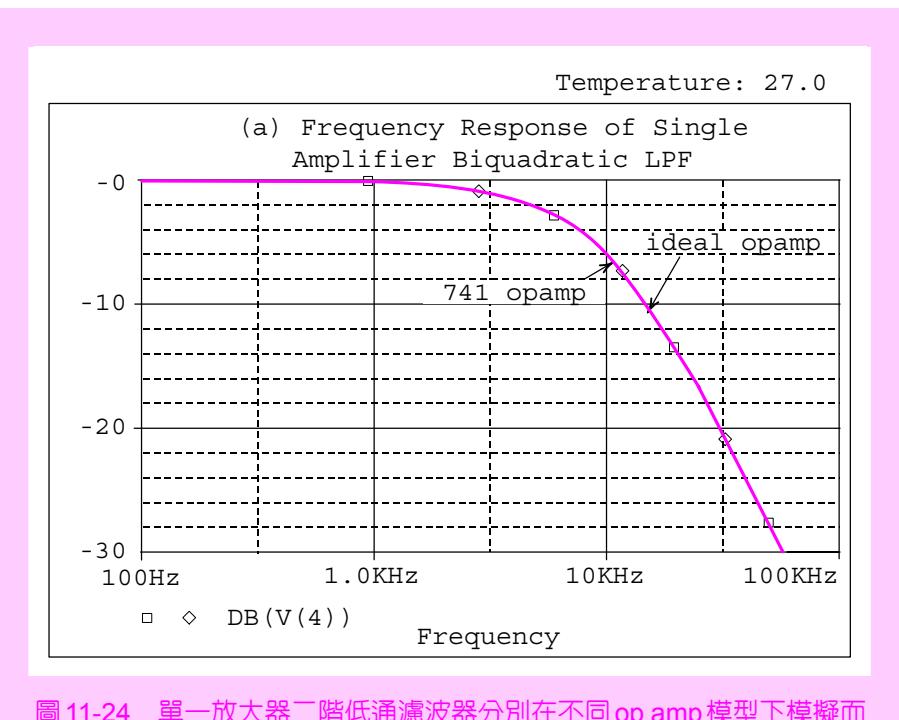


圖 11-24 單一放大器二階低通濾波器分別在不同 op amp 模型下模擬而得的頻率響應。

### § 練習題

- 11.1 針對圖 11-1 之 GIC 式二階高通濾波器，並以節點 8 為輸出端，若將電阻  $R_6$  改為  $0.5k\Omega$  和  $5k\Omega$ ，試以 SPICE 分別重新繪出在以下兩種模型之下之大小頻率響應：  
 (a) 理想運算放大器  
 (b) 741 運算放大器
- 11.2 參考圖 11-5，利用 SPICE 中之.AC 指令將計算頻率延伸至 100MHz，並計算在 100MHz 處，理想 op amp 和 741 op amp 模型間之增益誤差量。
- 11.3 參考圖 11-2(a)，課文中將 741 op amp 第二級的電壓增益  $A_2$  設為  $-497$ ，若  $A_2$  改為  $-480$ 、 $-515$  和  $-600$ ，試以圖 11-1 電路為例，繪出並比較以上四種增益值所對應的頻率響應。
- 11.4 針對圖 11-9 之全通濾波器電路，試以 SPICE 重新模擬此電路並分別繪出在理想 op amp 和 741 op amp 模型下之相角頻率響應。
- 11.5 針對圖 11-11 之 GIC 式二階正規帶拒濾波器，並以節點 8 為輸出

端，若將電阻  $R_6$  改為  $0.5\text{k}\Omega$ 、 $5\text{k}\Omega$  和  $50\text{k}\Omega$ ，試以 SPICE 分別重新繪出在以下兩種模型之下之大小頻率響應：

- (a) 理想運算放大器
- (b) 741 運算放大器

11.6 對於圖 11-16 之 TIL 式二階濾波器，若以節點 3 為輸出端且表示為  $V_{o3}$ 。

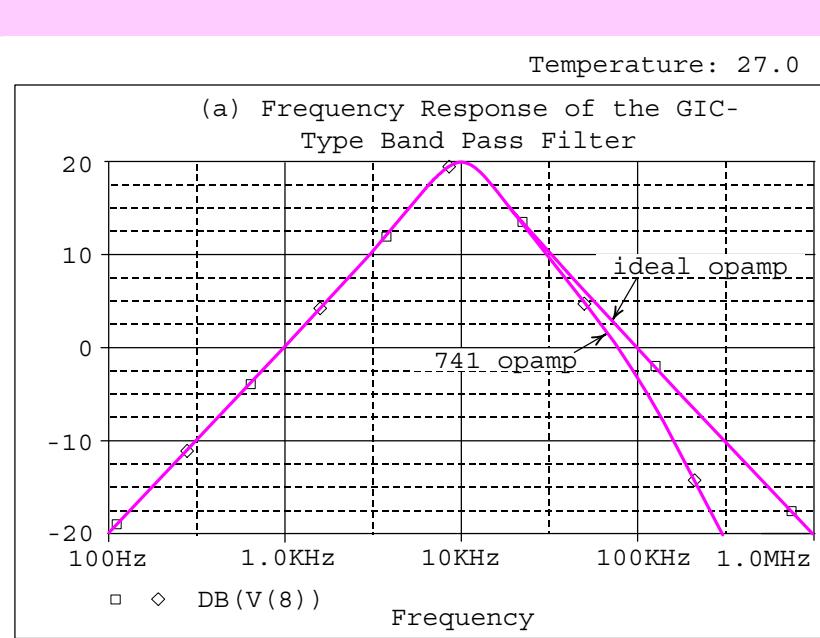
- (a) 以手算分析證明轉換函數  $H(s)$  為

$$H(s) \triangleq \frac{V_{o3}}{V_i} = \frac{s \left( -\frac{1}{R_6 C_1} \right)}{s^2 + s \frac{1}{R_5 C_1} + \frac{1}{C_1 C_2 R_3 R_4}}$$

- (b) 以 SPICE 模擬此一帶通濾波器並分別繪出在理想 op amp 和 741 op amp 兩種不同模型下之大小頻率響應。

11.7 對於圖 11-20 之單一放大器二階帶通濾波器，若改用 741 op amp 模型。試以 SPICE 模擬其頻率響應並與圖 11-21 之結果比較。

11.8 附圖為針對圖 11-7 中帶通濾波器之輸出端  $V_{op1}$  分別使用了理想 op amp 以及 741 op amp 模型所模擬的頻率響應。模擬結果顯示，兩

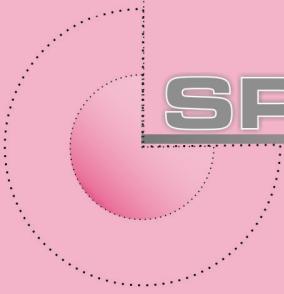


習題 11.8 附圖。

者在低頻與中頻(10kHz 附近)處完全重合，在頻率高至 30kHz 以上兩曲線開始分叉，且頻率愈高，兩者間之差距也愈大。現在針對 741 op amp 模型。並且變化補償電容之數值(原  $C_c = 30\text{pF}$ )為 15pF、60pF 和 120pF，重新以 SPICE 繪出此三種情況之頻率響應。

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide.*”
2. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits,*” 6th ed. Oxford University Press, 2009.
3. G. W. Roberts and A. S. Sedra, “*SPICE*” 2nd ed. Oxford University Press, 1997.
4. A. S. Sedra and G. W. Roberts. “*Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith*” Fort Worth: Saunders College Pub, 1992.
5. P. W. Tuinenga, “*SPICE: A Guide to Circuit Simulation Analysis Using Psice: IBM-PC 3.5*” 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
6. M. H. Rashid, “*SPICE for Circuit and Electronic Using Psice*” 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
7. G. Massobrio and P. Antognetti, “*Semiconductor Device Modeling with SPICE*” 2nd ed. New York: McGraw-Hill, Inc. 1993.
8. A. S. Sedra and P. O. Brackett, “*Filter Theory and Design: Active and Passive,*” Portland, Ore.: Matrix, 1978.
9. A. S. Sedra, S. M. Ghorab, and K. Martin, “Optimum configurations of single-amplifier biquadratic filters,” IEEE Transactions and Circuits and Systems, vol. CAS-27, no. 12, pp. 1155–1163, Dec. 1980.
10. A. S. Sedra, “*Electronic Circuits—Discrete and Integrated,*” McGraw –Hill Book Company, New York, 1979.
11. T. C. Carusone, D. A. Johns, and K. Martin, “*Analog Integrated Circuit Design,*” 2nd ed. John Wiley and Sons, New York, 2011.
12. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, “*Analysis and Design of Analog Integrated Circuits,*” 5th ed., John Wiley and Sons, New York, 2009.
13. B. Razavi, “*Design of Analog CMOS Integrated Circuits,*” 1<sup>st</sup> ed., McGraw-Hill Companies, Inc., 2001.
14. N. R. Malik, “*Electronic Circuits; Analysis, Simulation, and Design,*” Englewood Cliffs, NJ: Prentice Hall, Inc., 1995.
15. R. J. Baker, “*CMOS Circuit Design, Layout, and Simulation,*” second ed. IEEE Press & John-Wiley & Sons, Inc., 2007.
16. 張文清, “*微電子學下冊*”, 二版, 台北鼎茂圖書, 2013。



**SPICE**

# 12

## 波形產生器

本章主要是研究各種振盪器的行爲，包括正弦振盪器，方波產生器，及單穩態複振器等。首先，我們將模擬兩種正弦振盪器——文氏電橋振盪器與帶通濾波器調諧式振盪器，模擬重點包括以暫態分析觀察在不同迴路增益設計下的振盪波形以及以傅立葉級數(Fourier series)分析計算訊號在頻域上的純度。再者，我們將介紹兩種複振器電路——無穩態(astable)及單穩態(monostable)複振器，除了以 SPICE 模擬其訊號波形外，亦將以手算分析檢驗振盪週期及輸出脈衝寬度的正確性。

- 12.1 正弦振盪器
- 12.2 無穩態複振器
- 12.3 單穩態複振器

## 12.1 正弦振盪器

對一個電子工程師來說，產生正弦波電路的設計與應用是一件非常重要的工作。正弦振盪器(sinusoidal oscillator)主要是利用一回授迴路來產生正弦訊號，且在此迴路中包含一頻率選擇網路(frequency-selective network)。我們通常設計此一迴路使得在由頻率選擇網路決定的某一頻率上具有單位增益(unity gain)，這種型式的振盪器被稱為線性振盪器(linear oscillator)。

我們通常設計此一迴路使得在由頻率選擇網路決定的某一頻率上具有單位增益，這種型式的振盪器被稱為線性振盪器。

### 12.1.1 文氏電橋振盪器

#### 基本概念——巴克豪森準則

本節我們將利用 SPICE 來模擬一簡單的振盪電路——文氏電橋(Wien-Bridge)振盪器。圖 12-1 為一完整的文氏電橋振盪器電路。請注意回授迴路為主振盪電路，而  $R_3$  至  $R_6$  四電阻與  $D_1$  和  $D_2$  構成一非線性振幅控制網路。此網路之主要功用在於控制振盪器輸出正弦波之振幅，並將其值限定在所設計的特定範圍內。

雖然名為線性振盪器，但是我們必須藉由一些非線性機構以控制輸出正弦波的振幅。事實上，所有振盪器基本上都是非線性電路。這將使振盪器的分析和設計變得複雜，可能無法再直接利用轉換方法( $s$  平面分析)。無論如何，正弦振盪器的設計可分為兩步驟：首先，可直接利用回授電路頻域分析方法，此為一線性步驟。再者，設法提供振幅控制的非線性機構。

考慮圖 12-1 的主振盪電路，此電路是由一 op amp 連接在非反相組態所組成，op amp 所提供的閉迴路增益為  $1+R_2/R_1$ 。在此正增益放大器的回授路徑上連接了一 RC 網路，將回授網路的轉換函數乘以放大器增益即可得出環繞回授迴路一圈所對應的增益，即迴路增益(loop gain)  $L'(s)$ ：

$$L'(s) = \left(1 + \frac{R_2}{R_1}\right) \frac{Z_p}{Z_s + Z_p} \quad (12-1)$$

其中  $Z_s = R_s + 1/sC_s$  和  $Z_p = R_p \parallel (1/sC_p)$ 。因此，在  $R_s = R_p = R$  和  $C_s = C_p = C$  的條件下可得

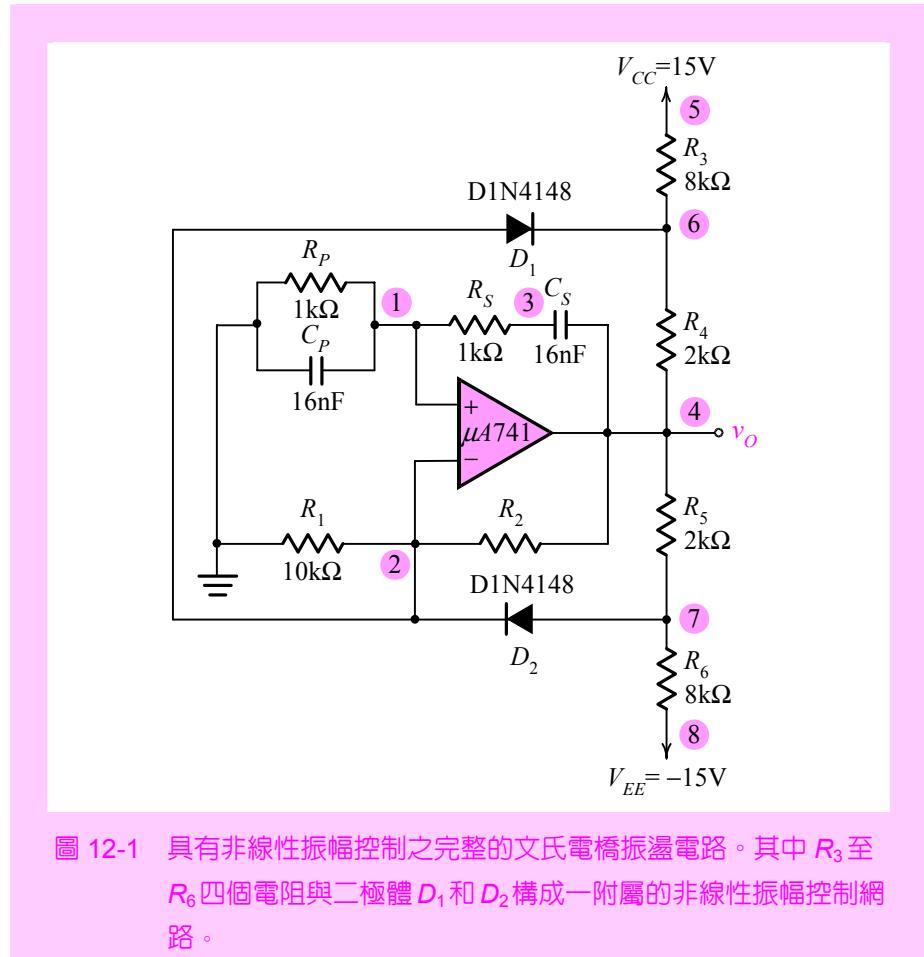


圖 12-1 具有非線性振幅控制之完整的文氏電橋振盪電路。其中  $R_3$  至  $R_6$  四個電阻與二極體  $D_1$  和  $D_2$  構成一附屬的非線性振幅控制網路。

$$L'(s) = \frac{1 + R_2 / R_1}{3 + sCR + 1 / sCR} \quad (12-2)$$

代入  $s = j\omega$  後得

$$L'(j\omega) = \frac{1 + R_2 / R_1}{3 + j(\omega CR - 1 / \omega CR)} \quad (12-3)$$

若在某一特定頻率  $\omega_0$  下，迴路增益  $L'(s)$  正好等於 1，這代表在此頻率下，對於零輸入訊號而言具有一有限的輸出。於是根據定義，此電路即為一振盪器。因此對於圖 12-1 的回授迴路來說將產生頻率  $\omega_0$  的正弦振盪其條件為

$$L'(j\omega_0) = 1 \quad (12-4)$$

也就是，在  $\omega_0$  處迴路增益的相角必須是零且迴路增益的大小值必須是 1，此即巴克豪森準則(Barkhausen criterion)。注意為了讓此電路在某

在  $\omega_0$  處迴路增益的相角必須是零且迴路增益的大小值必須是 1，此即巴克豪森準則。

頻率振盪，則振盪準則必須僅在某一頻率(也就是  $\omega_0$ )被滿足；否則輸出波形將不再是一簡單的正弦波。

考慮在某一頻率  $\omega_0$  之下，迴路增益  $L(s)$  將為一實數(也就是，相角為零)，因此振盪頻率  $\omega_0$  為

$$\omega_0 = \frac{1}{RC} \quad (12-5)$$

或

$$f_0 = \frac{1}{2\pi RC} \quad (12-6)$$

代值後可得  $f_0 = 10 \text{ kHz}$ 。

### 基本觀念 – 非線性振幅控制

前面所考慮的振盪條件是以數學型式保證將產生持續性的振盪。但是大家都知道，實際系統的參數在任何一段時間之內不可能一直維持常數。換言之，我們在  $\omega = \omega_0$  處很努力地調整各電路參數使之滿足  $L' = 1$ ；然後由於溫度變化，造成  $L'$  略小於 1。顯然，在此情況下振盪將會停止。反之，若  $L'$  超過 1，則將產生振幅漸增式的振盪。因此，我們需要建立一個機構使得吾人在某一想要的輸出振幅值上強迫  $L'$  保持等於 1。這件事情可藉由一作為增益控制的非線性電路來完成，即圖 12-1 中  $R_3$  至  $R_6$  四個電阻以及  $D_1$  和  $D_2$  所組成的電路。

基本上，增益控制機構的作用如下：首先，為了確保振盪將會起動，吾人須將此電路的  $L'$  值設計為略大於 1。即對應設計此電路使其極點落在  $s$  平面的右半面。因此當電源供應器一被打開，將產生振幅漸增式的振盪。當振幅達到想到的準位，此非線性電路開始作用且將使得迴路增益精確地降至 1。換句話說，極點被“拉回”至  $j\omega$  軸上。這個極點拉回的行為將使得此電路在這個想要的振幅上作持續性的振盪。若基於某種原因，此迴路增益被降至 1 之下，則此正弦波的振幅將減小。此時這個非線性電路將再度偵測到這件事情，並迅速將迴路增益精確增加至 1。

為了確保振盪將會起動，吾人須將此電路的  $L'$  值設計為略大於 1。

通常實現非線性振幅穩定機構的方法為利用限制器電路(limiter circuit)。其工作情形如下：當振盪器一起動，振盪將成長直到振幅達到限制器所設定的準位為止。一旦限制器開始動作，振幅即維持常數。以圖 18.1 之非線性電路為例，顯然是利用  $D_1$  導通限制負方向振幅，而  $D_2$  導通則限制正方向振幅。以  $R_2 = 21.5\text{k}\Omega$  為例，對應迴路增益  $L'$  為 1.05。現令  $D_2$  導通( $V_D = 0.7 \text{ V}$ )且忽略  $D_2$  上的導通電流，則

$$\frac{R_5 V_{EE} + R_6 v_o - V_D}{R_5 + R_6} = \frac{R_1}{R_1 + R_2} v_o \quad (12-7)$$

當振盪器一起動，振盪將成長直到振幅達到限制器所設定的準位為止。一旦限制器開始動作，振幅即維持常數。

代值後可得  $v_o = 7.7V$ ，此值即為正方向輸出振幅。

### SPICE 模擬

圖 12-2 顯示迴路增益(參考(12-3)式)為  $0.9(R_2 = 17k\Omega)$ 之文氏電橋振盪器電路暫態分析之 SPICE 輸入檔，其中我們使用副電路的敘述來描述  $\mu A741$  運算放大器。 $\mu A741$  為一 SPICE 內建電路，其非線性巨觀模型 (nonlinear macromodel)可直接引用 SPICE 之元件資料庫，見圖 12-3。而二極體  $D_1$  和  $D_2$  也是 SPICE 內建的模型，而 SPICE 主要是引用由 Motorola 公司在 1989 年所發表的二極體 D1N4148。其中二極體飽和電流  $I_S$  為  $0.1pA$ ，歐姆電阻  $R_S$  為  $16\Omega$ ，零偏壓接面電容為  $2pF$ ，暫態時間為  $12ns$ ，逆向崩潰電壓為  $100V$ ，逆向崩潰電流為  $0.1pA$ 。

```
A Wien Bridge Oscillator

** circuit description **
Vcc 5 0 DC 15V
Vee 8 0 DC -15V
XAmp 1 2 5 8 4 uA741

R1 2 0 10k
R2 2 4 21.5k
R3 5 6 8k
R4 6 4 2k
R5 4 7 2k
R6 7 8 8k
Rs 3 1 1k
Rp 1 0 1k
Cs 3 4 16nF IC=0V
Cp 1 0 16nF IC=0V
D1 2 6 D1N4148
D2 7 2 D1N4148
.model D1N4148 D (Is=0.1p Rs=16 CJO=2p Tt=12n Bv=100 Ibv=0.1p)

* analysis requests
.OPTIONS it15=0
.TRAN 200ns 2ms 0ms 200ns UIC
.probe
.end
```

圖 12-2 文氏電橋振盪器之 SPICE 輸入檔，關於  $\mu A741$  運算放大器之呼叫副電路部分請參閱圖 12-3。輸入檔中  $R_2 = 21.5k\Omega$  對應迴路增益值為 1.05。

### Subcircuit for uA741 Operatinal Amplifier

```
.subckt uA741 1 2 3 4 5
c1 11 12 4.664E-12
c2 6 7 20E-12
dc 5 53 dx
de 54 5 dx
dlp 90 91 dx
dln 92 90 dx
Dp 4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb 7 99 poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6 -10E6
ga 6 0 11 12 137.7E-6
gcm 0 6 10 99 2.574E-9
iee 10 4 dc 10.16E-6
hlim 90 0 vlim 1k
q1 11 2 13 qx
q2 12 1 14 qx
r2 6 9 100E3
rc1 3 11 7.957E3
rc2 3 12 7.957E3
re1 13 10 2.740E3
re2 14 10 2.740E3
ree 10 99 19.69E6
ro1 8 5 150
ro2 7 99 150
rp 3 4 19.69E3
vb 9 0 dc 0V
vc 3 53 dc 2.6
ve 54 4 dc 2.6
vlim 7 8 dc 0
vlp 91 0 dc 25
vln 0 92 dc 25
.model dx D(Is=800E-18)
.model qx NPN(Is=800E-18 Bf=62.5)
.ends uA741
```

圖 12-3 圖 12-2 輸入檔中關於呼叫副電路部份，即A741 運算放大器之 SPICE 電路敘述。此程式直接引用 SPICE 內建元件資料庫中關於A741 之巨觀模型敘述(取自參考書目 5)。

請注意輸入檔中每一個電容上的起始電壓均定為 0V。其目的是為了證實利用 op amp 的偏移電壓即可起動此電路的振盪，而不需要再額外設計任何的起動電路(start-up circuit)。為了強制 SPICE 敘述上述的起始條件，我們在.TRAN 指令中加入一 UIC(use initial conditions)的敘述：

```
.TRAN 100ns 1ms 0ms 100ns UIC
```

請注意輸入檔中每一個電容上的起始電壓均定為 0V。其目的是為了證實利用 op amp 的偏移電壓即可起動此電路的振盪，而不需要再額外設計任何的起動電路。

再搭配電容敘述：

$C_s \ 1 \ 3 \ 16nF \ IC=0V$

即完成起始條件的指定。

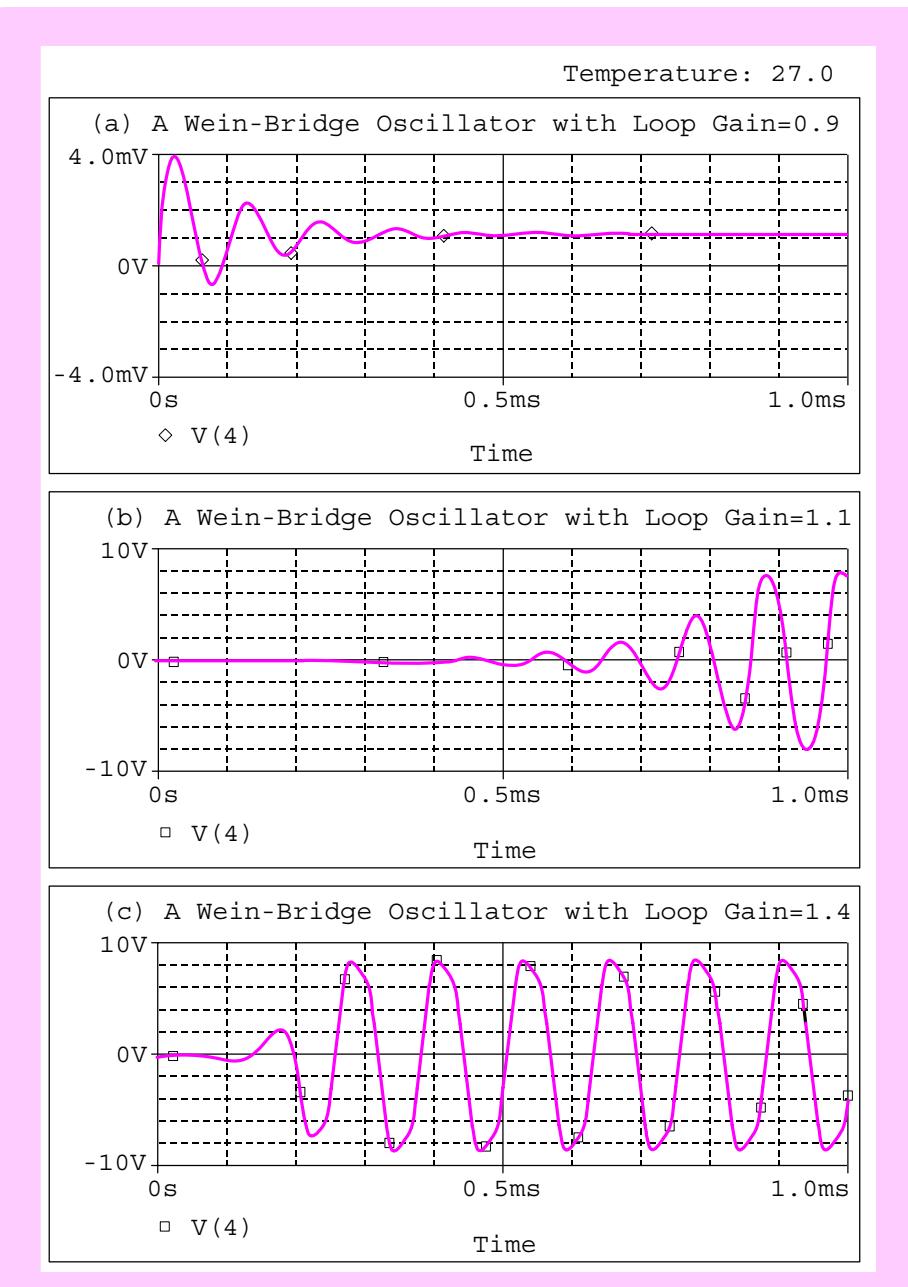


圖 12-4 文氏電橋振盪器在不同迴路增益值下之暫態響應，迴路增益值分別為：(a)0.9，(b)1.1，(c)1.4，其中圖(c)之振盪頻率為 7.98kHz。

現令  $R_1 = 10k\Omega$ ，在輸入檔中變化  $R_2$  值即代表變化迴路增益之大小。我們取  $R_2 = 17k\Omega$ ， $23k\Omega$  和  $32k\Omega$  三個情況，分別對應迴路增益為 0.9，1.1 和 1.4，其模擬的暫態響應見圖 12-4。

由圖 12-4(a)得知，當迴路增益小於 1 時，振盪行為無法持續且在 0.5ms 後幾乎完全消失。由圖 12-4(b)和(c)得知，當迴路增益大於 1 時，振盪將可持續。當迴路增益增加時，振盪行為將提前發生，且經非線性振幅控制網路之作用亦可在較短時間內趨於穩態正弦振盪波形。

以圖 12-4(c)迴路增益為 1.4 的情況為例，經 SPICE 可計算其振盪頻率為 7.98kHz，這與(12-7)式的預測值(10kHz)差距較大。於是我們將迴路增益降低且接近於 1，取 1.05，其模擬結果見圖 12-5。經 SPICE 可計算出在迴路增益為 1.05 時之振盪頻率為 9.41kHz，這與理論的巴克豪森準則(迴路增益=1)所計算的結果(10kHz)就相當接近了。

以下考慮正弦波的輸出振幅，由圖 12-5 中可明顯看出在迴路增益等於 1.05 時，輸出振幅約為  $\pm 8V$ ，此值與(8-7)式計算的數值( $\pm 7.7V$ )相當接近。至於其間的誤差主要在於(12-7)式的手算分析係忽略  $D_2$  上導通電流所致。

當迴路增益小於 1 時，振盪行為無法持續。

當迴路增益增加時，振盪行為將提前發生，且經非線性振幅控制網路之作用亦可在較短時間內趨於穩態正弦振盪波形。

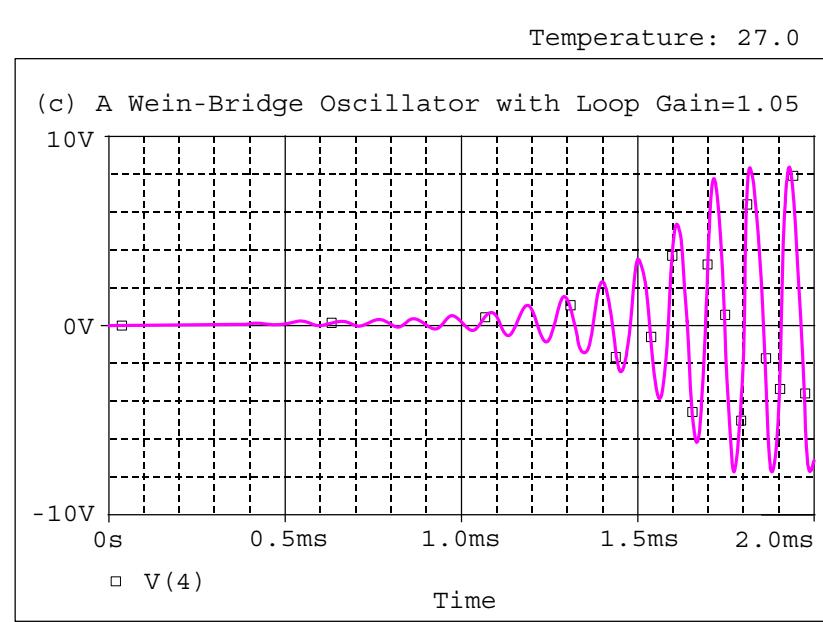


圖 12-5 圖 12-1 文氏電橋振盪器在迴路增益為 1.05 時的暫態響應，其振盪頻率為 9.41kHz。

### 傅立葉級數分析

以下我們將利用 SPICE 所提供的傅立葉級數(Fourier series)分析來計算在迴路增益 1.05(振盪頻率為 9.4073kHz)時分別出現在節點 2 和節點 4(op amp 輸出)之正弦振盪波形的頻譜純度(spectral purity)。在輸出檔中 SPICE 將列出電壓振盪波形的前 9 個諧波成份，並且計算出全部諧波失真(total harmonic distortion，簡稱 THD)。為了進行傅立葉級數分析，我們必須在圖 12-2 輸入檔的分析需求中加入.FOUR 指令：

```
.FOUR 9.4073kHz V(4)
```

為了獲得正確的傅立葉級數分析，提供精確的振盪頻率是非常重要的。倘若在振盪頻率的計算中出現些微誤差，例如 0.1% 的誤差，則在輸出電壓波形的諧波成份中將出現明顯變化。圖 12-6 為節點 4 電壓振盪波形傅立葉級數分析的輸出檔。

對於節點 2 的振盪波形之傅立葉級數分析可利用下列指令：

```
.FOUR 9.4073kHz V(2)
```

所得的結果見圖 12-7。

```
* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(4)

DC COMPONENT = 1.153083E-01

NO FREQUENCY FOURIER NORMALIZED PHASE NORMALIZED
(HZ) COMPONENT COMPONENT (DEG) PHASE (DEG)

1 9.407E+03 8.257E+00 1.000E+00 -5.514E+01 0.000E+00
2 1.881E+04 1.366E-01 1.654E-02 -3.584E+01 7.444E+01
3 2.822E+04 2.942E-01 3.563E-02 1.435E+02 3.089E+02
4 3.763E+04 3.313E-02 4.012E-03 2.580E+01 2.464E+02
5 4.704E+04 1.756E-01 2.127E-02 -9.725E+01 1.785E+02
6 5.644E+04 2.078E-02 2.517E-03 -5.314E+01 2.777E+02
7 6.585E+04 5.156E-02 6.244E-03 9.512E+00 3.955E+02
8 7.526E+04 2.159E-02 2.615E-03 1.854E+00 4.430E+02
9 8.467E+04 2.038E-02 2.469E-03 -1.248E+02 3.715E+02

TOTAL HARMONIC DISTORTION = 4.549413E+00 PERCENT
```

圖 12-6 圖 12-1 文氏電橋振盪器在迴路增益為 1.05 條件下節點 4 輸出電壓波形的傅立葉成份。

```

* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(2)

DC COMPONENT = 3.633348E-02

NO FREQUENCY FOURIER NORMALIZED PHASE NORMALIZED
(HZ) COMPONENT COMPONENT (DEG) PHASE (DEG)

1 9.407E+03 2.748E+00 1.000E+00 -5.479E+01 0.000E+00
2 1.881E+04 4.621E-02 1.682E-02 -4.292E+01 6.666E+01
3 2.822E+04 1.062E-01 3.865E-02 8.838E+01 2.527E+02
4 3.763E+04 1.696E-02 6.173E-03 8.150E+00 2.273E+02
5 4.704E+04 3.250E-02 1.183E-02 -1.514E+02 1.225E+02
6 5.644E+04 5.029E-03 1.830E-03 -1.454E+01 3.142E+02
7 6.585E+04 1.208E-02 4.397E-03 -2.625E+01 3.573E+02
8 7.526E+04 6.786E-03 2.470E-03 -1.232E+01 4.260E+02
9 8.467E+04 4.091E-03 1.489E-03 7.963E+01 5.727E+02

TOTAL HARMONIC DISTORTION = 4.456112E+00 PERCENT

```

圖 12-7 圖 12-1 文氏電橋振盪器在迴路增益為 1.05 條件下節點 2 輸出電壓波形的傅立葉成份。

由以上二圖比較發現，節點 4 的輸出波形其諧波失真 THD 值( $\text{THD} = 4.55\%$ )略高於節點 2( $\text{THD} = 4.46\%$ )。但是，由於其間的差值相當小，再加上節點 4 的 op amp 輸出端為一低阻抗節點，相對於節點 2 的高阻抗特性，故我們仍傾向以節點 4 為正弦波的輸出端。

最後，我們分析圖 12-1 電路在迴路增益為 1.4 條件下節點 4 輸出電壓波形的傅立葉成份。由於其振盪頻率為 7.9837kHz，故上述.FOUR 指令須修改為

```
.FOUR 7.9837kHz V(4)
```

分析結果顯示於圖 12-8。圖中指出其 THD 值為 10.45%，遠較前者為高。這代表增加迴路增益值，則振盪波形之全部諧波失真亦將增加。

增加迴路增益值，則振盪波形之全部諧波失真亦將增加。

## 12.1.2 帶通濾波器調諧式振盪器

### 基本觀念

接下來我們將介紹一種設計簡單且可產生高品質低失真輸出正弦波的振盪器，稱之為帶通濾波器調諧式振盪器(bandpass-filter tuned oscillator)。此電路是利用一高  $Q$  值的帶通濾波器連接在一個具有限制器

```

* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(4)

DC COMPONENT = -1.480686E-03

NO FREQUENCY FOURIER NORMALIZED PHASE NORMALIZED
(HZ) COMPONENT COMPONENT (DEG) PHASE (DEG)

1 7.984E+03 8.977E+00 1.000E+00 -1.588E+01 0.000E+00
2 1.597E+04 9.074E-03 1.011E-03 -1.161E+02 -8.436E+01
3 2.395E+04 9.126E-01 1.017E-01 -9.123E+01 -4.359E+01
4 3.193E+04 8.540E-03 9.514E-04 -1.697E+02 -1.061E+02
5 3.992E+04 1.559E-01 1.736E-02 6.589E+01 1.453E+02
6 4.790E+04 5.010E-03 5.581E-04 1.400E+02 2.353E+02
7 5.589E+04 1.489E-01 1.659E-02 7.000E+00 1.182E+02
8 6.387E+04 2.047E-04 2.280E-05 1.211E+02 2.481E+02
9 7.185E+04 2.313E-02 2.576E-03 -1.472E+02 -4.303E+00

TOTAL HARMONIC DISTORTION = 1.045063E+01 PERCENT

```

圖 12-8 圖 12-1 文氏電橋振盪器在迴路增益為 1.4 條件下節點 4 輸出電壓波形的傅立葉成份。

電路的回授迴路中所形成。為了了解此電路的工作原理，首先假設此振盪器已起動，則帶通濾波器輸出  $v_{O2}$  將是一正弦波，其振盪頻率等於濾波器的中心頻率  $f_0$ 。回顧上一章之 GIC 式帶通濾波函數(對應將圖 12-9 中  $R_7$ ,  $D_1$  和  $D_2$  拆除後之電路)：

$$\begin{aligned}
H(s) &\triangleq \frac{V_{O2}}{V_{O1}} = K_C \frac{s \frac{1}{R_6 C_6}}{s^2 + s \frac{1}{R_6 C_6} + \frac{R_4}{C_6 C_2 R_1 R_3 R_5}} \\
&\triangleq K_C \frac{s(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2}
\end{aligned} \tag{12-8}$$

其中中心頻率增益  $K_C$  為

$$K_C = 1 + \frac{R_4}{R_5} \tag{12-9}$$

中心頻率  $f_0$  ( $f_0 = \omega_0 / 2\pi$ ) 為

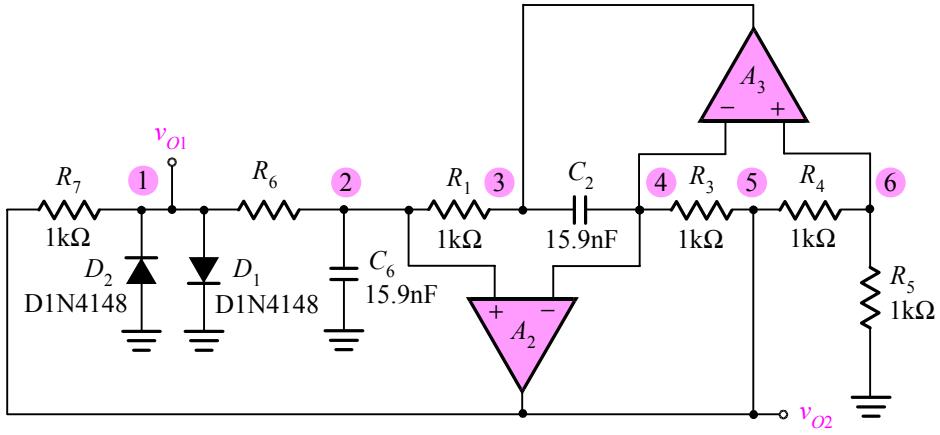


圖 12-9 一帶通濾波器調諧式振盪器之 SPICE 電路圖，其中濾波器的  $Q$  值由  $R_6$  調整。當  $R_6=4\text{k}\Omega$  時， $Q=4$ ；當  $R_6=30\text{k}\Omega$  時， $Q=30$ 。

$$f_0 = \frac{1}{2\pi\sqrt{C_6 C_2 R_1 R_3 R_5 / R_4}} \quad (12-10)$$

代值後可得  $f_0 = 10\text{kHz}$ 。而  $Q$  因子為

$$Q = \omega_0 C_6 R_6 = R_6 \sqrt{\frac{C_6 R_4}{C_2 R_1 R_3 R_5}} \quad (12-11)$$

因此若  $C_2 = C_6$  和  $R_1 = R_3 = R_4 = R_5 = R$ ，則

$$R_6 = QR \quad (12-12)$$

代表濾波器的  $Q$  值可由  $R_6$  調整。最後，帶通濾波器之頻寬(即選擇度)BW 為

$$\text{BW} = \frac{f_0}{Q} \quad (12-13)$$

繼續介紹此振盪器之基本觀念——先前提到濾波器的輸出為一頻率  $f_0$  之正弦波，此正弦波送入一  $D_1$  和  $D_2$  組成之限制器；當正弦波之正半週時， $D_1$  導通， $v_{O1}$  為正值，而當正弦波之負半週時， $D_2$  導通， $v_{O1}$  為負值。換言之， $v_{O1}$  為一頻率  $f_0$  且振幅介於  $-0.7\text{V}$  與  $+0.7\text{V}$  之間振盪之方波訊號。此方波繼續送入帶通濾波器，此濾波器將方波中的諧波成份濾掉，祇允許方波中的基頻(fundamental frequency)成份  $f_0$  通過，於是在濾波器輸出  $v_{O2}$  遂出現一頻率  $f_0$  的正弦訊號。

$v_{O1}$  為一頻率  $f_0$  且振幅介於  $-0.7\text{V}$  與  $+0.7\text{V}$  之間振盪之方波訊號。此方波繼續送入帶通濾波器，此濾波器將方波中的諧波成份濾掉，祇允許方波中的基頻成份  $f_0$  通過，於是在濾波器輸出  $v_{O2}$  遂出現一頻率  $f_0$  的正弦訊號。

濾波器的  $Q$  值愈高，則此正弦波輸出的諧波成份就愈少。

當然我們希望振盪器中之限制器必須是“軟的”，以將非線性失真降至最低。一般來說，藉由回授迴路中頻率選擇網路的濾波行為，此失真亦可獲得降低。但是，以圖 12-9 之限制器為例，正弦波將被限制得很“硬”，受限制後將產生類似方波的波形被加至回授迴路中的帶通濾波器上，再經由帶通濾波器將方波轉變為正弦波。因此輸出正弦波的純度將是濾波器選擇度的函數。也就是說，此濾波器的  $Q$  值愈高，則此正弦波輸出的諧波成份就愈少。

### SPICE 模擬

現以 SPICE 模擬此振盪電路，見圖 12-10 之輸入檔。輸入檔中關於呼叫  $\mu$ A741 副電路部份並未列出，請直接使用圖 12-3。輸入檔中之暫態分析指令加入了 UIC 之敘述：

```
.TRAN 0.1us 3ms 0ms 0.1us UIC
```

並搭配  $C_2$  和  $C_6$  中之  $IC = 0V$  之敘述，即完成了起始條件的設定。此外，

```
Bandpass Filter-Tuned Oscillator (Q=4)

* circuit description
Vcc+ 8 0 DC 15V
Vcc- 9 0 DC -15V
R1 2 3 1k
C2 3 4 15.9nF IC=0V
R3 4 5 1k
R4 5 6 1k
R5 6 0 1k
R6 1 2 4k
C6 2 0 15.9nF IC=0V
R7 1 5 1k
Xop_1 6 4 8 9 3 uA741
Xop_2 2 4 8 9 5 uA741
D1 1 0 D1N4148
D2 0 1 D1N4148
.model D1N4148 D (Is=0.1p Rs=16 Cjo=2p Tt=12n Bv=100 Ibv=0.1p)
* analysis requests
.OPTIONS it15=0
.FOUR 10kHz V(5)
.TRAN 0.1us 3ms 0ms 0.1us UIC
.probe
.end
```

圖 12-10 圖 12-9 帶通濾波器調諧式振盪器( $Q = 4$ )執行傅立葉級數與暫態分析之 SPICE 輸入檔，其中呼叫  $\mu$ A741 副電路部份並未列出，請參考圖 12-3。

注意傅立葉級數分析指令：

.FOUR 10kHz V(5)

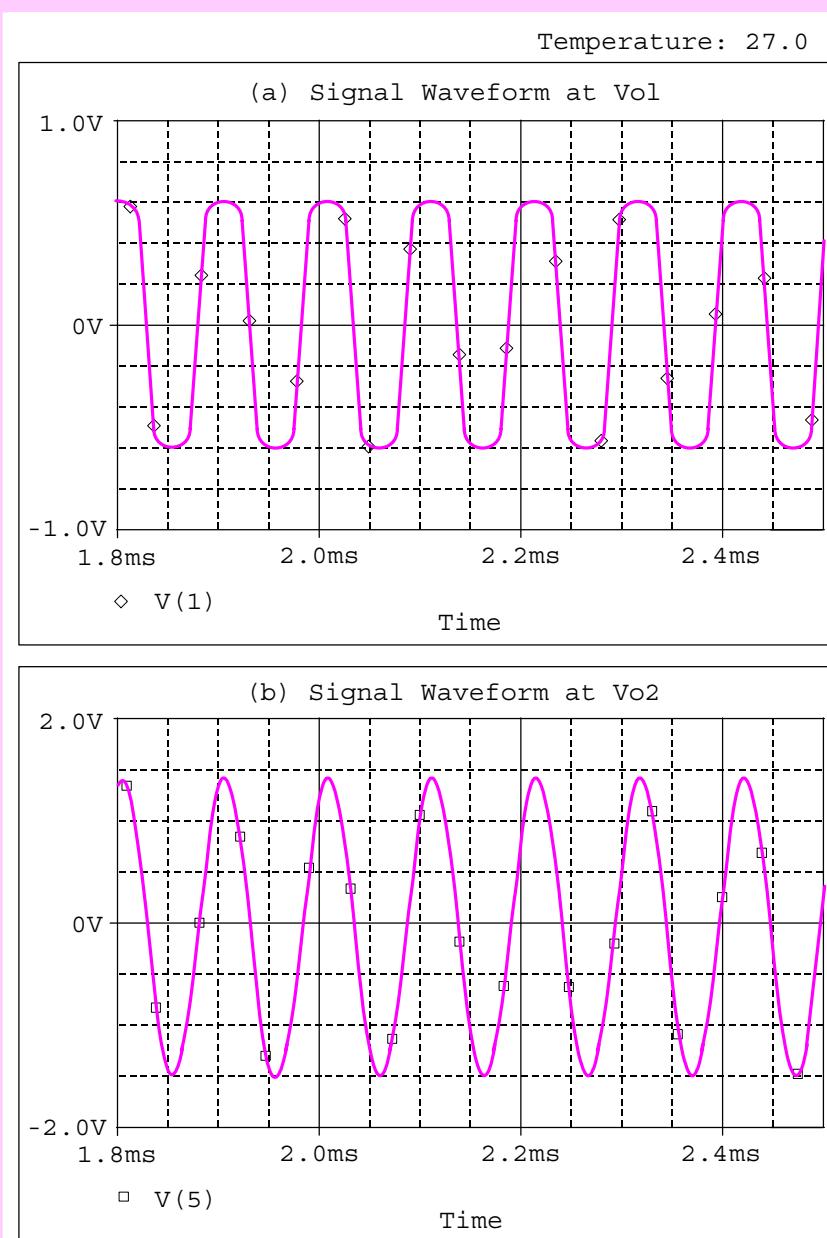


圖 12-11 圖 12-9 帶通濾波器( $Q = 4$ )調諧式振盪器在不同輸出端之穩態訊號波形：(a)二極體限制器輸出  $v_{o1}$  之波形，(b)帶通濾波器輸出  $v_{o2}$  之波形。

代表對節點 5(輸出  $v_{o2}$ )之電壓波形以基頻 10kHz 作傅立葉級數展開。最後，注意輸入檔中關於濾波器  $Q$  值之指定：

R6 1 2 4k

對照(8-12)式發現，當  $R_o = 4k\Omega$  時， $Q$  值為 4。

圖 12-11 為圖 12-9 帶通濾波器調諧式振盪器  $Q = 4$  時於不同輸出端模擬而得之穩態訊號波形(注意時間刻度由 1.8ms 至 2.5ms)，其中圖 12-11(a) 為二極體限制器輸出  $v_{o1}$  之波形，圖 12-11(b) 為帶通濾波器輸出  $v_{o2}$  之波形。圖中顯示  $v_{o1}$  之波形確實類似一方波且其擺幅介於 -0.6V 與 +0.6V 之間；而  $v_{o2}$  則為一低失真之正弦波。圖 12-12 為振盪器在  $Q = 4$  時於輸出端  $v_{o2}$  模擬而得的暫態響應，有趣的是，其響應波包形狀酷似一葡萄酒杯(port glass)。圖中顯在 1ms 附近，振盪振幅明顯增加，約在 2ms 左右趨近穩定，其穩態擺幅約在 -1.5V 與 +1.5V 之間。

正弦波之失真程度可經由 FOUR 指令分析而得，其結果見圖 12-13。圖中顯示在  $Q = 4$  時的全部諧波失真 THD 值為 3.6%。此外，圖中顯示失真之主要來源為二階諧波失真  $HD_2$ ，其值佔了 3%；三階和四階分別為 1.12% 和 1.08%，五階以上之百分諧波失真均在 0.5% 附近。

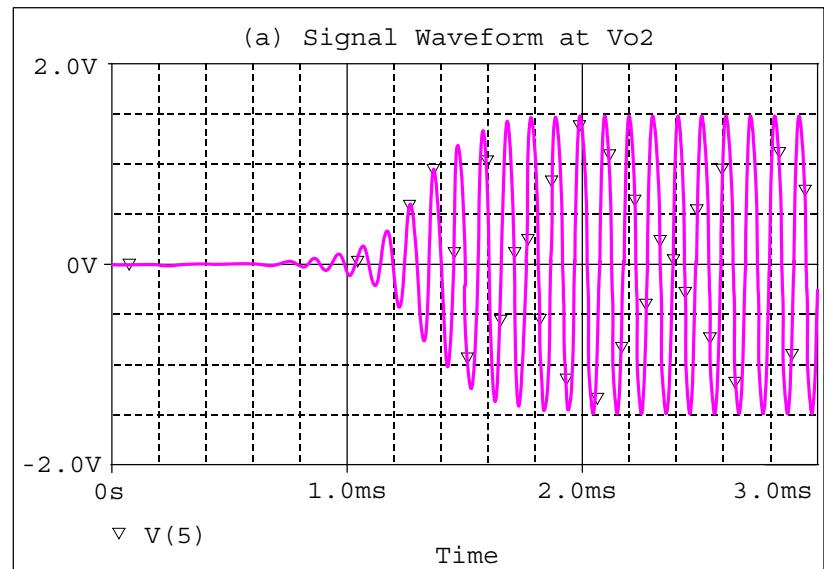


圖 12-12 圖 12-9 帶通濾波器調諧式振盪器在  $Q = 4$  時輸出  $v_{o2}$  的暫態訊號波形，其波包形狀酷似一葡萄酒杯。

```

* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(5)

DC COMPONENT = 1.271788E-02

NO FREQUENCY FOURIER NORMALIZED PHASE NORMALIZED
(HZ) COMPONENT COMPONENT (DEG) PHASE (DEG)

1 1.000E+04 1.489E+00 1.000E+00 -1.949E+01 0.000E+00
2 2.000E+04 4.467E-02 3.000E-02 -8.060E+00 3.093E+01
3 3.000E+04 1.671E-02 1.122E-02 -9.008E+01 -3.161E+01
4 4.000E+04 1.609E-02 1.081E-02 -8.295E+00 6.968E+01
5 5.000E+04 8.371E-03 5.621E-03 5.390E-01 9.800E+01
6 6.000E+04 9.944E-03 6.677E-03 -3.575E+00 1.134E+02
7 7.000E+04 8.515E-03 5.718E-03 1.819E-01 1.366E+02
8 8.000E+04 7.550E-03 5.069E-03 -1.007E+00 1.549E+02
9 9.000E+04 6.757E-03 4.537E-03 -2.720E+00 1.727E+02

TOTAL HARMONIC DISTORTION = 3.602024E+00 PERCENT

```

圖 12-13 圖 12-9 帶通濾波器調諧式振盪器在  $Q=4$  時於輸出端  $v_{o2}$ (節點 5)之傅立葉級數分析。

圖 12-14 為圖 12-9 帶通濾波器調諧式振盪器在  $Q=30$  時於不同輸出端模擬而得之穩態訊號波形(注意時間刻度由 20ms 至 21ms)，其中圖 12-14(a)為二極體限制器輸出  $v_{o1}$  之波形，圖 12-14(b)為帶通濾波器輸出  $v_{o2}$  之波形。圖中顯示  $v_{o1}$  之波形為一方波，而  $v_{o2}$  則為一低失真之正弦波。

至於正弦波之失真程度同樣可經由.FOUR 指令分析而得，其結果見圖 12-15。圖中顯示在  $Q=30$  時的全部諧波失真 THD 值為 1.73%。此值較  $Q=4$  時為低，顯示濾波器  $Q$  值提高時，正弦波的純度亦將提昇。此外，圖中顯示失真之主要來源仍為二階諧波失真  $HD_2$ ，其值佔了 1.5%；三階和四階分別為 0.66% 和 0.29%，五階以上之百分諧波失真平均在 0.3% 以下。

現將圖 12-9 中之  $D_1$  和  $D_2$  以兩個背對背相接的齊納二極體取代，見圖 12-16。圖 12-17 為齊納二極體的副電路敘述，其餘輸入檔之敘述可直接參考圖 12-10。圖 12-18 為圖 12-9 振盪器中之限制器電路改用圖 12-16 之齊納二極體限制器電路後於輸出  $v_{o2}$  之穩態訊號波形，圖中顯示即使在高  $Q$  值之設計下，正弦波之失真仍然非常嚴重。這是因為齊納二極體由截止區進入崩潰區(即俗稱膝蓋位置)之變遷非常急劇，也就是齊納二

在  $Q=30$  時的全部諧波失真 THD 值為 1.73%。此值較  $Q=4$  時為低，顯示濾波器  $Q$  值提高時，正弦波的純度亦將提昇。

極體對波形的限制硬度極高，造成正弦波輸出  $v_{O2}$  之全部諧波失真值高達 31.29%，見圖 12-19。

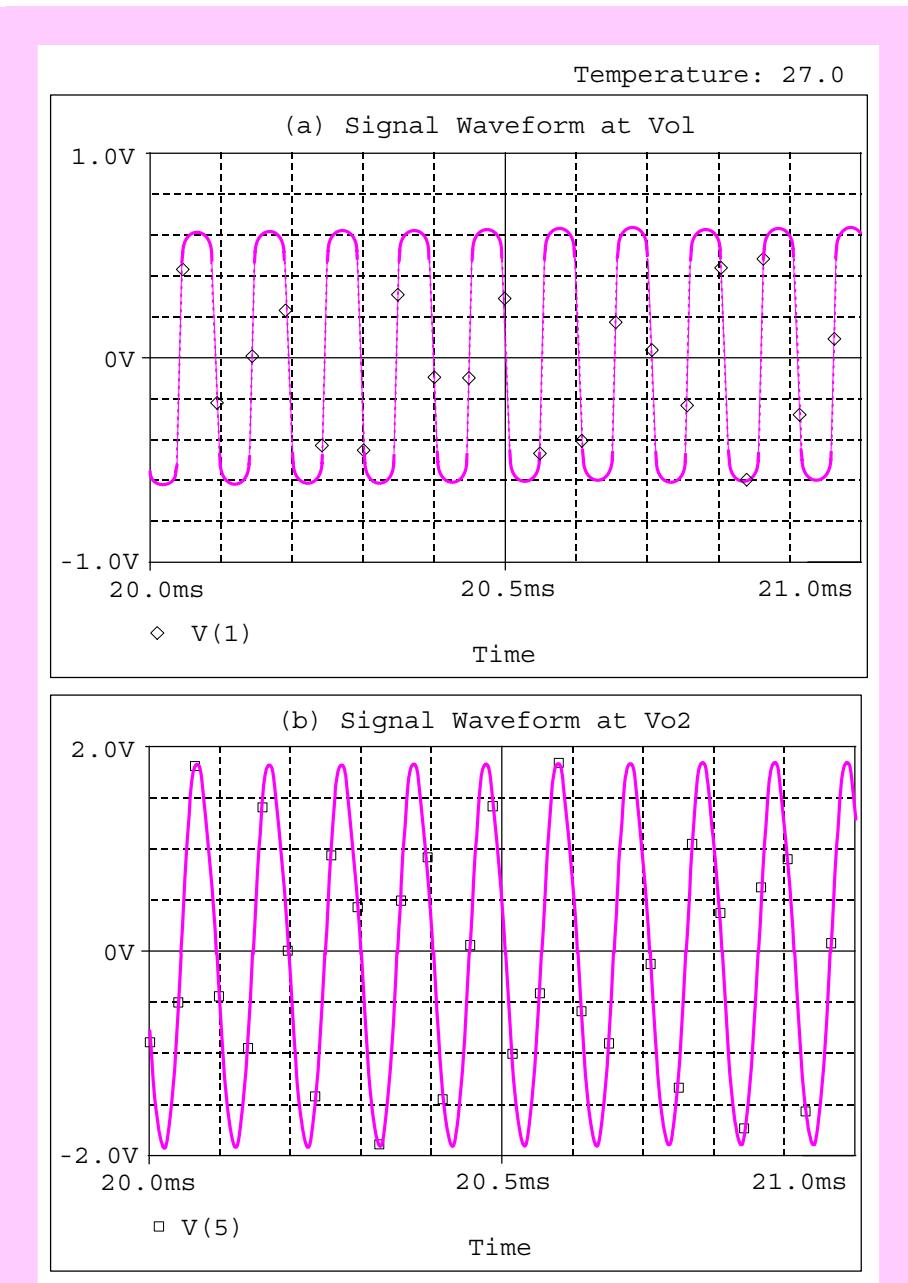


圖 12-14 圖 12-9 帶通濾波器( $Q = 30$ )調諧式振盪器在不同輸出端之穩態訊號波形：(a)二極體限制器輸出  $v_{O1}$  之波形，(b)帶通濾波器輸出  $v_{O2}$  之波形。

```

* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(5)

DC COMPONENT = -3.802907E-02

NO FREQUENCY FOURIER NORMALIZED PHASE NORMALIZED
(HZ) COMPONENT COMPONENT (DEG) PHASE (DEG)

1 1.000E+04 1.849E+00 1.000E+00 1.051E+02 0.000E+00
2 2.000E+04 2.784E-02 1.505E-02 1.229E+02 -8.733E+01
3 3.000E+04 1.211E-02 6.551E-03 1.375E+02 -1.778E+02
4 4.000E+04 5.382E-03 2.911E-03 1.475E+02 -2.729E+02
5 5.000E+04 6.310E-03 3.413E-03 1.568E+02 -3.688E+02
6 6.000E+04 3.791E-03 2.050E-03 1.407E+02 -4.900E+02
7 7.000E+04 2.564E-03 1.387E-03 1.650E+02 -5.708E+02
8 8.000E+04 3.321E-03 1.796E-03 1.711E+02 -6.698E+02
9 9.000E+04 2.238E-03 1.210E-03 1.564E+02 -7.896E+02

TOTAL HARMONIC DISTORTION = 1.733426E+00 PERCENT

```

圖 12-15 圖 12-9 帶通濾波器調諧式振盪器在  $Q=30$  時於輸出端  $v_{o2}$ (節點 5)之傅立葉級數分析。

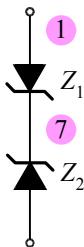


圖 12-16 圖 12-9 帶通濾波器調諧式振盪器中可使用之另一種齊納二極體限制器。

```

* zener diode subcircuit
.subckt zener diode 1 2
* node1: anode
* node2: cathode
Df 1 2 1mA diode
Dr 2 4 ideal diode
Vb 4 3 DC 4.3V
Rz 1 3 10
.model 1mA diode D (Is=0.01pA n=1.0675)
.model ideal diode D (Is=0.1pA n=0.001)
.ends zener_diode

```

圖 12-17 圖 12-16 中齊納二極體的副電路敘述。

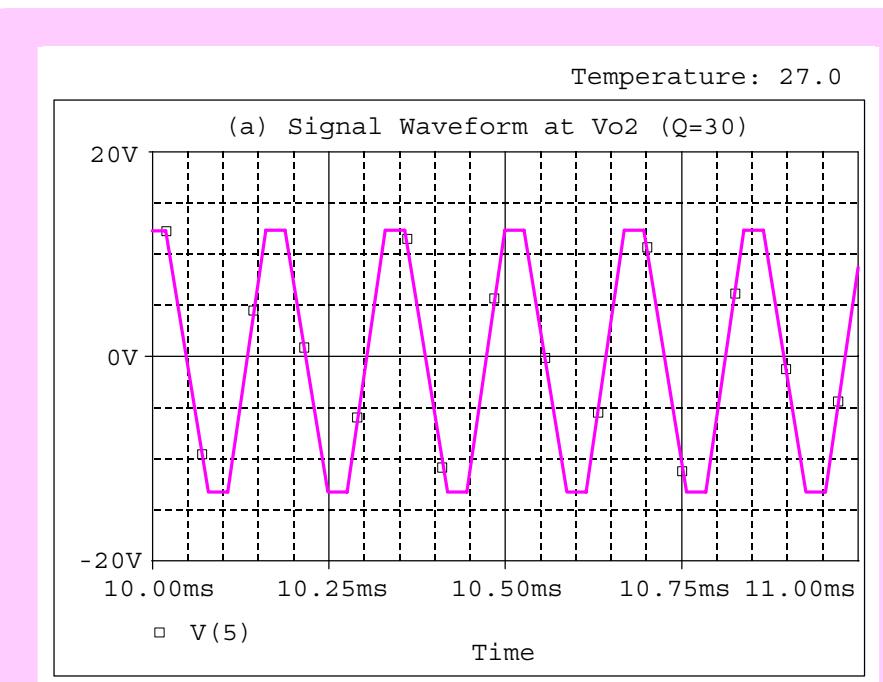


圖 12-18 圖 12-9 振盪器中之限制器電路改用圖 12-16 之齊納二極體限制器電路後於輸出  $v_{o2}$  之穩態訊號波形，圖中顯示即使在高 Q 值之設計下，正波之失真仍然非常嚴重。

```

* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(5)

DC COMPONENT = -6.725327E+00

NO FREQUENCY FOURIER NORMALIZED PHASE NORMALIZED
(HZ) COMPONENT COMPONENT (DEG) PHASE (DEG)

1 1.000E+04 8.175E+00 1.000E+00 5.928E+01 0.000E+00
2 2.000E+04 2.002E+00 2.449E-01 4.123E+01 -7.732E+01
3 3.000E+04 8.801E-01 1.077E-01 4.582E+01 -1.320E+02
4 4.000E+04 8.889E-01 1.087E-01 1.031E+01 -2.268E+02
5 5.000E+04 6.072E-01 7.427E-02 3.299E+01 -2.634E+02
6 6.000E+04 4.976E-01 6.087E-02 2.415E+01 -3.315E+02
7 7.000E+04 3.399E-01 4.158E-02 1.546E+01 -3.995E+02
8 8.000E+04 3.979E-01 4.867E-02 1.650E+01 -4.577E+02
9 9.000E+04 2.874E-01 3.516E-02 2.207E+01 -5.114E+02

TOTAL HARMONIC DISTORTION = 3.129447E+01 PERCENT

```

圖 12-19 圖 12-9 振盪器中之限制器電路改用圖 12-16 之齊納二極體限制器電路後於輸出  $v_{o2}$  之傅立葉級數分析。

## 12.2 無穩態複振器

從這一節開始我們將開始研究其他型式的波形產生電路——非線性振盪器(nonlinear oscillators)或函數產生器(function generators)。這些特定的電路統稱為複振器(multivibrators)。一般而言，常見的複振器有三種型式：雙穩態(bistable)，無穩態(astable)和單穩態(monostable)。雙穩態複振器具有兩個穩定態——這個電路可以維持在某一穩定態，且祇有加以適當地觸發才能變遷至另一個穩定態。本書中將不介紹此類電路。

### 12.2.1 OPAMP 無穩態複振器

#### SPICE 模擬

若將一雙穩器複振器適當地安排在兩狀態間做週期性的切換則可獲得一方波。一般的作法是在此雙穩態複振器的回授迴路上連接一 RC 網路，如圖 12-20 所示。稍後我們會發現此電路不具有穩定態，因而屬於一種無穩態複振器(astable multivibrator)。

圖 12-21 為圖 12-20 無穩態複振器之 SPICE 輸入檔，其中關於  $\mu$ A741 呼叫副電路的部份並未列出，請參考圖 12-3。經由暫態分析指令.TRAN 模擬而得的操作訊號波形顯示於圖 12-22。圖 12-22(a)為方波輸出波形，其中方波輸出高低兩態電壓分別為 +13V 和 -13V，此值由 SPICE 內建  $\mu$ A741 之模型參數決定。圖 12-22(b)為電容充電和放電的波形，根據圖中標示值(216.953ms, -6.4629V)可得知方波週期為 216.95ms。

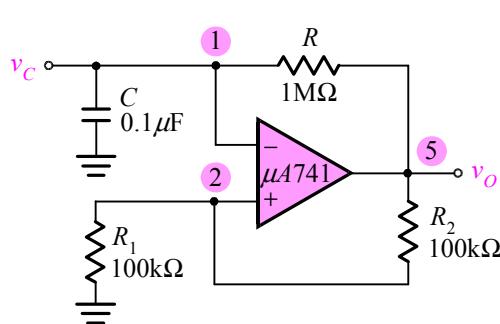


圖 12-20 利用 op amp 合成一無穩態複振器之 SPICE 電路圖。

```
Astable Multivibrator using uA741 OPAMP

Vcc 3 0 DC 15V
Vee 4 0 DC -15V
Xopamp 2 1 3 4 5 uA741
R 1 5 1Meg
R1 2 0 100k
R2 5 2 100k
C 1 0 0.1uF IC=-6.5V
.OPTIONS it15=0
.TRAN 100us 1s 0ms 100us UIC
.probe
.end
```

圖 12-21 圖 12-20 無穩態複振器之 SPICE 輸入檔，其中關於  $\mu$ A741 呼叫副電路的部份並未列出，請參考圖 12-3。

### 手算分析

以下就圖 12-20 電路之手算分析部份介紹以了解上述模擬波形所代表之意義。首先假設圖 12-20 中雙穩器複振器的輸出處於兩個可能準位的其中之一，譬如說  $v_o = +13V$ ，且電容電壓之初值為  $-6.5V$ 。此時電容  $C$  將經由電阻  $R$  朝著這個準位充電。因此橫跨  $C$  上的電壓，亦即出現在 op amp 負輸入端上的電壓  $v_-$  將以時間常數  $CR$  朝向  $+13V$  指數上升；其間在 op amp 正輸入端的電壓為  $v_+ = 6.5V$ 。這個電容充電過程將一直持續下去，直到電容上的電壓到達正臨界值  $+6.5V$ ，此時雙穩態複振器將切換到另一個狀態，在此狀態下  $v_o = -13V$  且  $v_+ = -6.5V$ 。緊接著電容開始放電，且其上的電壓  $v_-$  將朝向  $-13V$  指數衰減。這個動作會一直進行下去，直到  $v_-$  到達負臨界值  $-6.5V$ ，此時雙穩器複振器又切換回到正輸出狀態，電容又開始充電，此動作將不斷周而復始進行下去。

由以上的討論我們得知這個無穩態電路在兩個不穩定狀態間振盪且在 op amp 的輸出端產生一方波，此輸出方波之週期經手算分析可得

$$T = 2RC \ln\left(\frac{1+\beta}{1-\beta}\right) \quad (12-14)$$

其中

$$\beta = \frac{R_1}{R_1 + R_2} \quad (12-15)$$

代值後可得輸出方波的週期  $T = 219.72\text{ ms}$ ，與先前的模擬結果  $T = 216.95\text{ ms}$  相當接近。

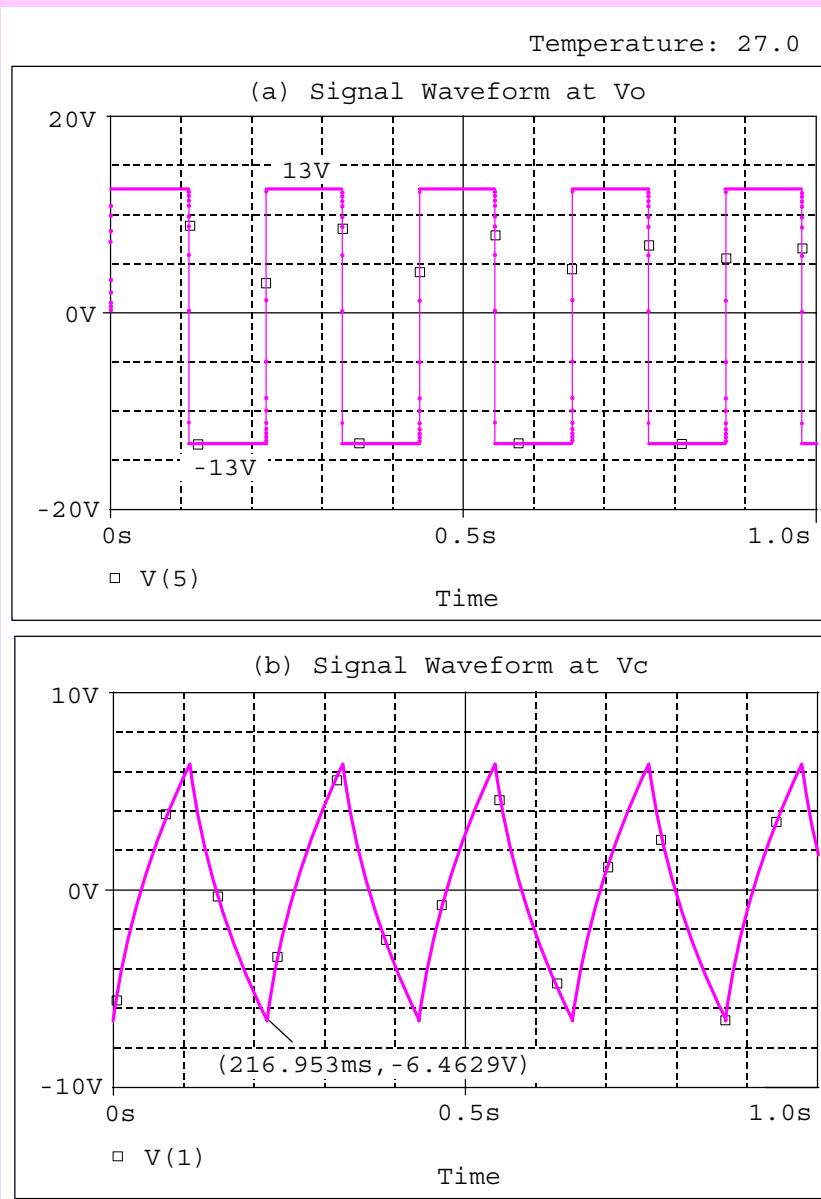


圖 12-22 圖 12-20 無穩態複振器之操作訊號波形：(a)輸出訊號，(b)電容上的電壓波形。

## 12.2.2 CMOS 無穩態複振器

### SPICE 模擬

前面我們已經研究利用 op amp 製作無穩態電路，現在將討論利用 CMOS

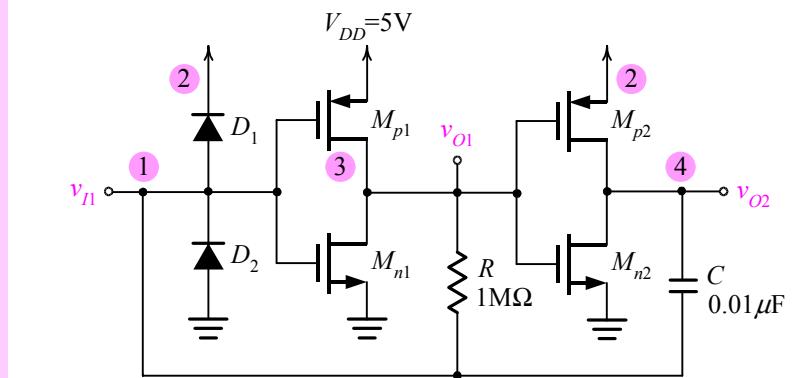


圖 12-23 — CMOS 無穩態複振器電路。

## CMOS Astable Multivibrator

```

* circuit description
Vcc 2 0 DC 5V
R 3 1 1Meg
C 4 1 0.01uF IC=0V

* MOSFET model description
Mp1 3 1 2 2 pmosfet L=1u W=5u
Mp2 4 3 2 2 pmosfet L=1u W=5u
Mn1 3 1 0 0 nmosfet L=1u W=2u
Mn2 4 3 0 0 nmosfet L=1u W=2u
.model pmosfet pmos (Vto=-1V Kp=2e-05 gamma=.5 phi=0.6
+ lambda=0.01)
.model nmosfet nmos (Vto=1V Kp=5e-05 gamma=.5 phi=0.6
+ lambda=0.01)

* diode model description
D1 1 2 D1N4148
D2 0 1 D1N4148
.model D1N4148 D (Is=0.1p Rs=16 Cjo=2p Tt=12n Bv=100 Ibv=0.1p)

* analysis requests
.IC V(4)=5V
.OPTIONS it15=0
.TRAN 10us 50ms 0ms 10us
.probe
.end

```

圖 12-24 圖 12-33 無穩態複振器執行暫態分析之 SPICE 輸入檔。

邏輯閘來製作無穩態電路。圖 12-23 顯示一個流行的 CMOS 無穩態複振器電路，它是由兩個 CMOS 反相器，一個電阻，以及一個電容所組成的。

一般 CMOS 閘電路中會有一些特定的二極體安排連接在其輸入端，如圖 12-23 所示。這些二極體的目的是用來避免輸入電壓訊號超過供應電壓  $V_{DD}$ (高於  $V_{DD}$  一個二極體壓降)且避免低於接地電壓(低於接地電壓一個二極體壓降)。

圖 12-24 為圖 12-23 電路執行暫態分析之 SPICE 輸入檔。經暫態分析後所得的訊號波形見圖 12-25，其中分別繪出  $v_{O2}$ 、 $v_{O1}$  和  $v_{I1}$  之波形。圖 12-25(a)和(b)傳達  $v_{O1}$  和  $v_{O2}$  之波形間彼此互補的特性，圖 12-25(c)則顯示電容放電與充電的波形。此外，方波的週期為  $24.296 - 7.460 = 16.836\text{ ms}$ 。

根據電路學的基本理論得知，電容兩端的電壓是不能瞬間改變的。檢視  $v_{O2}$  與  $v_{I1}$  之波形發現，在  $t = 7.4\text{ ms}$  附近  $v_{O2}$  之瞬間降幅為  $5\text{ V}$ ， $v_{I1}$  之瞬間降幅為  $3\text{ V}$ 。表示在  $t = 7.4\text{ ms}$  附近，電容上電壓瞬間變化  $2\text{ V}$ ，似乎違反上述基本理論。於是在圖 12-26 中我們繪出圖 12-25(a)在  $7\text{ ms}$  至  $8\text{ ms}$  之間之局部放大圖，顯示在  $t = 7.41\text{ ms}$  附近  $v_{O2}$  出現的瞬間降幅為  $3\text{ V}$ ( $5\text{ V}$  降至  $2\text{ V}$ )，並非  $5\text{ V}$ ，這代表在  $t = 7.41\text{ ms}$  處電容兩端電壓的確沒有瞬間改變，符合基本電路理論。

### 手算分析

以上就方波週期的手算分析介紹。令圖 12-25(a)中前半週( $v_{O2} = 5\text{ V}$ ，即  $15.875\text{ ms}$  至  $24.296\text{ ms}$  區間)為  $T_1$ ，後半週( $v_{O2} = 0\text{ V}$ ，即  $7.460\text{ ms}$  至  $15.875\text{ ms}$ )為  $T_2$ 。則在  $0 \leq t \leq T_1$ ，

$$v_{I1}(t) = V_{DD} e^{-t/RC} \quad (12-16)$$

令  $v_{I1}(t = T_1) = V_{th}$ ，解得

$$T_1 = RC \ln\left(\frac{V_{DD}}{V_{th}}\right) \quad (12-17)$$

其中  $V_{th}$  代表 CMOS 反相器的切換臨界電壓，在 NMOS 與 PMOS 元件匹配的條件下， $V_{th} = V_{DD}/2 = 2.5\text{ V}$ 。在  $0 \leq t' \leq T_2$ ，

$$v_{I1}(t') = V_{DD} (1 - e^{-t'/RC}) \quad (12-18)$$

令  $v_{I1}(t = T_2) = V_{th}$ ，解得

$$T_2 = RC \ln\left(\frac{V_{DD}}{V_{DD} - V_{th}}\right) \quad (12-19)$$

於是輸出方波的週期  $T$  為

根據電路學的基本理論得知，電容兩端的電壓是不能瞬間改變的。

在  $t = 7.41\text{ ms}$  處電容兩端電壓的確沒有瞬間改變，符合基本電路理論。

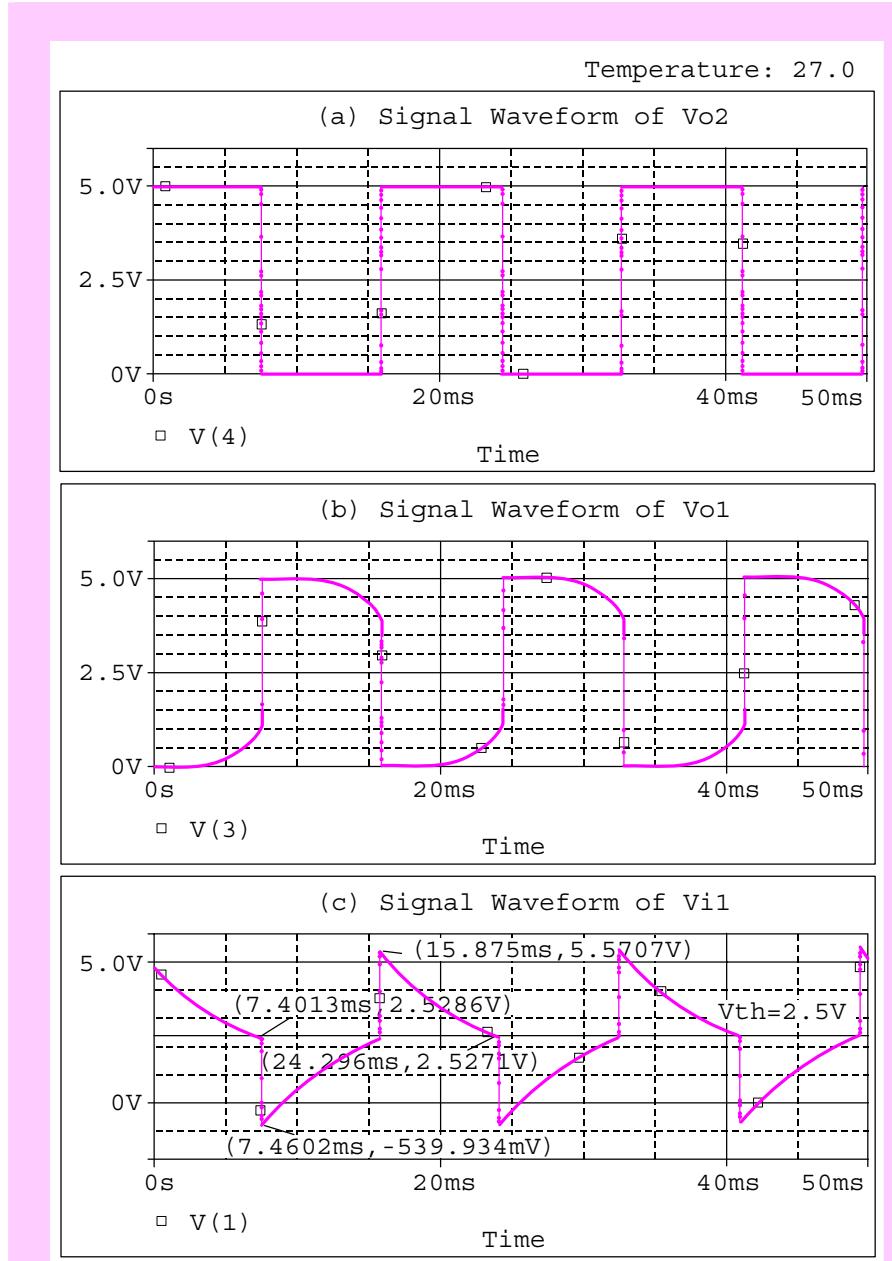


圖 12-25 圖 12-23 CMOS 無穩態複振器之操作訊號波形：(a)後級反相器輸出  $v_{o1}$ ，(b)前級反相器輸出  $v_{o2}$ ，(c)前級反相器輸入  $v_{i1}$ 。

$$T = T_1 + T_2 = RC \ln \left( \frac{V_{DD}}{V_{DD} - V_{th}} \frac{V_{DD}}{V_{th}} \right) \quad (12-20)$$

代值後可得週期  $T$  為 13.86ms。與模擬結果( $T = 16.836\text{ ms}$ )出現 17.7%的

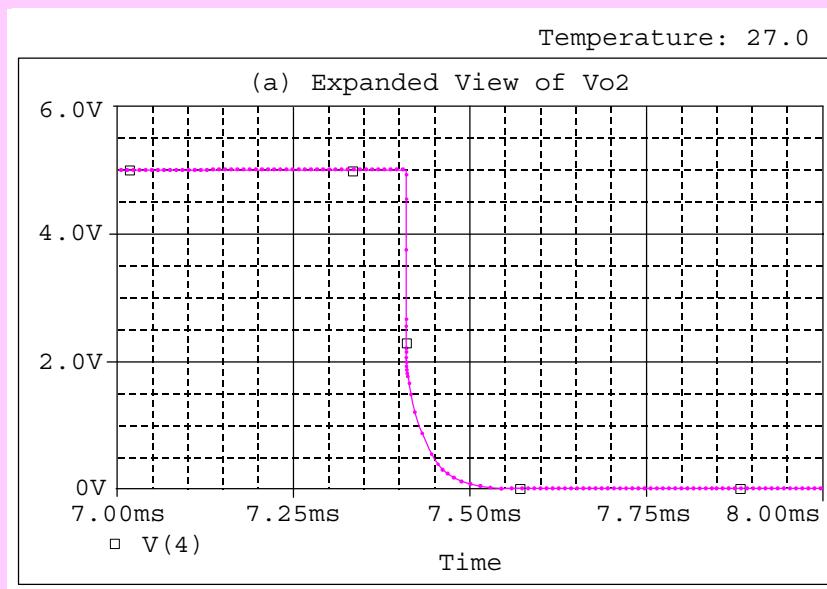


圖 12-26 圖 12-25(a)在 7ms 至 8ms 間之局部放大圖，顯示在  $t = 7.41\text{ms}$   $v_{o2}$  出現的瞬間降幅為 3V(5V 降至 2V)。

誤差，這是因為在上述手算分析過程中並未考慮 NMOS 和 PMOS 導通電阻以及定位二極體的導通壓降之緣故。

## 12.3 單穩態複振器

在某些電路應用上我們往往需要在接收到一個觸發訊號(trigger signal)之後產生一個已知高度和寬度的脈衝(pulse)。這件事情可以藉由另一種型式的複振器——單穩態複振器(monostable multivibrator)來完成。

在無任何觸發訊號輸入時，此單穩態複振器可以停留在某一穩定態(stable state)。而在它接收到一特定的觸發訊號之後即進入一個準穩定態(quasi-stable state)，且在此狀態可停留一段預先設定好的時間，此時間即為輸出脈衝的寬度。一旦這段時間耗盡，此單穩態複振器就回復至穩定態且一直停留在該穩定態，等待另一個觸發訊號。這種行為使得單穩態複振器具有另一種名稱——單擊(one shot)。

圖 12-27 顯示一簡單且常見的單穩態複振器電路。它是由兩個 CMOS 閘(前級為 CMOS NOR 閘和後級為 CMOS 反相器)，一電容  $C$ ，和一個電阻  $R$  以及一對定位二極體  $D_1$  和  $D_2$  所組成的。而訊號源  $v_t$  則提供此單

在它接收到一特定的觸發訊號之後即進入一個準穩定態，且在此狀態可停留一段預先設定好的時間，此時間即為輸出脈衝的寬度。

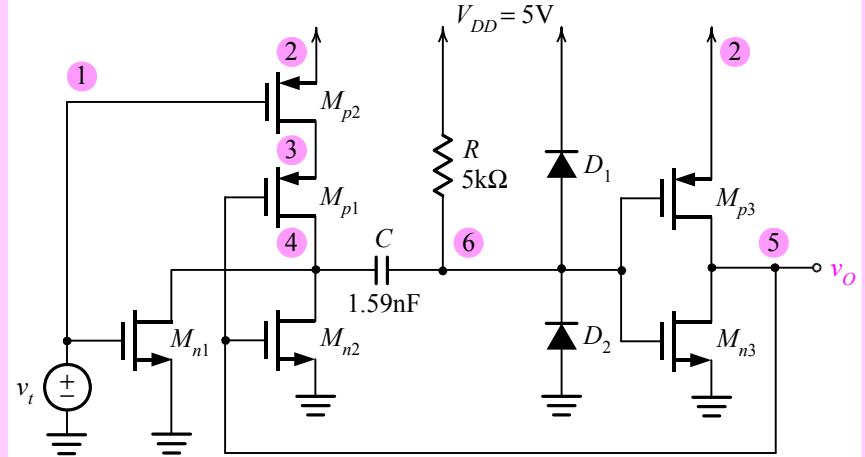


圖 12-27 — CMOS 單穩態複振器之 SPICE 電路圖。

CMOS monostable Multivibrator

```

* circuit description
Vcc 2 0 DC 5V
Vt 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 20000ns,0V)
C1 4 6 1.59n IC=0V
R1 2 6 5k
* MOSFET model description
Mn1 4 1 0 0 nmosfet L=1u W=10u
Mn2 4 5 0 0 nmosfet L=1u W=10u
Mn3 5 6 0 0 nmosfet L=1u W=2u
Mp1 4 5 3 2 pmosfet L=1u W=25u
Mp2 3 1 2 2 pmosfet L=1u W=25u
Mp3 5 6 2 2 pmosfet L=1u W=5u
.model nmosfet nmos (Vto=1 Kp=5e-5 gamma=0.5 phi=.6
+ lambda=.01)
.model pmosfet pmos (Vto=-1 Kp=2e-5 gamma=0.5 phi=.6
+ lambda=.01)
.IC V(5)=0V
* diode model description
D1 6 2 D1N4148
D2 0 6 D1N4148
.model D1N4148 D (Is=0.1p Rs=16 Cjo=2p Tt=12n Bv=100 Ibv=0.1p)
.TRAN 0.01us 20us 0us 0.01us UIC
.probe
.end

```

圖 12-28 圖 12-27 單穩態複振器進行暫態分析之 SPICE 輸入檔。

穩態複振器工作所需的觸發脈衝。

圖 12-28 為分析圖 12-27 單穩態複振器訊號波形之 SPICE 輸入檔，其中關於觸發訊號之敘述如下：

```
Vt 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V
+ 20000ns, 0V)
```

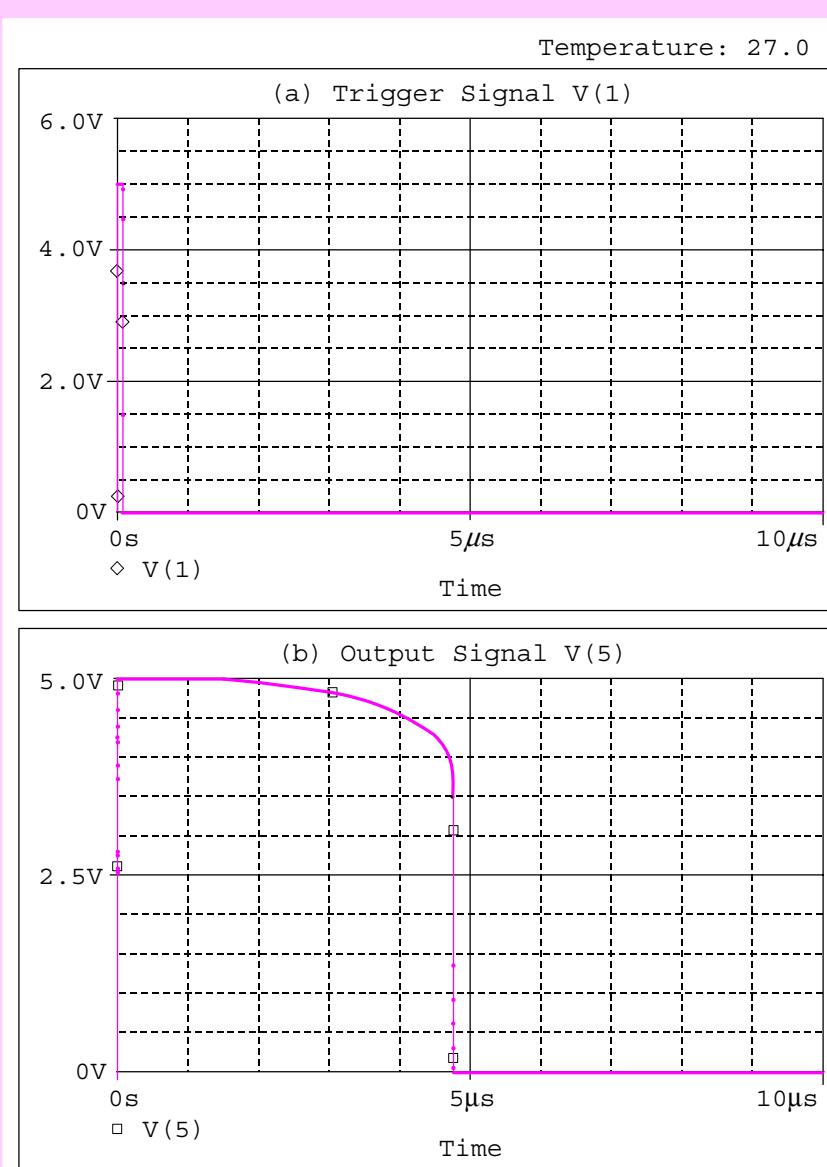


圖 12-29 圖 12-27 CMOS 單穩態複振器之訊號波形：(a)觸發脈衝訊號，高度 5V 且寬度為 50ns，(b)輸出的標準脈衝。

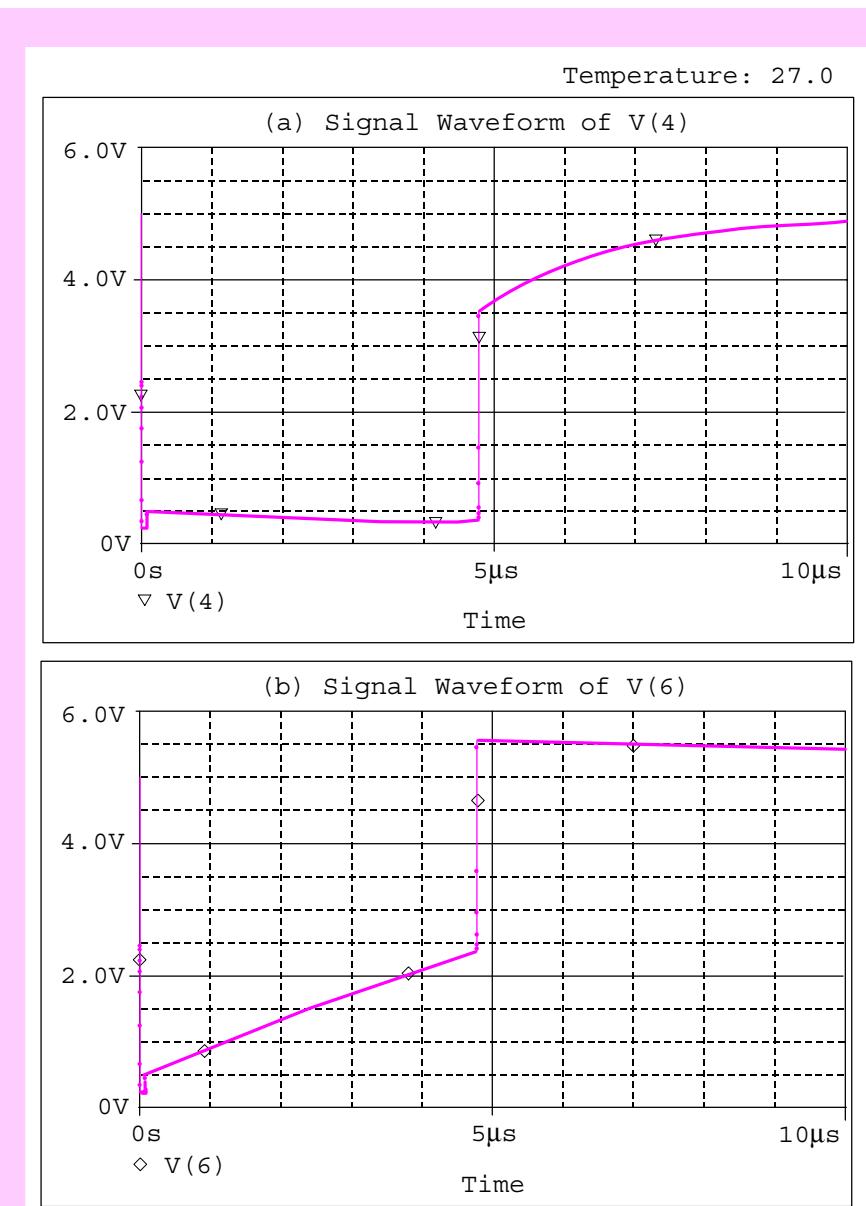


圖 12-30 圖 12-27 CMOS 單穩態複振器之訊號波形：(a)節點 4 的電壓波形，(b)節點 6 的電壓波形。

顯示  $v_t$  為介於 0V 至 5V 間變化且寬度為 50ns 的脈衝，可對照圖 12-29(a)。經暫態分析之波形整理於圖 12-29 和圖 12-30。其中圖 12-29(b)為輸出的脈衝，高度為 5V 且脈衝約  $4.8\mu s$ 。圖 12-30(a)和(b)分別繪出電容左端(節點 4)和電容右端(節點 6)之訊號波形，在 0 至  $4.8\mu s$ (稱為準穩態區間)期間，兩波形之差距逐漸加大，代表電容正進行充電。至於更進

一步的工作原理與手算分析和模擬數值間之檢驗由於較為複雜，在此不多作討論，對於脈衝寬度之計算有興趣者可參閱習題 12.5。

**12.1** 考慮圖 12-1 中虛線以外的非線性振幅控制電路，若將四電阻數值分別降 10 倍，即  $R_4 = R_5 = 200\Omega$  和  $R_3 = R_6 = 800\Omega$ ，其他參數均維持不變，試以 SPICE 模擬在迴路增益為 1.01 時的正弦波輸出振幅，並與(12-7)式比較。

**12.2** (a) 考慮 12-1 之文氏電橋振盪器，試以 SPICE 分別計算迴路增益為 1.01、1.02 和 1.03 的振盪頻率，並與(12-6)式比較。

(b) 承(a)小題，利用 SPICE 所提供的傅立葉級數分析，分別計算上述三種迴路增益的全部諧波失真。

**12.3** 利用.FOUR 指令分別對圖 12-11(a)和圖 12-14(a)之方波作傅立葉級數展開，即指令：

```
.FOUR 10kHz V(1)
```

觀察前 9 個諧波之傅立葉分量及全部諧波失真 THD 值。

**12.4** 注意圖 12-11(b)與圖 12-14(b)之正弦波振幅分別約為 1.5V 與 1.8V。試以(12-9)式說明並解釋模擬結果與(12-9)式間之誤差。

**12.5** 針對圖 12-29(b)之輸出標準脈衝寬度  $T$ (約  $4.8\mu s$ )，利用以下之手算分析式檢驗模擬結果：

$$T = C(R + R_{on}) \ln \left( \frac{R}{R + R_{on}} \frac{V_{DD}}{V_{DD} - V_{th}} \right)$$

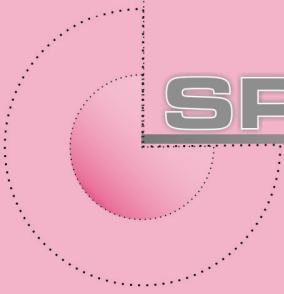
其中  $R_{on}$  代表 CMOS 閘中 NMOS 和 PMOS 的導通電阻， $V_{th}$  則代表 CMOS 反相器之切換臨界電壓。

**12.6** 若將圖 12-28 輸入檔中所有 NMOS 的幾何參數改為一致( $L = 1\mu m$  和  $W = 2\mu m$ )以及所有 PMOS 的幾何參數亦定為相同( $L = 1\mu m$  和  $W = 5\mu m$ )，重新以 SPICE 模擬圖 12-27 之單穩態複振器並觀察各重要節點(節點 4、5 和 6)訊號波形之變化。

## § 練習題

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide.*”
2. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits,*” 6th ed. Oxford University Press, 2009.
3. R. T. Howe and C. G. Sodini, “*Microelectronics: An Integrated Approach,*” Prentice-Hall International, Inc.
4. J. Millman and A. Grabel, “*Microelectronics,*” 3rd ed. New York: McGraw-Hill Book Co., 1999.
5. G. W. Roberts and A. S. Sedra, “*SPICE*” 2nd ed. Oxford University Press, 1997.
6. A. S. Sedra and G. W. Roberts, “*Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith*” Fort Worth: Saunders College Pub, 1992.
7. M. H. Rashid, “*SPICE for Circuit and Electronic Using Psice*”, 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
8. G. Massobrio and P. Antognetti, “*Semiconductor Device Modeling with SPICE*” 2nd ed. New York: McGraw-Hill, Inc. 1993.
9. K. Lee, “*Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator*” Englewood Cliffs, N. J.: Prentice Hall, 1993.
10. B. Razavi, “*Design of Analog CMOS Integrated Circuits,*” 1<sup>st</sup> ed., McGraw-Hill Companies, Inc., 2001.
11. N. M. Nguyen and R. G. Meyer, “*Start-up and Frequency Stability in High-Frequency Oscillators,*” IEEE Journal of Solid-State Circuits, vol. 27, pp810-820, May 1992.
12. T. C. Carusone, D. A. Johns, and K. Martin, “*Analog Integrated Circuit Design,*” 2nd ed. John Wiley and Sons, New York, 2011.
13. R. J. Baker, “*CMOS Circuit Design, Layout, and Simulation,*” second ed. IEEE Press & John-Wiley & Sons, Inc., 2007.
14. M. H. Rashid, “Introduction to PSpice Using OrCAD for Circuits and Electronics”, 3rd Ed., Prentice-Hall, 2004.
15. 張文清, “*微電子學下冊*”, 二版, 台北鼎茂圖書, 2013。



**SPICE**

# 13

## 金氧半數位電路

本章為金氧半數位電路的模擬，主要分為兩個重要族系——NMOS 和 CMOS。NMOS 最重要的應用是在於 VLSI 電路的設計，如微處理器(microprocessor)以及隨機存取記憶(random-access memory)。在以上這些應用中，NMOS 的低負載驅動能力並不是一個嚴重的缺點；但是，對傳統的數位系統設計而言，低負載驅動能力將使得 NMOS 較不實用。因此 NMOS 與 CMOS 和 TTL 不同，NMOS 邏輯並沒有 SSI 和 MSI 的現貨供應。另一方面，CMOS 是目前最流行的數位電路技術。CMOS 邏輯電路常以標準的 SSI 和 MSI 包裝的型態出現，且被廣泛地使用在傳統的數位系統設計。另外 CMOS 也被用在一般 VLSI 電路的設計，譬如記憶體和微處理器。此外，在類比電路的應用上，CMOS 也很流行。

本章中將有許多深入且精彩的模擬與觀念解說，計有 NMOS、CMOS、假-NMOS 和傳輸電晶體邏輯(pass-transistor logic，簡稱 PTL)等邏輯電路。對於每一數位電路，我們均將以 SPICE 處理其靜態特性(邏輯準位與雜訊邊限)與動態傳遞延遲等問題。此外，我們將模擬一手算分析相當困難且複雜的問題——反相器串接級的靜態與動態特性。

- 13.1 加強式負載 NMOS 反相器
- 13.2 空乏式負載 NMOS 反相器
- 13.3 CMOS 反相器
- 13.4 假-NMOS 反相器
- 13.5 傳輸電晶體邏輯

## 13.1 加強式負載 NMOS 反相器

### 13.1.1 靜態特性

**考**慮圖 13-1 顯示之加強式負載(enhancement-load)NMOS 反相器電路及圖 13-2 對應之 SPICE 輸入檔。注意輸入檔中的兩個程式，僅基體效應係數(body-effect coefficient)  $\gamma$  不同，分別為  $\gamma = 0.5 \text{ V}^{1/2}$  和  $\gamma = 0$ ，其中  $\gamma = 0$  代表完全忽略基體效應。我們將程式置於同一輸入檔中，同時分析兩個情況，主要用以觀察基體效應對反相器電路特性之影響。除此之外，觀察輸入電壓  $V_i$  的敘述：

```
Vi 1 0 DC 5V
```

上述代表反相器輸入電壓的預設值為 5V，之後再經由.DC 指令作轉換特性之掃描

```
.DC Vi 0V 5V 5mV
```

上述代表  $v_i$  由 0V 掃描至 5V，每 5mV 掃描一次。此外，注意電晶體  $M_1$  和  $M_2$  的長寬值敘述如下：

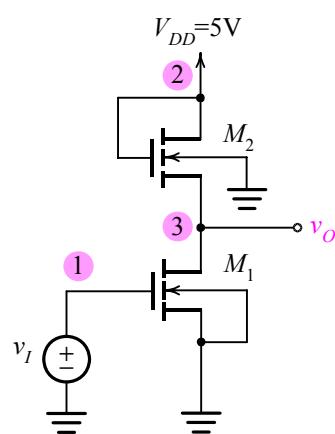


圖 13-1 加強式負載 NMOS 反相器之 SPICE 電路圖。

```

Static Characteristics of the Enhancement-Load NMOS Inverter

* circuit description (gamma=0.5)
Vdd 2 0 DC +5V
Vi 1 0 DC 5V
* model description *
M1 3 1 0 0 mosfet L=3u W=9u
M2 2 2 3 0 mosfet L=3u W=1u
.model mosfet nmos (kp=20u Vto=1V phi=0.6V gamma=0.5)
* analysis requests *
.DC Vi 0V 5V 5mV
.PLOT DC V(3)
.probe
.end

* circuit description (gamma=0)
Vdd 2 0 DC +5V
Vi 1 0 DC 5V
* model description *
M1 3 1 0 0 mosfet L=3u W=9u
M2 2 2 3 0 mosfet L=3u W=1u
.model mosfet nmos (kp=20u Vto=1V phi=0.6V gamma=0)
* analysis requests *
.DC Vi 0V 5V 5mV
.PLOT DC V(3)
.probe
.end

```

圖 13-2 分析加強式負載 NMOS 反相器靜態特性之 SPICE 輸入檔。

M1 3 1 0 0 mosfet L=1u W=9u

M2 2 2 3 0 mosfet L=1u W=1u

於是反相器的幾何比值(geometry ratio) $k_R$ 為 9，其中  $k_R$  定義為

$$k_R \triangleq \frac{(W/L)_1}{(W/L)_2} \quad (13-1)$$

圖 13-3 為反相器之靜態轉換特性圖，可看出在忽略基體效應( $\gamma = 0$ )的條件下，邏輯 1 準位  $V_{OH}$  為 4V；考慮基體效應( $\gamma = 0.5$ )之後，則使  $V_{OH}$  約降至 3.4V。而邏輯 0 準位  $V_{OL}$  為 0.26V，此值幾乎不受基體效應之影響。圖 13-4 為特性曲線微分  $dv_o/dv_i$  對  $v_i$  之變化情形，我們可藉由  $dv_o/dv_i = -1$  找出  $V_{IL} = 1.0V$  及  $V_{IH} = 2.15V$ 。

由圖 13-5 中幾何比值  $k_R$  對轉換特性的影響可知，若將  $k_R$  提高至 8 以上，可得到變化較急劇的電壓轉換特性和較大的雜訊邊限，但是同時也犧牲了反相器的矽面積。

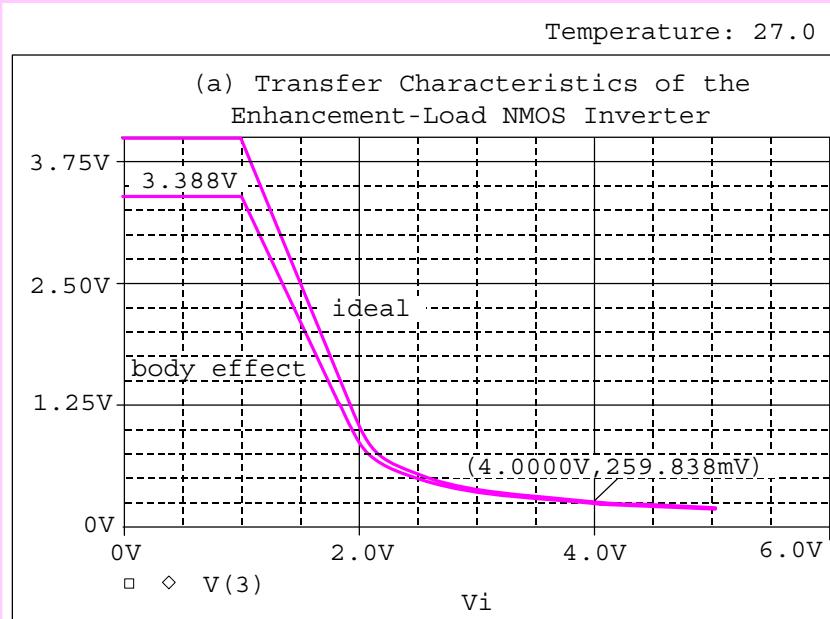


圖 13-3 加強式負載 NMOS 反相器之轉換特性，其中考慮基體效應 ( $\gamma=0.5$ ) 導致  $V_{OH}$  值降低至 3.4V。

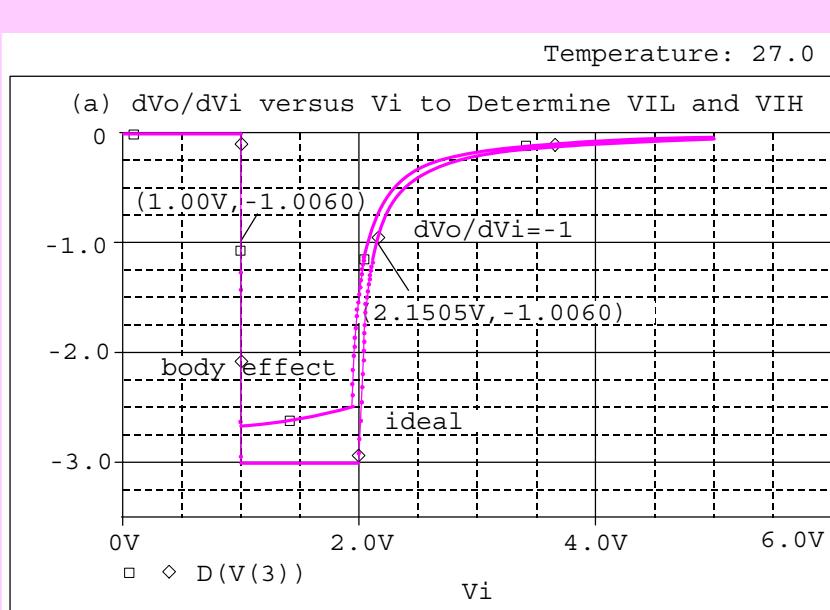


圖 13-4 圖 13-3 轉換特性之微分  $dV_o/dV_i$  與  $V_i$  之關係，由微分值  $dV_o/dV_i$  為 -1 之水平線可算出  $V_{IL}=1.0V$  和  $V_{IH}=2.15V$ 。

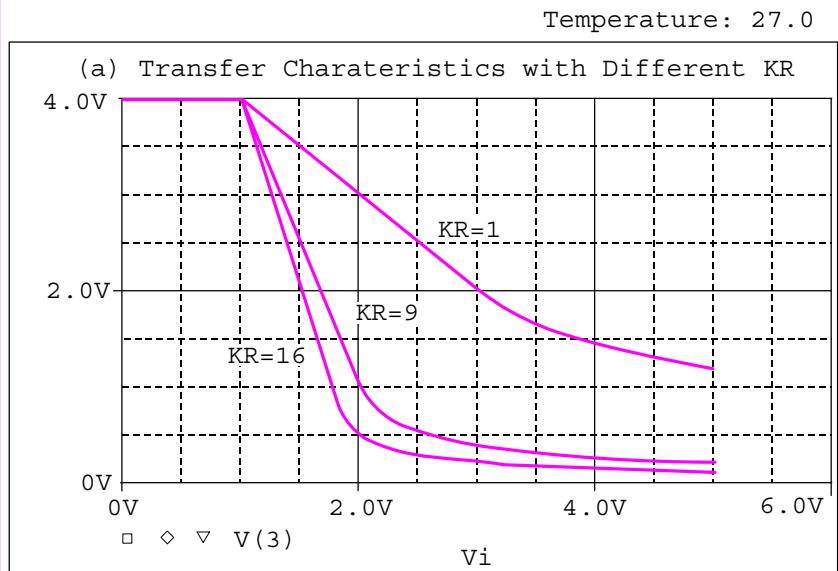


圖 13-5 幾何比值  $k_R$  對轉換特性的影響。圖中顯示若  $k_R$  值愈大，則反相器的雜訊邊限愈大。

### 手算分析

以上的模擬結果部份可以手算分析檢驗如下：對於  $V_{OH}$  而言，

$$V_{OH} = V_{DD} - V_{t2} \quad (13-2)$$

但  $M_2$  遭受基體效應之影響，也就是  $M_2$  的臨界電壓  $V_{t2}$  將隨  $v_{SB2}$ (即  $v_O$ ) 而變，即

$$V_{t2} = V_{to} + \gamma \left( \sqrt{V_{OH} + 2\phi_F} - \sqrt{2\phi_F} \right) \quad (13-3)$$

以上二式聯立並代入數值後可解出  $V_{t2}=1.6V$  和  $V_{OH}=3.4V$ 。與先前的模擬結果吻合。

另一方面，對於圖 13-5 轉換特性曲線之變遷區而言，由於  $M_1$  和  $M_2$  均工作於飽和區，可寫下

$$i_{D1} = \frac{1}{2} k'_n \left( \frac{W}{L} \right)_1 (v_I - V_{t1})^2 \quad (13-4)$$

和

$$i_{D2} = \frac{1}{2} k'_n \left( \frac{W}{L} \right)_2 (V_{DD} - v_O - V_{t2})^2 \quad (13-5)$$

其中  $k'_n = \mu_n C_{ox}$ 。令  $i_{D1} = i_{D2}$  可解得

$$v_o = (V_{DD} - V_{t2} + \sqrt{k_R} V_{t1}) - \sqrt{k_R} v_I \quad (13-6)$$

可看出在變遷區的特性為一直線，其斜率為  $-\sqrt{k_R}$ 。於是當  $k_R$  分別為 1、9 和 16 時，變遷區直線的斜率應分別為 -1、-3 和 -4，此結果與圖 13-5 的模擬結果吻合。

### 13.1.2 動態特性

#### 傳遞延遲

我們在加強式負載 NMOS 反相器的輸出端加上一數值為 0.2pF 的電容並分析其動態特性，如圖 13-6 所示。並參考分析動態特性之 SPICE 輸入檔，見圖 13-7。輸入檔中我們以一片斷線性波形近似一理想的輸入脈衝訊號，其敘述如下：

```
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 100ns,5V 100.1ns,0V
+ 250ns,0V)
```

此脈衝訊號在 0s 到 10ns 皆為 0V，10.1ns 時驟升至 5V 直到 100ns，在 100.1ns 回到 0V 並持續至 250ns，其波形見圖 13-8。另外，注意暫態分析指令：

```
.TRAN 0.01ns 250ns 0ns 0.01ns
```

上述指令代表由  $t=0$  計算至  $t=250\text{ ns}$ ，每  $0.01\text{ ns}$  計算一次。

對 NMOS 反相器輸入脈衝時，輸出脈衝表現出非零的上升與下降時

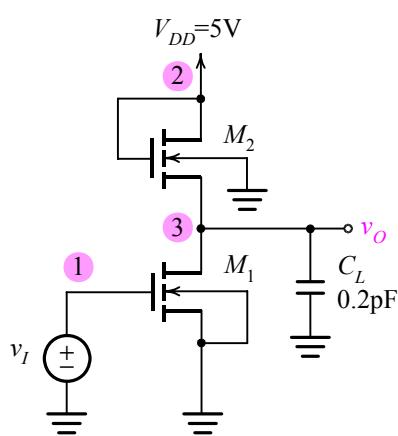


圖 13-6 加強式負載 NMOS 反相器動態分析之電路圖。

```

Dynamic Operation of the Enhancement-Load NMOS Inverter

* circuit description *
Vdd 2 0 DC +5V
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 100ns,5V 100.1ns,0V 250ns,0V)
C1 3 0 0.2p

* model description *
M1 3 1 0 0 mosfet L=3u W=9u
M2 2 2 3 0 mosfet L=3u W=1u
.model mosfet nmos (kp=20u Vto=1V phi=0.6V gamma=0)

* analysis requests *
.TRAN 0.01ns 250ns 0ns 0.01ns
.PLOT TRAN V(3)
.probe
.end

```

圖 13-7 分析加強式負載 NMOS 反相器動態特性之 SPICE 輸入檔。

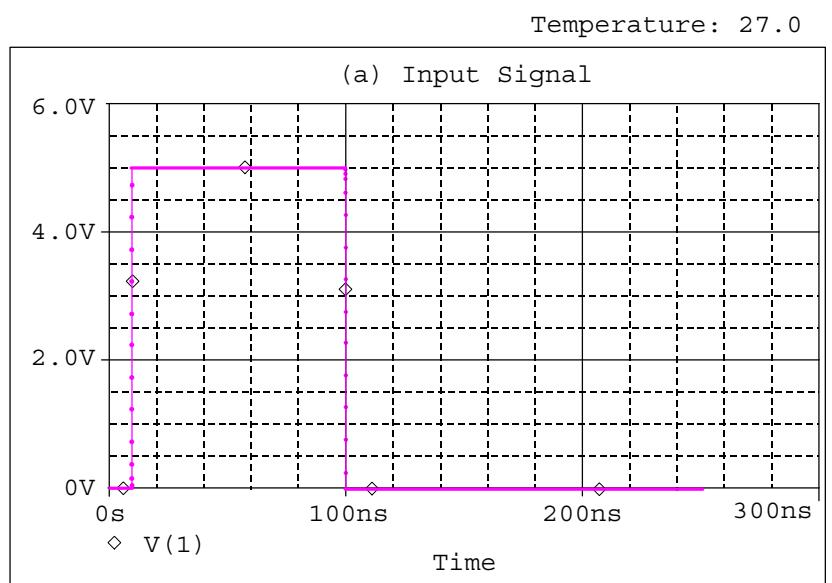


圖 13-8 分析反相器動態特性之輸入訊號波形，圖中顯示利用片斷線性波形敘述來近似一理想脈衝。

間，見圖 13-9。圖 13-9(a)顯示  $t_{PHL} = 0.927\text{ns}$ ，而圖 13-9(b)顯示  $t_{PLH} = 16.335\text{ns}$ 。

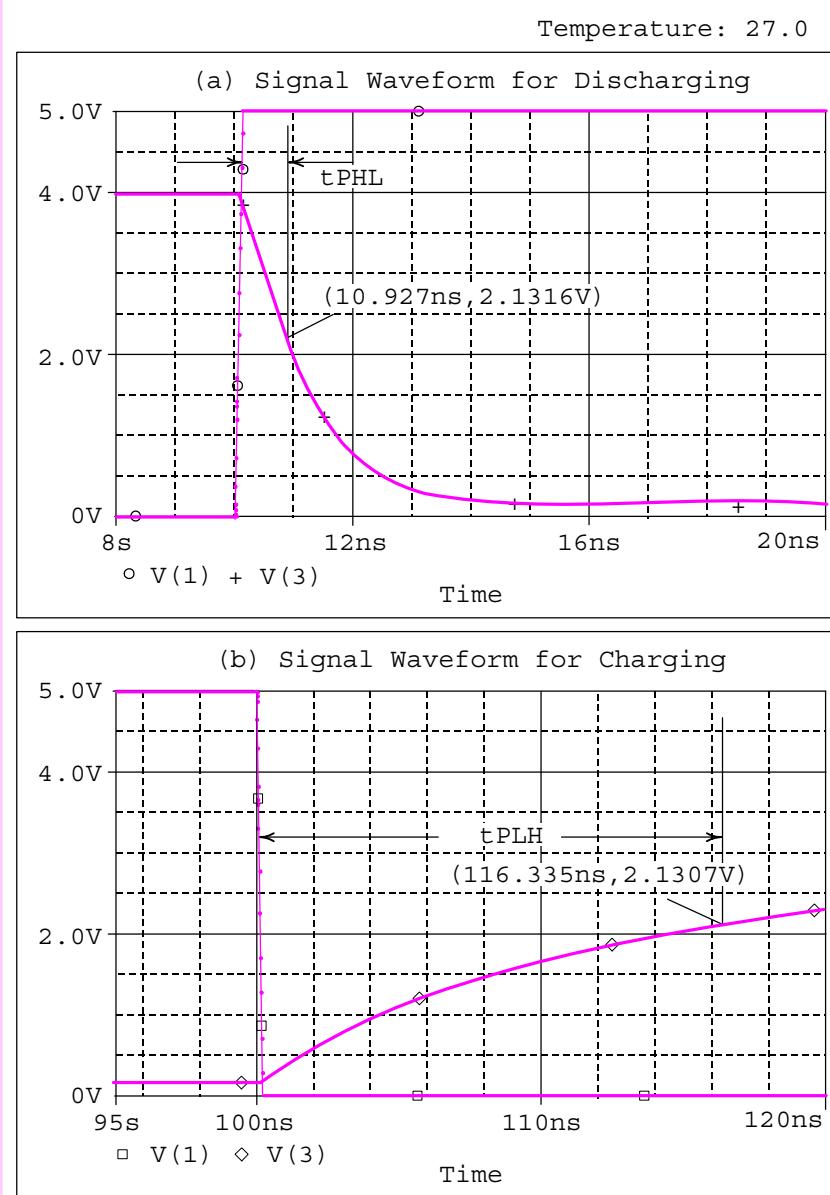


圖 13-9 顯示加強式負載 NMOS 反相器中對負載電容充放電之波形：(a) 放電波形，對應之  $t_{PHL}$  為 0.927ns，(b) 對負載電容充電波形，其  $t_{PLH}$  為 16.335ns。

### 功率散逸

圖 13-10(a)和(b)分別為輸入波形以及電容上的放電與充電電流波形。圖中清楚顯示放電與充電過程約在傳遞範圍內進行，其中放電電流峰值為

$479,653\mu\text{A}$ ，充電電流峰值為 $-46.543\mu\text{A}$ 。

圖 13-10(c)則為 NMOS 反相器的瞬時功率散逸(instantaneous power dissipation)  $p_D(t)$ ，其定義為

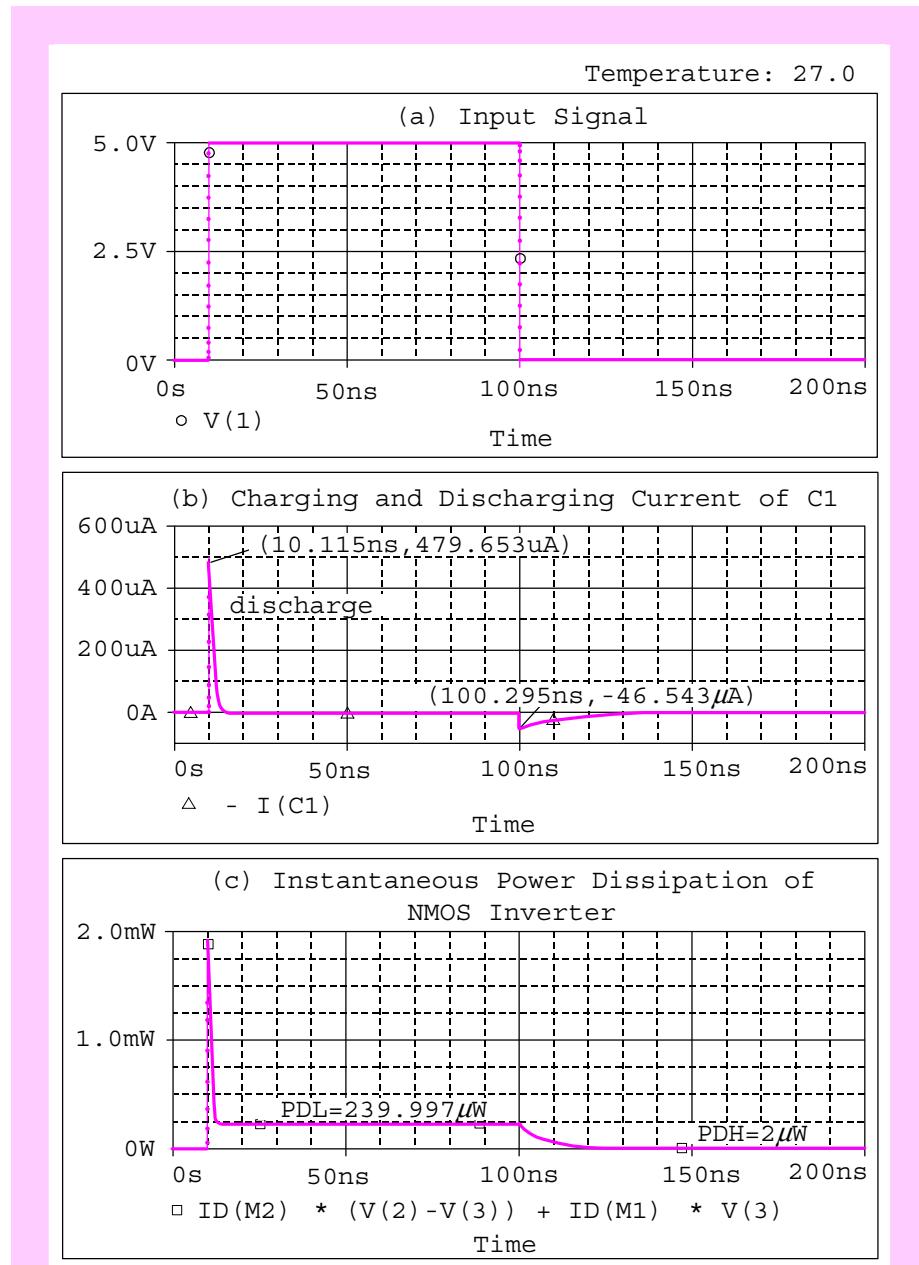


圖 13-10 圖 13-6 反相器之訊號波形：(a)輸入訊號，(b)放電與充電電流，(c)瞬時功率散逸

$$p_D(t) \triangleq i_{D_1}(t)v_{DS1}(t) + i_{D_2}(t)v_{DS2}(t) \quad (13-7)$$

以 SPICE 模擬的結果顯示圖 13-10(c)。圖中顯示瞬時功率散逸出現兩個

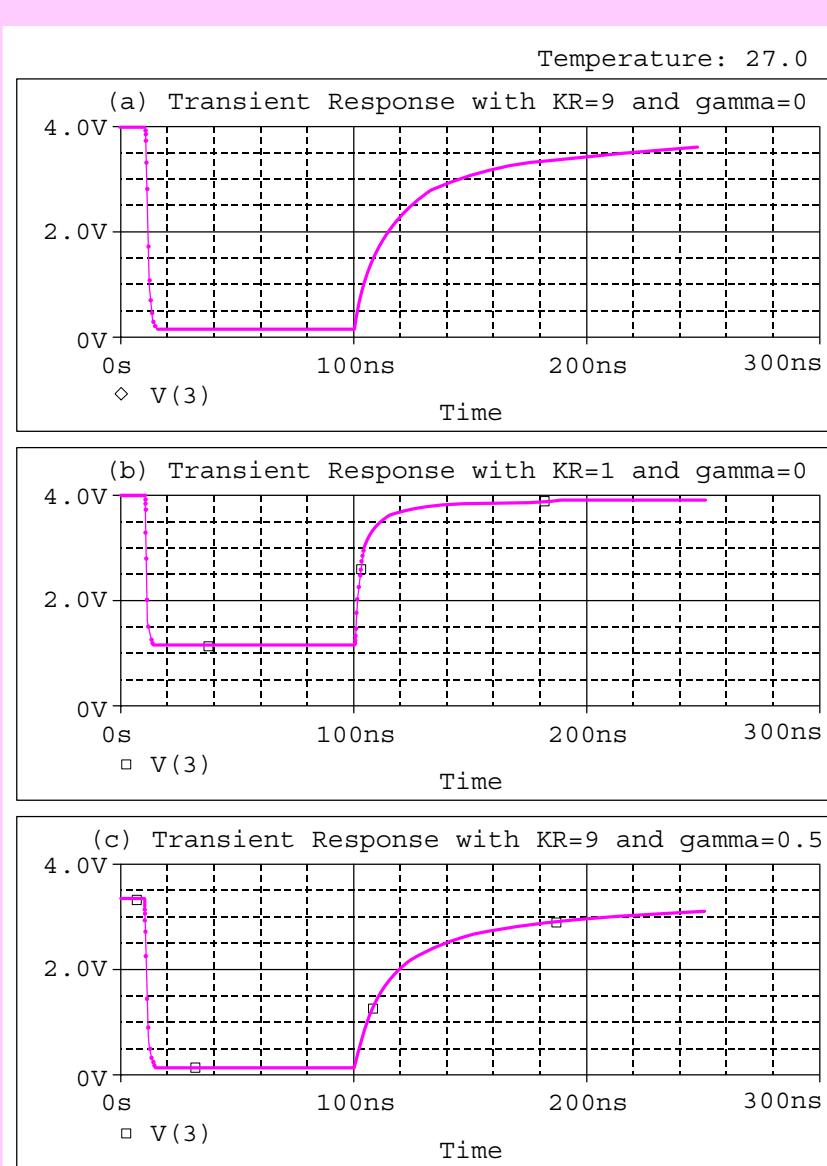


圖 13-11 圖 13-6 反相器之輸出波形：(a) $k_R=9$  和  $\gamma=0$ ，(b) $k_R=1$  和  $\gamma=0$ ，(c) $k_R=9$  和  $\gamma=0.5$ 。(b) 中顯示  $k_R$  降低( $M_2$  之  $W/L$  值提昇)將造成上升時間縮短，至於圖(c)顯示基體效應的考慮對動態特性並無明顯效應。

瞬時功率散逸出現兩個尖峰，一為放電區間，另一為充電區間。在經歷放電與充電延遲之後，分別出現輸出低態以及輸出高態之靜態功率散逸  $P_{DL}$  和  $P_{DH}$ 。

$k_R$  值越小，負載電容充電效果越好，也就是動態特性改善；但  $k_R$  降低將造成  $V_{OL}$  上升和雜訊邊限變小，即靜態特性變差。

尖峰，一為放電區間，另一為充電區間。在經歷放電與充電延遲之後，分別出現輸出低態以及輸出高態之靜態功率散逸  $P_{DL}$  和  $P_{DH}$ ，其中  $P_{DL} = 239.997\mu\text{W}$  和  $P_{DH} = 2\mu\text{W}$ ，此外平均靜態功率散逸  $P_{D(AV)}$

$$P_{D(AV)} \triangleq \frac{1}{2}(P_{DL} + P_{DH}) \quad (13-8)$$

代值後得  $P_{D(AV)} = 121\mu\text{W}$ 。

### 基體效應

圖 13-11 討論幾何比值  $k_R$  與基體效應對電容充放電的影響。由圖 13-11(a) 和(b) 得知，在忽略基體效應的情形下， $k_R$  值越小，負載電容充電效果越好，也就是動態特性改善；但由圖 13-5 得知  $k_R$  降低將造成  $V_{OL}$  上升和雜訊邊限變小，即靜態特性變差。圖 13-11(c) 則考慮基體效應對電容充放電的影響，由圖 13-11(c) 得知基體效應主要造成  $V_{OH}$  的衰退，至於對動態性的  $t_{PHL}$  和  $t_{PLH}$  則無明顯的效應。

### 13.1.3 NMOS 反相器的串接

圖 13-12 顯示兩個 NMOS 反相器串接之 SPICE 電路圖，其中每一反相器均假設出現一  $0.2\text{pF}$  之負載電容，主要用以代表兩邏輯閘間之內部連線所對應的電容。

圖 13-13 為分析此電路動態操作之 SPICE 輸入檔。由輸入檔中可發現  $v_I$  為一寬度  $90\text{ns}$  且由  $0\text{V}$  至  $5\text{V}$  間變化的脈衝訊號。此外，為使模擬結果

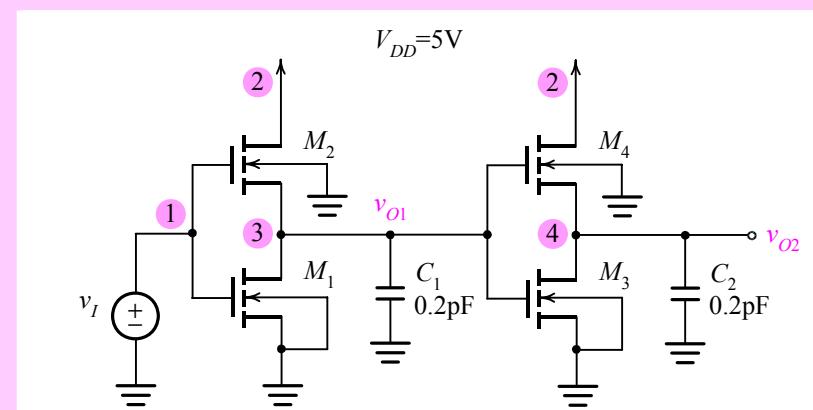


圖 13-12 兩個加強式負載 NMOS 反相器的串接。

```

Cascade of Enhancement -Load NMOS Inverter (BNR 3um CMOS Process)

* circuit description *
Vdd 2 0 DC +5V
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 100ns,5V 100.1ns,0V 200ns,0V)
C1 3 0 0.2p
C2 4 0 0.2p
* model description
M1 3 1 0 0 mosfet L=3u W=9u
M2 2 2 3 0 mosfet L=3u W=1u
M3 4 3 0 0 mosfet L=3u W=9u
M4 2 2 4 0 mosfet L=3u W=1u
* model description of the BNR 3um CMOS process
.model mosfet nmos (level=3 vto=.7 kp=4e-05 gamma=1.1
+ phi=.6 lambda=.01 rd=40 rs=40 pb=.7
+ cgso=3e-10 cgdo=3e-10 cgbo=5e-10 rsh=25
+ cj=.00044 mj=.5 cjsw=4e-10 mjsw=.3
+ js=1e-05 tox=5e-08 nsub=1.7e16 nss=0 nfs=0
+ tpg=1 xj=6e-07 ld=3.5e-07 uo=775
+ vmax=100000 theta=.11 eta=.5 kappa=1)
.TRAN 0.01ns 200ns 0ns 0.1ns
.PLOT TRAN V(3)
.probe
.end

```

圖 13-13 分析圖 13-12 電路動態特性之 SPICE 輸入檔。

果儘可能接近真實情況，我們將以商用  $3\mu\text{m}$  CMOS 製程來建立 NMOS 電晶體的模型，對應下述指令：

```

.model mosfet nmos (level=3 vto=.7 kp=4e-05 gamma=1.1
+ phi=.6 lambda=.01 rd=40 rs=40 pb=.7
+ cgso=3e-10 cgdo=3e-10 cgbo=5e-10
+ rsh=25 cj=.00044 mj=.5 cjsw=4e-10
+ mjsw=.3 js=1e-05 tox=5e-08
+ nsub=1.7e16 nss=0 nfs=0 tpg=1
+ xj=6e-07 ld=3.5e-07 uo=775
+ vmax=100000 theta=.11 eta=.5
+ kappa=1)

```

注意以上參數與先前在圖 13-2 中所指定的不相同，故即使反相器的靜態特性亦多少有些改變。

經暫態分析後所得到的情形見圖 13-14。值得注意的是在第二反相器的輸出波形  $v_{O2}$  與第一反相器的輸出波形  $v_{O1}$  並不相同。這主要是因為兩個反相器在其個別輸入端的輸入波形並不相同所致。就第一反相器而

言，其輸入波形近似一理想脈衝且上升時間(rise time)和下降時間(fall time)分別為 0.1ns。反觀第二反相器，其輸入波形(即第一反相器的輸出波形)出現非對稱的下降和上升時間，分別為數奈秒(ns)和數十奈秒(ns)。

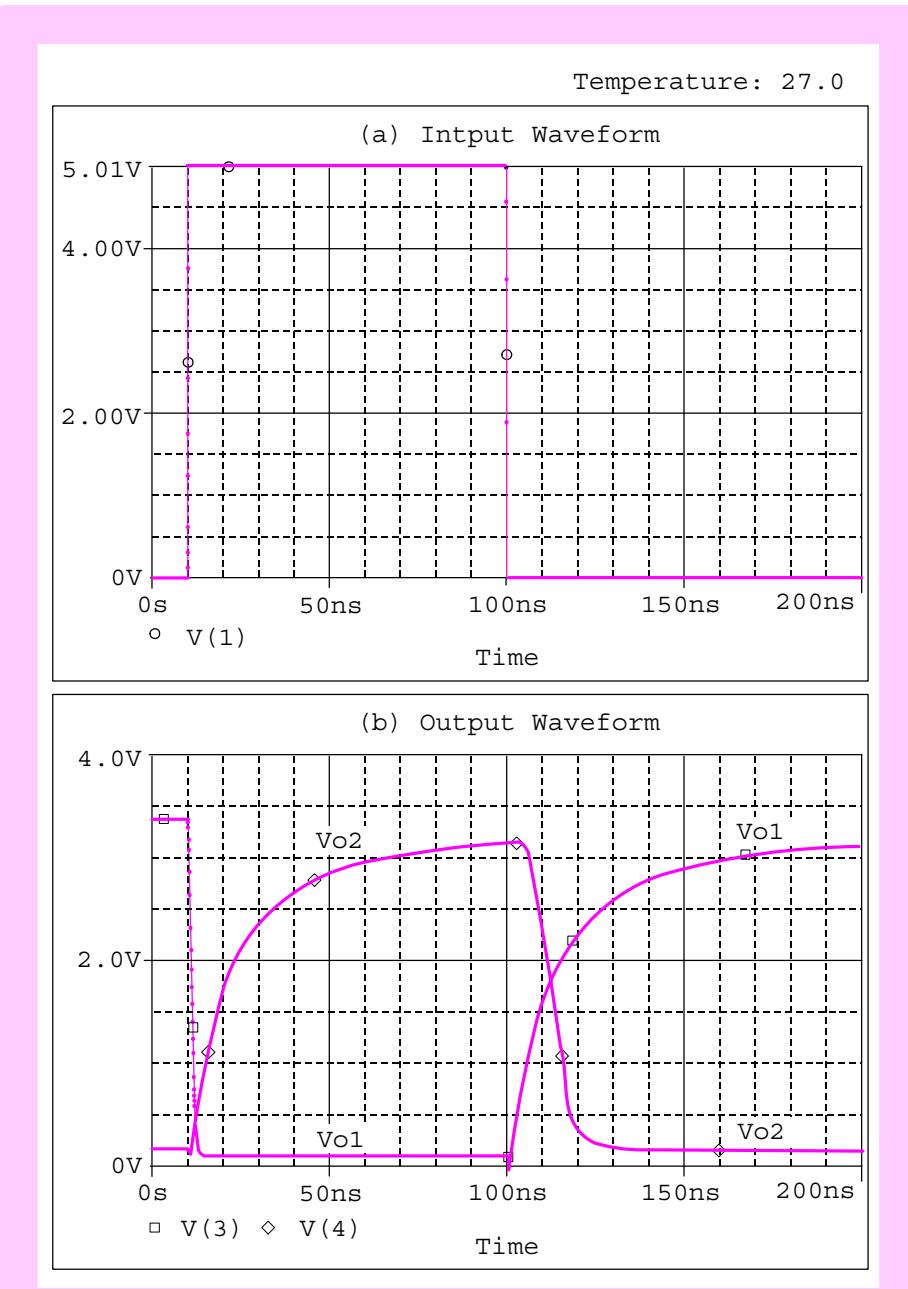


圖 13-14 圖 13-12 串接反相器動態操作之波形：(a)輸入脈衝，(b)兩個反相器之輸出訊號波形。

最後，由 SPICE 計算出每個反相器個別的瞬時功率散逸顯示於圖 13-15，其中圖 13-15(a)對應第一級，而圖 13-15(b)對應第二級。圖 13-15(a)顯示在  $t = 10\text{ ns}$  附近出現了一極短的功率波閃(power glitch)。且功率散逸尖峰值約為  $1.7\text{mW}$ ，通過此一尖峰後即進入  $291.3\mu\text{W}$  之靜態功率穩定

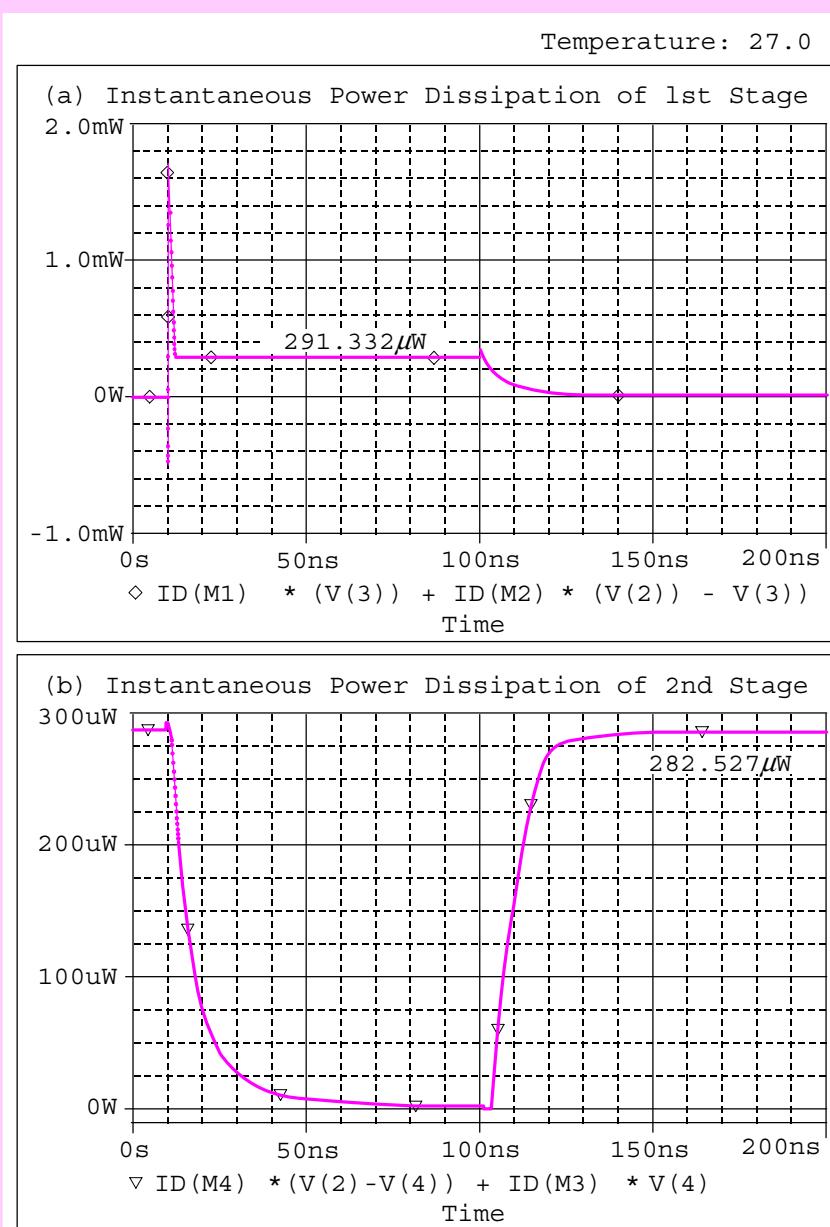


圖 13-15 圖 13-12 串接反相器之瞬時功率散逸：(a)第一級，(b)第二級。

值，此值即對應  $v_{O1}$  為低態時的功率散逸。當出現下一次變遷時 ( $t = 100 \text{ ns}$ )，反相器被驅動至輸出高態，即  $M_1$  截止，於是靜態功率幾乎是零。圖 13-15(b)顯示第二反相器的穩態功率散逸大致與第一反相器相同，祇是波形互補罷了；其中靜態功率峰值為  $282.5\mu\text{W}$ 。

## 13.2 空乏式負載 NMOS 反相器

### 13.2.1 靜態特性

圖 13-16 顯示一空乏式負載(depletion-load)NMOS 反相器電路，令  $M_1$  和  $M_2$  的元件參數為  $\mu_n C_{OX} = 20\mu\text{A/V}^2$ 、 $\lambda = 0$ 、 $(W/L)_1 = 9$ 、 $(W/L)_2 = 1$ 、 $V_{to} = 1\text{V}(M_1)$  和  $V_{to} = -2\text{V}(M_2)$ 。由於  $M_2$  為空乏式 MOSFET，故其臨界電壓為負值。圖 13-17 為此電路之 SPICE 輸入檔，注意指令

```
.model d_mosfet nmos (Kp=20u Vto=-2V)
```

經由.DC 直流掃描指令可獲得電壓轉換特性，見圖 13-18。

由於此電路之分析與模擬大致與加強式負載反相器相同，故在本文中不再詳細介紹關於臨界點  $V_{IL}$ 、 $V_{IH}$ 、 $V_{OL}$  和  $V_{OH}$  之手算分析與模擬數值，讀者可參考圖 13-4 和習題 13.2。補充說明一點，根據數位電路之基本定義，反相器的高雜訊邊限(high noise margin) $NM_H$  為

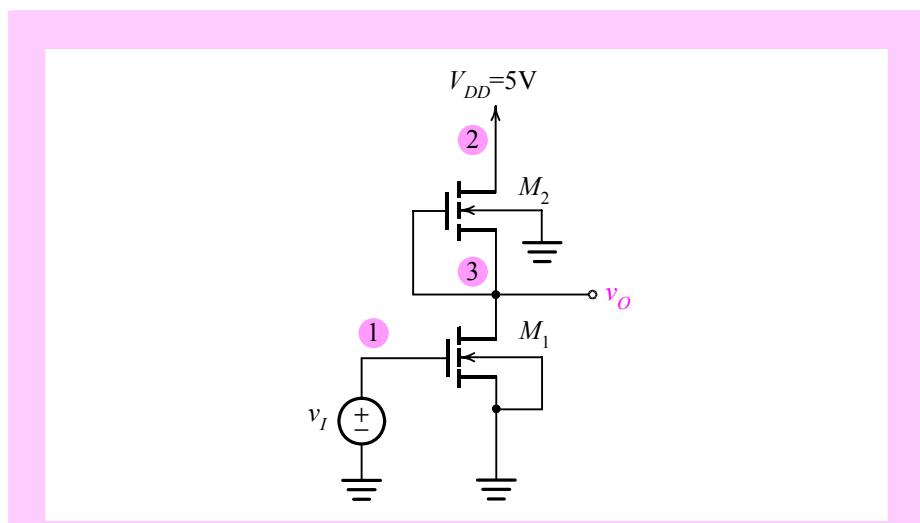


圖 13-16 空乏式負載 NMOS 反相器之 SPICE 電路圖。

## Comparison of EL and DL NMOS Inverters

```

*Depletion-Load NMOS Inverter
* circuit description *
Vdd 2 0 DC +5V
Vi 1 0 DC 5V
* model description *
M1 3 1 0 0 e_mosfet L=1u W=9u
M2 2 3 3 0 d_mosfet L=1u W=1u
.model e_mosfet nmos (kp=20u Vto=1V)
.model d_mosfet nmos (kp=20u Vto=-2V)
* analysis requests *
.DC Vi 0V 5V 1mV
.PLOT DC V(3)
.probe
.end

```

圖 13-17 掃描空乏式負載 NMOS 反相器之 SPICE 輸入檔。

$$NM_H \triangleq V_{OH} - V_{IH} \quad (13-9)$$

和低雜訊邊限(low noise margin)  $NM_L$  為

$$NM_L \triangleq V_{IL} - V_{OL} \quad (13-10)$$

在此，我們將重點放在與加強式負載特性表現之比較。於是我們將兩者的幾何比值  $k_R$  均設為 9，所得的結果見圖 13-18。圖中顯示空乏式負載之  $V_{OH} = V_{DD}$  和  $V_{OL}$  接近於零。且使用空乏式 MOSFET 當作一個負載組件將使得反相器具有較高的增益和急劇變化的電壓轉換特性，也就是具有較高的雜訊邊限。換句話說，使用空乏式負載將使我們可以選擇較小的幾何比值  $k_R$  却能獲得較高的雜訊邊限。故與加強式負載反相器比起來，空乏式負載反相器所需的矽面積較小且尚能維持足夠的雜訊邊限。而特性表現改善所付出的代價就入植入空乏元件之通道所需的額外製程。

使用空乏式 MOSFET 當作一個負載組件將使得反相器具有較高的增益和急劇變化的電壓轉換特性。

### 13.2.2 基體效應

雖然在前面討論轉換特性的過程中，並沒有特別強調基體效應——也就是 MOS 的源極至基板之逆偏電壓改變臨界電壓的效應。但是此效應在反相器的線路操作上的確扮演非常重要的角色。圖 13-19 為考慮基體效應後之 SPICE 輸入檔。假設  $M_1$  和  $M_2$  的參數均為  $2\phi_F = 0.6V$  和  $\gamma = 0.5V^{1/2}$ ，對應指令：

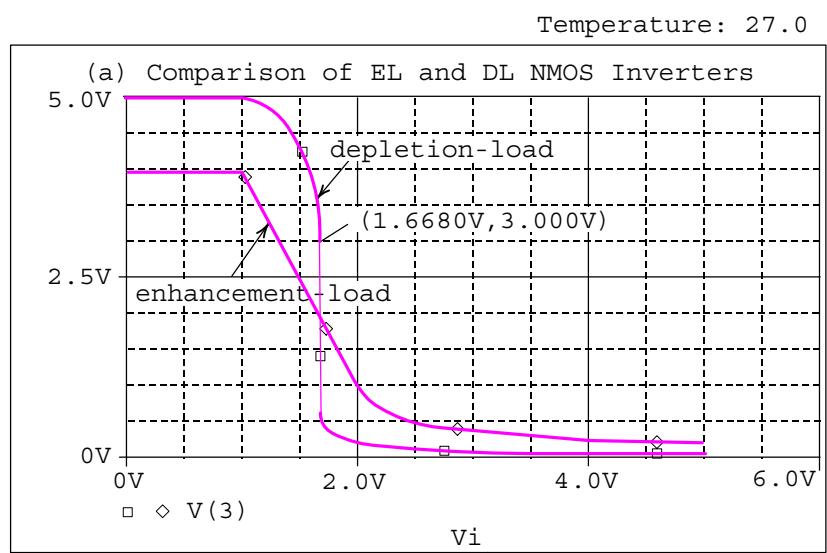


圖 13-18 圖 13-16 空乏式負載 NMOS 反相器的轉換特性，並與加強式負載作一比較。兩個反相器的幾何比值  $k_R$  相同，均為 9。

```

Depletion-Load NMOS Inverter

* circuit description *
Vdd 2 0 DC +5V
Vi 1 0 DC 5V
M1 3 1 0 0 e_mosfet L=1u W=9u
M2 2 3 3 0 d_mosfet L=1u W=1u
.model e_mosfet nmos (kp=20u Vto=1V phi=0.6V gamma=0.5)
.model d_mosfet nmos (kp=20u Vto=-2V phi=0.6V gamma=0.5)
* analysis requests *
.DC Vi 0V 5V 5mV
.PLOT DC V(3)
.probe
.end

```

圖 13-19 圖 13-16 反相器電路考慮基體效應後之 SPICE 輸入檔。

```

.model e_mosfet nmos (kp=20u Vt0=1V phi=0.6V gamma=0.5)
.model d_mosfet nmos (kp=20u Vto=-2V phi=0.6V gamma=0.5)

```

圖 13-20 分別顯示了考慮基體效應( $\gamma = 0.5V^{1/2}$  和  $\gamma = 0.8V^{1/2}$ )和不考慮基體效應( $\gamma = 0$ )時的  $i_{D2}$  對  $v_o$  的關係。我們注意到若不考慮基體效應，則

空乏式元件  $Q_2$  在  $v_o$  的一寬廣範圍內都可看成一定電流源，其結果將造成在變遷區內的轉換特性變化得非常急劇；另外這個現象對動態特性的影響就是充電電流較大，可以改善  $t_{PLH}$ 。不幸地，基體效應使得空乏式負載不再維持定電流操作，因此其反相器的特性並沒有像原先期望的這麼好。

基體效應使得空乏式負載  
不再維持定電流操作。

圖 13-20 的現象可以以下式說明：對電晶體  $M_2$  操作於飽和區而言，

$$i_{D2} = \frac{1}{2} k'_n \left( \frac{W}{L} \right)_2 |V_{tD}|^2 \quad v_o \leq V_{DD} - |V_{tD}| \quad (13-11)$$

若  $M_2$  工作於三極區，則

$$i_{D2} = \frac{1}{2} k'_n \left( \frac{W}{L} \right)_2 [ |V_{tD}| (V_{DD} - v_o) - (V_{DD} - v_o)^2 ] \quad v_o \geq V_{DD} - |V_{tD}| \quad (13-12)$$

其中  $V_{tD}$  為空乏式元件的臨界電壓。因為  $v_{SB}|_{Q_2} = v_o$ ，因此由基體效應的公式，

$$V_{tD} = V_{to} + \gamma (\sqrt{v_o + 2\phi_F} - \sqrt{2\phi_F}) \quad (13-13)$$

合併以上三式即可說明圖 13-20 中之三條曲線。

圖 13-21 為合併基體效應和通道長度調變效應後由 SPICE 模擬的轉換

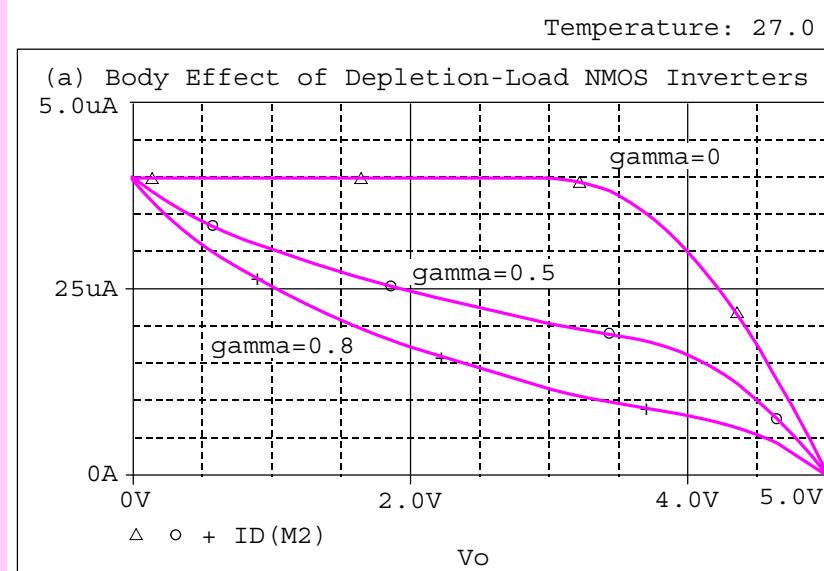
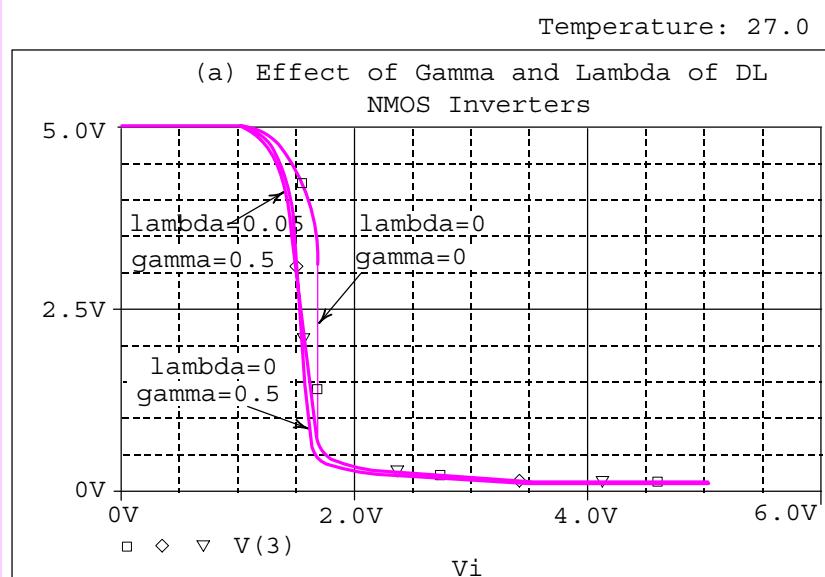


圖 13-20 圖 13-16 電路在不同  $\gamma$  值下電晶體  $M_2$  之傳導電流對輸出電壓  
作圖。

圖 13-21  $\gamma$  和  $\lambda$  值對空乏式負載 NMOS 反相器靜態轉換特性之影響。

基體效應將對靜態轉換特性之變遷區產生衰退效應，至於  $\lambda$  的考慮與否則無明顯差異。

特性，分別對應  $\lambda = 0$  和  $\gamma = 0$ ， $\lambda = 0$  和  $\gamma = 0.5V^{1/2}$ ，以及  $\lambda = 0.05V^{-1}$  和  $\gamma = 0.5V^{1/2}$ 。結論是，基體效應將對靜態轉換特性之變遷區產生衰退效應，至於  $\lambda$  的考慮與否則無明顯差異。此外，值得注意的是， $\gamma$  或  $\lambda$  的考慮對邏輯準位  $V_{OH}$  和  $V_{OL}$  皆無明顯變化。換言之，就邏輯準位的計算而言，可以完全忽略基體效應以及通道長度調變效應。

### 13.2.3 動態操作

若將圖 13-16 電路的輸出端置入一  $0.2\text{pF}$  的負載電容，即類似圖 13-6 的連接方式。而圖 13-22 則為分析空乏式負載 MOS 反相器之動態特性並考慮基體效應之 SPICE 輸入檔。輸入檔中顯示  $v_I$  為一寬度為  $90\text{ns}$  且由  $0\text{V}$  至  $5\text{V}$  間變化的脈衝訊號，其幾何比值  $k_R$  為 9 時的輸出波形見圖 13-8。

經由暫態分析後所得的波形顯示於圖 13-23，其中  $\text{gamma} = 0$  代表無基體效應， $\text{gamma} = 0.5$  代表考慮基體效應。圖中顯示由於幾何比值  $k_R$  取 9，故仍然呈現出非對稱的輸出波形，即下降時間遠小於上升時間。至於基體效應對放電過程幾乎沒有影響，但卻因為充電能力變差，使得輸出由低態變遷至高態的充電時間加長。

```

Dynamic Operation of Depletion-Load NMOS Inverter

* circuit description (gamma=0)
Vdd 2 0 DC +5V
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 100ns,5V 100.1ns,0V
+ 200ns,0V)
C1 3 0 0.2p
* model description *
M1 3 1 0 0 e_mosfet L=3u W=9u
M2 2 3 3 0 d_mosfet L=3u W=1u
.model e_mosfet nmos (kp=20u Vto=1V phi=0.6V gamma=0)
.model d_mosfet nmos (kp=20u Vto=-2V phi=0.6V gamma=0)
* analysis requests *
.TRAN 0.05ns 250ns 0ns 0.05ns
.PLOT TRAN V(3)
.probe
.end

* circuit description (gamma=0.5)
Vdd 2 0 DC +5V
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 100ns,5V 100.1ns,0V
+ 200ns,0V)
C1 3 0 0.2p
* model description *
M1 3 1 0 0 e_mosfet L=3u W=9u
M2 2 3 3 0 d_mosfet L=3u W=1u
.model e_mosfet nmos (kp=20u Vto=1V phi=0.6V gamma=0.5)
.model d_mosfet nmos (kp=20u Vto=-2V phi=0.6V gamma=0.5)
* analysis requests *
.TRAN 0.05ns 250ns 0ns 0.05ns
.PLOT TRAN V(3)
.probe
.end

```

圖 13-22 分析圖 13-16 反相器之動態操作並且考慮基體效應之 SPICE 輸入檔。

## 13.3 CMOS 反相器

### 13.3.1 靜態特性

#### SPICE 模擬

分析 CMOS 反相器靜態特性之 SPICE 電路圖與其輸入檔分別顯示於圖 13-24 與圖 13-25。首先，假設電子與電洞之遷移率關係為  $\mu_n = 2.5\mu_p$ ，

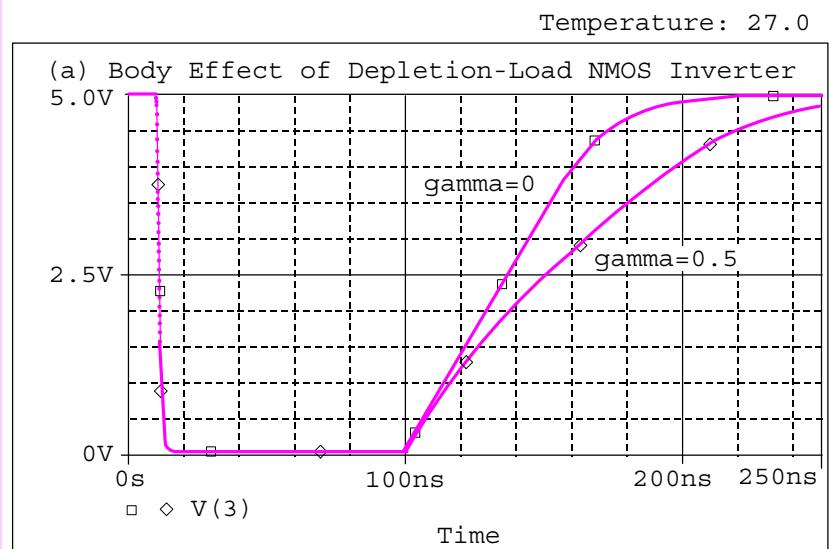


圖 13-23 空乏式負載 NMOS 反相器在幾何比值  $k_R$  為 9 時的動態操作之輸出波形，圖中亦顯示基體效應對上升時間的衰退效應。

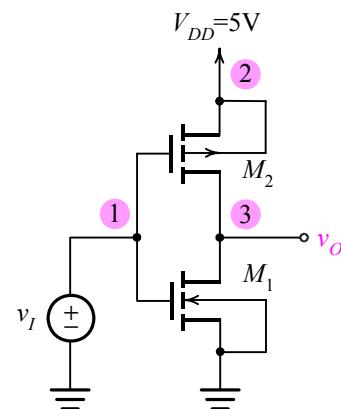


圖 13-24 分析 CMOS 反相器靜態特性的 SPICE 電路圖。

於是  $M_1$  與  $M_2$  之  $K_P$  值差 2.5 倍。注意輸入檔中的關於模型參數之敘述：對 NMOS  $M_1$  而言，

`.model nmosfet nmos (Vto=1 Kp=5e-05 gamma=0.5 phi=.6 lambda=0.1)`

以及對 PMOS  $M_2$  而言，

`.model pmosfet pmos (Vto=-1 Kp=2e-05 gamma=1 phi=.6 lambda=.01)`

## Static Characteristics of the CMOS Inverter

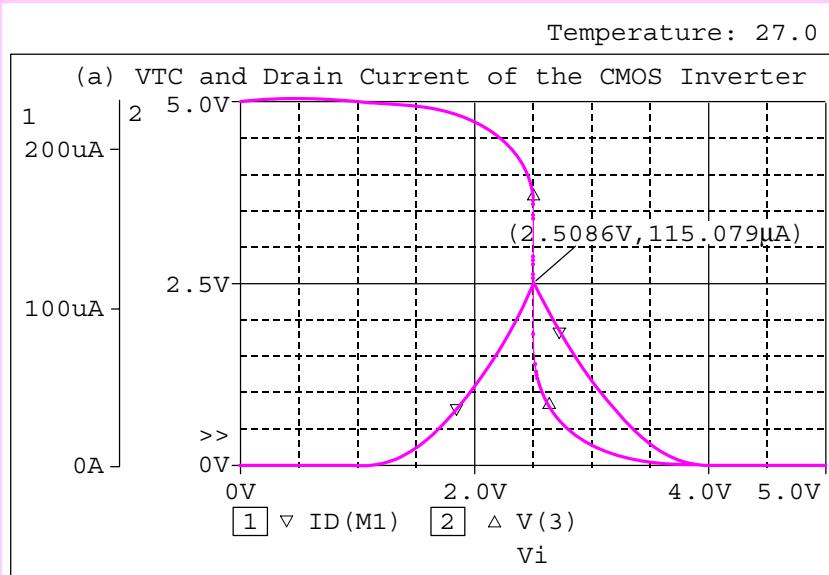
```

* circuit description *
Vdd 2 0 DC 5V
Vi 1 0 DC 5V
* MOSFET model description *
M1 3 1 0 0 nmosfet L=1u W=2u
M2 3 1 2 2 pmosfet L=1u W=5u
.model nmosfet nmos (Vto=1 Kp=5e-05 gamma=0.5 phi=.6 lambda=.01)
.model pmosfet pmos (Vto=-1 Kp=2e-05 gamma=1 phi=.6 lambda=.01)
* analysis requests *
.DC Vi 0 5 5mV
.PLOT DC V(2) Id(M1)
.probe
.end

```

圖 13-25 分析 CMOS 反相器靜態特性之 SPICE 輸入檔。

這裡還需注意，因為  $\mu_n$  大約為  $\mu_p$  值的 2.5 倍，為使兩元件特性匹配，於是將  $p$ -通道元件( $M_2$ )的通道寬度做成  $n$ -通道元件( $M_1$ )的 2.5 倍。而元件特性匹配也代表反相器在兩個不同方向上(拉上和拉下)具有相同的電流驅動能力。此外，假設  $M_1$  和  $M_2$  之基體效應係數分別為  $\gamma = 0.5V^{1/2}$  和

圖 13-26 CMOS 反相器電壓轉換特性與傳導電流隨  $v_i$  之變化情形，其中縱座標 1 對應傳導電流，縱座標 2 對應輸出電壓。

$\gamma = 1V^{1/2}$ ，但因為每個元件的基體均被接到個別的源極，因此不會有基體效應產生。

圖 13-26 為 CMOS 反相器電壓轉換特性與靜態導電率隨  $v_I$  之變化情形，其中電壓轉換特性為對稱曲線，導致相同的雜訊邊限  $NM_L$  和  $NM_H$ 。須補充說明的是，在 SPICE 模擬中，我們放入通道長度調變參數  $\lambda = 0.01V^{-1}$ ，於是將使得變遷區斜率並非無限大。

與先前一樣，我們以  $dv_o/dv_I = -1$  來尋找  $V_{IL}$  和  $V_{IH}$ ，如圖 13-27。圖中顯示  $V_{IL} = 2.11V$  和  $V_{IH} = 2.89V$ 。

### 手算分析

由於 CMOS 反相器具有理想的邏輯準位，即  $V_{OH} = V_{DD}$  和  $V_{OL} = 0$ ，故在此僅就  $V_{IL}$  和  $V_{IH}$  之手算分析作介紹；過程中，為簡單起見，假設  $\lambda = 0$ 。就  $v_I = V_{IL}$  而言， $M_1$  和  $M_2$  分別工作於飽和區和三極區，經列出  $i_{D1} = i_{D2}$  後，對左右二式取  $v_I$  之微分再令  $dv_o/dv_I = -1$ ，可解出  $V_{IL}$  為

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t) \quad (13-14)$$

代值後可得  $V_{IL} = 2.1125V$ 。就  $v_I = V_{IH}$  而言， $M_1$  和  $M_2$  分別工作於三極區和飽和區，經列出  $i_{D1}=i_{D2}$  後，對左右二式取  $v_I$  之微分再令  $dv_o/dv_I = -1$ ，可解出  $V_{IH}$  為

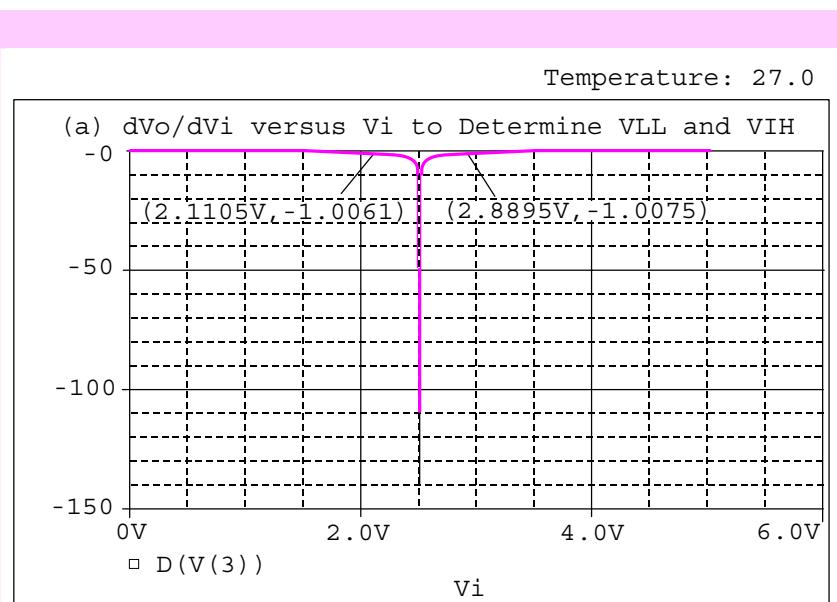


圖 13-27 CMOS 轉換特性之微分對  $v_I$  之關係圖，由  $dv_o/dv_I = -1$  之水平線可看出  $V_{IL}=2.11V$ ， $V_{IH}=2.89V$ 。

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t) \quad (13-15)$$

代值後可得  $V_{IH} = 2.875V$ 。此二數值與先前模擬結果僅出現些微誤差，此誤差的產生主要是因為在手算分析時，假設  $\lambda$  為零的緣故。

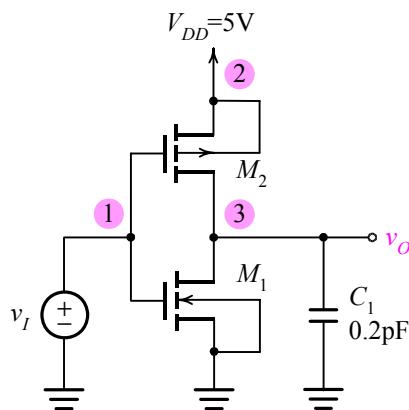


圖 13-28 分析 CMOS 反相器動態特性之電路圖。

#### Dynamic Characteristics of the CMOS Inverter

```
* circuit description *
Vdd 2 0 DC 5V
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 50ns,5V 50.1ns,0V
+ 150ns,0V)
C1 3 0 0.2p

* MOSFET model description *
M1 3 1 0 0 nmosfet L=1u W=2u
M2 3 1 2 2 pmosfet L=1u W=5u
.model nmosfet nmos (Vto=1 Kp=5e-05 gamma=0.5 phi=.6
+ lambda=.01)
.model pmosfet pmos (Vto=-1 Kp=2e-05 gamma=1 phi=.6
+ lambda=.01)

* analysis requests *
.TRAN 0.05ns 120ns 0ns 0.05ns
.PLOT TRAN V(1) V(3)
.probe
.end
```

圖 13-29 分析 CMOS 反相器動態特性之 SPICE 輸入檔。

### 13.3.2 動態特性

#### SPICE 模擬

圖 13-28 分析 CMOS 反相器動態特性之 SPICE 電路圖，其輸入檔顯示於圖 13-29。與分析靜態特性輸入檔之不同在於除了加入  $0.2\text{pF}$  電容外，亦改變了輸入訊號  $v_I$  以及分析需求部份，注意指令：

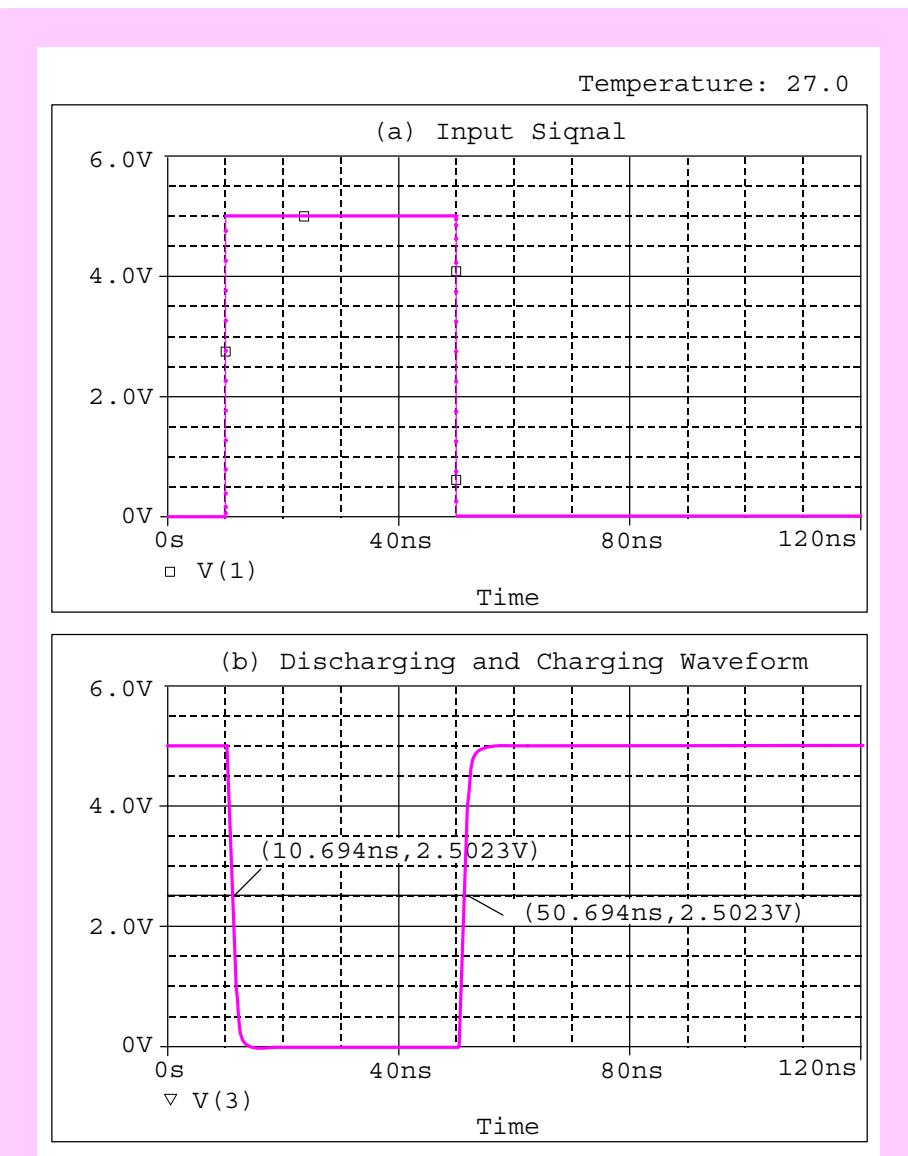


圖 13-30 (a) 輸入訊號波形，(b) 電容放電與充電情形。

```
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 50ns,5V 50.1ns,0V
+ 150ns,0V)
```

代表  $v_i$  為一寬度為 40ns 且介於 0V 與 5V 間變化的脈衝訊號，其波形顯示於圖 13-30(a)。與暫態分析指令.TRAN

```
.TRAN 0.05ns 120ns 0ns 0.05ns
```

暫態分析指令敘述分析時間由 0ns 開始至 120ns，每間隔 0.05ns 計算一次。

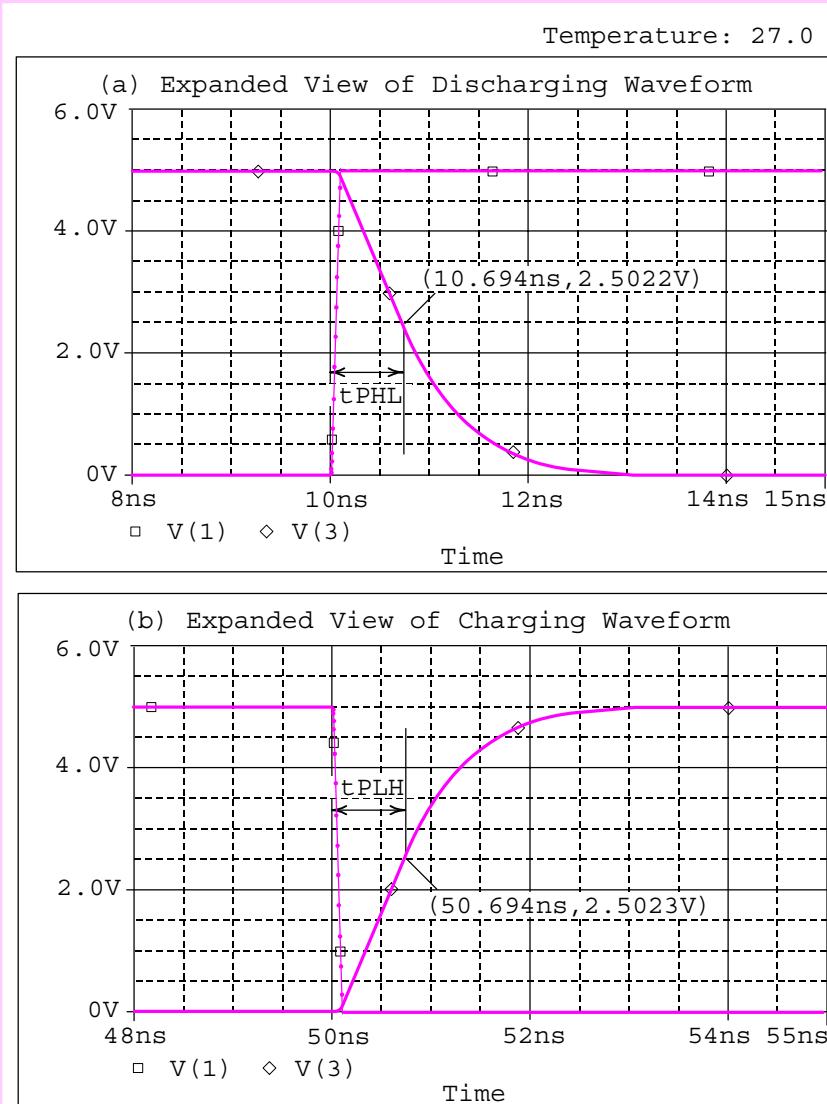


圖 13-31 圖 13-30(b)放電與充電波形之放大圖。

圖 13-30(b)為負載電容的放電與充電情形。由於 CMOS 反相器中兩個 MOSFET 的特性匹配，故負載電容的放電與充電時間完全對稱。此外，雖然 NMOS 和 PMOS 的基體效應係數分別為  $\gamma = 0.5V^{1/2}$  和  $\gamma = 1V^{1/2}$ ，但整個 CMOS 反相器並未受到基體效應的影響。

圖 13-31 為圖 13-30(b)在刻度放大時的波形。圖中清楚顯示放電波形與充電波形完全對稱。根據圖 13-30 和圖 13-31 的模擬結果，得知  $t_{PHL} = 0.694\text{ns}$  和  $t_{PLH} = 0.694\text{ns}$ 。

### 手算分析

由圖 13-26 中傳導電流對應曲線得知，雖然靜態電流( $v_I = 0$  或  $v_I = V_{DD}$  時的汲極電流)為零，但是 CMOS 反相器的負載驅動能力相當高。例如當  $v_I$  為高態時，NMOS 汲取一相當大的負載電流以致於負載電容可以迅速放電，在這裡 NMOS 的作用是汲取負載電流並將輸出電壓拉下至接地準位，因此 NMOS 稱為拉下元件(pull-down device)。同理  $v_I$  為低態時，PMOS 可以供應一相當大的負載電流，且此電流足以迅速對負載電容充電，然後將輸出電壓拉上到  $V_{DD}$  為止，故 PMOS 稱為拉上元件(pull-up device)。根據手算分析可得

$$t_{PHL} = \frac{C_L}{k'_n \left( \frac{W}{L} \right) (V_{DD} - V_t)} \left[ \frac{2V_t}{V_{DD} - V_t} + \ln \left( \frac{3V_{DD} - 4V_t}{V_{DD}} \right) \right] \quad (13-16)$$

其間誤差主要是因為在 SPICE 模擬中輸入脈衝存在 0.1ns 之上升時間所致。

代值後可得  $t_{PHL} = 0.644\text{ns}$ 。而 SPICE 計算結果為  $t_{PHL} = 0.694\text{ns}$ ，兩者誤差約 7.2%。其間誤差主要是因為在 SPICE 模擬中輸入脈衝存在 0.1ns 之上升時間所致。

### 13.3.3 CMOS 反相器的串接

圖 13-32 顯示兩個 CMOS 反相器串接之 SPICE 電路圖，其中每一反相器的輸出端均假設出現一  $0.2\text{pF}$  之負載電容，主要用以代表兩邏輯閘間之內部連線所對應的電容。

圖 13-33 為分析此電路動態操作之 SPICE 輸入檔。由輸入檔中可發現  $v_I$  為一寬度 40ns 且由 0V 至 5V 間變化的脈衝訊號，對應指令：

`Vi 1 0 PWL (0,0V 10ns, 0V 10.1ns, 5V 50ns, 5V 50.1ns 0V 150ns, 0V)`

此外，為使動態模擬結果儘可能接近真實情況，我們將以商用  $3\mu\text{m}$  CMOS 製程來建立 NMOS 和 PMOS 電晶體的模型，其中 NMOS 與 13.1.3 節一致而 PMOS 則對應下述指令：

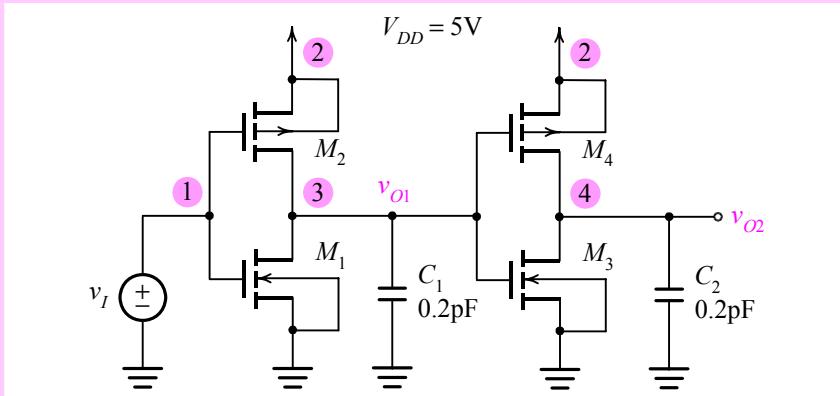


圖 13-32 兩個 CMOS 反相器串接之 SPICE 電路圖。

Cascade of the CMOS Inverter(BNR 3um CMOS Process)

```

* circuit description *
Vdd 2 0 DC 5V
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 50ns,5V 50.1ns,0V 150ns,0V)
C1 3 0 0.2p
C2 4 0 0.2p
* MOSFET model description *
M1 3 1 0 0 nmosfet L=3u W=3u
M2 3 1 2 2 pmosfet L=3u W=9u
M3 4 3 0 0 nmosfet L=3u W=3u
M4 4 3 2 2 pmosfet L=3u W=9u
* model description of the BNR 3um CMOS process
.model nmosfet nmos (level=3 vto=.7 kp=4e-05 gamma=1.1
+ phi=.6 lambda=.01 rd=40 rs=40 pb=.7
+ cgso=3e-10 cgdo=3e-10 cgbo=5e-10 rsh=25
+ cj=.00044 mj=.5 cjsw=4e-10 mjsw=.3
+ js=1e-05 tox=5e-08 nsub=1.7e+16 nss=0
+ nfs=0 tpg=1 xj=6e-07 ld=3.5e-07 uo=775
+ vmax=100000 theta=.11 eta=.5 kappa=1)
.model pmosfet pmos (level=3 vto=-.8 kp=1.2e-05 gamma=.6
+ phi=.6 lambda=.03 rd=100 rs=100 pb=.6
+ cgso=2.5e-10 cgdo=2.5e-10 cgbo=5e-10
+ rsh=80 cj=.00015 mj=.6 cjsw=4e-10 mjsw=.6
+ js=1e-05 tox=5e-08 nsub=5e+15 nss=0 nfs=0
+ tpg=1 xj=5e-07 ld=2.5e-07 uo=250
+ max=70000 theta=.13 eta=.3 kappa=1)
* analysis requests *
.TRAN 0.01ns 150ns 0ns 0.1ns
.probe
.end

```

圖 13-33 圖 13-32 兩 CMOS 反相器串接電路之 SPICE 輸入檔。

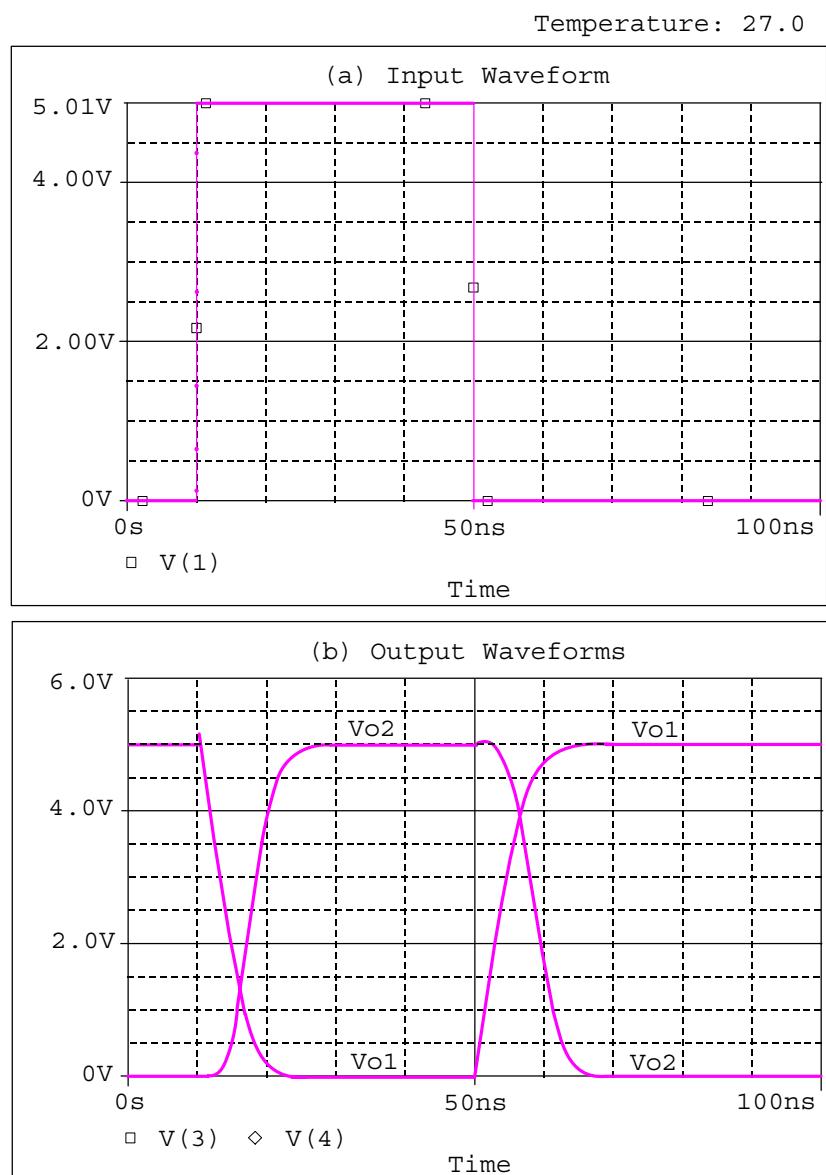


圖 13-34 圖 13-32 兩 CMOS 反相器串接的動態操作：(a)輸入訊號波形，(b)兩反相器輸出訊號  $v_{o1}$  和  $v_{o2}$  之波形。

```
.model pmosfet pmos (level=3 vto=-.8 kp=1.2e-05 gamma=.6
+
+ phi=.6 lambda=.03 rd=100 rs=100 pb=.6
+
+ cgso=2.5e-10 cgdo=2.5e-10 cgbo=5e-10
+
+ rsh=80 cj=.00015 mj=.6 cjsw=4e-10
```

```

+ mjsw=.6 js=1e-05 tox=5e-08
+ nsub=5e+15 nss=0 nfs=0 tpg=1
+ xj=5e-07 ld=2.5e-07 uo=250
+ vmax=70000 theta=.13 eta=.3 kappa=1)

```

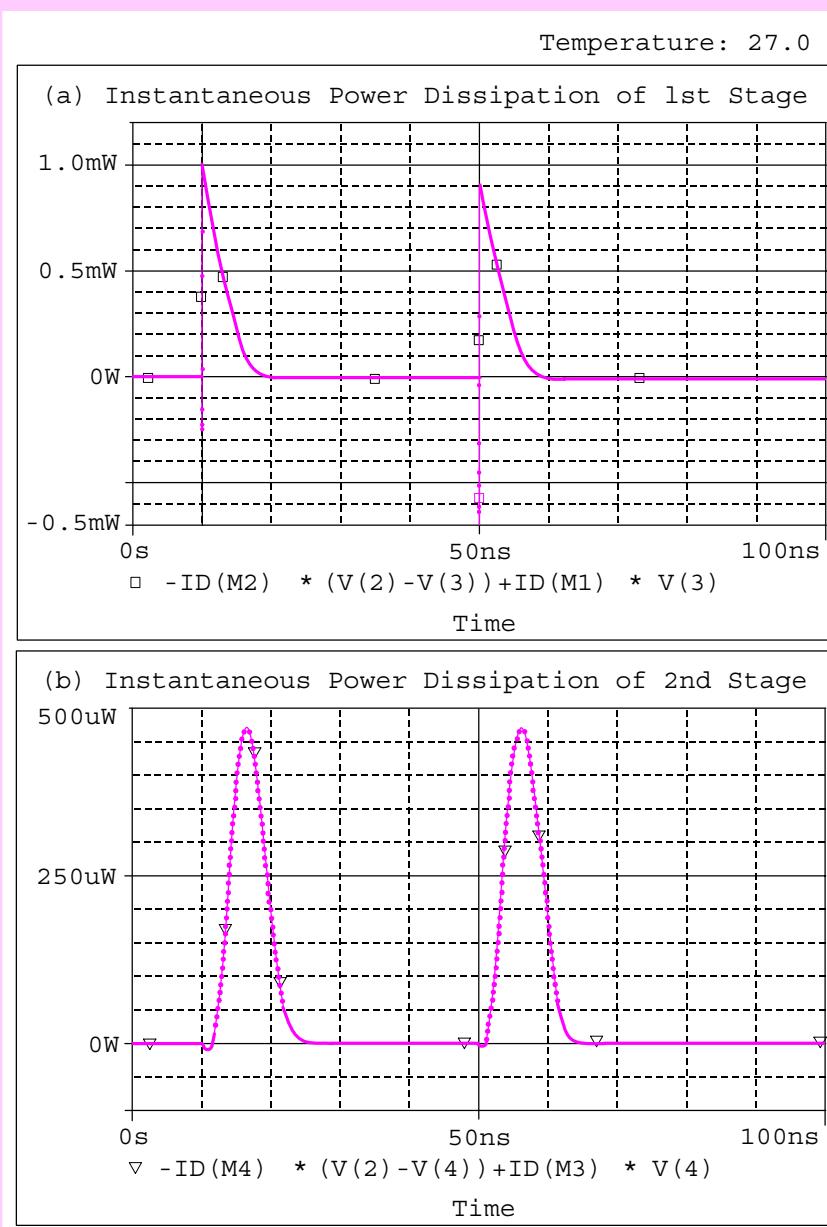


圖 13-35 圖 13-32 兩 CMOS 反相器串接的瞬時功率散逸：(a)第一級，  
(b)第二級。

以上所列 NMOS 和 PMOS 之參數與先前在圖 13-25 中所指定的並不相同，故即使反相器的靜態轉換特性多少會有些改變。其中關於 NMOS 和 PMOS 的尺寸如下述指令所示：

```
M1 3 1 0 0 nmosfet L=3u W=3u
```

```
M2 3 1 2 2 pmosfet L=3u W=9u
```

合併模型指令中的  $KP = 4e - 05$ (NMOS)和  $KP = 1.2e - 05$  (PMOS)，得知就本電路而言，NMOS 與 PMOS 的特性並非完美匹配。

經靜態分析後所得到的波形見圖 13-34。請注意第二反相器的輸出波形  $v_{O2}$  與第一反相器的輸出波形  $v_{O1}$  並不相同。這主要是因為兩個反相器在其個別輸入端的輸入訊號波形並不相同所致。就第一反相器而言，其輸入波形近似一理想脈衝且上升和下降時間分別為  $0.1\text{ns}$ 。反觀第二反相器，其輸入波形(即第一反相器的輸出波形)出現對稱但相當長的下降時間(約  $6\text{ns}$ )和上升時間(約  $6\text{ns}$ )。補充一點說明，上升與下降時間在電路學中的定義為介於  $10\%$ 終值至  $90\%$ 終值間之變遷時間。

瞬時功率散逸尖峰值約為  $1\text{mW}$  和  $0.9\text{mW}$ ，通過尖峰後即進入靜態功率穩定值，分別對應  $v_{O1}$  為低態與  $v_{O1}$  為高態時的功率散逸，可明顯看出這兩個狀態的靜態功率散逸幾乎是零。

最後，由 SPICE 計算出每個反相器個別的瞬時功率散逸顯示於圖 13-35，其中圖 13-35(a)對應第一級，而圖 13-35(b)對應第二級。圖 13-15(a)顯示在  $t = 10\text{ns}$  與  $t = 50\text{ns}$  附近均出現了一極短的功率脈衝。且瞬時功率散逸尖峰值約為  $1\text{mW}$  和  $0.9\text{mW}$ ，通過尖峰後即進入靜態功率穩定值，分別對應  $v_{O1}$  為低態與  $v_{O1}$  為高態時的功率散逸，可明顯看出這兩個狀態的靜態功率散逸幾乎是零。

圖 13-35(b)顯示第二反相器的穩態功率散逸大致與第一反相器類似，祇是功率波形的變化較第一反相器和緩，且瞬時功率散逸之峰值約為第一級之半( $0.46\text{mW}$ )。

## 13.4 假-NMOS 反相器

### 13.4.1 靜態特性

圖 13-36 為一假-NMOS(pseudo-NMOS)電路，它是由一個 NMOS 作為驅動子，而 PMOS 作為電路負載。在電路結構上，它與 CMOS 反相器極像，唯一的差別在於圖 13-36 中 PMOS 的閘極接地，造成閘源電壓  $v_{SG}$  固定等於  $V_{DD}$ 。反觀 CMOS 反相器(圖 13-24)電路，由於  $v_{SGP} = V_{DD} - v_I$ ，顯示  $v_{SGP}$  與  $v_I$  有關。這點與假-NMOS 電路顯著不同。歸納來說，假-NMOS 邏輯電路可視為以互補式 CMOS 元件模擬 NMOS 之電路組態。

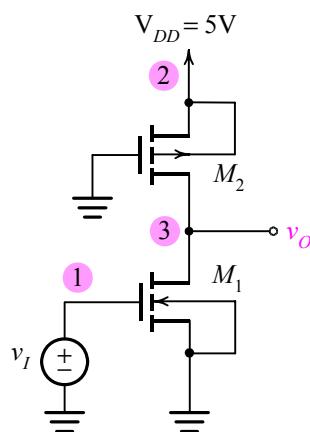


圖 13-36 假-NMOS 反相器靜態特性之 SPICE 電路圖。

### SPICE 模擬

分析 CMOS 反相器靜態特性之 SPICE 輸入檔顯示於圖 13-37。首先，假設電子與電洞之遷移率關係為  $\mu_n = 2.5\mu_p$ ，於是  $M_1$  與  $M_2$  之 KP 值差 2.5 倍。注意輸入檔中的關於模型參數之敘述與 13.3 節之 CMOS 反相器完全相同，即  $|V_{to}| = 1V$ ， $2\phi_F = 0.6V$ ， $\lambda = 0.01V^{-1}$ ， $\mu_n C_{ox} = 50\mu A/V^2$ ， $\mu_p C_{ox} = 20\mu A/V^2$ ， $\gamma_{(NMOS)} = 0.5V^{1/2}$  和  $\gamma_{(PMOS)} = 1V^{1/2}$ 。注意下述指令：

對 NMOS  $M_1$  而言，

```
.model nmosfet nmos (vto=1 kp=5e-05 gamma=0.5 phi=.6
+ lambda=.01)
```

以及對 PMOS  $M_2$  而言，

```
.model pmosfet pmos (vto=-1 kp=2e-05 gamma=1 phi=.6
+ lambda=.01)
```

雖然  $M_1$  和  $M_2$  之基體效應係數分別為  $\gamma = 0.5V^{1/2}$  和  $\gamma = 1V^{1/2}$ ，但因為每個元件的基體均被接到個別的源極，因此不會有基體效應產生。本電路元件參數之所以與圖 13-24 中 CMOS 反相器相同，主要用以將假一 NMOS 之轉換特性與 CMOS 反相器作一比較。此外，關於反相器幾何比值  $k_R$  的定義已納入電子與電洞遷移率之不同：

$$k_R \triangleq \frac{\mu_n \left(\frac{W}{L}\right)_1}{\mu_p \left(\frac{W}{L}\right)_2} \quad (13-17)$$

```

The Pseudo-NMOS (KR=1)

* circuit description *
Vdd 2 0 DC 5V
Vi 1 0 DC 5V

* MOSFET model description *
M1 3 1 0 0 nmosfet L=1u W=2u
M2 3 0 2 2 pmosfet L=1u W=5u
.model nmosfet nmos (Vto=1 Kp=5e-05 gamma=0.5 phi=.6
+ lambda=.01)
.model pmosfet pmos (Vto=-1 Kp=2e-05 gamma=1 phi=.6
+ lambda=.01)

* analysis requests *
.DC Vi 0 5 5mV
.PLOT DC V(3) Id(M1)
.probe
.end

```

圖 13-37 分析圖 13-36 假-NMOS 反相器靜態轉換特性之 SPICE 輸入檔，其中反相器的幾何比值  $k_R$  定為 1。

再次提醒讀者，NMOS 在 SPICE 中  $K_P$  之定義為  $\mu_n C_{OX}$ ，於是本輸入檔所對應之  $k_R$  值為 1。

圖 13-38(a)為假-NMOS 反相器與 CMOS 反相器在相同元件參數條件下的電壓轉換特性。圖中顯示假-NMOS 反相器的靜態特性遠比 CMOS 反相器為差。圖 13-38(b)繪出不同的幾何比值( $k_R = 1, 4$  和  $10$ )對假-NMOS 反相器電壓轉換特性之影響。圖中顯示幾何比值愈大，則反相器的邏輯準位及變遷區的斜率值愈趨於理想。接下來，我們希望進一步計算  $V_{IL}$ ,  $V_{IH}$  和雜訊邊限，於是利用 SPICE 繪出假 NMOS 反相器在不同幾何比值下轉換特性的微分  $dv_o / dv_i$  對  $v_i$  之關係圖，見圖 13-38(c)。由這三組曲線與  $dv_o / dv_i = -1$  相交時所對應的  $v_i$  值分別定義  $V_{IL}$  和  $V_{IH}$ ，整理結果見表 13-1。表中顯示當  $k_R$  增加時， $V_{OL}$  值降低且  $NM_H$  值增加，至於  $NM_L$  值無明顯變化。

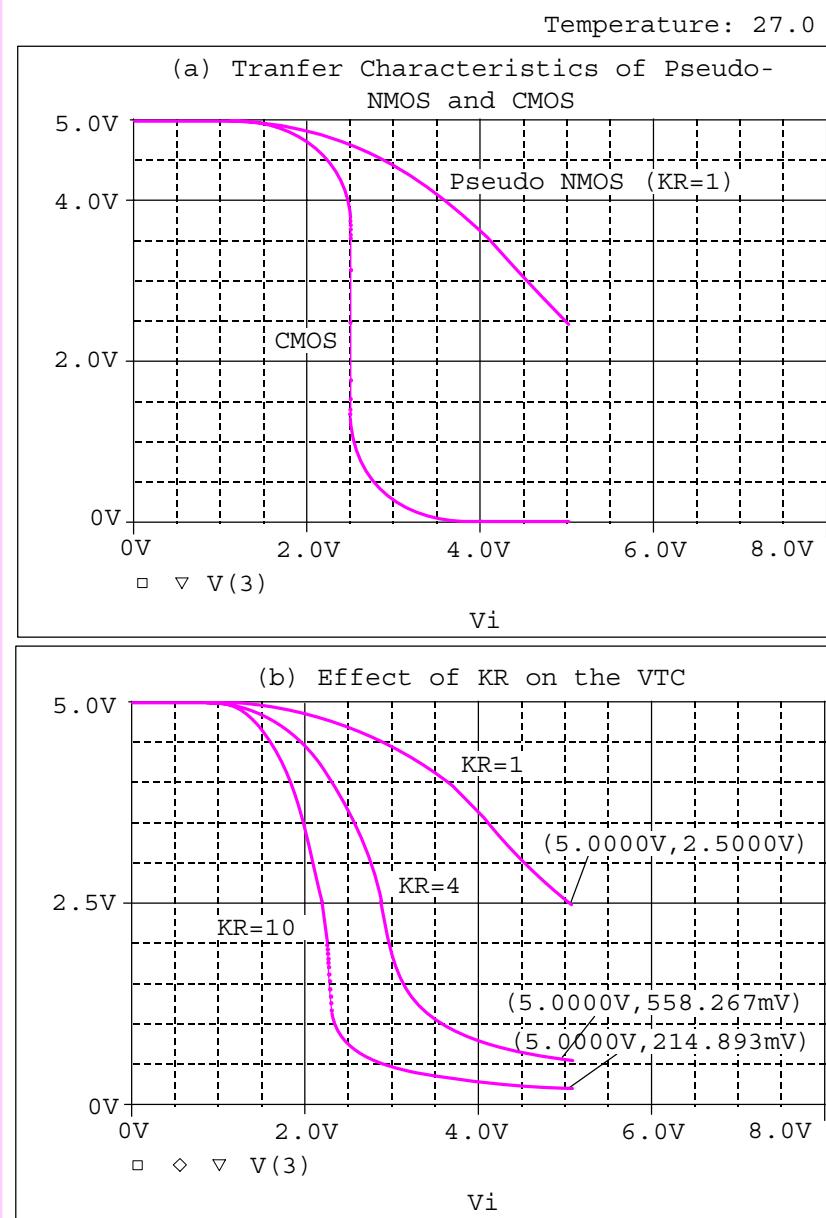
### 手算分析

由於  $V_{IL}$  和  $V_{IH}$  的手算分析較為複雜，在此僅就  $V_{OL}$  的手算分析作介紹。當  $v_o = V_{OL}$  時， $M_1$  工作於三極區和  $M_2$  工作於飽和區，令  $M_1$  和  $M_2$  的電流相等即可解得

幾何比值愈大，則反相器的邏輯準位及變遷區的斜率值愈趨於理想。

$$V_{OL} \cong \frac{1}{2k_R} (V_{DD} - V_t) \quad (13-18)$$

以  $k_R = 10$  為例，代值後可得  $V_{OL} = 0.2V$ ，與圖 13-38(b)中顯示值 0.214V 相符。補充一點，(13-18)式僅對於  $V_{OL}$  值夠低時才適用。故對於  $k_R = 1$  和 4 而言，(13-18)式之誤差較大。



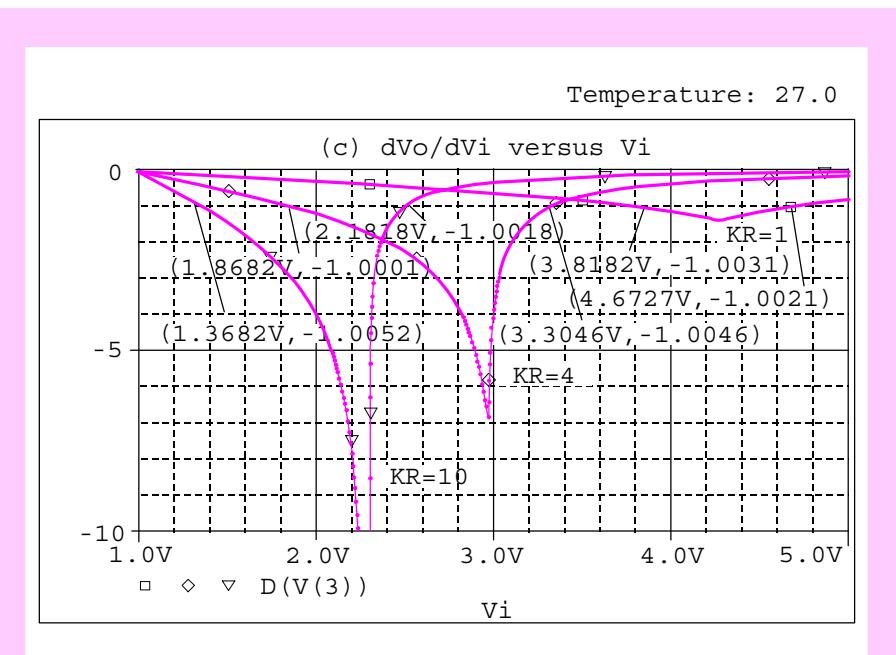


圖 13-38 (a)假-NMOS 與 CMOS 反相器在相同元件參數下的轉換特性，(b)不同的幾何比值對假-NMOS 反相器特性之影響，(c)假 NMOS 反相器在不同幾何比值下轉換特性的微分  $dV_o/dV_i$  對  $V_i$  之關係圖。

表 13-1 假 NMOS 反相器在不同幾何比值下轉換特性臨界點之數值和雜訊邊限。

| 幾何比值 | $V_{OH}$ | $V_{OL}$ | $V_{IL}$ | $V_{IH}$ | $NM_L$ | $NM_H$ |
|------|----------|----------|----------|----------|--------|--------|
| 1    | 5V       | 2.5V     | 3.82V    | 4.67V    | 1.32V  | 0.33V  |
| 4    | 5V       | 0.56V    | 1.87V    | 3.30V    | 1.31V  | 1.70V  |
| 10   | 5V       | 0.21V    | 1.37V    | 2.48V    | 1.16V  | 2.52V  |

### 13.4.2 動態特性

#### SPICE 模擬

圖 13-39 為分析假-NMOS 反相器動態特性之 SPICE 電路圖。與圖 13-36 不同的是輸出端出現了 0.2pF 的負載電容。分析動態特性的輸入檔與圖

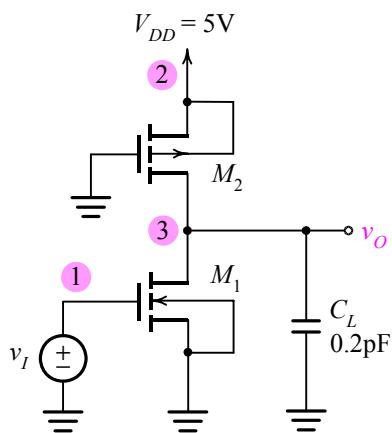


圖 13-39 分析假-NMOS 反相器動態特性之 SPICE 電路圖。

```

Dynamic Operation of the Pseudo-NMOS Inverter

*The Pseudo-NMOS (KR=4)
Vdd 2 0 DC 5V
Vi 1 0 PWL (0,0V 10ns,0V 10.01ns,5V 30ns,5V 30.01ns,0V 40ns,0V)
C1 3 0 0.2p

* MOSFET model description *
M1 3 1 0 0 nmosfet L=1u W=8u
M2 3 0 2 2 pmosfet L=1u W=5u
.model nmosfet nmos (Vto=1 Kp=5e-05 gamma=0.5 phi=.6
+ lambda=.01)
.model pmosfet pmos (Vto=-1 Kp=2e-05 gamma=1 phi=.6
+ lambda=.01)

* analysis requests *
.TRAN 0.002ns 40ns 0ns 0.002ns
.PLOT DC V(3) Id(M1)
.probe
.end

```

圖 13-40 分析圖 13-39 假-NMOS 反相器動態特性之 SPICE 輸入檔。

13-37 類似，祇是需要改變輸入訊號之脈衝敘述及分析需求部份，在此不多作說明，見圖 13-40

圖 13-40 為圖 13-39 電路之動態操作波形。與圖 13-30 之 CMOS 反相

器不同的是本電路充電與放電波形並不對稱。主要是因為本電路的幾何比值  $k_R$  設為 4 的緣故，反觀圖 13-30CMOS 的波形則是在 NMOS 和 PMOS 匹配的假設下模擬的結果。由圖 13-41(b)輸出波形之游標顯示可換算出傳遞延遲  $t_{PHL} = 0.162\text{ns}$  和  $t_{PLH} = 0.574\text{ns}$ 。

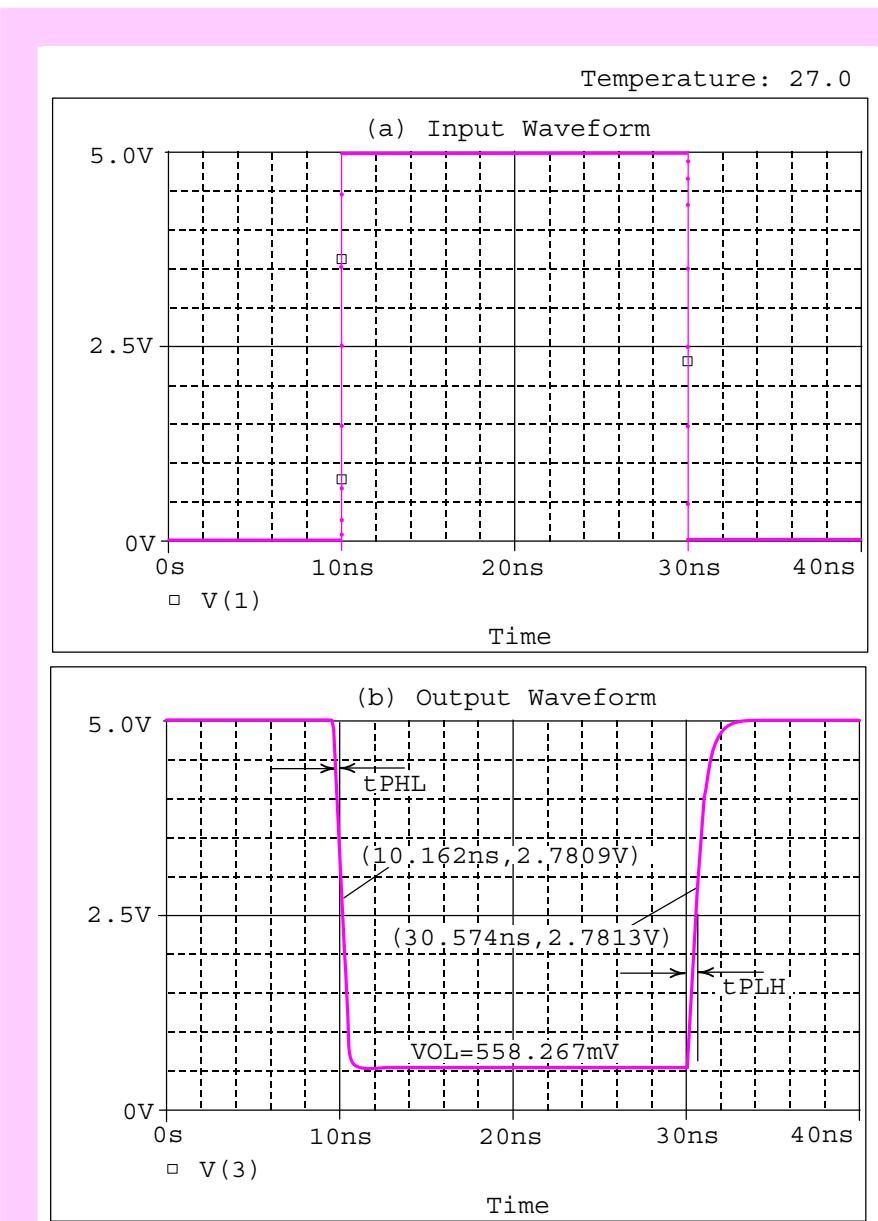


圖 13-41 假-NMOS 反相器的動態操作：(a)輸入訊號脈衝，(b)輸出訊號波形。本例中設定幾何比值  $k_R$  為 4。

### 手算分析

由平均充放電電流的觀念再配合 MOS 電流電壓特性可推導出假-NMOS 電路的傳遞延遲：

$$t_{PHL} = \frac{1.68C_L}{k'_n \left( \frac{W}{L} \right)_N V_{DD}} \left( 1 - \frac{0.462}{k_R} \right)^{-1} \quad (13-19)$$

和

$$t_{PLH} = \frac{1.68C_L}{k'_p \left( \frac{W}{L} \right)_P V_{DD}} \quad (13-20)$$

代值後可得  $t_{PHL} = 0.189\text{ns}$  和  $t_{PLH} = 0.672\text{ns}$ ，與模擬結果間約出現 17% 的誤差。誤差的原因有二：一為手算分析時定義平均放電與平均充電電流，另一為手算分析並未考慮通道長度調變參數  $\lambda$ 。

回顧 CMOS 反相器電路，即使它呈現近乎完美的轉換特性和低功率等諸多優點，但是它存在佔據大量矽面積的問題導致寄生電容及傳遞延遲之增加。尤其對於較複雜的邏輯電路而言，這個問題更為嚴重。於是數位積體電路研究人員遂提出假-NMOS 的構想，即以 CMOS 元件模擬 NMOS 的電路組態，並且仍具備與 CMOS 電路相容之優點。這種表現電路的方式並非企圖全面取代 CMOS 電路，而是利用假-NMOS 設計一些特殊電路，例如強調速度提升方面的應用。

## 13.5 傳輸電晶體邏輯

### 13.5.1 充電操作

#### SPICE 模擬

圖 13-42 為 CMOS 傳輸閘(transmission gate)之 SPICE 電路圖。本電路在第 4 章曾提及，但僅限於導通電阻及傳送類比訊號的分析。本節重點在於利用 CMOS 傳輸閘傳送數位訊號，重點在於分析輸出邏輯準位及充電和放電之傳遞延遲等。

圖 13-43 為 CMOS 傳輸閘於輸入走向高態時執行暫態分析之 SPICE 輸入檔。注意為使 NMOS 和 PMOS 均導通之敘述指令：

```
Vgn 2 0 DC 5V
Vgp 5 0 DC 0V
```

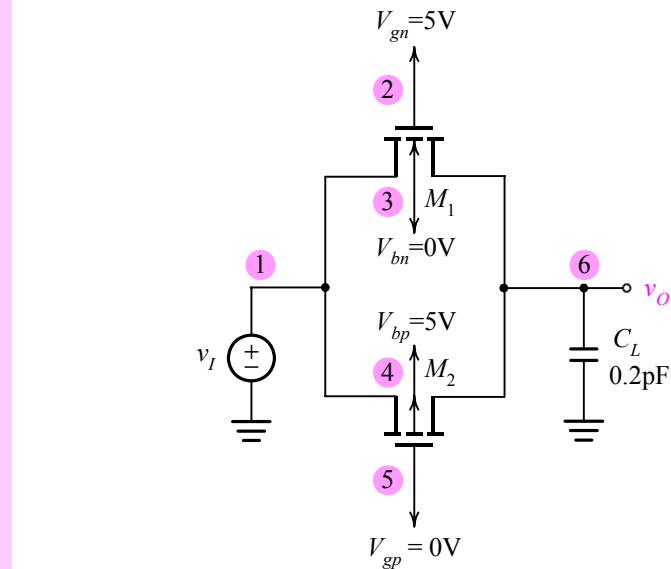


圖 13-42 CMOS 傳輸閘之 SPICE 電路圖。

```

CMOS Transmission Gate (Vi=high)

* circuit description
Vgn 2 0 DC 5V
Vbn 3 0 DC 0V
Vgp 5 0 DC 0V
Vbp 4 0 DC 5V
Vi 1 0 PWL (0,0V 5ns,0V 5.001ns,5V 20ns,5V)
C1 6 0 0.2p

* MOSFET model description
M1 1 2 6 3 e_nmosfet L=1u W=2u
M2 6 5 1 4 e_pmosfet L=1u W=2u
.model e_nmosfet nmos (KP=20u Vto=1V lambda=0.02 gamma=0.5)
.model e_pmosfet pmos (KP=20u Vto=-1V lambda=0.02 gamma=0.5)

* analysis requests
.TRAN 0.01ns 20ns 0ns 0.01ns
.probe
.end

```

圖 13-43 CMOS 傳輸閘於輸入走向高態時執行暫態分析之 SPICE 輸入檔。

以及兩電晶體之基體必須連接至適當電位以避免異常操作之指令：

$V_{bn}$  3 0 DC 0V

$V_{bp}$  4 0 DC 5V

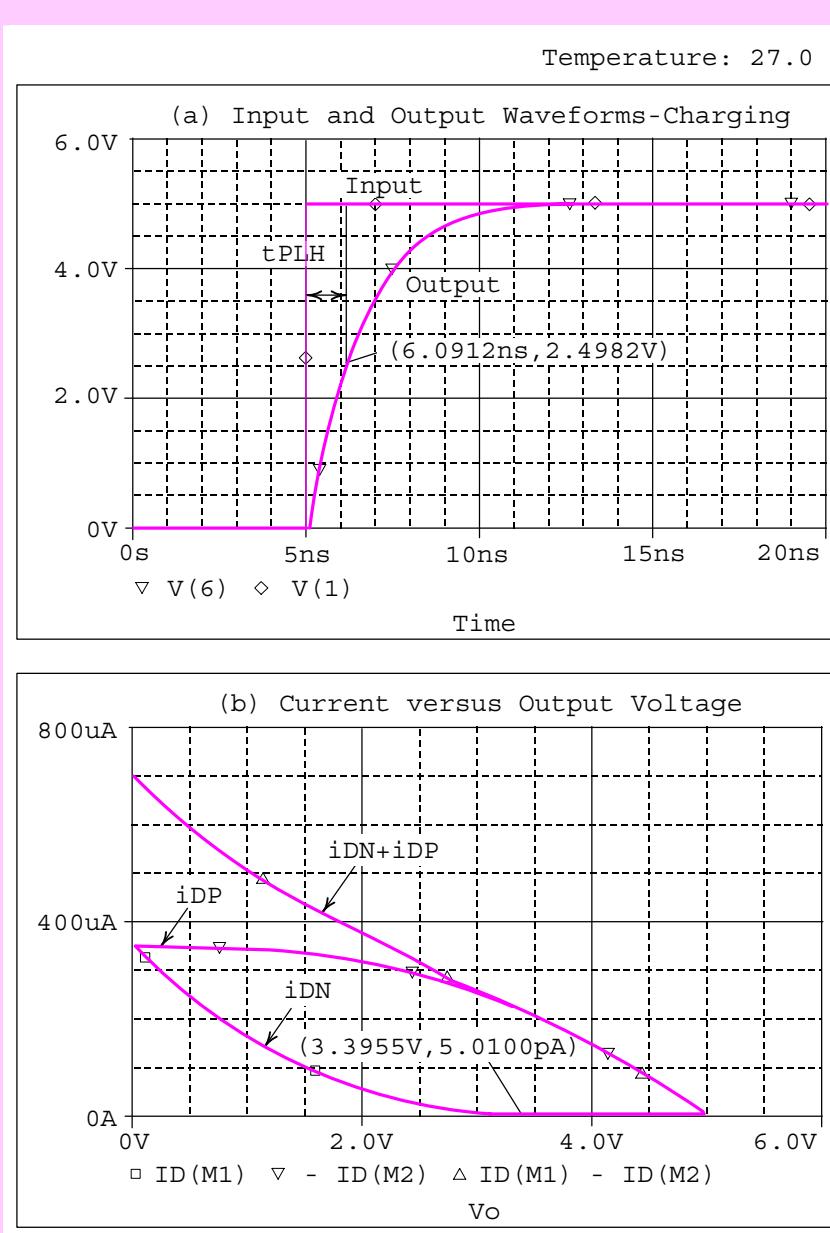


圖 13-44 CMOS 開關的充電波形與動態操作分析：(a) 輸入與輸出波形，(b) 電晶體電流與輸出電壓的關係。

此外，輸入檔中的輸入訊號為一高度 5V 的正向步階，指令如下：

```
Vi 1 0 PWL (0,0V 5ns,0V 5.001ns,5V 20ns,5V)
```

最後經暫態分析指令.TRAN 模擬的結果顯示於圖 13-44(a)。由圖得知靜態高準位  $V_{OH}$  為 5V，而動態傳遞延遲  $t_{PLH}$  為 1.09ns。

若將圖 13-43 輸入檔中訊號的敘述指令更改如下：

```
Vi 1 0 5V
```

另外，將原.TRAN 指令取消並加入直流掃描指令：

```
.DC VO 0V 5V 0.01V
```

**CMOS 傳輸閘展現優越的充電能力，主要因為 PMOS 具有一段定電流的工作區間，且當 NMOS 截止時 ( $V_o = 3.3955V$ )，PMOS 仍繼續充電直到準位出現  $V_{OH}=5V$  為止。**

則可獲得圖 13-44(b)顯示的電晶體電流( $i_{DN}$ ,  $i_{DP}$ , 和  $i_{DN}+i_{DP}$ )與輸出電壓的關係。圖中顯示 CMOS 傳輸閘展現優越的充電能力，主要因為 PMOS 具有一段定電流的工作區間，且當 NMOS 截止時( $V_o=3.3955V$ )，PMOS 仍繼續充電直到準位出現  $V_{OH}=5V$  為止。

#### 手算分析

以下我們針對  $t_{PLH}$  的手算分析作介紹；首先定義平均充電電流  $i_{CH(AV)}$  為

$$i_{CH(AV)} = \frac{1}{2}[(i_{DN} + i_{DP})|_{V_o=0V} + (i_{DN} + i_{DP})|_{V_o=2.5V}] \quad (13-21)$$

由圖 13-44(b)可看出  $i_{CH(AV)} = (700 + 110) / 2\mu A = 405\mu A$ 。於是傳遞延遲  $t_{PLH}$  可近似為

$$t_{PLH} = \frac{C_L V_{OH}}{2i_{CH(AV)}} \quad (13-22)$$

代值後得  $t_{PLH} = 1.23ns$ 。而 SPICE 模擬值為 1.09ns，兩者誤差約 12.8%。

### 13.5.2 放電操作

#### SPICE 模擬

圖 13-45 為 CMOS 傳輸閘於輸入走向低態時執行暫態分析之 SPICE 輸入檔，其中輸入訊號為一高度 5V 的負向步階，指令如下

```
Vi 1 0 PWL (0,5V 5ns,5V 5.001ns,0V 20ns,0V)
```

此外，假設電容電壓的初始值為 5V，對應以下指令

```
.IC V(6)=5V
```

經.TRAN 指令分析的結果顯示於圖 13-46(a)。由圖得知靜態低準位  $V_{OL}$  為 0V，而動態傳遞延遲  $t_{PHL}$  為 1.09ns，與先前的  $t_{PLH}$  完全相同。這代表

```

CMOS Transmission Gate (Vi=low discharging)

* circuit description
Vgn 2 0 DC 5V
Vbn 3 0 DC 0V
Vgp 5 0 DC 0V
Vbp 4 0 DC 5V
Vi 1 0 PWL (0,5V 5ns,5V 5.001ns,0V 20ns,0V)
C1 6 0 0.2p

* MOSFET model description
M1 6 2 1 3 e_nmosfet L=1u W=2u
M2 1 5 6 4 e_pmosfet L=1u W=2u
.model e_nmosfet nmos (KP=20u Vto=1V lambda=0.02 gamma=0.5)
.model e_pmosfet pmos (KP=20u Vto=-1V lambda=0.02 gamma=0.5)

* analysis requests
.IC V(6)=5V
.TRAN 0.01ns 20ns 0ns 0.01ns
.probe
.end

```

圖 13-45 CMOS 傳輸閘於輸入走向低態時執行暫態分析之 SPICE 輸入檔，注意負載電容的初值電壓為 5V。

CMOS 傳輸閘之輸出波形具有對稱的上升時間與下降時間。

若將圖 13-45 輸入檔中輸入訊號的敘述指令更改如下：

Vi 1 0 0V

另外，將原.TRAN 指令取消並加入直流掃描指令：

.DC VO 0V 5V 0.01V

則可獲得圖 13-46(b)顯示的電晶體電流( $i_{DN}$ ,  $i_{DP}$  和  $i_{DN}+i_{DP}$ )與輸出電壓的關係。圖中顯示 CMOS 傳輸閘表現出優越的放電能力，主要因為 NMOS 具有一定電流的工作區間，且當 PMOS 截止時( $V_O=1.6102V$ )，NMOS 仍繼續放電直到將輸出準位拉下至  $V_{OL}=0V$ 。結論是，CMOS 傳輸閘展現優越的靜態特性( $V_{OH}=5V$  和  $V_{OL}=0V$ )以及動態特性( $t_{PLH}=t_{PHL}$ )。

### 手算分析

以下我們針對  $t_{PHL}$  的手算分析作介紹；首先定義平均放電電流  $i_{DC(AV)}$  為

$$i_{DC(AV)} = \frac{1}{2} [ (i_{DN} + i_{DP})|_{V_O=5V} + (i_{DN} + i_{DP})|_{V_O=2.5V} ] \quad (13-23)$$

由圖 13-46(b)可看出  $i_{DC(AV)} = (700 + 110) / 2\mu A = 405\mu A$ 。於是傳遞延遲  $t_{PHL}$  可近似為

CMOS 傳輸閘表現出優越的放電能力，主要因為 NMOS 具有一定電流的工作區間，且當 PMOS 截止時( $V_O=1.6102V$ )，NMOS 仍繼續放電直到將輸出準位拉下至  $V_{OL}=0V$ 。

$$t_{PHL} = \frac{C_L V_{OH}}{2i_{DC(AV)}} \quad (13-24)$$

代值後得  $t_{PHL} = 1.23\text{ns}$ 。

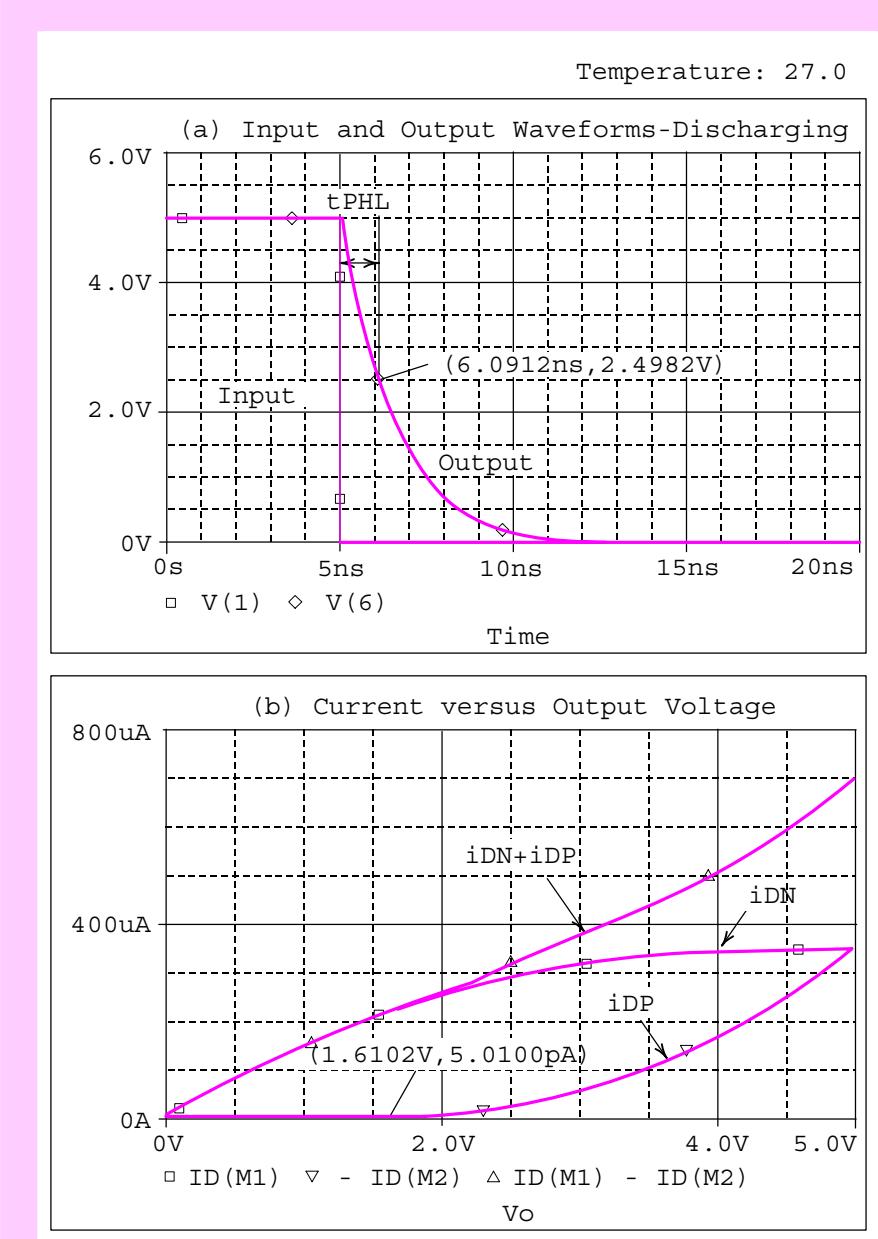


圖 13-46 CMOS 開關的放電波形與動態操作分析：(a) 輸入與輸出波形，(b) 電晶體電流與輸出電壓的關係。

### 13.5.3 NMOS 與 CMOS 之比較

圖 13-47 為分析 CMOS 傳輸閘與 NMOS 傳輸閘之充電暫態行為之 SPICE 輸入檔。為使輸入檔書寫和軟體使用方便，對 NMOS 傳輸閘而言，我們仍沿用圖 13-43 CMOS 傳輸閘之輸入檔。參考圖 13-47，對 CMOS 電路而言，注意指令：

```
Comparison of CMOS & NMOS

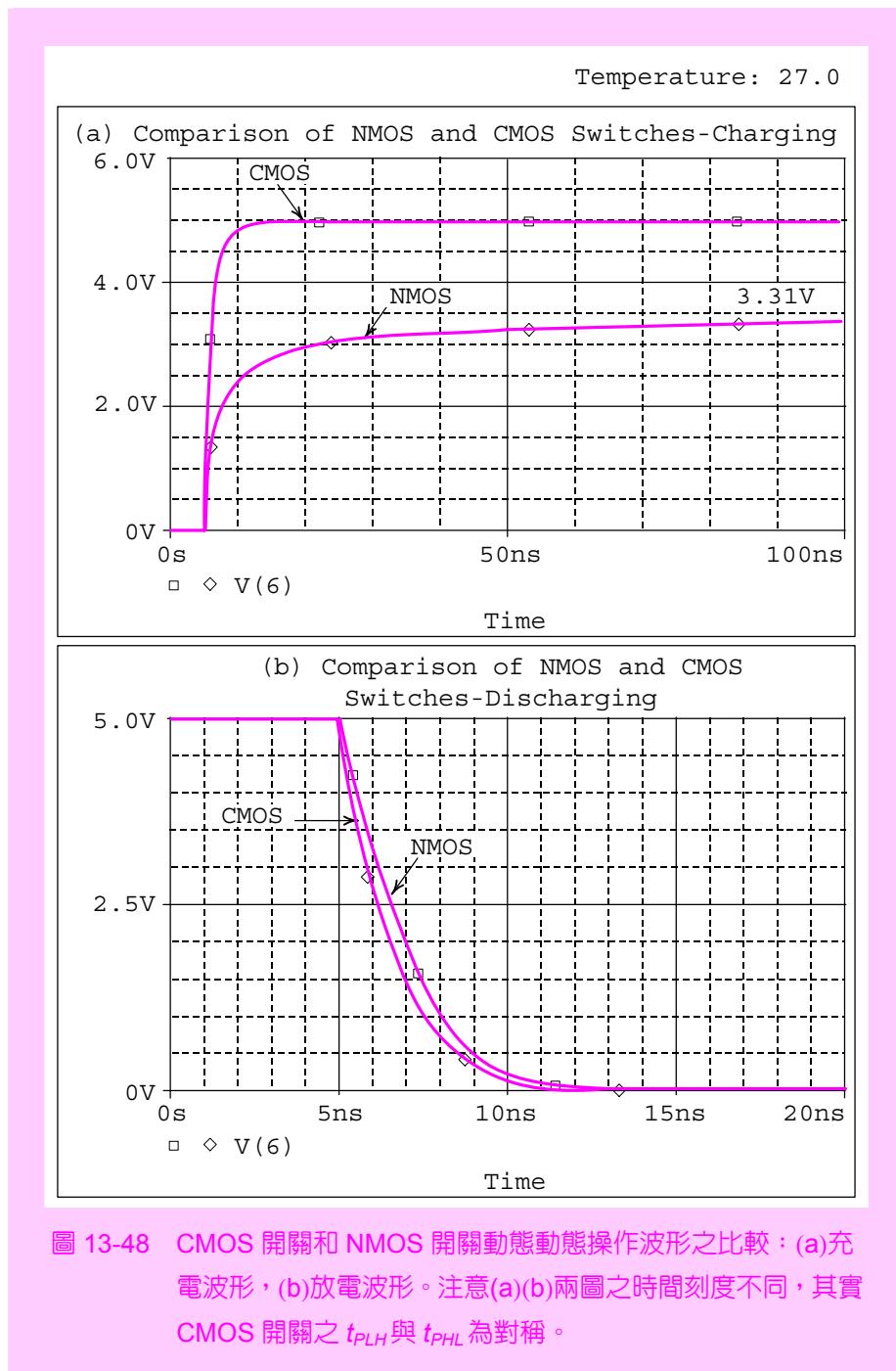
* circuit description (CMOS)
Vgn 2 0 DC 5V
Vbn 3 0 DC 0V
Vgp 5 0 DC 0V
Vbp 4 0 DC 5V
Vi 1 0 PWL (0,0V 5ns,0V 5.001ns,5V 20ns,5V)
C1 6 0 0.2p

* MOSFET model description
M1 1 2 6 3 e_nmosfet L=1u W=2u
M2 6 5 1 4 e_pmosfet L=1u W=2u
.model e nmosfet rmos (KP=20u Vto=1V lambda=0.02 gamma=0.5)
.model e_pmosfet pmos (KP=20u Vto=-1V lambda=0.02 gamma=0.5)
* analysis requests
.TRAN 0.01ns 100ns 0ns 0.01ns
.probe
.end

* circuit description (NMOS)
Vgn 2 0 DC 5V
Vbn 3 0 DC 0V
Vgp 5 0 DC 5V
Vbp 4 0 DC 5V
Vi 1 0 PWL (0,0V 5ns,0V 5.001ns,5V 20ns,5V)
C1 6 0 0.2p

* MOSFET model description
M1 1 2 6 3 e_nmosfet L=1u W=2u
M2 6 5 1 4 e_pmosfet L=1u W=2u
.model e nmosfet rmos (KP=20u Vto=1V lambda=0.02 gamma=0.5)
.model e_pmosfet pmos (KP=20u Vto=-1V lambda=0.02 gamma=0.5)
* analysis requests
.TRAN 0.01ns 100ns 0ns 0.01ns
.probe
.end
```

圖 13-47 分析 CMOS 傳輸閘與 NMOS 傳輸閘之充電暫態行為之 SPICE 輸入檔。



Vgp 5 0 DC OV

代表 PMOS 導通。但對於 NMOS 傳輸閘而言，注意指令：

Vgp 5 0 DC 5V

代表 PMOS 截止。在此情況，整個 CMOS 電路即簡化為一 NMOS 傳輸閘。圖 13-48 為 CMOS 開關和 NMOS 開關動態操作波形之比較，圖 13-48(a)為充電波形，圖 13-48(b)放電波形。注意(a)(b)兩圖之時間刻度不同，其實 CMOS 開關之傳遞延遲  $t_{PLH}$  與  $t_{PHL}$  為對稱的。此外，由 CMOS 傳輸閘與 NMOS 傳輸閘之比較發現 CMOS 傳輸閘的高態準位( $V_{OH}=5V$ )超過 NMOS( $V_{OH} \approx 3.4V$ )，圖中雖顯示 3.31V，但若執行時間拉長，則  $V_{OH}$  將趨近於 3.4V；且 CMOS 傳輸閘之充電能力遠比 NMOS 之充電能力為佳。

另一方面，兩傳輸閘的低態準位相同，即  $V_{OL}=0V$ ；且 CMOS 傳輸閘之放電能力略優於 NMOS。就本例而言，兩者  $t_{PHL}$  之差距約 0.5ns，請參閱圖 13-48(b)。

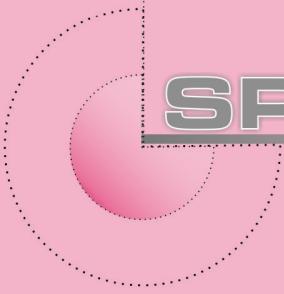
CMOS 傳輸閘之充電能力遠比 NMOS 為佳。而 CMOS 傳輸閘之放電能力略優於 NMOS。

- 13.1 將圖 13-22 的輸入檔中加入加強式負載 NMOS 反相器的電路敘述，並且令  $M_1$  和  $M_2$  的幾何尺寸均與空乏式負載相同，即  $(W/L)_1 = 3$  和  $(W/L)_2 = 1/3$ 。試以 SPICE 繪出加強式負載 NMOS 反相器的動態操作波形並與圖 13-23 中之兩曲線比較。
- 13.2 對於圖 13-16 之空乏式負載 NMOS 反相器電路及圖 13-18 之轉換特性，試以 SPICE 繪出  $dv_o/dv_i$  對  $v_i$  之關係曲線，由  $dv_o/dv_i = -1$  處標示  $V_{IL}$  和  $V_{IH}$ ，並計算  $V_{OL}$ ， $NM_L$  和  $NM_H$ 。最後與圖 13-1 加強式負載作一比較。
- 13.3 在模擬圖 13-28CMOS 反相器傳遞延遲時，NMOS 和 PMOS 之通道長度調變參數均給定為  $\lambda = 0.01V^{-1}$ 。現令 NMOS 和 PMOS 的  $\lambda$  均為零，請重新以 SPICE 計算  $t_{PHL}$  和  $t_{PLH}$ ，並與(13-16)之手算分析式比較。
- 13.4 對於圖 13-36 的假-NMOS 反相器電路及圖 13-38(b)之轉換特性，利用 SPICE 軟體所提功的檢視功能，針對每條曲線標示出兩電晶體  $M_1$  和  $M_2$  同時工作在三極區的曲段。
- 13.5 對於圖 13-16 之空乏式負載 NMOS 反相器和圖 13-36 假-NMOS 電路，令兩者之幾何比值  $k_R$  均為 9，試繪圖比較兩者的轉換特性曲線，雜訊邊限以及動態輸出波形。
- 13.6 將 CMOS 傳輸閘輸入檔(圖 13-43 和圖 13-45)中 NMOS 和 PMOS 的源極和汲極端子互換，試以 SPICE 重新執行暫態分析。

## § 練習題

## 參考書目

1. Cadence, Inc. “*OrCAD Pspice A/D Users Guide*.”
2. J. M. Rabaey, A. Chandrakasan, and B. Nikolic, “*Digital Integrated Circuits: A Design Perspective*,” 2nd ed. Prentice Hall, Inc., 2003.
3. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits*,” 6th ed. Oxford University Press, 2009.
4. D. A. Hodges, “*Analysis and Design of Digital Integrated Circuits*,” 3th ed., McGraw-Hill Companies, 2003.
5. G. W. Roberts and A. S. Sedra, “*SPICE*” 2nd ed. Oxford University Press, 1997.
6. A. S. Sedra and G. W. Roberts, “*Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith*” Fort Worth: Saunders College Pub, 1992.
7. J. Millman and A. Grabel, “*Microelectronics*,” 3rd ed. New York: McGraw-Hill Book Co., 1999.
8. P. W. Tuinenga, “*SPICE: A Guide to Circuit Simulation Analysis Using Psice: IBM-PC 3.5*” 3rd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
9. M. H. Rashid, “*SPICE for Circuit and Electronic Using Psice*” 2nd ed. Englewood Cliffs, N. J.: Prentice Hall, 1995.
10. G. Massobrio and P. Antognetti, “*Semiconductor Device Modeling with SPICE*”, 2nd ed. New York: McGraw-Hill, Inc. 1993.
11. K. Lee, “*Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator*” Englewood Cliffs, N. J.: Prentice Hall, 1993.
12. Y. Taur and T. H. Ning, “*Fundamentals of Modern VLSI Devices*,” 2nd ed. Cambridge University Press, 2009.
13. R. T. Howe and C. G. Sodini, “*Microelectronics: An Integrated Approach*,” Prentice-Hall International, Inc., 1996.
14. M. S. Ghausi, “*Electronic Devices and Circuits: Discrete and Integrated*.” Holt New York, 1985.
15. M. I. Elmasry, “*Digital MOS Integrated Circuits*,” IEEE Press, New York, 1981.
16. P. M. Solomon, “*A Comparison of Semiconductor Devices for High-Speed Logic*,” *Proceedings of IEEE*, vol. 70, no. 5, pp. 489–509, May 1982.
17. D. Schiling and C. Belove, “*Electronic Circuits—Discrete and Integrated*,” 3rd ed. McGraw-Hill Book Company, New York, 1989.
18. M. H. Rashid, “*Introduction to PSpice Using OrCAD for Circuits and Electronics*”, 3rd Ed., Prentice-Hall, 2004.
19. 張文清, “*微電子學下冊*”, 二版, 台北鼎茂圖書, 2013。



**SPICE**

# 14

## 雙載子數位電路

本章主要模擬雙載子數位電路中最具代表性的 TTL 閘，其前身為二極體電晶體邏輯(diode-transistor logic 簡稱 DTL)。它在 1960 年代很流行，其中第一個 DTL 是以分立組件製作而成，接著又以 IC 的型式出現。但它最後還是被電晶體－電晶體邏輯(transistor-transistor logic，簡稱 TTL)所取代，主要是因為 TTL 在靜態與動態特性上均超越 DTL。近三十年來，電晶體－電晶體邏輯成為一非常流行的邏輯族。另外，在利用 SSI 和 MSI 包裝作數位系統的應用時，TTL 的唯一勁敵就是 CMOS。

本章主要是利用 SPICE 模擬 TTL 的特性：首先，將模擬 TTL 反相器的轉換特性，並且考慮溫度對轉換特性的效應。再者，我們將模擬 TTL 的動態特性，這個部份在手算分析中是相當困難的。利用 SPICE 可使我們獲得波形，傳遞延遲，充電和放電電流，瞬時功率散逸等重要訊息。最後一節我們將模擬兩個 TTL 閘串接後的表現，包括前後級的靜態電壓轉換特性，以及動態的訊號波形和瞬時功率散逸等。

### 14.1 TTL 反相器

### 14.2 TTL 閘的串接

## 14.1 TTL 反相器

### 14.1.1 靜態特性

**電**晶體電晶體邏輯(transistor-transistor logic，簡稱 TTL)為雙載子數位路徑中最具代表性的邏輯族系。首先，參考圖 14-1 圖騰柱輸出級之 TTL 反相器電路及圖 14-2 之 SPICE 輸入檔。請注意輸入檔中對圖騰柱輸出級中二極體  $D_1$  的描述

```
QD1 8 8 9 npn_transistor
```

代表將一  $npn$  雙載子電晶體之集極與基極短路即可以其射基接面取代原有的二極體。

執行電壓轉換特性曲線分析時的重要指令為直流分析指令.DC

```
.DC Vi 0V 5V 5mV
```

以上指令將由 0V 掃描至 5V，每隔 5mV 計算一次，於是將可得到反相器之轉換特性曲線。

圖 14-3 顯示 TTL 反相器之電壓轉換特性。其中  $V_{OH}$  約為 4.4V， $V_{OL}$  為 0.1V。圖 14-4 為轉換特性曲線微分  $dv_o/dv_i$  對  $v_i$  之變化；我們可由  $dv_o/dv_i = -1$  得到  $V_{IL} = 0.57V$ ， $V_{IH} = 1.4V$ 。

另外，值得一提的是， $V_{OH}$  之模擬值與手算分析(手算分析值為 3.8V)之出入較大。這部份可先參考圖 14-5，圖中顯示輸入低態時各電晶體之直流操作點模擬結果。由圖可知，在輸入低態時( $v_i = 0.2V$ )，電晶體  $Q_2$  和  $Q_3$  些微導通(barely on)，電流值極小，約在  $10^{-10}A$  範圍。 $Q_4$  和二極體  $D_1$  之些微導通電壓為 0.3V 且漏電流約在 0.2nA，故由下式

$$v_o = V_{CC} - I_{B4} \times 1.6k\Omega - V_{BE4} - V_{D1} \quad (14-1)$$

可計算出輸出電壓為 4.399V，而 SPICE 模擬結果顯示於圖 14-6，輸出電壓為 4.3948V。至於在真實積體電路中，則需加入氧化層或保護絕緣層等漏電效應，將使得些微導通電壓提高至 0.6V 附近且漏電流可能增加至  $\mu A$  數量級，這就是一般手算分析所考慮的  $V_{OH} = 5 - 0.6 - 0.6 = 3.8V$ 。

在真實積體電路中，則需加入氧化層或保護絕緣層等漏電效應，將使得些微導通電壓提高至 0.6V 附近且漏電流可能增加至  $\mu A$  數量級。

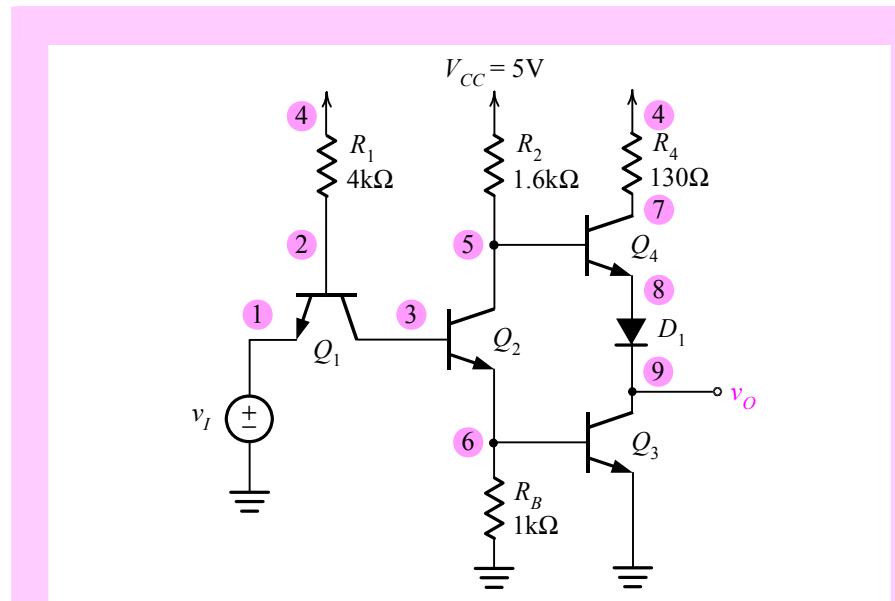


圖 14-1 圖騰柱輸出級之 TTL 反相器電路。

#### Transfer Characteristics TTL Inverter

```

* circuit description *
Vcc 4 0 DC 5V
Vi 1 0 DC 5V
R1 4 2 4k
R2 4 5 1.6k
R4 4 7 130
Rb 6 0 1k
*model description
Q1 3 2 1 npn_transistor
Q2 5 3 6 npn_transistor
Q3 9 6 0 npn_transistor
Q4 7 5 8 npn_transistor
QD1 8 8 9 npn_transistor
.model npn_transistor npn (Is=1.8e-15 Bf= 30 Br=0.02 Va=125
+ Tf=0.25ns Cje=0.8pF Cjc=0.25pF)
*analysis requests
.TEMP 0C 27C 100C
.DC Vi 0V 5V 5mV
.PLOT DC V(9)
.OP
.probe
.end

```

圖 14-2 分析 TTL 反相器靜態特性並考慮溫度效應之 SPICE 輸入檔。

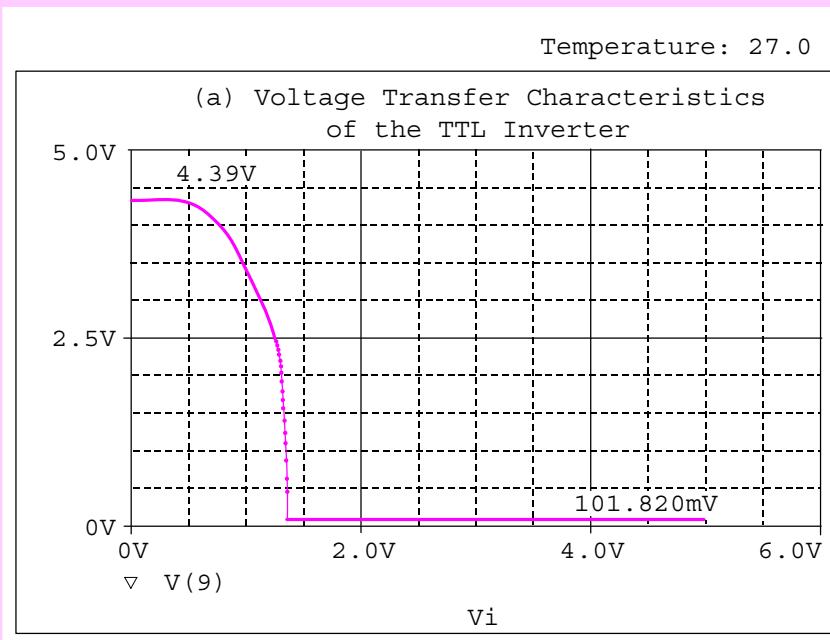


圖 14-3 TTL 閘之電壓轉換特性，其中顯示  $V_{OH}=4.4V$  和  $V_{OL}=0.1V$ 。

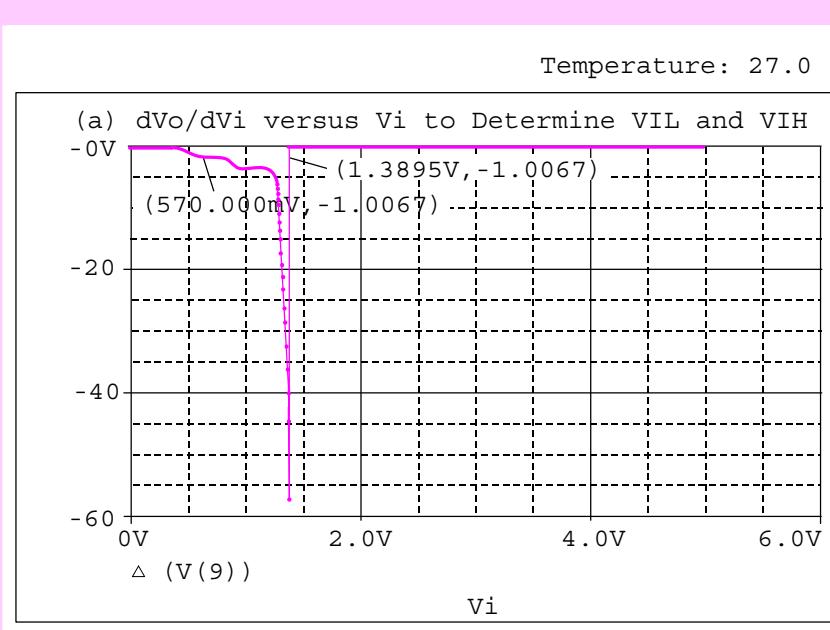


圖 14-4 轉換特性曲線微分  $dV_o/dVi$  對  $Vi$  之變化。令  $dV_o/dVi=-1$  可得  $V_{IL}=0.57V$  和  $V_{IH}=1.4V$ 。

## 412 第 14 章 雙載子數位電路

圖 14-7 為 TTL 反相器在輸入高態之直流分析結果，由圖中節點 6、節點 3 和節點 2 分別為  $Q_3$ 、 $Q_2$  和  $Q_1$  的基極電壓，可對照手算分析  $V_{B3} = 0.7V$ ，

```
*OPERATING POINT INFORMATION TEMPERATURE= 27.000 DEG C

***** BIPOLAR JUNCTION TRANSISTORS

NAME Q2 Q3 Q4 QD1
MODEL npn_transistor npn_transistor npn_transistor
 npn_transistor
IB -2.28E-10 -2.20E-10 7.24E-12 7.24E-12
IC 4.59E-10 2.24E-10 2.17E-10 2.17E-10
VBE 3.02E-01 4.50E-07 3.03E-01 3.03E-01
VBC -4.70E+00 -4.39E+00 -7.17E-07 0.00E+00
VCE 5.00E+00 4.39E+00 3.03E-01 3.03E-01
BETADC -2.01E+00 -1.02E+00 3.00E+01 3.00E+01
GM 8.44E-09 3.69E-14 8.38E-09 8.38E-09
RPI 3.69E+09 2.80E+13 3.58E+09 3.58E+09
RX 0.00E+00 0.00E+00 0.00E+00 0.00E+00
RO 3.62E+11 9.34E+11 3.56E+11 3.56E+11
CBE 9.48E-13 8.00E-13 9.49E-13 9.49E-13
CBC 1.30E-13 1.32E-13 2.50E-13 2.50E-13
CJS 0.00E+00 0.00E+00 0.00E+00 0.00E+00
BETAAC 3.11E+01 1.03E+00 3.00E+00 3.00E+01
CBX 0.00E+00 0.00E+00 0.00E+00 0.00E+00
FT 1.25E+03 6.29E-03 1.11E+03 1.11E+03
```

圖 14-5 輸入低態( $v_i = 0.2V$ )之操作點分析結果。

```
*SMALL SIGNAL BIAS SOLUTION TEMPERATURE= 27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) .2000 (2) .8999 (3) .3018 (4) 5.0000
(5) 5.0000 (6) 450.4E-09 (7) 5.0000 (8) 4.6974
(9) 4.3948

VOLTAGE SOURCE CURRENTS
NAME CURRENT
VCC -1.025E-03
Vi 1.025E-03

TOTAL POWER DISSIPATION 4.92E-03 WATTS
```

圖 14-6 TTL 反相器於輸入低態之偏壓解，圖中顯示輸出高態電壓為 4.3948V 及功率散逸  $P_{DH}$  為 4.92mW。

$V_{B2} = 1.4V$  和  $V_{B1} = 2.1V$ 。圖中亦顯示輸出低態之功率散逸  $P_{DL}$  約為 16.7mW。於是，TTL 反相器的平均靜態功率散逸  $P_{D(AV)} = (P_{DH} + P_{DL})/2 = (4.92 + 16.7)/2 = 10.8mW$ 。另外，由圖 14-8 輸入電流與輸入電壓之關

```
*SMALL SIGNAL BIAS SOLUTION TEMPERATURE=27.000 DEG C

NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE NODE VOLTAGE
(1) 5.0000 (2) 2.0445 (3) 1.4540 (4) 5.0000
(5) .8671 (6) .7241 (7) 5.0000 (8) .4849
(9) .1018

VOLTAGE SOURCE CURRENTS
NAME CURRENT

VCC -3.322E-03
Vi -1.471E-05

TOTAL POWER DISSIPATION 1.67E-02 WATTS
```

圖 14-7 TTL 閘在輸入高態時之電壓電流分析，圖中顯示輸出低態之功率散逸  $P_{DL}$  約為 16.7mW。

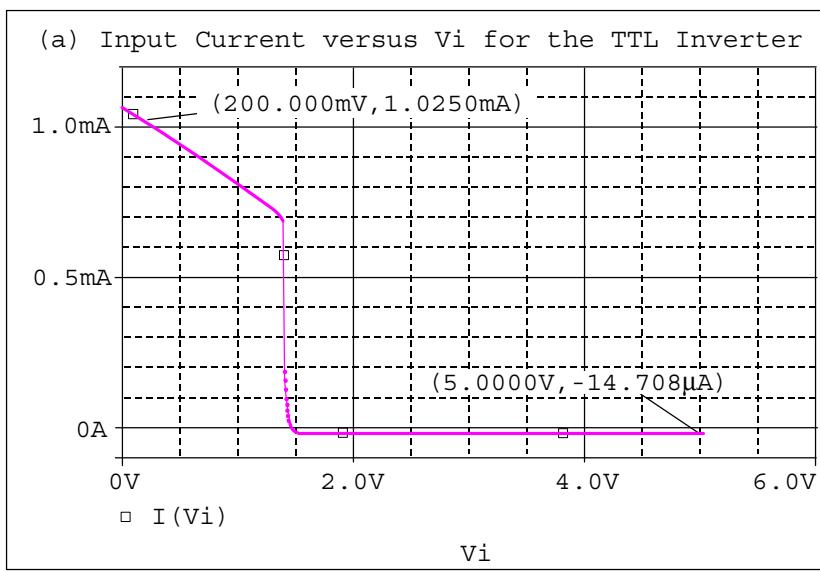


圖 14-8 TTL 反相器之輸入電流對輸入電壓關係圖。由圖可知在輸入高態( $v_i=5V$ )時， $I_{IH}=14.7\mu A$ ；輸入低態( $v_i=0.2V$ )時， $I_{IL}=1.02mA$ 。

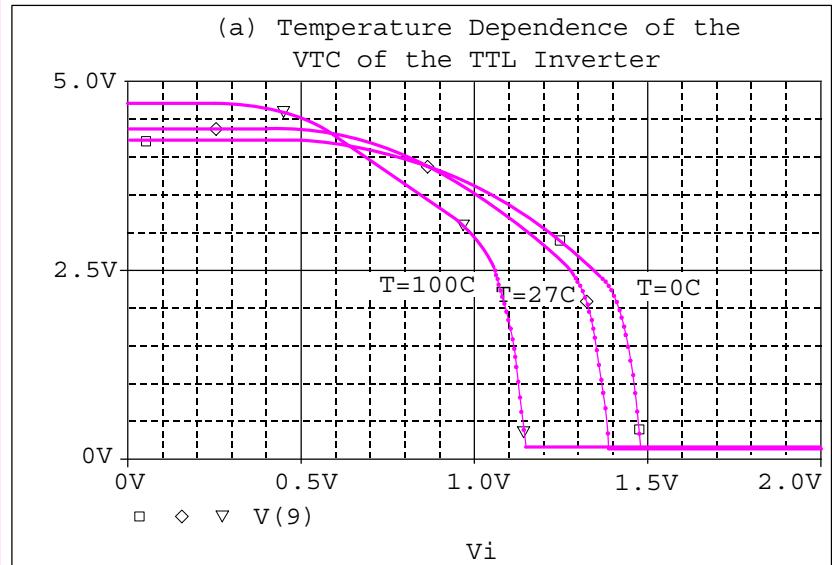


圖 14-9 溫度對 TTL 轉換特性之影響。圖中顯示溫度愈高，則高雜訊邊限  $NM_H$  愈大。

係可得知在輸入高態( $v_i = 5V$ )時， $I_{IH}$ 約為 $14.7\mu A$ ；輸入低態( $v_i = 0.2V$ )時，則 $I_{IL}$ 為 $1.025mA$ 。

為了觀察溫度對 TTL 反相器轉換特性之影響，我們在圖 14-2 之輸入檔中加入溫度分析指令.TEMP

```
.TEM0 0C 27C 100C
```

此指令分別列出欲作分析之溫度  $0^\circ C$ 、 $27^\circ C$  和  $100^\circ C$ 。圖 14-9 為溫度對轉換特性之影響，由圖可知若溫度增加將使  $V_{IH}$ 降低。

### 14.1.2 動態特性

#### SPICE 模擬

圖 14-10 為分析 TTL 反相器動態操作的 SPICE 電路圖，與圖 14-1 之不同在於反相器的輸出端連接  $0.2pF$  的負載電容。首先，為分析此閘的動態特性，我們必須修改圖 14-2 中對輸入訊號的敘述如下：

```
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 50ns,5V 50.1ns,0V 150ns,0V)
```

上述代表輸入訊號為一介於  $0V$  與  $5V$  間變化的脈衝，脈衝寬度為  $40ns$ ，見圖 14-11(a)。另外，在分析需求中加入暫態分析指令：

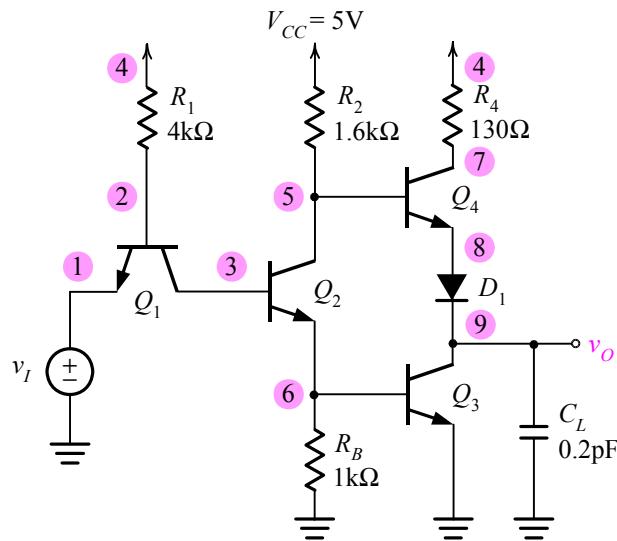


圖 14-10 分析 TTL 反相器動態操作的 SPICE 電路圖，其中負載電容  $C_L$  為  $0.2\text{pF}$ 。

```
.TRAN 0.01ns 100ns 0ns 0.01ns
```

執行暫態分析的結果顯示於圖 14-11(b)標示 TTL 的曲線。

圖 14-11(b)之輸出波形顯示 TTL 閘非對稱的切換行爲，其充電時間遠大於放電時間。由圖中的標示值可計算  $t_{PLH} = 0.19\text{ns}$  和  $t_{PHL} = 2.795\text{ns}$ ，顯示  $t_{PLH} \gg t_{PHL}$ 。TTL 反相器表現出較長的上升時間之原因如下：在輸入高態且輸出低態時，電晶體  $Q_2$  和  $Q_3$  處於飽和區。在  $t = 50\text{ ns}$ ，輸入訊號由高態走向低態， $Q_2$  和  $Q_3$  必須離開飽和區走向截止區，此刻由於電晶體基極內部大量儲存少數載體的移去將造成較長的儲存延遲時間。此外，圖 14-11 也繪出圖 13-28 CMOS 反相器在相同輸入脈衝及負載電容條件下的輸出訊號波形。兩者比較發現，TTL 的放電時間較 CMOS 為短；由於電晶體的飽和儲存延遲卻使得 TTL 充電時間較 CMOS 為長。

圖 14-12(a)和(b)分別繪出在相同的輸入脈衝下之放電和充電電流以及瞬時功率散逸。圖 14-12(a)顯示放電電流遠大於充電電流，且瞬間最大放電電流約  $4.2\text{mA}$  和最大充電電流約  $0.8\text{mA}$ 。此外，較特別的是在  $t = 10\text{ ns}$  附近，電流波形中出現了一個與放電電流方向相反的正波閃(spike)。圖 14-12(b)為 TTL 反相器的瞬時功率散逸，顯示在  $t = 10\text{ ns}$  和  $t = 50\text{ ns}$  附近，即訊號切換瞬間，均出現局部尖峰的現象。待放電與充

輸出波形顯示 TTL 閘非對稱的切換行爲，其充電時間遠大於放電時間。

輸入訊號由高態走向低態， $Q_2$  和  $Q_3$  必須離開飽和區走向截止區，此刻由於電晶體基極內部大量儲存少數載體的移去將造成較長的儲存延遲時間。

TTL 的放電時間較 CMOS 為短；由於電晶體的飽和儲存延遲卻使得 TTL 充電時間較 CMOS 為長。

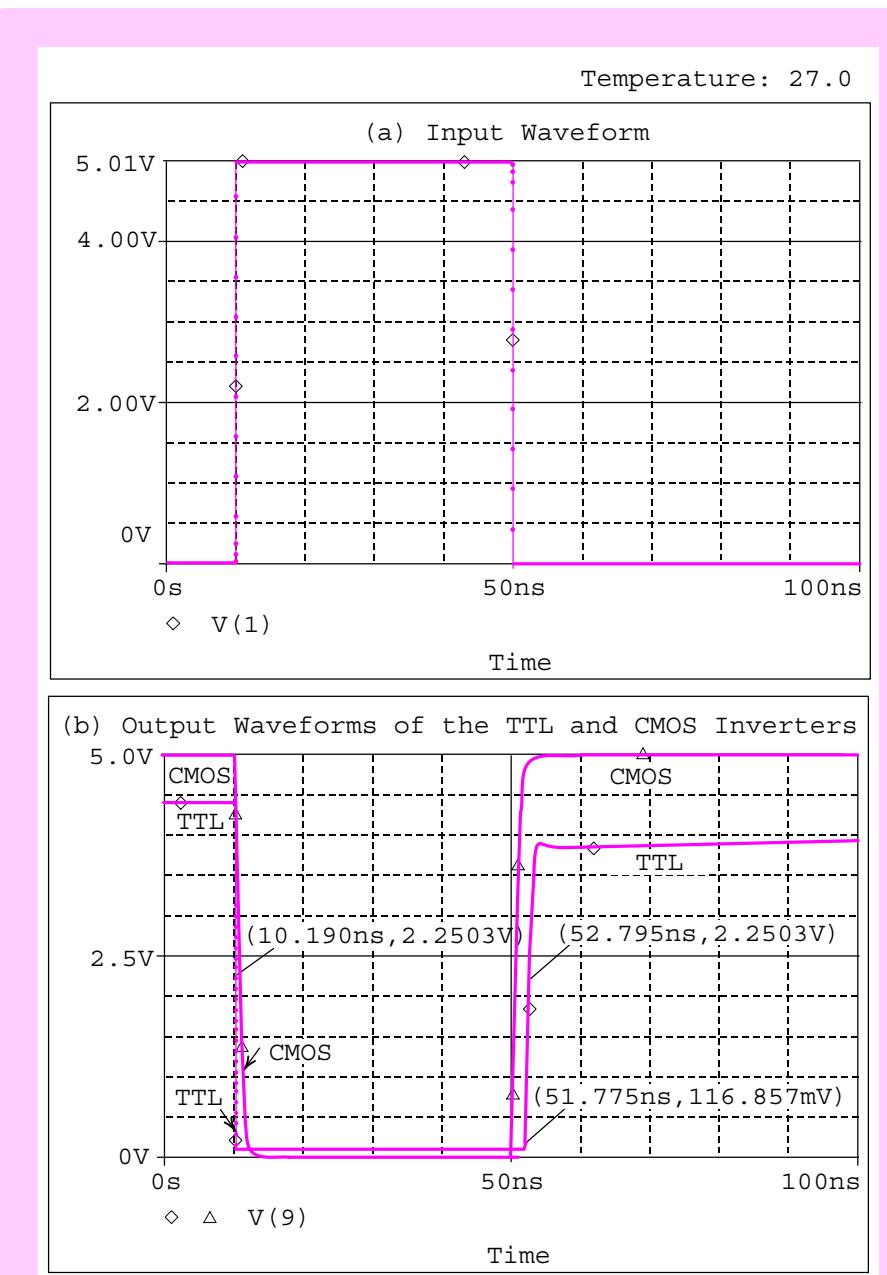


圖 14-11 圖 14-10 TTL 反相器的輸入與輸出波形，並與圖 13-28 之 CMOS 反相器比較。

電行為完成後即進入穩態操作，此時分別對應輸出低態的功率散逸  $P_{DL}(P_{DL}=16.6\text{mW})$  以及輸出高態的功率散逸  $P_{DH}(P_{DH}=5.4\text{mW})$ 。此二數值分別與先前的計算結果(圖 14-7 和圖 14-6)對照發現兩者非常接近。

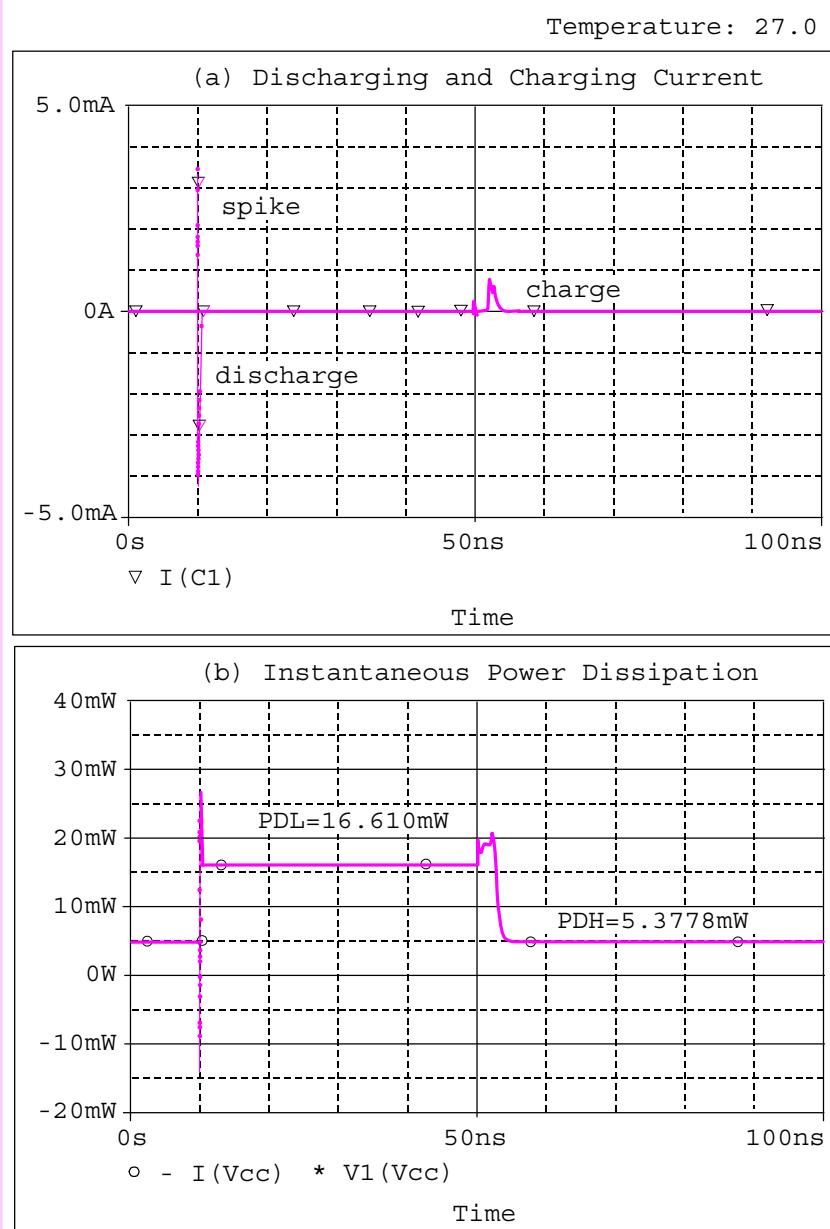


圖 14-12 圖 14-10 TTL 反相器的訊號波形：(a)放電與充電電流，(b)瞬時功率散逸。

在先前波形中，較為特別的就是電流波閃的現象。於是我們取  $t = 10\text{ ns}$  附近訊號波形的局部放大圖，見圖 14-13。注意橫軸的刻度標示為 9ns 至 11ns。圖中清楚顯現由於圖 14-13(b)中放電電流出現 3.3mA 的正電流

(此方向與放電電流相反)波閃，遂使得圖 14-13(a)中的輸出電壓於  $t = 10.05\text{ns}$  附近由  $4.4\text{V}$  上升至  $4.75\text{V}$  附近，待電流轉向至與放電電流同向(電流值為負)後，放電行為才開始發生，於是造成輸出電壓下降，在  $t = 10.3\text{ns}$  附近到達穩態的低準位。

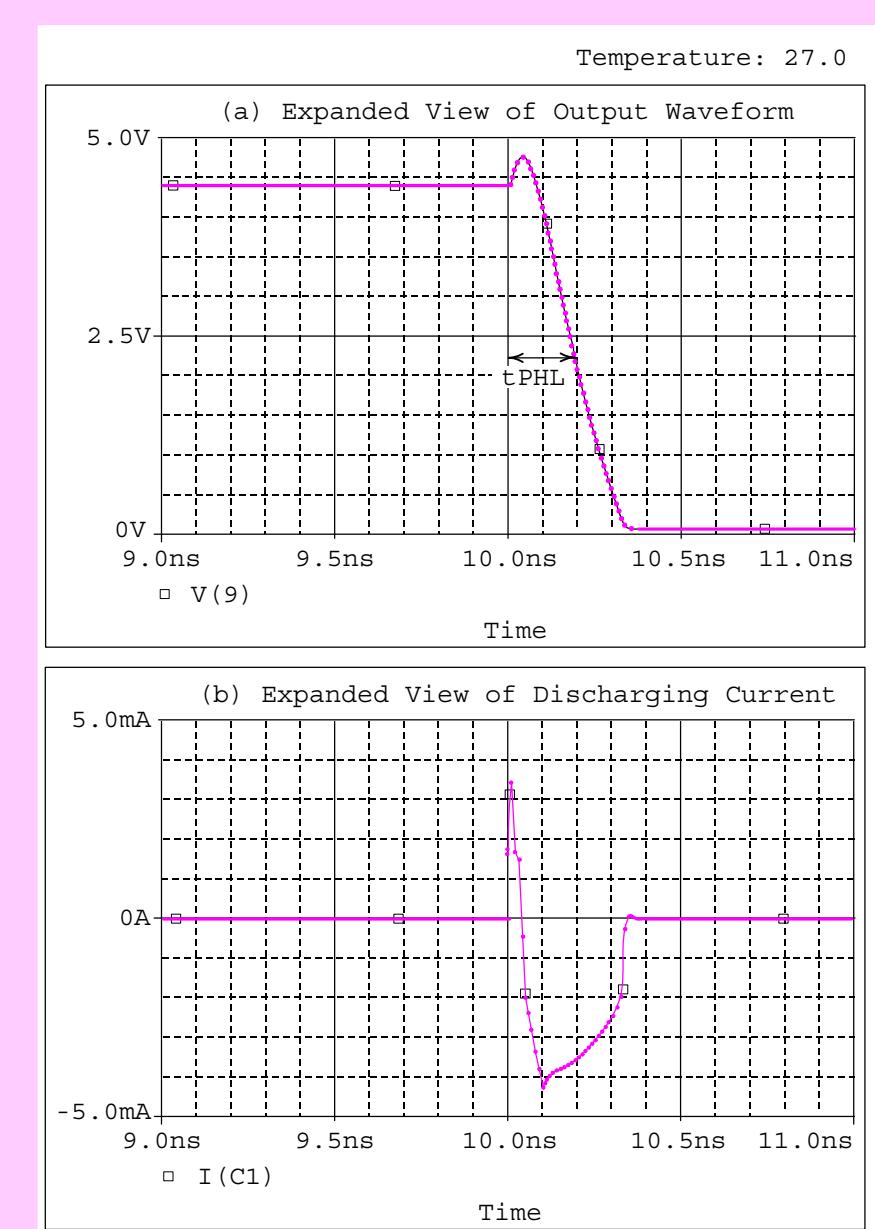


圖 14-13 圖 14-10 TTL 反相器於切換瞬間( $t = 10\text{ns}$  附近)之訊號波形放大圖：(a)輸出波形，(b)放電電流。

### 手算分析

由圖 14-11(b)在  $t = 10\text{ns}$  附近的標示值( $10.190\text{ns}$ ,  $2.2503\text{V}$ )及圖 14-13(a)之局部放大圖均顯示輸出由高態至低態的變遷時間  $t_{PHL} = 0.19\text{ns}$ 。現在我們以將手算分析檢驗上述數值的正確性。根據圖 14-13(b)之放電電流波形，放電電流數值大小介於 0 至  $4.2\text{mA}$ (圖中對應  $-4.2\text{mA}$ )之間，於是可取平均放電電流  $i_{DC(AV)}$  為  $2.1\text{mA}$ 。根據

$$t_{PHL} = \frac{C_L \left[ V_{OH} - \frac{1}{2}(V_{OH} + V_{OL}) \right]}{i_{DC(AV)}} \quad (14-2)$$

代值可得  $t_{PHL} = 0.2\text{ns}$ ，與上述模擬值( $t_{PHL} = 0.19\text{ns}$ )相當接近。

## 14.2 TTL 閘的串接

### 靜態特性

圖 14-14 為兩個 TTL 反相器的串接，由於分析轉換特性之輸入檔與圖 14-2 類似，在此不再列出。圖 14-15 繪出 TTL 反相器串接級的電壓轉換特性，包括前級輸出  $v_{O1}$  對  $v_I$  以及後級輸出  $v_{O2}$  對  $v_I$ 。

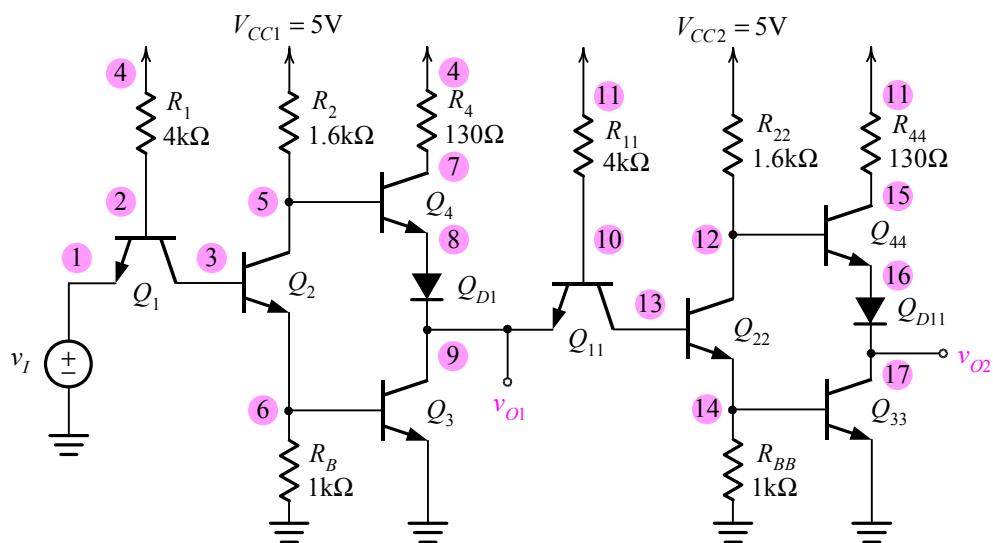


圖 14-14 兩個 TTL 反相器的串接。

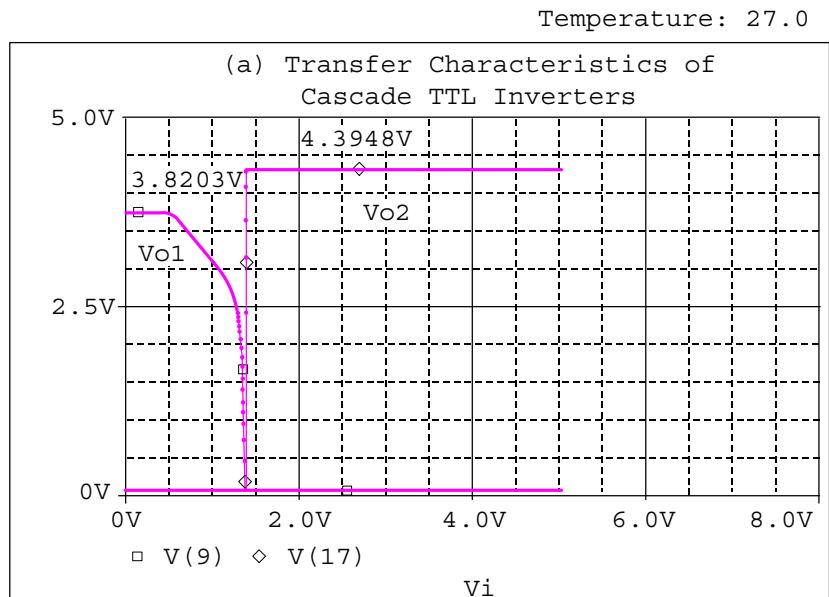


圖 14-15 圖 14-14 TTL 反相器串接級的轉換特性。

當  $v_{o1}$  處於高態時，下級的輸入電晶體  $Q_{11}$  將工作在逆向主動模式，此時前級將供應  $14.7\mu A$  的電流至  $Q_{11}$ 。

圖 14-15 顯示兩者( $v_{o1}$  和  $v_{o2}$ )呈現出彼此互補的特性，包括邏輯準位間的互補以及變遷區斜率的互補。兩曲線的邏輯 0 準位相等，但是  $v_{o1}$  的邏輯 1 準位僅 3.82V，較  $v_{o2}$  的對應值(4.3948V)為低。這是因為當  $v_{o1}$  處於高態時，下級的輸入電晶體  $Q_{11}$  將工作在逆向主動模式，此時前級將供應  $14.7\mu A$  的電流至  $Q_{11}$ (可參考圖 14-8)。於是  $14.7\mu A$  的供應電流將使得前級  $R_2$ 、 $Q_4$  基射接面和  $QD_1$  接面三組件上的壓降均增加，導致輸出高準位的衰退，詳細計算可參考習題 14.5。

#### 動態特性

圖 14-16 為兩個 TTL 反相器的串接，與圖 14-14 之不同在於前後級的輸出端均出現 0.2pF 的負載電容。圖 14-17 為分析圖 14-16 動態操作之 SPICE 輸入檔。與先前相同的是，輸入訊號為一介於 0V 與 5V 間變化的脈衝，其寬度為 40ns。

經由執行暫態分析指令.TRAN 後所得到的波形繪於圖 14-18 和圖 14-19。圖 14-18(b)為前後級的輸出波形，顯示  $v_{o1}$  和  $v_{o2}$  的互補行為。

此外，在  $t = 10\text{ns}$  附近， $v_{o1}$  的放電與  $v_{o2}$  的充電表現與圖 14-11(b)單級 TTL 之表現類似。但在  $t = 50\text{ns}$  附近，由於儲存延遲造成  $v_{o1}$  上升時間加長，連帶影響  $v_{o2}$  的下降時間，且  $v_{o2}$  的下降時間已是單級 TTL 的 10 倍以上，約 2.5ns。

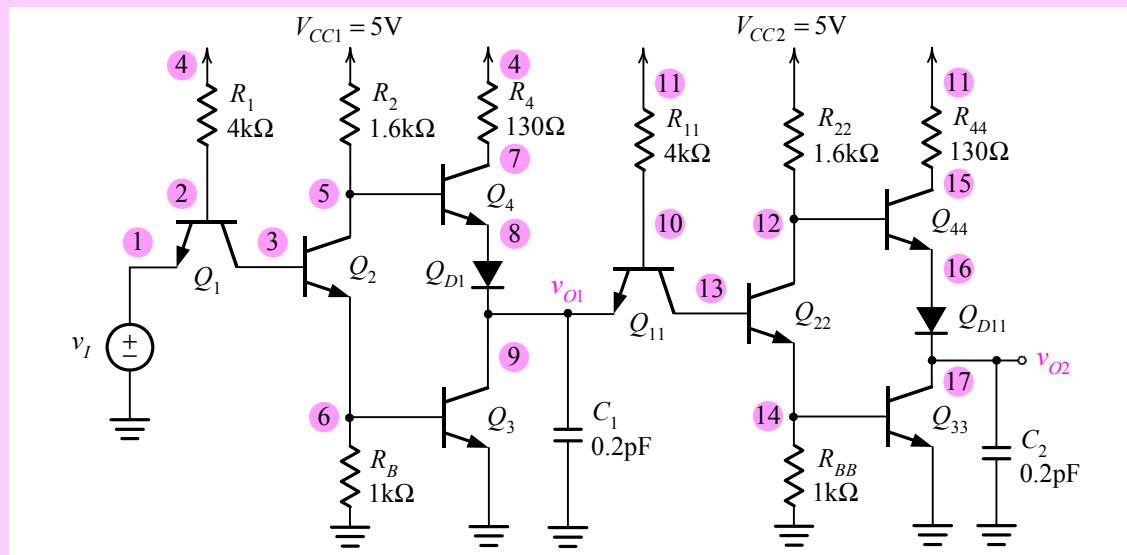


圖 14-16 兩個 TTL 反相器的串接，並在每一級輸出連接 0.2pF 的負載電容。

## Transfer Characteristics of the Cascade TTL Inverter

```

Vcc1 4 0 DC 5V
Vcc2 11 0 DC 5V
Vi 1 0 PWL (0,0V 10ns,0V 10.1ns,5V 50ns,5V 50.1ns,0V 150ns,0V)
R1 4 2 4k
R2 4 5 1.6k
R4 4 7 130
Rb 6 0 1k
R11 11 10 4k
R22 11 12 1.6k
R44 11 15 130
Rbb 14 0 1k
Q1 3 2 1 npn transistor
Q2 5 3 6 npn transistor
Q3 9 6 0 npn transistor
Q4 7 5 8 npn transistor
QD1 8 8 9 npn transistor
Q11 13 10 9 npn transistor
Q22 12 13 14 npn transistor
Q33 17 14 0 npn transistor
Q44 15 12 16 npn transistor
QD11 16 16 17 npn transistor
.model npn transistor npn (Is=1.8e-15 Bf=30 Br=0.02 Va=125
+ Tf=0.25ns Cje=0.8pF Cjc=0.25pF)
.TRAN 0.01ns 100ns 0ns 0.01ns
.probe
.end

```

圖 14-17 分析圖 14-16 TTL 反相器串接級動態操作之 SPICE 輸入檔。

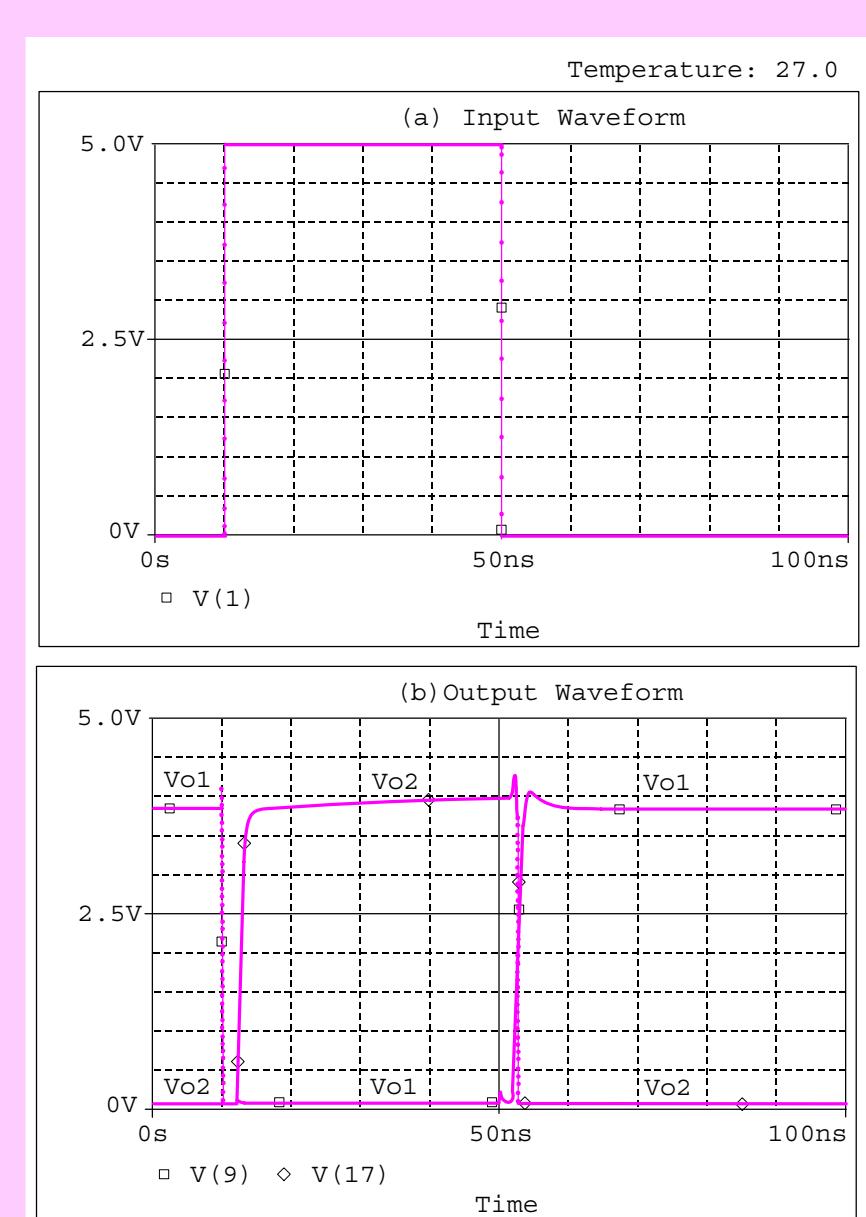


圖 14-18 圖 14-16 TTL 反相器串接級動態操作之訊號波形：(a)輸入波形，(b)各級的輸出波形。

最後，圖 14-19(a)和(b)分別繪出前級與後級的瞬時功率散逸(instantaneous power dissipation)，兩者大致呈現出互補的行爲，也就是  $P_{DL1}$  對應  $P_{DH2}$ ，以及  $P_{DH1}$  對應  $P_{DL2}$ 。其中圖 14-19(a)與單級 TTL 的瞬時功率散逸(圖 14-12(b))極為類似。至於圖 14-19(b)除了與前級的波形互補以及靜態功

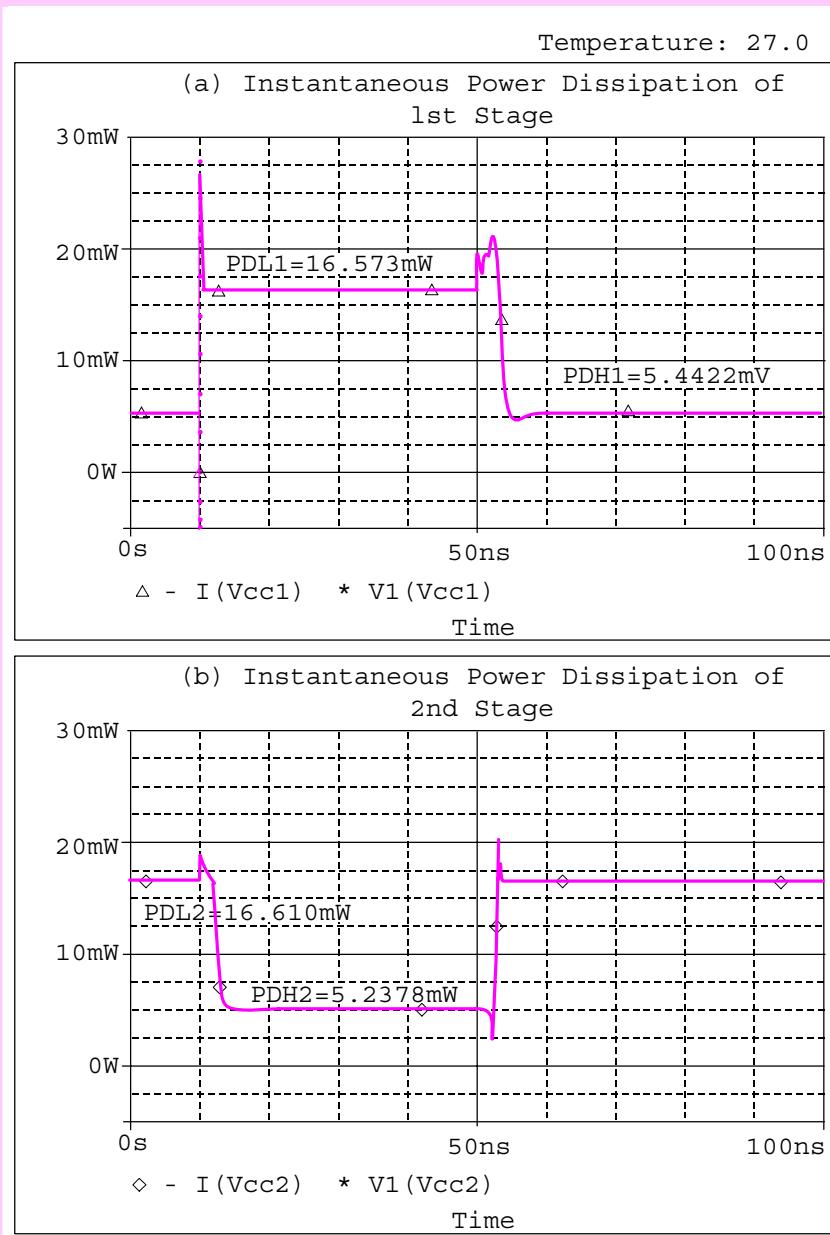


圖 14-19 圖 14-16 TTL 反相器串接級的瞬時功率散逸：(a)第一級，(b)第二級。

率散逸數值接近外，在切換瞬間的尖峰波閃現象較前級和緩；換言之，後級的瞬時功率散逸被限制在 20mW 以下(前級的最大瞬時功率散逸為 27mW)。

**§ 練習題**

**14.1** 對於圖 14-1 的 TTL 反相器電路，試以 SPICE 分別繪出在  $R_B = 200\Omega$ ,  $1k\Omega$  和  $5k\Omega$  三種情況下的電壓轉換特性。並由  $dv_o/dv_i$  對  $v_i$  的作圖分別計算以上三種情況的低雜訊邊限。

**14.2** 對於圖 14-1 的 TTL 電路及圖 14-3 的電壓轉換特性而言，試以 SPICE 進行小訊號特性分析：

- 選擇適當的直流操作點以獲得最大的小訊號電壓增益。
- 承(a)小題，列出小訊號特性的輸出檔。
- 承(a)小題，由操作點訊息確認  $Q_2$  和  $Q_3$  的操作模式。

**14.3** 對於圖 14-10 之 TTL 反相器，其輸入訊號修改指令如下：

```
Vi 1 0 PWL (0,0V 10ns,0V 10.001ns,5V 50ns,5V
+ 50.001ns,0V 150ns,0V)
```

試以 SPICE 重新模擬和計算輸出由高態至低態的變遷時間  $t_{PLH}$ ，並與圖 14-11 之標示值比較。

**14.4** (a) 參考圖 14-11(b) 和圖 14-12(a)，仿效圖 14-13 的方式，利用 SPICE 軟體提供的檢視功能繪出輸出電壓與充電電流在  $t = 50ns$  附近的局部放大圖，橫軸時間刻度可定在  $t = 49ns$  與  $t = 55ns$  之間。  
 (b) 定性說明充電電流與輸出電壓在  $t = 50ns$  附近的互動關係。  
 (c) 利用類似(14-2)式的方式估算  $t_{PLH}$ ，並與模擬值比較。

**14.5** 針對圖 14-15 中  $v_{O1}$  的高態準位值為 3.8203V，利用手算分析及模擬數值檢驗此一數值，讀者可列出  $v_i = 0$  時操作點訊息的輸出檔，再將數值代入(14-1)式即可完成。

**參考書目**

- Cadence, Inc. “OrCAD Pspice A/D Users Guide.”
- G. W. Roberts and A. S. Sedra, “SPICE” 2nd ed. Oxford University Press, 1997.
- A. S. Sedra and G. W. Roberts, “Spice for Microelectronic Circuits, Third Edition, by Sedra/Smith” Fort Worth: Saunders College Pub, 1992.
- K. Lee, “Semiconductor Device Modeling for VLSI: with the ATM-Spice Circuit Simulator” Englewood Cliffs, N. J.: Prentice Hall, 1993.
- J. M. Rabaey, A. Chandrakasan, B. Nikolic,

- “*Digital Integrated Circuits: A Design Perspective*,” 2nd ed. Prentice Hall, Inc., 2003.
6. A. S. Sedra and K. C. Smith, “*Microelectronic Circuits*,” 6th ed. Oxford University Press, 2009.
7. R. T. Howe and C. G. Sodini, “*Microelectronics: An Integrated Approach*,” Prentice-Hall International, Inc., 1996.
8. J. Millman and A. Grabel, “*Microelectronics*,” 3rd ed. New York: McGraw–Hill Book Co., 1999.
9. J. Millman and C. C. Halkias, “*Integrated Electronics*,” McGraw- Hill Book Company, New York, 1972.
10. D. Schiling and C. Belowe, “*Electronic Circuits- Discrete and Integrated*,” McGraw- Hill Book Company, New York, 1989.
11. D. A. Hodges, “*Analysis and Design of Digital Integrated Circuits*,” 3th ed., McGraw-Hill Companies, 2003.
12. 張文清, “*微電子學下冊*”, 二版, 台北鼎茂圖書, 2013。

## 附錄 1-中文索引

### 1 劑

1mA-二極體 65  
一般性阻抗轉換器 299  
一階 37

### 2 劑

二階高通濾波器 299

### 3 劑

三極區 155  
下降時間 372  
上升時間 372  
大小 101  
小訊號特性 100  
小訊號偏壓解 100  
小訊號動態模型 195  
小訊號電阻 25, 195  
小訊號頻域模型 195

### 4 劑

互補式金氧半 182  
內建電位 22  
分析需求 119  
分壓電路 80  
少數載體生命期 25  
巴克豪森準則 330  
文氏電橋 329

### 5 劑

加強式負載 361  
外部基極至內部集極電容 197  
未補償 246  
正方向的延遲率 293  
正弦波形指令 93  
正弦振盪器 329  
正規帶拒 310

### 6 劑

交流電流增益 198  
交流頻率響應分析指令 101  
交越失真 261  
全通濾波器 143, 308  
全部諧波失真 336  
共射輸出特性 45  
共源放大器 114  
共閘 210  
共模 136  
共模排斥 138  
回響 244  
米勒補償 245  
自偏電路 75

### 7 劑

串疊式差動放大器 225  
串疊電流鏡 153  
低雜訊邊限 375  
克西荷夫迴路方程式 76  
夾止電壓 33  
汲極節點 30, 33, 37

### 8 劑

函數產生器 347  
定電流源 147  
拉回 261  
放射係數 21  
直流電流增益 198  
空乏式負載 374  
空乏區 21  
空乏電容 21  
金半場效電晶體 36  
金氧半場效電晶體 30

非主極點 290

非線性振盪器 347

### 9 劃

相角 101

負方向的延遲率 293

負載線 63

重疊原理 135

限制器 63

韋勒 149

### 10 劃

射極簡併 167

峰值整流器 94

峰值檢測器 94

差動放大器 135

差模 135

差模半電路 219

差模輸出 171

消除偏移 275

脈衝 353

逆向主動 71

逆向電流增益 279

迴路增益 329

高通帶拒 314

高雜訊邊限 374

### 11 劃

偏移電壓 175

副電路 26

動態 SPICE 模型 25

國家半導體 253, 255

基板 30

基板接面電容 197

基極穿越時間 201

基極寬度調變效應 47

基頻 339

基體 30

基體效應 32

基體效應係數 361

基體轉導 32

崩潰區 25, 42

帶拒頻率 310

帶通濾波器調諧式振盪器 337

接面二極體 21

接面場效電晶體 33

接面電容 196

推入 260

推挽式電路 260

梯度係數 22, 201

理想因子 21

理想逆向穿越時間 201

理想順向穿越時間 201, 279

移動極點補償 245

### 12 劃

傅立葉級數 336

單一放大器二階濾波器 319

單位增益 131, 329

單位增益頻寬 199, 225, 290

單擊 353

單穩態 347

單穩態複振器 353

幾何比值 362

提前飽和現象 37

無電感式 300

無穩態 347

無穩態複振器 347

短路時間常數法 205

虛接地 127, 219

虛短路 126

順向主動區 46

順向歐萊電壓 46

### 13 劃

傳輸閘 397  
極點 Q 因子 300  
源極追隨器 212  
源極節點 30, 33, 37  
準穩定態 353  
閘極節點 30, 33, 37  
電池加電阻模型 25  
電流鏡 147  
電晶體電晶體邏輯 409  
電源共同接地點 126  
電路系統偏移 283  
電壓降模型 62  
電壓控制電壓源 125  
零閘源偏壓 33  
預設值 21  
飽和區 46, 155  
飽和電流 21  
飽和電壓參數 37, 56

### 14 劃

截止帶 261  
漣波電壓 94  
製程轉導參數 31  
齊納二極體 25

### 15 劃

暫態分析指令 94  
歐萊電壓 46  
線性度 253  
線性振盪器 329  
膝蓋電流 21  
膝蓋電壓 21  
複振器 347

### 16 劃

導通區間 95

操作點 61  
操作點分析指令 62  
操縱電流電路 147  
蕭基接面 37  
輸入共模訊號 159  
輸入共模範圍 164, 283  
輸入差模電阻 171  
輸入偏移電流 175  
輸入偏移電壓 175, 281  
輸入偏壓電流 175  
靜態功率散逸 370  
頻率補償 245  
頻率選擇網路 329  
頻率響應 195  
頻譜純度 336

### 17 劃

瞬時功率散逸 262, 368, 422

### 18 劃

臨界電壓 33  
轉送器 137  
轉移函數分析指令 98  
雙載子接面電晶體 27  
雙積分器迴路式 316  
雙穩態 347

### 19 劃

穩定態 353  
類比開關 105

### 20 劃

觸發訊號 353

### 23 劃

邏輯族系 409

## 附錄 2-英文索引

### A

ac frequency response analysis command 101  
 acurrent gain 198  
 all-pass filter 143, 308  
 analog switch 105  
 analysis request 119  
 astable 347  
 astable multivibrator 347

### B

bandpass-filter tuned oscillator 337  
 Barkhausen criterion 330  
 base transit time 201  
 base-width modulation effect 47  
 battery-plus-resistance model 25  
 bipolar junction transistor 27  
 bistable 347  
 body 30  
 body effect 32  
 body-effect coefficient 361  
 body transconductance 32  
 breakdown region 25, 42  
 built-in potential 22

### C

cascode current mirror 153  
 cascode differential amplifier 225  
 common gate 210  
 common-emitter output characteristics 45  
 common-mode 136  
 common-mode input signal 159  
 common-mode rejection 138  
 common-source amplifier 114  
 complementary MOS 182  
 conduction interval 95  
 constant current source 147

constant-voltage-drop model 62  
 crossover distortion 261  
 current mirror 147  
 current steering circuit 147

### D

dc current gain 198  
 dead band 261  
 default 21  
 depletion capacitance 21  
 depletion layer 21  
 depletion-load 374  
 differential amplifier 135  
 differential half-circuit 219  
 differential output 171  
 differential-mode 135  
 drain 30, 33, 37  
 dynamic SPICE model 25

### E

early saturation phenomenon 37  
 Early voltage 46  
 emission coefficient 21  
 emitter degeneration 167  
 enhancement-load 361  
 extrinsic baseintrinsic collector capacitance 197

### F

fall time 372  
 forward active 46  
 forward Early voltage 46  
 Fourier series 336  
 frequency compensation 245  
 frequency response 195  
 frequency-selective network 329  
 function generators 347

fundamental frequency 339

## G

gate 30, 33, 37

generalized impedance converter 299

geometry ratio 362

grading coefficient 22, 201

## H

high noise margin 374

high-pass filter 299

high-pass notch 314

## I

ideal forward transit time 201

ideal reverse transit time 201

ideality factor 21

inductorless 300

input bias current 175

input common-mode range 164, 283

input differential resistance 171

input offset current 175

input offset voltage 175, 281

instantaneous power dissipation 262, 368, 422

## J

junction capacitance 196

junction field-effect transistor 33

## K

Kirchhoff loop equation 76

knee current 21

knee voltage 21

## L

level 1 37

lifetime of excess minority carrier 25

limiter 63

linear oscillator 329

linearity 253

load line 63

loop gain 329

low noise margin 375

## M

magnitude 101

metal-oxide-semiconductor field-effect transistor 30

metal-semiconductor field-effect transistor 36

Miller compensation 245

monostable 347

monostable multivibrator 353

multivibrators 347

## N

National Semiconductor 253, 255

negative-going slew rate 293

nondominant poles 290

nonlinear oscillators 347

notch frequency 310

## O

offset null 275

offset voltage 175

one shot 353

operating point 61

operating point analysis command 62

## P

peak detector 94

peak rectifier 94

phase 101

pinch-off voltage 33

pn junction diode 21

pole Q factor 300

pole-shifting compensation 245

positive-going slew rate 293

power-supply common terminal 126

principle of superposition 135

process transconductance parameter 31  
 pull 261  
 pulse 353  
 push 260  
 push-pull circuit 260

**Q**

quasi-stable state 353

**R**

regular notch 310  
 reverse active 71  
 reverse active region 279  
 ringing 244  
 ripple voltage 94  
 rise time 372

**S**

saturation 46, 155  
 saturation current 21  
 saturation voltage parameter 37, 56  
 Schottky junction 37  
 self-biasing circuit 75  
 short-circuit time-constant method 205  
 single amplifier biquadratic filter 319  
 sinusoidal oscillator 329  
 sinusoidal waveform command 93  
 small signal resistance 25, 195  
 small-signal bias solution 100  
 small-signal characteristics 100  
 small-signal frequency domain model 195  
 source 30, 33, 37  
 source follower 212  
 spectral purity 336  
 stable state 353

static power dissipation 370  
 subcircuit 26  
 substrate 30  
 substrate junction capacitance 197  
 systematic offset 283

**T**

threshold voltage 33  
 total harmonic distortion 336  
 transducer 137  
 transfer function analysis command 98  
 transient analysis command 94  
 transistor-transistor logic 409  
 transmission gate 397  
 trigger signal 353  
 triode 155  
 two-integrator-loop 316

**U**

uncompensated 246  
 unity-gain bandwidth 199, 225, 290  
 unity gain 131, 329

**V**

virtual ground 127, 219  
 virtual short circuit 126  
 voltage controlled voltage source 125  
 voltage divider 80

**W**

Widlar 149  
 Wien-Bridge 329

**Z**

Zener diode 25

## 授 權 同 意 書

映陽科技股份有限公司總代理 Cadence® 公司之 OrCAD® 軟體產品，並接受該公司委託負責台灣地區其軟體產品中文參考書之授權作業。

茲同意 鼎茂圖書出版股份有限公司 出版之 Cadence® 公司系列產品中文參考書，書名：SPICE 電子電路模擬(五版) 作者：張文清，得引用 OrCAD® V16.X 中的螢幕畫面、專有名詞、指令功能、使用方法及程式敘述，隨書並得附本公司所提供之試用版軟體光碟片。

有關 Cadence® 公司所規定之註冊商標及專有名詞之聲明，必須敘述於所出版之文書內。為保障消費者權益，Cadence® 公司產品若有重大版本更新，本公司得通知 鼎茂圖書出版股份有限公司或作者更新中文書版本。

本授權同意書依規定須裝訂於上述中文參考書內，授權才得以生效。

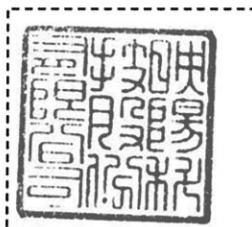
此致

鼎茂圖書出版股份有限公司

授權人：映陽科技股份有限公司

代表人：湯秀珍

中華民國 102 年 6 月 7 日



**cadence®**  
CHANNEL PARTNER

Your EDA Partner

