

# PTC - Sprawozdanie nr 3

## Skracanie liczników

Imię i nazwisko	Nr albumu	Grupa	Nr studenta
Dariusz Max Adamski		I2	16

### Specyfikacja

1. Liczniki modulo  $15 + 16 \cdot 2 = 47$
2. Układ liczący w górę mod 47 (7493, 74161, 74163)
3. Układ liczący w górę i w dół mod 47 (74193)

### Obliczenia

$47_{(10)} = 0010\ 1111_{(2)}$

$46_{(10)} = 0010\ 1110_{(2)}$

### Opisy układów

#### 7493 – 4-bitowy licznik dwójkowy

Licznik wewnętrznie składa się z modułów liczących do 2 i do 8

Wejścia:

- RO1, RO2: stan 1 na RO1 i RO2 zeruje licznik
- CLKA: ujemne zbocze powoduje zliczanie modułu liczącego do 2
- CLKB: ujemne zbocze powoduje zliczanie modułu liczącego do 8

Wyjścia:

- QA: wynik modułu liczącego do 2
- QB..QD: wynik modułu liczącego do 8

#### 74161 – 4-bitowy synchroniczny licznik dwójkowy

Stan wyjściowy zmienia się synchronicznie z impulsami zegarowymi

Wejścia:

- CLRN: ujemne zbocze asynchronicznie zeruje licznik
- LDN: stan 0 ustawia dane z wejść A..D w przerzutniku stanu przy dodatnim zboczu na wejściu CLK
- ENT, ENP: licznik zlicza gdy ENT i ENP są w stanie 1. ENT uaktywnia wyjście przeniesienia rozpiwowego RCO. Przejście z 1 na 0 na wejściach ENT i ENP powinno nastąpić przy stanie 1 wejścia CLK.
- CLK: dodatnie zbocze powoduje zliczanie
- A..D: wejścia danych

Wyjścia:

- RCO: wyjście przeniesienia rozpiwowego. Dodatni impuls o czasie trwania impulsu QA, gdy licznik zmienia stan z 15 na 0 i wejście ENT jest w stanie 1.
- QA..QD: wyjścia stanu

#### 74163 – 4-bitowy synchroniczny licznik dwójkowy

Stan wyjściowy zmienia się synchronicznie z impulsami zegarowymi

Wejścia:

- CLRN: stan 0 synchronicznie zeruje licznik, przy dodatnim zboczu na wejściu CLK
- LDN: stan 0 ustawia dane z wejść A..D w przerzutniku stanu, przy dodatnim zboczu na wejściu CLK

- ENT, ENP: licznik zlicza gdy ENT i ENP są w stanie 1. ENT uaktywnia wyjście przeniesienia rozpiętkowego RCO. Przejście z 1 na 0 na wejściach ENT i ENP powinno nastąpić przy stanie 1 wejścia CLK.
- CLK: dodatnie zbocze powoduje zliczanie
- A..D: wejścia danych

Wyjścia:

- RCO: wyjście przeniesienia rozpiętkowego. Dodatni impuls o czasie trwania impulsu QA, gdy licznik zmienia stan z 15 na 0 i wejście ENT jest w stanie 1.
- QA..QD: wyjścia stanu

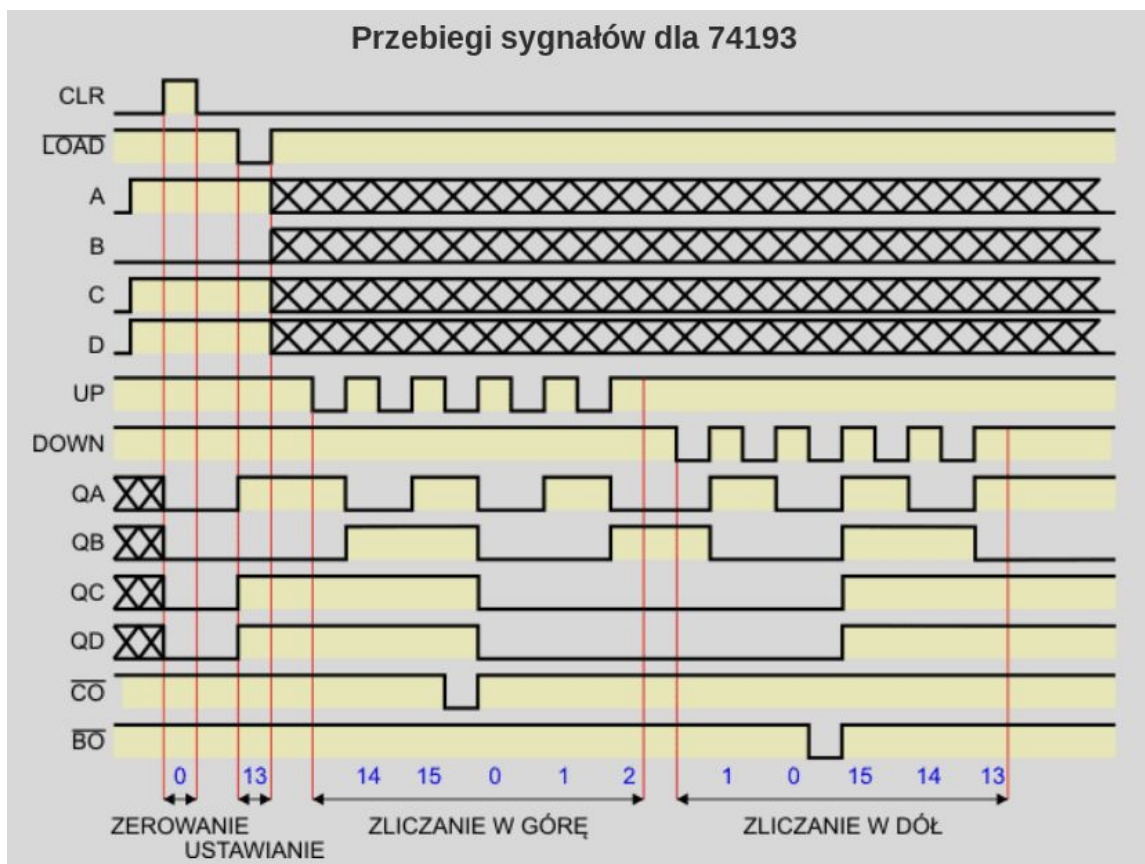
74193 – synchroniczny, rewersyjny licznik dwójkowy z dwoma wejściami zegarowymi i z zerowaniem

Wejścia:

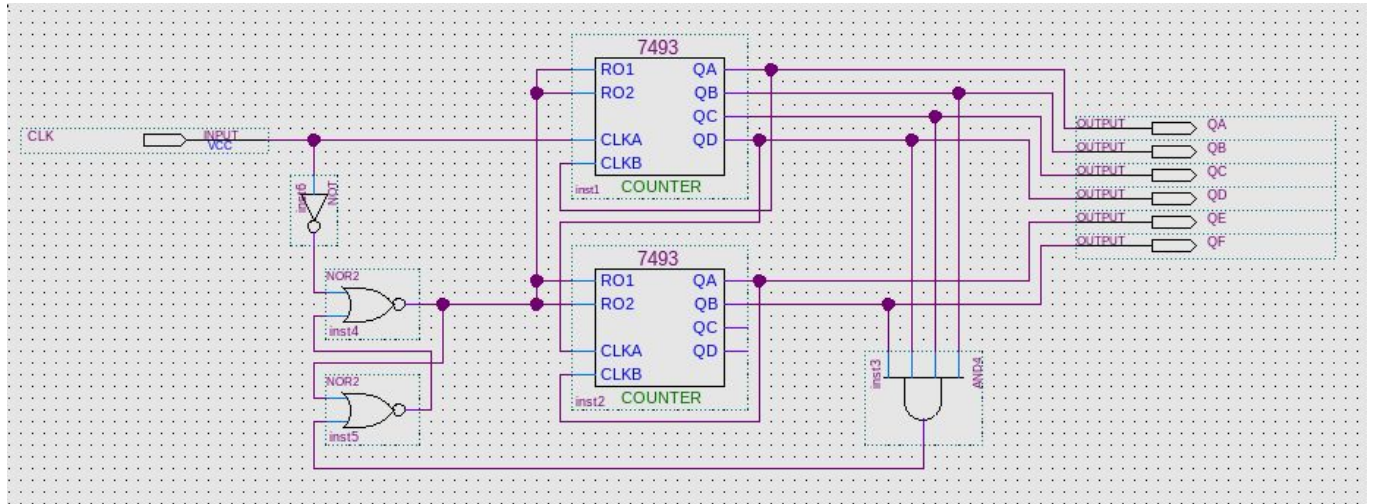
- UP: dodatnie zbocze zwiększa stan licznika o 1
- DN: dodatnie zbocze zmniejsza stan licznika o 1
- CLR: stan 1 zeruje licznik, najwyższy priorytet
- LDN: stan 0 ustawia dane z wejść A..D na wyjścia QA..QD
- A..D: wejścia danych

Wyjścia:

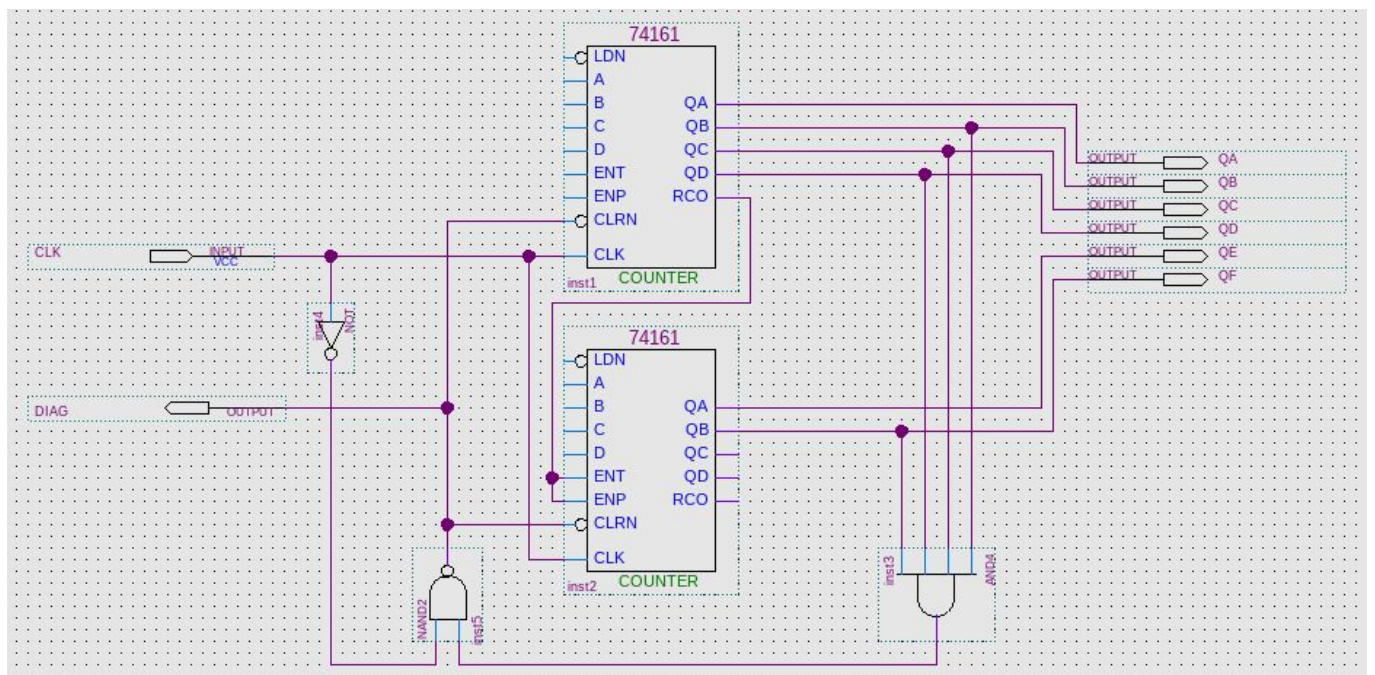
- CON: ujemny impuls o czasie trwania impulsu na wejściu UP, gdy licznik zmienia stan z 15 na 0
- BON: ujemny impuls o czasie trwania impulsu na wejściu DN, gdy licznik zmienia stan z 0 na 15
- QA..QD: wyjścia stanu



Układ liczący w górę mod 47, używający układu 7493

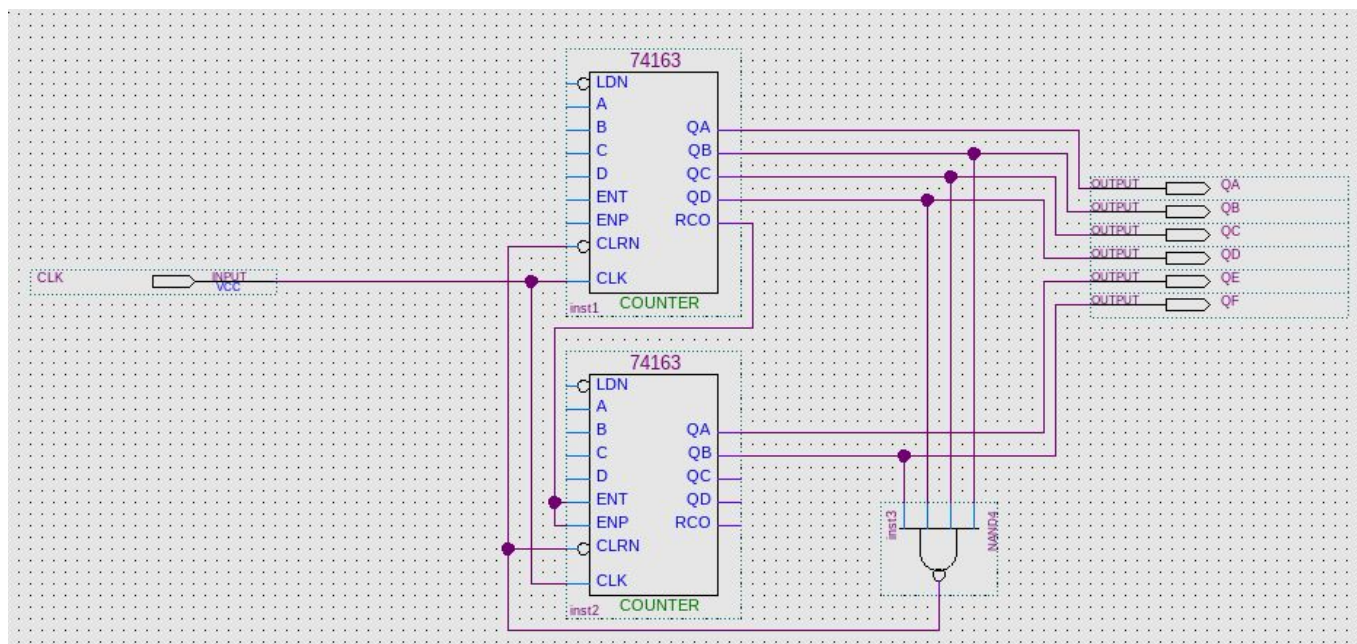


Układ liczący w górę mod 47, używający układu 74161

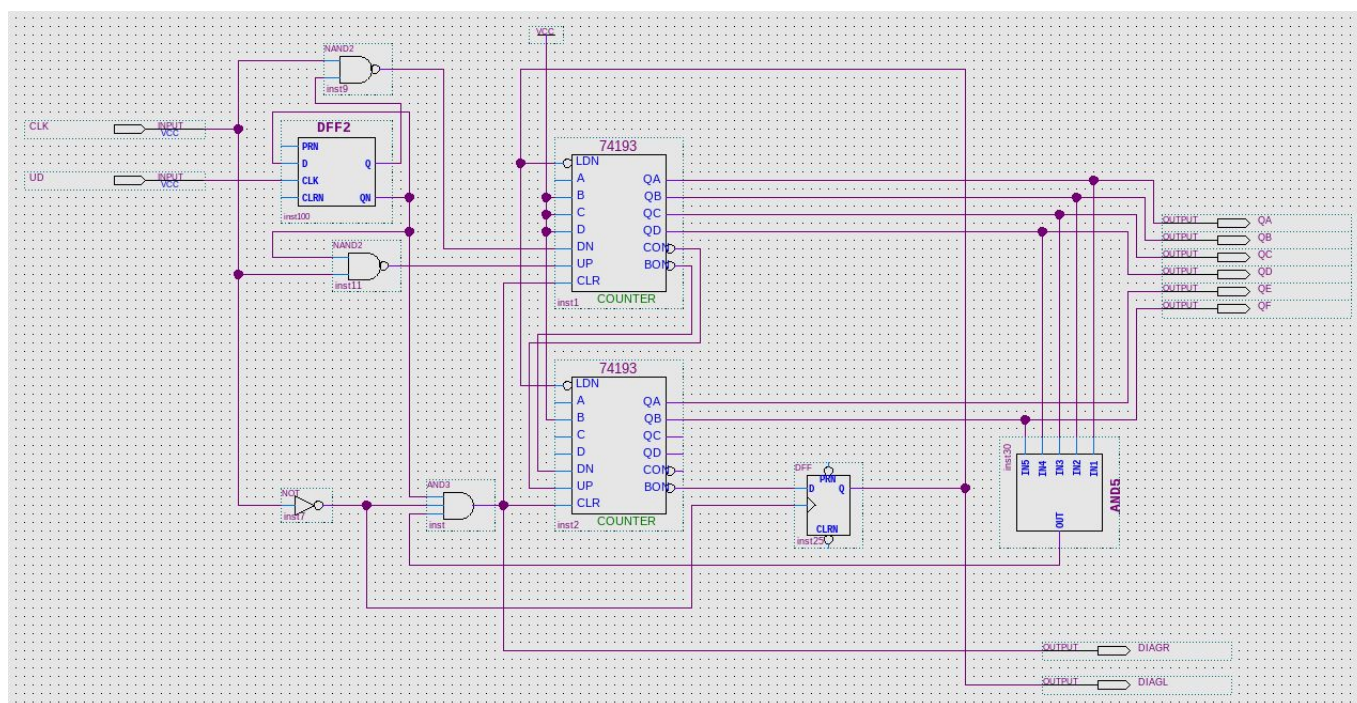




## Układ liczący w górę mod 47, używający układu 74163



## Układ liczący w górę i w dół mod 47, używający układu 74193

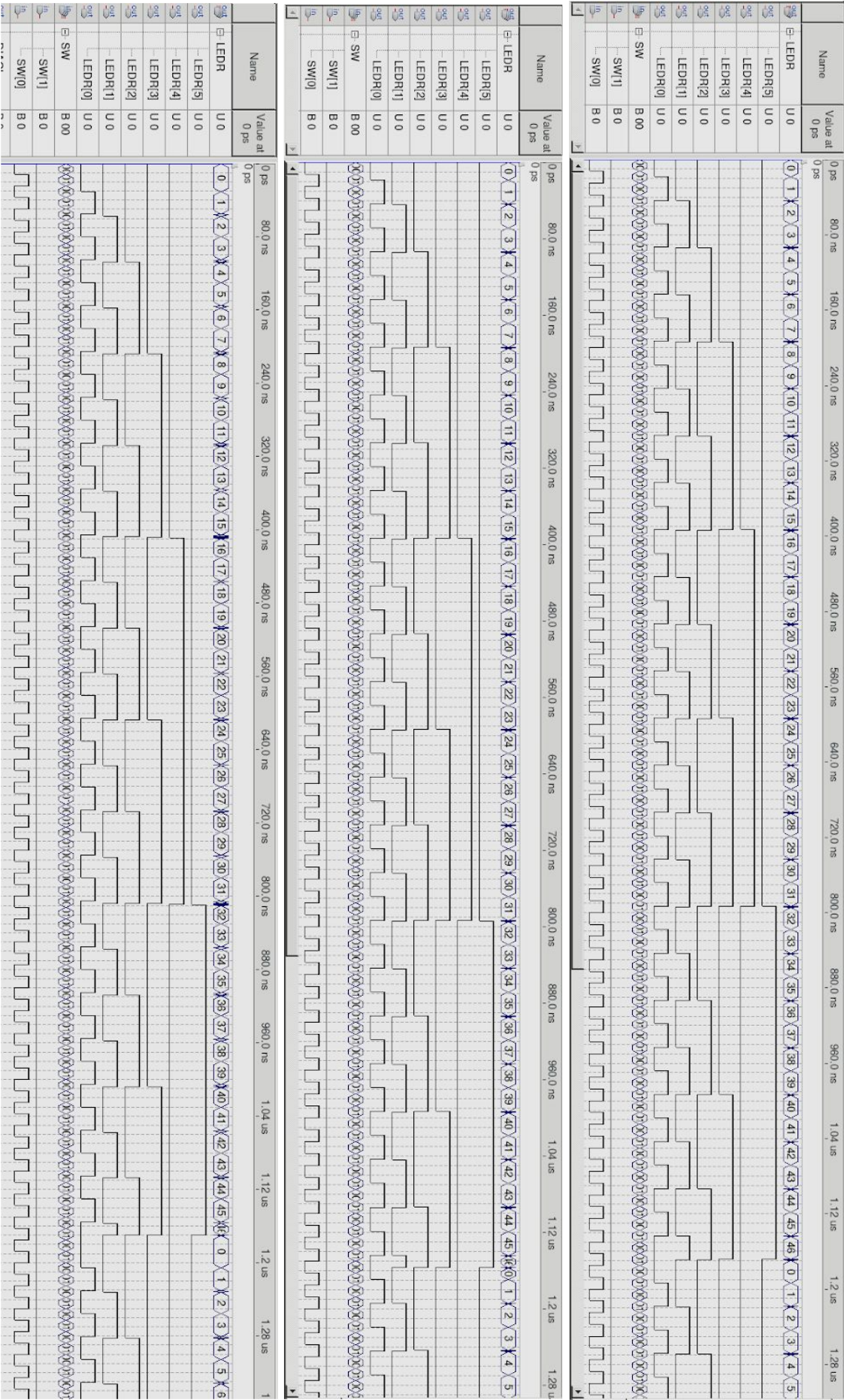


## Symulacje liczników

Układy były testowane przy okresie 20ns (częstotliwość 100MHz). Poniżej tego okresu liczniki nie działały prawidłowo.



Układ liczący w górę mod 47, używający odpowiednio układu 7493, 74161 i 74163



Układ liczący w górę i w dół mod 47, używający układu 74193





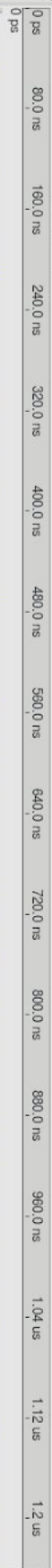
Master Time Bar: 0 ps

Pointer: 53.17 ns

Interval: 53.17 ns

Start:

End:



Name	Value at 0 ps
LED R U 46	0
LE... U 1	0
LE... U 0	0
LE... U 1	0
LE... U 1	0
LE... U 1	0
LE... U 0	0
SW B 00	0
S... B 0	0
S... B 0	0
DIAG L B 0	0
DIAG R B 0	0