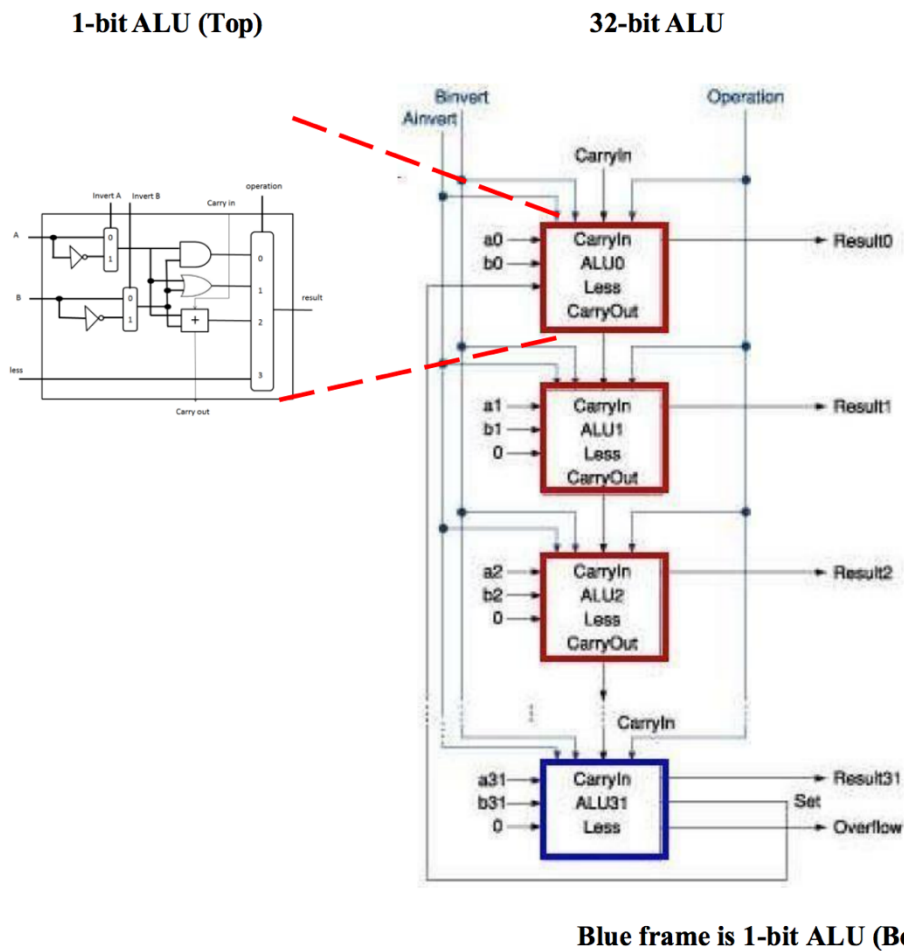


Computer Organization

0516013 吳泓寬

Architecture diagrams:



(取自 CO_lab_1.pdf)

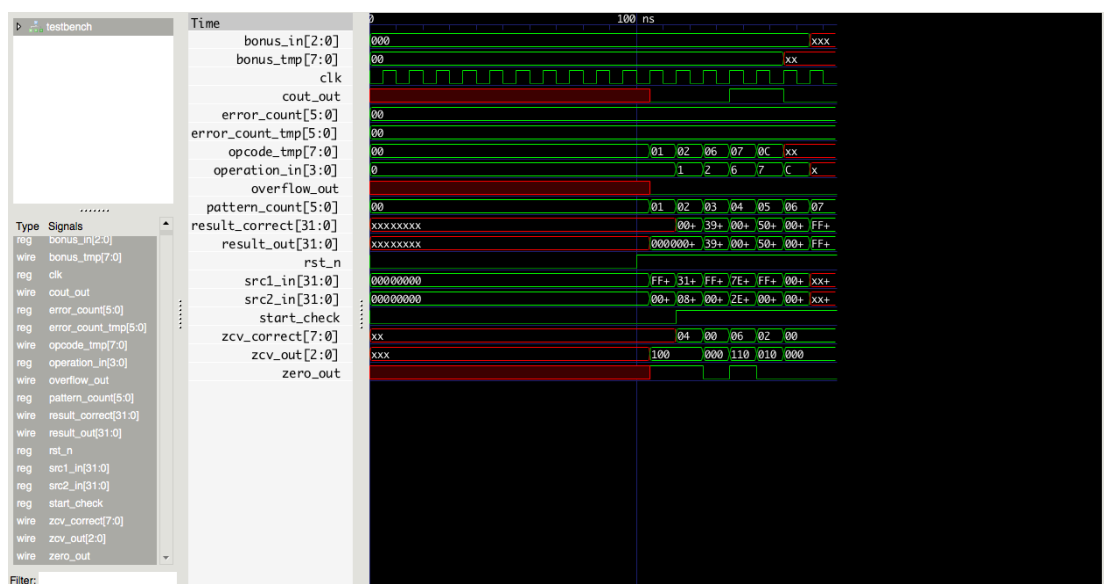
Hardware module analysis:

由 32 個 alu_top 組成 alu。基本上每個小單元各自負責 and, or, add, less 四種運算，然後需要處理的是 set less 的部分要把它接回第一個 alu_top module。

Experiment result:

原本在第五個測資(Slt)錯掉了，之後看助教在討論區的留言才知道做 less 的時候不用去處理 carryout flag 跟 overflow flag。

```
maxam@maxam ~/Desktop/CO_LAB1 iverilog -o test testbench.v alu.v alu_top.v
maxam@maxam ~/Desktop/CO_LAB1 vvp test
VCD info: dumpfile result.vcd opened for output.
*****
Congratulation! All data are correct!
*****
** VVP Stop(0) **
** Flushing output streams.
** Current simulation time is 175000 ticks.
> finish
** Continue **
maxam@maxam ~/Desktop/CO_LAB1
```



Problems you met and solutions:

基本上沒遇到什麼大問題，靠編譯給出的 error 都可以解決

主要是因為非 windows 環境無法使用 modelsim 所以用 Icarus

Verilog 跟 GTKWave 代替所以 testbench 部分有加 dumpfile 的部分有查一下

Summary:

基本上這個作業有幾的我覺得比較困難的地方，第一個是最上方的 `alu_top` 的 `cin` 是什麼，而這裡的 `cin` 只有在減法的時候會給 1，因為 $a-b = a + \sim b + 1$ 算是滿足二補數的關係。而最後一個的 `set less` 就是 `result` 也相當有趣，因為如果是 1 的話代表 $a-b$ 為負數即代表 $a < b$ 要 `set` 到第一個 `alu_top` 上。